

명세서

청구범위

청구항 1

입력 영상이 표시되는 픽셀 어레이, 상기 픽셀 어레이 밖의 베젤 영역, 및 상기 베젤 영역에 형성된 공통 전압 입력단을 포함하는 표시패널을 포함하고,

상기 공통 전압 입력단은,

빛이 통과되는 다수의 개구공들을 포함하는 메쉬를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 공통 전압 입력단은,

상기 메쉬에 연결된 수직 입력 라인;

상기 수직 입력 라인에 연결된 수평 라인을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 픽셀 어레이는

데이터 라인들;

상기 데이터 라인들과 직교하는 게이트 라인들; 및

상기 데이터 라인들과 나란한 공통 라인들을 포함하고,

상기 데이터 라인들과 상기 공통 라인들은 픽셀 전극을 사이에 두고 하나씩 교번되고

상기 공통 라인들은 상기 수평 입력 라인에 연결되는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 수직 입력 라인과 상기 수평 입력 라인 사이에 형성된 제1 절연막;

상기 수직 입력 라인을 덮도록 상기 수직 입력 라인과 상기 제1 절연막 상에 형성되는 제2 절연막;

상기 제2 절연막을 관통하는 제1 콘택홀을 통해 상기 제1 수직 입력 라인에 연결되고 상기 제1 및 제2 절연막을 관통하는 제2 콘택홀을 통해 상기 수평 입력 라인에 연결되는 링크 패턴을 더 포함하는 것을 특징으로 하는 액정표시장치.

발명의 설명

기술 분야

본 발명은 액정표시장치에 관한 것이다.

[0001]

배 경 기 술

- [0002] 평판 표시장치에는 액정표시장치(Liquid Crystal Display Device: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 유기발광 표시장치(Organic Light Emitting Display Device: OLED), 전기영동 표시장치(Electrophoretic Display Device: EPD) 등이 있다. 액정표시장치는 액정 분자에 인가되는 전계를 데이터 전압에 따라 제어하여 화상을 표시한다. 액티브 매트릭스 타입의 액정표시장치는 공정 기술과 구동 기술의 발달에 힘입어 가격이 낮아지고 성능이 높아져 소형 모바일 기기부터 대형 텔레비전까지 거의 모든 표시장치에 적용되어 가장 널리 이용되고 있다.
- [0003] IPS(In Plane Switching) 모드의 액정표시장치는 픽셀 전극과 공통 전극이 같은 기판 상에 형성된다. 픽셀 전극과 공통 전극 사이에 인가되는 수평 방향의 전계에 의해 액정 분자들이 구동된다. 수평 공통 라인에 다수의 픽셀들에 형성된 공통 전극들이 연결된다. 수평 공통 라인은 게이트 라인과 나란하고, 게이트 라인과 같은 게이트 금속으로 형성된다. 이러한 수평 공통 라인으로 인하여 픽셀들의 개구율이 저하되고 있다.
- [0004] 액정표시장치의 제조사들은 네로우 베젤(Narrow bezel)을 구현하기 위한 다양한 시도를 하고 있다. 네로우 베젤 기술은 같은 크기의 표시패널에서 영상이 표시되는 유효 화면의 크기를 상대적으로 크게 하기 위하여 표시패널의 가장자리에서 영상이 표시되지 않는 베젤(bezel)을 최소화하는 기술이다. 네로우 베젤 구현을 위하여, 베젤 영역에 형성된 배선들의 폭을 줄이는 방법이 있다. 이 경우, 배선 저항이 증가된다. 예를 들어, 표시패널의 상단 베젤 영역에는 액정 구동의 기준 전위인 공통 전압(Vcom)이 공급되는 입력단 배선이 형성되는데, 이 입력단 배선의 선폭을 줄이면 픽셀 어레이의 공통 전압(Vcom)이 불안정하게 된다.

발명의 내용

해결하려는 과제

- [0005] 본 발명은 공통 전압의 입력단 저항을 줄일 수 있는 액정표시장치를 제공한다.

과제의 해결 수단

- [0006] 본 발명의 액정표시장치는 입력 영상이 표시되는 픽셀 어레이, 상기 픽셀 어레이 밖의 베젤 영역, 및 상기 베젤 영역에 형성된 공통 전압 입력단을 포함하는 표시패널을 포함한다. 상기 공통 전압 입력단은 빛이 통과되는 다수의 개구공들을 포함하는 메쉬를 포함한다.

발명의 효과

- [0007] 본 발명은 공통 전압 입력단의 수직 입력 라인에 메쉬를 연결하여 수직 입력 라인의 선폭을 줄이더라도 공통 전압 입력단 저항 감소를 줄일 수 있다. 따라서, 본 발명은 네로우 베젤의 액정표시장치에서 공통 전압을 안정화할 수 있다.

도면의 간단한 설명

- [0008] 도 1은 본 발명의 실시예에 따른 액정표시장치를 보여 주는 블록도이다.
 도 2는 도 1에 도시된 픽셀 어레이의 일부를 보여 주는 등가 회로도이다.
 도 3 및 도 4는 공통 전압의 입력단과 데이터 링크 영역을 보여 주는 도면들이다.
 도 5는 밀봉제의 배면 노광 방법을 보여 주는 도면이다.
 도 6은 공통 전압의 입력단을 상세히 보여 주는 평면도이다.
 도 7은 도 6에서 B 부분을 상세히 보여 주는 평면도이다.

도 8은 도 7에서 선 "A-A'"을 따라 절취한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0010] 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다.
- [0011] 도 1 및 도 2를 참조하면, 본 발명의 액정표시장치는 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 등 알려져 있는 모든 액정모드로 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛(Back Light Unit)이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0012] 표시패널(PNL)은 액정층을 사이에 두고 밀봉제(sealant)로 함착된 상판 및 하판을 포함한다. 표시패널(PNL)의 픽셀 어레이에는 입력 영상이 표시된다. 픽셀 어레이의 픽셀들은 데이터 라인들과 게이트 라인들의 교차로 정의된 매트릭스 형태로 배치된다. 픽셀들 각각은 액정셀(Clc), TFT, 및 스토리지 커패시터(Cst)를 포함한다. 표시패널(PNL)의 상판과 하판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0013] 픽셀들은 컬러 구현을 위하여 도 2와 같이 적색 서브 픽셀(R), 녹색 서브 픽셀(G), 및 청색 서브 픽셀(B)로 나뉘어질 수 있다. 표시패널(PNL)의 상판에는 컬러 필터 어레이가 형성될 수 있다. 컬러필터 어레이는 컬러필터와 블랙 매트릭스를 포함한다.
- [0014] 표시패널(PNL)의 하판에는 박막 트랜지스터(Thin Film Transistor, 이하 "TFT"라 함) 어레이가 형성될 수 있다. 상판에는 컬러 필터(Color Filter) 어레이가 형성될 수 있다. COT(Color filter on TFT) 공정을 이용하면, 컬러 필터는 하판의 TFT 어레이에 형성될 수 있다.
- [0015] TFT 어레이는 데이터 라인들(16)과 게이트 라인들(15)의 교차부마다 TFT들이 형성된다. TFT는 게이트 라인(15)으로부터의 게이트 펄스에 응답하여 데이터 라인(16)으로부터의 데이터 전압을 액정셀(Clc)의 픽셀 전극(1)에 공급한다. 스토리지 커패시터(Cst)는 액정셀(Clc)의 전압을 1 프레임 기간 동안 유지시킨다. 액정셀들(Clc) 각각은 TFT를 통해 데이터 전압을 충전하는 픽셀 전극(1)과 공통전압(Vcom)이 인가되는 공통전극(2)의 전압차에 의해 구동된다. 공통전극(2)은 픽셀들 각각에 형성되고, 공통 라인(14)에 연결되어 그 공통 라인(14)을 통해 공통 전압(Vcom)을 공급 받는다. 공통 라인(14)은 데이터 라인(16)과 나란한 수직 입력 라인(10)과 연결되고, 게이트 라인(15)과 나란한 수평 입력 라인(12)에 연결된다. 수직 입력 라인(10)과 수평 입력 라인(12)은 도 3 및 도 4와 같이 메쉬(30)와 함께 픽셀 어레이 밖의 베젤 영역에 형성된다. 게이트 라인(15)은 데이터 라인(16) 및 공통 라인(14)에 직교한다. 데이터 라인들(16)과 공통 라인들(14)은 도 2와 같이 하나의 픽셀 전극(1)을 사이에 두고 하나씩 교번된다. 따라서, 픽셀 어레이에서 기수 번째 수직 라인은 데이터 라인이고, 우수 번째 수직 라인은 공통 라인(14)일 수 있다.
- [0016] 소스 드라이브 IC(SIC)와 게이트 드라이브 IC(GIC)는 픽셀 데이터를 픽셀들에 기입한다. 소스 드라이브 IC(SIC)는 COF(Chip on film)와 같은 연성회로기판 상에 실장될 수 있다. COF의 입력단은 PCB(Printed Circuit Board)에 접합되고, COF의 출력단은 표시패널(PNL)의 하판에 접합된다. 소스 드라이브 IC(SIC)는 타이밍 컨트롤러(TCON)의 제어 하에 입력 영상의 디지털 비디오 데이터들을 샘플링한 후에 래치(Latch)하여 병렬 데이터 체계의 데이터로 변환한다. 소스 드라이브 IC(SIC)는 타이밍 컨트롤러(TCON)의 제어 하에 디지털-아날로그 변환기(Digital to Analog converter, ADC)를 이용하여 디지털 비디오 데이터들을 아날로그 감마보상전압으로 변환하여 데이터 전압을 발생하고 그 데이터 전압을 데이터 라인들(14)에 공급한다.
- [0017] 게이트 드라이브 IC(GIC)는 GIP(Gate In Panel) 공정으로 픽셀 어레이와 함께 하판의 기판 상에 직접 형성될 수 있다. 게이트 드라이브 IC(GIC)는 픽셀 어레이의 좌우측 밖의 베젤 영역에 형성될 수 있다. 게이트 드라이브 IC(GIC)는 타이밍 컨트롤러(TCON)의 제어 하에 데이터 전압에 동기되는 게이트 펄스를 게이트 라인들(15)에 순

차적으로 공급한다.

- [0018] 타이밍 콘트롤러(TCON)는 도시하지 않은 호스트 시스템으로부터 수신한 입력 영상의 디지털 비디오 데이터를 소스 드라이브 IC들(SIC)에 전송한다. 타이밍 콘트롤러(TCON)는 호스트 시스템으로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(CLK) 등의 타이밍 신호들을 입력받는다. 이러한 타이밍 신호들은 입력 영상의 디지털 비디오 데이터와 동기된다. 타이밍 콘트롤러(TCON)는 타이밍 신호(Vsync, Hsync, DE, CLK)를 이용하여 소스 드라이브 IC들(SIC)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와, 게이트 드라이브 IC들(GIC)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다.
- [0019] 호스트 시스템(Host System, SYSTEM)은 텔레비전 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다. 호스트 시스템(14)은 입력 영상의 디지털 비디오 데이터(RGB)를 표시패널(PNL)에 적합한 포맷으로 변환한다. 호스트 시스템은 입력 영상의 디지털 비디오 데이터와 함께 타이밍 신호들(Vsync, Hsync, DE, MCLK)을 타이밍 콘트롤러(TCON)로 전송한다.
- [0020] 픽셀 어레이는 다양한 구조로 구현될 수 있다. 일 예로, 픽셀 어레이는 도 2와 같은 DRD(Double Rate Driving) 픽셀 어레이로 구현될 있다. DRD 픽셀 어레이에서, 좌우로 이웃한 픽셀들은 그들 사이에 배치된 데이터 라인(16)에 연결되어 그 데이터 라인(16)으로부터의 데이터 전압을 연속으로 충전한다. 예를 들어, 제 n 데이터 라인(D_n)의 우측에 위치한 제1 픽셀은 1/2 수평 기간 동안 제 n 게이트 라인(G_n)으로부터의 게이트 펄스에 응답하여 턴-온(turn-on)되는 제1 TFT(TFT1)를 통해 제 n 데이터 라인(D_n)으로부터의 제1 데이터 전압을 충전한다. 이어서, 제 n 데이터 라인(D_n)의 좌측에 위치한 제2 픽셀은 1/2 수평 기간 동안 제 $n+1$ 게이트 라인(G_{n+1})으로부터의 게이트 펄스에 응답하여 턴-온되는 제2 TFT(TFT2)를 통해 제 n 데이터 라인(D_n)으로부터의 제2 데이터 전압을 충전한다. 픽셀들에 충전된 전압의 극성을 도트 인버전(Dot inversion)으로 반전시키기 위하여, 기수 번째 데이터 라인들(D_{n-1} , D_{n+1})에는 제1 수평 기간 동안 정극성 데이터 전압(+)이 공급된 후, 제2 수평 기간 동안 부극성 데이터 전압(-)이 공급된다. 우수 번째 데이터 라인들(D_n)에는 제1 수평 기간 동안 부극성 데이터 전압(-)이 공급된 후, 제2 수평 기간 동안 정극성 데이터 전압(+)이 공급된다. 이웃한 픽셀들 사이의 컬럼 경계에는 데이터 라인(16)이나 공통 라인(14) 중 어느 하나의 수직 라인이 형성된다.
- [0021] 공통 전압(V_{com})의 입력단은 도 3 및 도 4와 같이 메쉬(mesh)(30), 수직 입력 라인(10), 및 수평 입력 라인(12)을 포함한다.
- [0022] 메쉬(30), 수직 입력 라인(10), 및 수평 입력 라인(12)은 표시패널(PNL)에서 픽셀 어레이 밖의 상단 베젤 영역의 더미 링크 영역에 형성될 수 있다. 더미 링크 영역은 데이터 링크 영역(32) 사이에 형성된다. 데이터 링크 영역(32)은 데이터 라인들(16)의 간격(pitch)과, 데이터 패드들(20)의 각격 차이를 보상하기 위한 데이터 링크들(18)이 형성된다. 데이터 패드(20)에는 소스 드라이브 IC(SIC)의 출력 단자가 접속된다.
- [0023] 메쉬(30)는 빛이 통과되는 개구공들을 포함하는 메쉬 형태의 저저항 금속 패턴으로 형성된다. 메쉬(30)는 데이터 링크 영역(32)과의 단차를 줄이는 역할, 밀봉제(40)의 배면 노광을 위한 광경로 확보 역할, 및 공통 전압(V_{com})의 입력단 저항을 낮추는 역할을 한다. 메쉬(30)가 없으면 이웃한 데이터 링크 영역들(32) 사이에서 단차가 커지므로 배향막에 단차가 형성되어 그 단차 부분에서 액정 분자들이 비정상적으로 구동하는 영역이 발생된다. 표시패널(PNL)의 상판과 하판은 밀봉제(40)로 합착된다. 이 밀봉제(40)는 광경화성 수지로 형성될 수 있다. 밀봉제(40)는 메쉬(30)와 중첩된다. 도 5와 같이 상판(100)과 하판(110) 중 어느 하나에 액정과 밀봉제(40)를 도포하고 상판(100)과 하판(110)을 합착한 상태에서 하판(110)을 통해 자외선(UV)을 조사하여 밀봉제(40)를 경화할 수 있다. 이 때 자외선(UV)은 메쉬(30)의 개구공들을 통과하여 밀봉제(40)의 광경화를 유도한다. 메쉬(30)의 하부 뾰족한 부분은 수직 입력 라인(10)과 연결되어 공통 전압(V_{comn})의 입력단 저항을 낮춘다.
- [0024] 메쉬(30)에 연결된 수직 입력 라인(10)은 수평 입력 라인(12)과 연결되고, 수평 입력 라인(12)은 데이터 라인들(16)과 나란한 다수의 공통 라인들(14)에 병렬 연결될 수 있다. 수직 입력 라인(10)과 수평 입력 라인(12)은 도 6 내지 도 8과 같이 서로 다른 층에 형성되는 금속 패턴들로 형성되어 절연막을 관통하는 콘택홀(contact hole)을 통해 연결될 수 있다.
- [0025] 도 6은 공통 전압(V_{com})의 입력단을 상세히 보여 주는 평면도이다. 도 7은 도 6에서 B 부분을 상세히 보여 주는 평면도이다. 도 8은 도 7에서 선 "A-A'"을 따라 절취한 단면도이다. 도 8에서 링크 패턴(LNK)을 덮는 보호

막은 생략되어 있다.

[0026] 도 6 내지 도 8을 참조하면, 기판(SUBS) 상에 제1 금속 패턴(GM)으로 수평 입력 라인(12)이 형성된다. TFT의 게이트와 게이트 라인들(15)은 제1 금속 패턴(GM)으로 형성된다. 메쉬(30), 수직 입력 라인(10), 및 공통 라인들(14)은 제2금속 패턴으로 형성된다. TFT의 소스 및 드레인과 데이터 라인들(16)은 제2 금속 패턴으로 형성된다.

[0027] 제1 금속 패턴(GM)과 제2 금속 패턴(SD) 사이에는 제1 절연막(GI)이 형성된다. 제2 절연막(PAS1)은 제2 금속 패턴(SD)을 덮도록 게이트 절연막(GI)과 제2 금속 패턴(SD) 상에 형성된다. 수직 입력 라인(10)과 수평 입력 라인(12)은 링크 패턴(LNK)으로 연결된다. 링크 패턴(LNK)은 픽셀 전극(1) 및 공통 전극(2)과 같은 투명 도전 물질로 형성된다. 투명 도전 물질은 ITO(Indium Tin Oxide)일 수 있다. 링크 패턴(LNK)은 제2 절연막(PAS1)을 관통하는 제1 콘택홀(CONT1)을 통해 수직 입력 라인(10)에 연결되고, 제1 및 제2 절연막(GI, PAS1)을 관통하는 제2 콘택홀(CONT2)을 통해 수평 입력 라인(12)에 연결된다.

[0028] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구 범위에 의해 정해져야만 할 것이다.

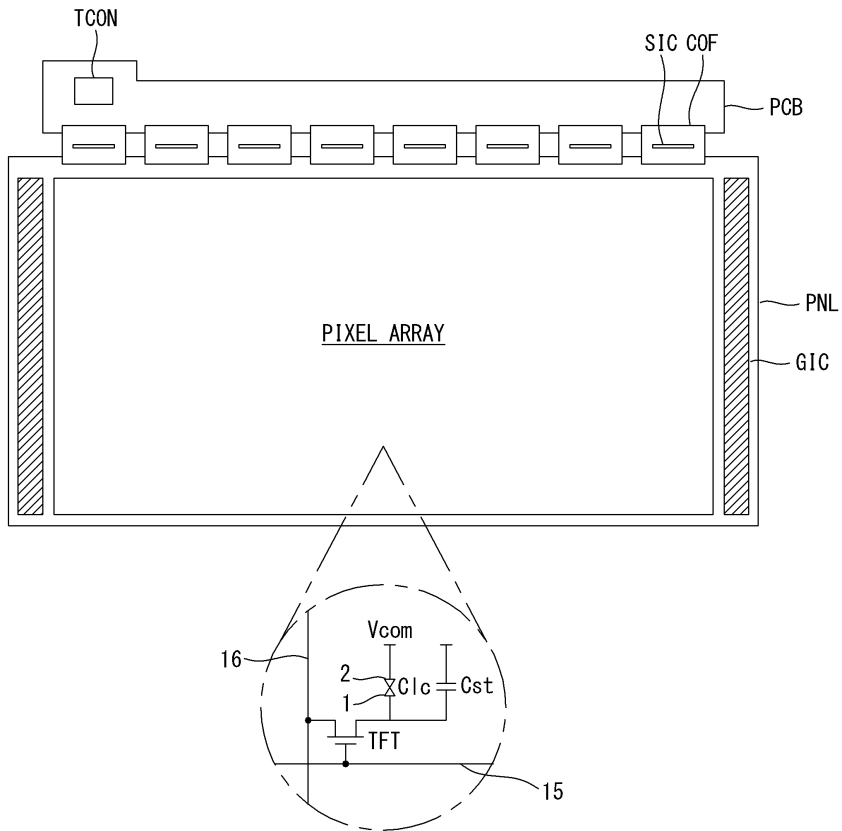
부호의 설명

[0029]

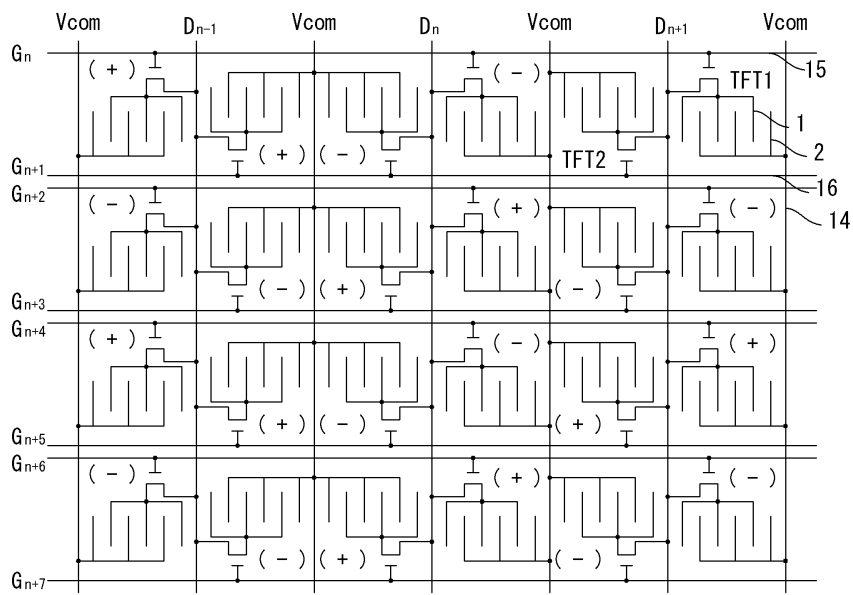
PNL : 표시패널	10 : 수직 입력 라인
12 : 수평 입력 라인	14 : 공통 라인
15 : 게이트 라인	16 : 데이터 라인
30 : 메쉬	40 : 밀봉재

도면

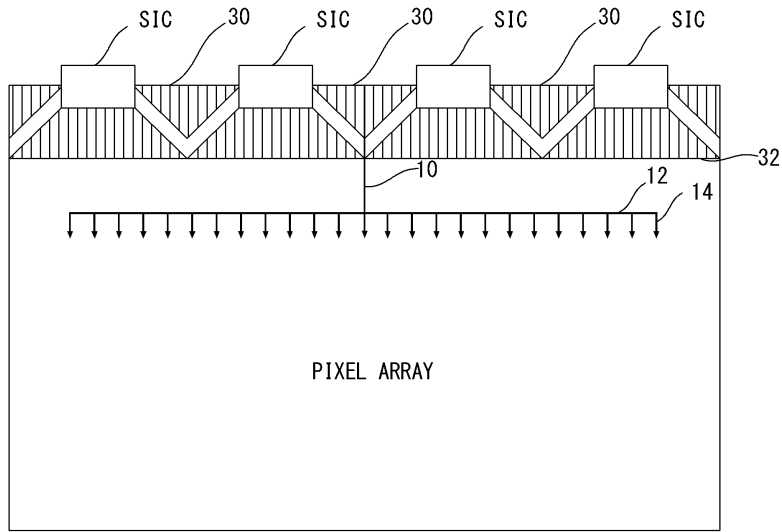
도면1



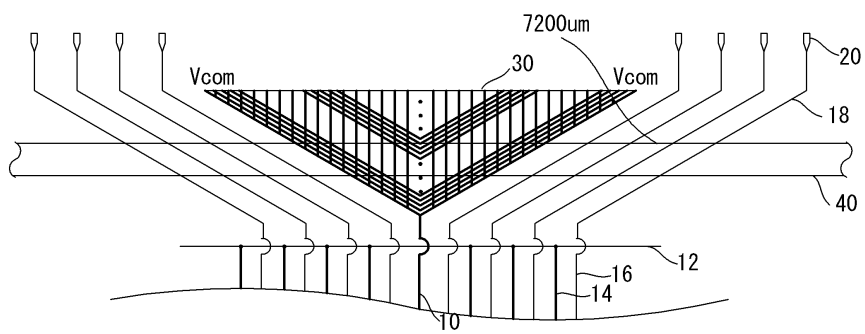
도면2



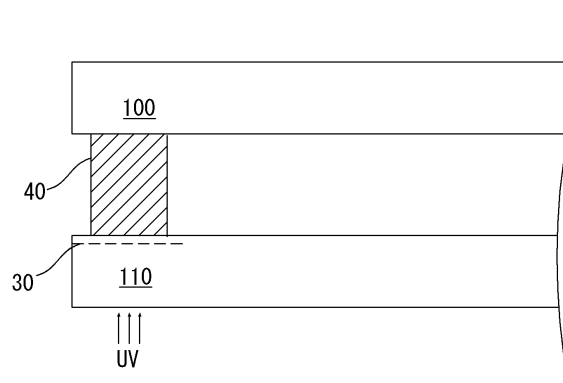
도면3



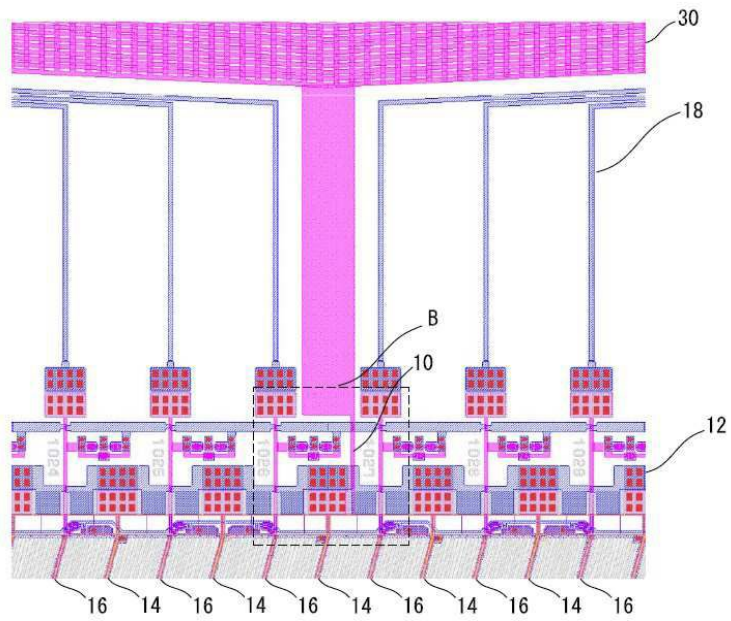
도면4



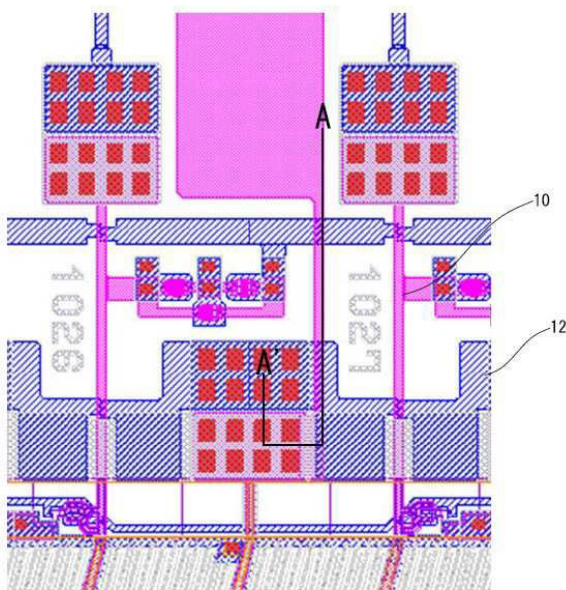
도면5



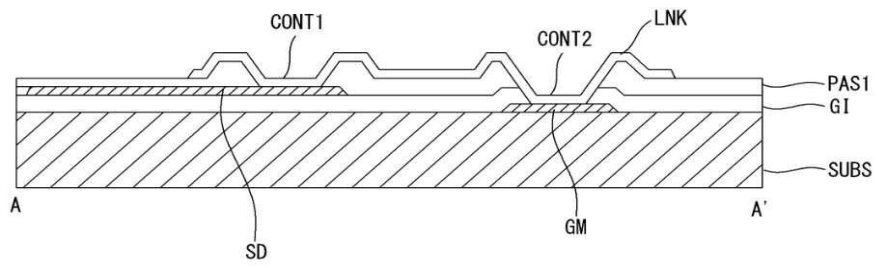
도면6



도면7



도면8



专利名称(译)	液晶显示		
公开(公告)号	KR1020150034892A	公开(公告)日	2015-04-06
申请号	KR1020130114570	申请日	2013-09-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JO YOUNG JIK 조영직		
发明人	조영직		
IPC分类号	G02F1/1345 G02F1/1362 G02F1/133 G09G3/36		
CPC分类号	G02F1/1345 G02F1/136286 G02F1/13306		
其他公开文献	KR102043849B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示器，包括显示面板，该显示面板包括：在其上显示输入图像的像素阵列；在像素阵列外部的边框区域；以及形成在边框区域的公共电压输入端子。公共电压输入端子包括网孔，该网孔包括使光穿过的多个开口孔。 专利出版物10-2015-0034892

표도 - 54

