



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0035197
(43) 공개일자 2014년03월21일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2012-0101794
(22) 출원일자 2012년09월13일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
오대석
경기 파주시 후곡로 50, 406동 906호 (금촌동, 후곡마을아파트)
서보건
경기 파주시 책향기로 448, 1202동 503호 (동패동, 책향기마을진흥효자아파트)
박용화
경기 파주시 쇄재로 133, 506동 1506호 (금촌동, 쇄재마을아파트)
(74) 대리인
서교준

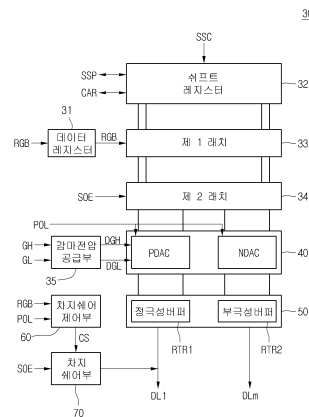
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 액정표시장치 및 그 구동방법

(57) 요약

실시 예에 따른 액정표시장치는, 다수의 게이트 라인과 다수의 데이터 라인이 형성된 액정표시패널; 상기 데이터 라인에 데이터 전압을 인가하기 위한 데이터 드라이버; 상기 게이트 라인에 게이트 펄스를 인가하기 위한 게이트 드라이버; 상기 데이터 드라이버 및 게이트 드라이버에 신호를 인가하는 타이밍 컨트롤러; 및 이전 비디오 데이터와 현재 비디오 데이터를 비교하여 상기 다수의 데이터라인의 차지웨어를 수행하는 차지웨어부를 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

다수의 게이트 라인과 다수의 데이터 라인이 형성된 액정표시패널;
상기 데이터 라인에 데이터 전압을 인가하기 위한 데이터 드라이버;
상기 게이트 라인에 게이트 펄스를 인가하기 위한 게이트 드라이버;
상기 데이터 드라이버 및 게이트 드라이버에 신호를 인가하는 타이밍 컨트롤러; 및
이전 비디오 데이터와 현재 비디오 데이터를 비교하여 상기 다수의 데이터라인의 차지웨어를 수행하는 차지웨어부를 포함하는 액정표시장치.

청구항 2

제1항에 있어서,
상기 차지웨어부는,
기수 번째 데이터 라인의 차지웨어를 수행하는 정극성 차지웨어부; 및
우수 번째 데이터 라인의 차지웨어를 수행하는 부극성 차지웨어부를 포함하는 액정표시장치.

청구항 3

제2항에 있어서,
상기 정극성 차지웨어부 및 부극성 차지웨어부는 각각 차징 커패시터를 포함하고,
상기 차징 커패시터에 차징된 바이어스 전압에 의해 차지웨어가 수행되는 액정표시장치.

청구항 4

제3항에 있어서,
상기 차징 커패시터는,
상기 데이터 라인에 데이터 전압이 인가되는 구간에 바이어스 전압이 차징되고,
상기 데이터 라인에 데이터 전압이 인가되지 않는 구간에 상기 데이터 라인과 차지웨어가 수행되는 액정표시장치.

청구항 5

제3항에 있어서,
상기 바이어스 전압은 0계조의 기준전압인 액정표시장치.

청구항 6

제2항에 있어서,
상기 차지웨어부는,
하나의 수평기간동안 비디오 데이터를 저장하기 위한 라인 메모리; 및
상기 라인 메모리로부터의 이전 비디오 데이터와 현재 비디오 데이터를 비교하여 차지웨어 여부를 판단하는 판단부를 더 포함하는 액정표시장치.

청구항 7

제6항에 있어서,

상기 판단부는,

상기 이전 비디오 데이터와 현재 비디오 데이터의 계조차가 제1 기준계조 이상을 가지는 개수를 검출하여 차지웨어 여부를 판단하는 액정표시장치.

청구항 8

제7항에 있어서,

상기 판단부는,

상기 검출된 개수가 기준 미만일 때, 이전 비디오 데이터의 계조를 평균하여 차지웨어 여부를 판단하는 액정표시장치.

청구항 9

제6항에 있어서,

상기 판단부는 상기 정극성 차지웨어부를 제어하기 위한 제1 차지웨어신호; 및

상기 부극성 차지웨어부를 제어하기 위한 제2 차지웨어신호를 생성하는 액정표시장치.

청구항 10

제1항에 있어서,

상기 데이터 드라이버는 디지털 신호를 데이터 전압으로 변환하기 위한 DAC; 및

상기 데이터 전압의 출력을 제어하기 위한 버퍼부를 포함하고,

상기 버퍼부는 레일 투 레일 구조로 형성되는 액정표시장치.

청구항 11

제1항에 있어서,

상기 액정표시패널은 DRD 구동방식인 액정표시장치.

청구항 12

극성신호의 하이 레벨 또는 로우 레벨을 판단하는 단계;

상기 극성신호가 하이레벨일 경우 우수 번째 데이터 라인 중 이전 비디오 데이터와 현재 비디오 데이터의 계조차가 제1 기준계조 이상을 가지는 개수를 검출하는 단계; 및

상기 검출된 개수를 이용하여 차지웨어신호의 출력여부를 판단하는 단계를 포함하는 액정표시장치의 구동방법.

청구항 13

제12항에 있어서,

상기 우수 번째 데이터 라인이 모두 이전 비디오 데이터와 현재 비디오 데이터의 계조차가 제1 기준계조 이상을 가지는 경우 차지웨어신호를 출력하는 액정표시장치의 구동방법.

청구항 14

제12항에 있어서,

상기 우수 번째 데이터 라인 중 이전 비디오 데이터와 현재 비디오 데이터의 계조차가 제1 기준계조 미만을 가지는 데이터 라인이 하나 있는 경우 상기 이전 비디오 데이터의 평균과 제2 기준 계조를 비교하는 단계를 더 포함하는 액정표시장치의 구동방법.

청구항 15

제14항에 있어서,

상기 이전 비디오 데이터의 평균이 제2 기준 계조 이하일 경우 차지웨어 신호를 출력하는 액정표시장치의 구동 방법.

청구항 16

제12항에 있어서,

상기 우수 번째 데이터 라인 중 이전 비디오 데이터와 현재 비디오 데이터의 계조차가 제1 기준계조 미만을 가지는 데이터 라인이 두개 이상 있는 경우 상기 이전 비디오 데이터의 평균과 제3 기준 계조를 비교하는 단계를 더 포함하는 액정표시장치의 구동방법.

청구항 17

제16항에 있어서,

상기 이전 비디오 데이터의 평균이 제3 기준 계조 이하일 경우 차지웨어 신호를 출력하는 액정표시장치의 구동 방법.

청구항 18

제12항에 있어서,

상기 제1 기준 계조는 중간계조인 액정표시장치의 구동방법.

청구항 19

제14항에 있어서,

상기 제2 기준 계조는 최대 계조와 제1 기준 계조의 사이 값인 액정표시장치의 구동방법.

청구항 20

제16항에 있어서,

상기 제1 기준 계조와 제3 기준 계조는 동일한 액정표시장치의 구동방법.

명세서

기술분야

[0001] 실시 예는 액정표시장치에 관한 것이다.

[0002] 실시 예는 액정표시장치의 구동방법에 관한 것이다.

배경기술

[0003] 정보화 사회가 발전함에 따라 표시장에 대한 요구도 다양한 형태로 증증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluoresecent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.

[0004] 그 중에, 현재 화질이 우수하고, 경량, 박형, 저소비 전력의 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전, 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

[0005] 상기 액정표시장치는 다수의 게이트 라인 및 다수의 데이터 라인이 교차하여 형성되는 액정표시패널을 포함하고, 상기 데이터 라인에 데이터를 공급하기 위한 데이터 드라이버를 구비한다.

[0006] 도 1은 종래의 액정표시장치의 데이터 드라이버의 일부, 데이터 라인 및 화소 영역의 일부를 도시한 회로도이다.

[0007] 도 1을 참조하면 종래의 액정표시장치의 데이터 드라이버는 디지털 신호로부터 정극성 데이터 전압을 생성하는

정극성 DAC(PDAC), 디지털 신호로부터 부극성 데이터 전압을 생성하는 부극성 DAC(NDAC), 상기 정극성 데이터 전압의 출력을 제어하는 정극성 버퍼(PAMP) 및 상기 부극성 데이터 전압의 출력을 제어하는 부극성 버퍼(NAMP)를 포함할 수 있다.

[0008] 상기 정극성 버퍼(PAMP)로부터 출력된 정극성 전압과 상기 부극성 버퍼(NAMP)로부터 출력된 부극성 전압은 각각, 제1 내지 제4 트랜지스터(TR1 내지 TR4)에 의해 제1 데이터 라인(DL1) 및 제2 데이터 라인(DL2)으로 전달될 수 있다.

[0009] 상기 제1 데이터 라인(DL1)에 연결된 다수의 화소 영역의 부하 및 커패시턴스는 제1 저항(Rp) 및 제1 커패시터(Cp)로 등가화하여 나타내었다. 상기 제2 데이터 라인(DL2)에 연결된 다수의 화소 영역의 부하 및 커패시턴스는 제2 저항(Rn) 및 제2 커패시터(Cn)로 나타내었다.

[0010] 상기 제1 데이터 라인(DL1)과 제2 데이터 라인(DL2) 사이에는 스위치(SW)가 연결될 수 있다. 상기 스위치(SW)는 별도의 신호에 의해 온오프 제어되며, 상기 스위치(SW)가 온 되는 경우 제1 데이터 라인(DL1)과 제2 데이터 라인(DL2) 사이에 전하가 공유되는 차지웨어가 수행된다. 상기 스위치(SW)는 소스출력인에이블신호(SOE)가 하이로 인가되는 구간에 온 됨으로써 차지웨어를 수행한다. 상기 소스출력인에이블신호(SOE)가 하이로 인가되는 구간에서 차지웨어가 수행됨으로써 동일 극성의 신호가 2이상의 수평기간동안 인가되는 차지웨어가 불필요한 구간에도 차지웨어가 수행되어 소비전력의 소모와 발열증대의 문제점이 있다.

[0011] 상기 정극성 버퍼(PAMP) 및 부극성 버퍼(NAMP)는 싱글 엔디드(Single ended)구조를 가진다. 상기 정극성 버퍼(PAMP)는 제1 정극성 논리부(P1), 제2 정극성 논리부(P2), 제1 정극성 트랜지스터(PTR1) 및 제2 정극성 트랜지스터(PTR2)를 포함할 수 있고, 상기 부극성 버퍼(NAMP)는 제1 부극성 논리부(N1), 제2 부극성 논리부(N2), 제1 부극성 트랜지스터(NTR1) 및 제2 부극성 트랜지스터(NTR2)를 포함할 수 있다.

[0012] 상기 제1 정극성 논리부(P1)와 제2 정극성 논리부(P2)의 구분은 상기 정극성 버퍼(PAMP)의 내부구조를 전류 공유여부에 따라 나눈것이다. 상기 제1 부극성 논리부(N1)와 제2 부극성 논리부(N2)의 구분은 상기 부극성 버퍼(NAMP)의 내부구조를 전류 공유여부에 따라 나눈것이다.

[0013] 상기 제1 정극성 논리부(P1) 및 제1 부극성 논리부(N1)는 전원전압(VDD)과 접지전압(GND)사이에 연결될 수 있다. 상기 제2 정극성 논리부(P2)는 전원전압(VDD)과 바이어스 전압(HVDD)사이에 연결될 수 있고, 상기 제2 부극성 논리부(N2)는 바이어스 전압(HVDD)과 접지전압(GND)사이에 연결될 수 있다. 상기 제2 정극성 논리부(P2)와 제2 부극성 논리부(N2)는 상기 전원전압(VDD)에서부터의 전류가 바이어스 전압(HVDD)을 거쳐 접지전압(GND)으로 흘러서 전류를 공유하지만, 상기 제1 정극성 논리부(P1)와 제1 부극성 논리부(N1)는 상기 전원전압(VDD)과 접지전압(GND) 사이에 병렬로 연결되어 전류를 공유하지 않아 소비전력을 절감하지 못하고, 데이터 드라이버의 발열을 증대시키는 문제점이 있다.

발명의 내용

해결하려는 과제

[0014] 실시 예는 소비전력을 저감시키고, 데이터 드라이버의 발열을 줄일 수 있는 액정표시장치 및 그 구동방법을 제공한다.

과제의 해결 수단

[0015] 실시 예에 따른 액정표시장치는, 다수의 게이트 라인과 다수의 데이터 라인이 형성된 액정표시패널; 상기 데이터 라인에 데이터 전압을 인가하기 위한 데이터 드라이버; 상기 게이트 라인에 게이트 펄스를 인가하기 위한 게이트 드라이버; 상기 데이터 드라이버 및 게이트 드라이버에 신호를 인가하는 타이밍 컨트롤러; 및 이전 비디오 데이터와 현재 비디오 데이터를 비교하여 상기 다수의 데이터라인의 차지웨어를 수행하는 차지웨어부를 포함한다.

[0016] 실시 예에 따른 액정표시장치의 구동방법은, 극성신호의 하이 레벨 또는 로우 레벨을 판단하는 단계; 상기 극성 신호가 하이레벨일 경우 우수 번째 데이터 라인 중 이전 비디오 데이터와 현재 비디오 데이터의 계조차가 제1 기준계조 이상을 가지는 개수를 검출하는 단계; 및 상기 검출된 개수를 이용하여 차지웨어신호의 출력여부를 판단하는 단계를 포함한다.

발명의 효과

- [0017] 실시 예에 따른 액정표시장치 및 그 구동방법은 버퍼부를 레일 투 레일 구조로 형성하여, 전류를 공유하여 소비 전력을 줄이고, 발열을 줄일 수 있다.
- [0018] 실시 예에 따른 액정표시장치 및 그 구동방법은, 비디오 데이터의 변화에 따라 차지웨어 여부를 결정하여 불필요한 차지웨어를 방지하여 소비전력을 줄이고, 발열을 줄일 수 있다.
- [0019] 실시 예에 따른 액정표시장치 및 그 구동방법은, 기준계조로 이용되는 바이어스 전압을 커패시터에 충전시키고 이를 이용하여 차지 웨어를 수행하여, 소비전력을 줄이고, 발열을 줄일 수 있다.

도면의 간단한 설명

- [0020] 도 1은 종래의 액정표시장치의 데이터 드라이버의 일부, 데이터 라인 및 화소 영역의 일부를 도시한 회로도이다.
- 도 2는 실시 예에 따른 액정표시장치를 나타낸 블록도이다.
- 도 3은 실시 예에 따른 액정표시패널의 DRD구동방식에 따른 화소구조를 나타낸 도면이다.
- 도 4는 실시 예에 따른 액정표시장치의 데이터 드라이버를 나타낸 도면이다.
- 도 5는 실시 예에 따른 액정표시장치의 차지웨어 제어부 및 차지웨어부를 도시한 블록도이다.
- 도 6은 실시 예에 따른 액정표시장치의 판단부의 차지웨어 판단방법을 나타낸 순서도이다.
- 도 7은 실시 예에 따른 액정표시장치의 데이터 드라이버의 일부와 차지웨어부를 나타낸 도면이다.
- 도 8은 실시 예에 따른 차지웨어부의 동작을 나타내는 회로도이다.
- 도 9는 실시 예에 따른 차지웨어에 의한 데이터 라인의 전압을 도시한 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 실시 예에 따른 액정표시장치는, 다수의 게이트 라인과 다수의 데이터 라인이 형성된 액정표시패널; 상기 데이터 라인에 데이터 전압을 인가하기 위한 데이터 드라이버; 상기 게이트 라인에 게이트 펄스를 인가하기 위한 게이트 드라이버; 상기 데이터 드라이버 및 게이트 드라이버에 신호를 인가하는 타이밍 컨트롤러; 및 이전 비디오 데이터와 현재 비디오 데이터를 비교하여 상기 다수의 데이터라인의 차지웨어를 수행하는 차지웨어부를 포함한다.
- [0022] 상기 차지웨어부는, 기수 번째 데이터 라인의 차지웨어를 수행하는 정극성 차지웨어부; 및 우수 번째 데이터 라인의 차지웨어를 수행하는 부극성 차지웨어부를 포함할 수 있다.
- [0023] 상기 정극성 차지웨어부 및 부극성 차지웨어부는 각각 차징 커패시터를 포함하고, 상기 차징 커패시터에 차징된 바이어스 전압에 의해 차지웨어가 수행될 수 있다.
- [0024] 상기 차징 커패시터는, 상기 데이터 라인에 데이터 전압이 인가되는 구간에 바이어스 전압이 차징되고, 상기 데이터 라인에 데이터 전압이 인가되지 않는 구간에 상기 데이터 라인에 차지웨어가 수행될 수 있다.
- [0025] 상기 바이어스 전압은 0계조의 기준전압일 수 있다.
- [0026] 상기 차지웨어부는, 하나의 수평기간동안 비디오 데이터를 저장하기 위한 라인 메모리; 및 상기 라인 메모리로부터의 이전 비디오 데이터와 현재 비디오 데이터를 비교하여 차지웨어 여부를 판단하는 판단부를 더 포함할 수 있다.
- [0027] 상기 판단부는, 상기 이전 비디오 데이터와 현재 비디오 데이터의 계조차가 제1 기준계조 이상을 가지는 개수를 검출하여 차지웨어 여부를 판단할 수 있다.
- [0028] 상기 판단부는, 상기 검출된 개수가 기준 미만일 때, 이전 비디오 데이터의 계조를 평균하여 차지웨어 여부를 판단할 수 있다.
- [0029] 상기 판단부는 상기 정극성 차지웨어부를 제어하기 위한 제1 차지웨어신호; 및 상기 부극성 차지웨어부를 제어하기 위한 제2 차지웨어신호를 생성할 수 있다.
- [0030] 상기 데이터 드라이버는 디지털 신호를 데이터 전압으로 변환하기 위한 DAC; 및 상기 데이터 전압의 출력을 제

어하기 위한 버퍼부를 포함하고, 상기 버퍼부는 레일 투 레일 구조로 형성될 수 있다.

- [0031] 상기 액정표시패널은 DRD 구동방식일 수 있다.
- [0032] 실시 예에 따른 액정표시장치의 구동방법은, 극성신호의 하이 레벨 또는 로우 레벨을 판단하는 단계; 상기 극성 신호가 하이레벨일 경우 우수 번째 데이터 라인 중 이전 비디오 데이터와 현재 비디오 데이터의 계조차가 제1 기준계조 이상을 가지는 개수를 검출하는 단계; 및 상기 검출된 개수를 이용하여 차지웨어신호의 출력여부를 판단하는 단계를 포함한다.
- [0033] 상기 우수 번째 데이터 라인이 모두 이전 비디오 데이터와 현재 비디오 데이터의 계조차가 제1 기준계조 이상을 가지는 경우 차지웨어신호를 출력할 수 있다.
- [0034] 상기 우수 번째 데이터 라인 중 이전 비디오 데이터와 현재 비디오 데이터의 계조차가 제1 기준계조 미만을 가지는 데이터 라인이 하나 있는 경우 상기 이전 비디오 데이터의 평균과 제2 기준 계조를 비교하는 단계를 더 포함할 수 있다.
- [0035] 상기 이전 비디오 데이터의 평균이 제2 기준 계조 이하일 경우 차지웨어 신호를 출력할 수 있다.
- [0036] 상기 우수 번째 데이터 라인 중 이전 비디오 데이터와 현재 비디오 데이터의 계조차가 제1 기준계조 미만을 가지는 데이터 라인이 두개 이상 있는 경우 상기 이전 비디오 데이터의 평균과 제3 기준 계조를 비교하는 단계를 더 포함할 수 있다.
- [0037] 상기 이전 비디오 데이터의 평균이 제3 기준 계조 이하일 경우 차지웨어 신호를 출력할 수 있다.
- [0038] 상기 제1 기준 계조는 중간계조일 수 있다.
- [0039] 상기 제2 기준 계조는 최대 계조와 제1 기준 계조의 사이 값일 수 있다.
- [0040] 상기 제1 기준 계조와 제3 기준 계조는 동일할 수 있다.
- [0041] 도 2는 실시 예에 따른 액정표시장치를 나타낸 블록도이다.
- [0042] 도 2를 참조하면 실시 예에 따른 액정표시장치는 액정표시패널(1), 타이밍 컨트롤러(10), 게이트 드라이버(20) 및 데이터 드라이버(30)를 포함할 수 있다.
- [0043] 상기 액정표시패널(1)에는 다수의 게이트 라인(GL1 내지 GLn) 및 상기 게이트 라인(GL1 내지 GLn)과 교차하는 방향으로 형성되는 다수의 데이터 라인(DL1 내지 DLm)을 포함할 수 있다. 상기 다수의 게이트 라인(GL1 내지 GLn)에 의해 다수의 화소 영역이 정의되고, 상기 다수의 화소 영역에는 각각 박막 트랜지스터(T)가 형성될 수 있다. 상기 박막 트랜지스터(T)는 상기 게이트 라인(GL1 내지 GLn) 및 데이터 라인(DL1 내지 DLm)과 전기적으로 연결될 수 있다. 상기 액정표시패널(1)은 상기 데이터 드라이버(30)에 의해 다수의 인버전 방식으로 구동될 수 있고, 상기 다수의 인버전 방식에 따른 화소 영역 구조를 가질 수 있다. 실시 예에서는 DRD(Double rate driving)구조로 구동하는 방식에 대해 설명하지만 이에 한정하지는 않는다.
- [0044] 상기 박막 트랜지스터(T)는 게이트 라인(GL1 내지 GLn)에 의해 게이트 신호를 전달받아 턴 온되고, 상기 박막 트랜지스터(T)가 턴 온 될 때, 상기 데이터 라인(DL1 내지 DLm)으로부터 전달받은 데이터 전압을 화소전극으로 전달하고, 상기 화소 전극에 인가되는 전압과 공통전압의 전위차에 의해 전계가 발생하고, 상기 전계에 의해 액정이 변위하여 백라이트로부터의 광의 휘도를 조절하여 화상을 표시할 수 있다.
- [0045] 상기 타이밍 컨트롤러(10)는 비디오 데이터(RGB), 수평 동기신호(H), 수직 동기신호(H, V) 및 클럭신호(CLK)를 입력받고 상기 게이트 드라이버(20)를 제어하기 위한 게이트 제어신호(GDC)를 생성하고, 상기 데이터 드라이버(30)를 제어하기 위한 데이터 제어신호(DDC)를 생성한다.
- [0046] 상기 게이트 드라이버(20)는 상기 타이밍 컨트롤러(10)로부터의 게이트 제어신호(GDC)에 응답하여 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터, 스캔펄스의 스윙폭을 액정셀의 구동에 적합한 레벨로 쉬프트 시키기 위한 레벨 쉬프터, 출력버퍼 등으로 구성된다. 상기 게이트 구동부(20)는 게이트 신호를 게이트 라인(GL1 내지 GLn)에 공급함으로써 상기 게이트 라인(GL1 내지 GLn)에 연결된 박막 트랜지스터(T)를 턴 온 시켜 데이터전압이 공급될 1 수평라인의 액정셀을 선택한다. 상기 데이터 드라이버(30)로부터 발생하는 데이터 전압은 게이트 신호에 의해 선택된 수평라인의 액정셀에 공급한다.
- [0047] 상기 데이터 드라이버(30)는 상기 타이밍 컨트롤러(10)로부터 전달받은 비디오 데이터(RGB)를 샘플링하고 래치한 다음, 아날로그 데이터 전압으로 변환하게 된다. 상기 데이터 드라이버(30)의 세부적 구성에 대해서는 이후

에 상세히 설명한다.

- [0048] 상기 게이트 드라이버(20) 및 데이터 드라이버(30)은 다수의 데이터 집적회로(Integrated Circuit)로 구현될 수 있다.
- [0049] 도 3은 실시 예에 따른 액정표시패널의 DRD구동방식에 따른 화소구조를 나타낸 도면이다.
- [0050] 도 3을 참조하면 실시 예에 따른 액정표시패널은 하나의 수평라인에 배치된 복수의 액정셀들을 두 개의 게이트 라인들과 액정셀의 1/2개의 데이터 라인들을 이용하여 구동시킨다. 상기 액정표시패널은 플리커를 최소화하고, 소비전력을 줄이기 위해 수평 2도트 인버전 방식으로 구동된다. 이에 따라, 하나의 데이터 라인을 사이에 두고 서로 인접하는 두 개의 액정셀들은 두개의 게이트 라인들에 각각 연결되어 데이터 라인을 통해 공급되는 동일 극성의 데이터 전압을 충전한다.
- [0051] 상기 액정셀들은 제1 게이트 라인(GL)에 연결된 액정 셀부터 순차적으로 화살표방향에 따라(1~8) 각 수평라인의 액정 셀이 충전된다. 예를 들어, 제1 및 제2 게이트 라인(GL1, GL2)과 제1 데이터 라인(DL1)에 연결된 R액정셀과 G액정셀은 제1 및 제2 게이트 라인(GL1, GL2)으로부터의 게이트 구동신호의 공급시점에 동기되어 정극성(+)으로 순차 충전되고, 제2 데이터 라인(DL2)에 연결된 B액정셀과 R액정셀은 제1 및 제2 게이트 라인(GL1, GL2)으로부터의 게이트 구동신호의 공급시점에 동기되어 부극성(-)으로 순차충전될 수 있다. 상기 DRD구동방식에 따른 화소 구조는 6개의 데이터 라인으로 묶어서 설명할 수 있다. 예를 들어 최상부 수평라인에 연결된 액정셀은 12개의 R, G, B 액정셀에 각각 동일한 개수의 정극성 또는 부극성이 충전된 것으로 설명할 수 있어, 6개의 데이터 라인을 묶어서 설명하는 경우 극성의 치우침이나, R, G, B의 불균형 없이 액정표시패널의 구동을 설명할 수 있다.
- [0052] 도 4는 실시 예에 따른 액정표시장치의 데이터 드라이버(30)를 나타낸 도면이다.
- [0053] 도 4를 참조하면 실시 예에 따른 액정표시장치의 데이터 드라이버(30)는 데이터 레지스터(31), 쉬프트 레지스터(32), 제1 래치(33), 제2 래치(34), 감마전압 공급부(35), DAC(Digital to Analog Converter, 40), 버퍼부(50), 차지웨어 제어부(60) 및 차지웨어부(70)를 포함할 수 있다.
- [0054] 상기 데이터 레지스터(31)는 타이밍 컨트롤러(1)로부터 공급받은 디지털 데이터(RGB)를 제1 래치(33)로 공급한다. 상기 쉬프트 레지스터(32)는 타이밍 컨트롤러(1)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 쉬프트시켜 샘플링신호를 발생하게 된다. 또한, 쉬프트 레지스터(32)는 소스 스타트 펄스(SSP)를 쉬프트시켜 다음 단의 쉬프트 레지스터(32)에 캐리신호(CAR)를 전달하게 된다. 제1 래치(33)는 쉬프트 레지스터(32)로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터(31)로부터의 디지털 데이터(RGB)를 순차적으로 샘플링한다. 제2 래치(34)는 제1 래치(33)로부터 입력되는 데이터를 래치한 다음, 래치된 데이터를 타이밍 컨트롤러(1)로부터의 소스 출력 인에이블신호(SOE)에 응답하여 동시에 출력한다. DAC(40)는 제2 래치(34)로부터의 데이터를 감마전압 공급부(35)로부터의 감마전압(DGH, DGL)을 통해 데이터 전압을 생성하여 버퍼부(50)로 전달한다.
- [0055] 상기 DAC(40)는 정극성 DAC(PDAC)와 부극성 DAC(NDAC)를 포함할 수 있다. 상기 정극성 DAC(PDAC)는 하이레벨의 극성신호(POL)에 동기하여 정극성 데이터 전압을 생성하여 버퍼부(50)로 전달하고, 상기 부극성 DAC(NDAC)는 로우레벨의 극성신호(POL)에 동기하여 부극성 데이터전압을 생성하여 버퍼부(50)로 전달할 수 있다. 상기 정극성 DAC(PDAC)는 정극성 데이터 전압을 정극성 버퍼(RTR1)로 전달할 수 있고, 상기 부극성 DAC(NDAC)는 부극성 데이터 전압을 부극성 버퍼(RTR2)로 전달할 수 있다.
- [0056] 상기 버퍼부(50)는 상기 DAC(40)로부터 전달받은 데이터 전압을 다수의 데이터 라인(DL1 내지 DLm)으로 인가할 수 있다. 상기 버퍼부(50)는 정극성 버퍼(RTR1)와 부극성 버퍼(RTR2)를 포함할 수 있다.
- [0057] 상기 차지웨어 제어부(60)는 타이밍 컨트롤러(1)로부터 전달받은 비디오 데이터(RGB) 및 극성신호(POL)를 통해 차지웨어신호(CS)를 생성하여 차지 웨어부(70)로 전달할 수 있다. 상기 차지웨어 제어부(60)는 상기 극성신호(POL)에 따라 상기 비디오 데이터(RGB)의 계조 변화를 분석하여 차지 웨어신호(CS)를 생성할 수 있다. 상기 차지웨어 제어부(60)에 대해서는 후술하기로 한다.
- [0058] 상기 차지웨어부(70)는 상기 차지웨어 제어부(60)로부터 전달받은 차지웨어신호(CS) 및 타이밍 컨트롤러(1)로부터의 소스출력인에이블(SOE)신호에 의해 상기 다수의 데이터 라인(DL1 내지 DLm)의 차지웨어동작을 수행할 수 있다. 상기 차지웨어부(70)에 대해서는 후술하기로 한다.

- [0059] 도 5는 실시 예에 따른 액정표시장치의 차지웨어 제어부(60) 및 차지웨어부(70)를 도시한 블록도이다.
- [0060] 도 5를 참조하면 실시 예에 따른 액정표시장치의 차지웨어 제어부(60)는 라인 메모리(61) 및 판단부(63)를 포함할 수 있고, 상기 차지웨어부(70)는 정극성 차지웨어부(71) 및 부극성 차지웨어부(73)를 포함할 수 있다.
- [0061] 상기 차지웨어 제어부(60)는 타이밍 컨트롤러(1)로부터 비디오 데이터(RGB)와 극성신호(POL)를 입력받고 차지웨어신호(CS)를 상기 차지웨어부(70)로 전달한다. 상기 차지웨어 제어부(60)는 차지웨어 여부를 판단하여 차지웨어신호(CS)를 생성하여 상기 차지웨어부(70)로 전달할 수 있다.
- [0062] 상기 차지웨어 제어부(60)는 제1 차지웨어신호(CS1)를 상기 정극성 차지웨어부(71)로 전달하고, 제2 차지웨어신호(CS2)를 부극성 차지웨어부(73)로 전달할 수 있다.
- [0063] 상기 라인 메모리(61)는 비디오 데이터(RGB)를 입력받아 1수평기간동안의 비디오 데이터를 저장한 후 1수평기간 이후에 비디오 데이터를 상기 판단부(63)로 전달할 수 있다. 다시 말해, 상기 판단부(63)는 타이밍 컨트롤러(1)로부터 현재 비디오 데이터(RGB)를 전달받음과 동시에 상기 라인 메모리(61)로부터 이전 비디오 데이터(R'G'B')를 전달받을 수 있다. 상기 이전 비디오 데이터(R'G'B')와 현재 비디오 데이터(RGB)는 1수평기간 차이가 나는 비디오 데이터이다.
- [0064] 상기 판단부(63)는 타이밍 컨트롤러(1)로부터 전달받은 극성신호(POL), 현재 비디오 데이터(RGB) 및 라인 메모리(61)부터 전달받은 이전 비디오 데이터(R'G'B')를 통해 제1 차지웨어신호(CS1) 및 제2 차지웨어신호(CS2)를 생성하여 상기 차지웨어부(70)로 인가한다. 상기 판단부(63)는 극성에 따라 이전 비디오 데이터(R'G'B')와 현재 비디오 데이터(RGB)의 계조차이의 다소에 따라 차지웨어 여부를 판단하여 차지웨어신호(CS)를 생성할 수 있다. 상기 차지웨어신호(CS)는 소스출력인에이블신호(SOE)와 동기화될 수 있다. 상기 판단부(60)의 판단과정은 도 6을 통해 후술한다.
- [0065] 상기 차지웨어부(70)는 타이밍 컨트롤러(1)로부터의 소스출력인에이블신호(SOE)와 상기 판단부(63)로부터의 제1 및 제2 차지웨어신호(CS1, CS2)를 통해 다수의 데이터 라인의 차지웨어를 수행한다. 상기 정극성 차지웨어부(71)는 기수 번째 데이터 라인들의 차지웨어를 수행할 수 있고, 상기 부극성 차지웨어부(73)는 우수 번째 데이터 라인들의 차지웨어를 수행할 수 있으나, 이에 한정하지 않고, 상기 정극성 차지웨어부(71)가 우수 번째 데이터 라인들의 차지웨어를 수행할 수 있고, 상기 부극성 차지웨어부(73)가 기수 번째 데이터 라인들의 차지웨어를 수행할 수도 있다.
- [0066] 상기 제1 차지웨어신호(CS1)가 하이레벨일 때, 상기 기수 번째 데이터 라인들의 차지웨어가 수행되고, 상기 제2 차지웨어신호(CS2)가 하이레벨일 때, 상기 우수 번째 데이터 라인들의 차지웨어가 수행될 수 있다.
- [0067] 도 6은 실시 예에 따른 액정표시장치의 판단부의 차지웨어 판단방법을 나타낸 순서도이다.
- [0068] 도 6과 도 3을 함께 참조하면 실시 예에 따른 액정표시장치의 판단부(63)의 차지웨어 판단방법은 극성신호(POL)가 하이레벨인 경우와 로우레벨인 경우로 나뉜다.
- [0069] 상기 극성신호(POL)가 하이레벨일 때는 우수 번째 데이터 라인(DL6k-4, DL6k-2, DL6k)중 이전 비디오 데이터(DL(R'G'B'))와 현재 비디오 데이터(DL(RGB))의 계조차가 제1 기준계조(Gray1) 이상을 가지는 개수(T)를 검출한다. (S110)
- [0070] 상기 극성신호(POL)가 로우레벨일 때는 기수 번째 데이터 라인(DL6k-5, DL6k-3, DL6k-1)중 이전 비디오 데이터(DL(R'G'B'))와 현재 비디오 데이터(DL(RGB))의 계조차가 제1 기준계조(Gray1) 이상을 가지는 개수를 검출한다. (S120)
- [0071] 상기 제1 기준계조(Gray1)는 중간계조일 수 있다. 예를 들어, 상기 제1 기준계조(Gray1)는 127계조일 수 있다.
- [0072] 상기 우수 번째 데이터 라인을 예로 들면, 상기 우수 번째 데이터 라인에 이전 비디오 데이터(R'G'B')로 255, 200, 170계조가 입력되고, 현재 비디오 데이터(RGB)로 50, 10, 100 계조가 입력되었다면, 127계조 이상의 차이를 가지는 개수(T)는 2개가 된다. 상기 이전 비디오 데이터(DL(R'G'B'))와 현재 비디오 데이터(DL(RGB))의 계조차가 제1 기준계조(Gray1) 이상을 가지는 개수(T)를 검출함으로써 큰 계조차를 갖는 경우에 차지웨어를 수행하여 소비전력을 줄일 수 있고, 데이터 드라이버의 발열을 방지할 수 있다.
- [0073] 또한, 도 3에 도시한바 대로, 우수 번째 데이터 라인의 첫 번째 수평라인에는 부극성 신호가 입력되고, 기수 번째 데이터 라인의 두 번째 수평라인에는 부극성 신호가 입력되므로, 극성신호(POL)가 하이 레벨일 때 우수 번째 데이터 라인을 비교하고, 극성신호(POL)가 로우 레벨일 때, 기수 번째 데이터 라인을 비교하여, 부극성 신호의

경우만 비교하여, 판단방법을 간소화할 수 있다. 다만, 부극성 신호의 판단방법에 대해서만 예를 들어 설명하였지만, 정극성 신호의 판단방법에도 상기와 같은 과정에 의해 차지웨어 여부를 판단할 수 있다.

- [0074] 상기 이전 비디오 데이터(DL(R'G'B'))와 현재 비디오 데이터(DL(RGB))의 계조차가 제1 기준계조(Gray1) 이상을 가지는 개수를 검출하는 단계(S110, S120) 이후에 차지웨어 여부를 판단하는 단계(S130)를 수행한다.
- [0075] 상기 차지웨어 여부를 판단하는 단계(S130)는 이전 비디오 데이터(DL(R'G'B'))와 현재 비디오 데이터(DL(RGB))의 계조차가 제1 기준계조(Gray1) 이상을 가지는 개수(T)가 3개일 경우 제2 차지웨어신호(CS2)를 하이 레벨로 출력한다. (S131)
- [0076] 상기 이전 비디오 데이터(DL(R'G'B'))와 현재 비디오 데이터(DL(RGB))의 계조차가 제1 기준계조(Gray1) 이상을 가지는 개수(T)가 2개일 경우(S132) 이전 비디오 데이터들의 평균을 구한 후 제2 기준계조(Gray2)와 비교하는 단계를 수행한다. (S133) 상기 이전 비디오 데이터들의 평균이 제2 기준계조(Gray2) 이하인 경우 제2 차지웨어신호(CS2)를 하이 레벨로 출력하고, 상기 이전 비디오 데이터들의 평균이 제2 기준계조(Gray2)를 초과하는 경우 제2 차지웨어신호(CS2)를 로우 레벨로 출력할 수 있다. 상기 제2 기준계조(Gray2)는 상기 제1 기준계조(Gray1)와 최대 계조의 사이값일 수 있다. 상기 제2 기준계조(Gray2)는 191계조일 수 있다.
- [0077] 상기 이전 비디오 데이터(DL(R'G'B'))와 현재 비디오 데이터(DL(RGB))의 계조차가 제1 기준계조(Gray1) 이상을 가지는 개수(T)가 1개일 경우(S134) 이전 비디오 데이터들의 평균을 구한 후 제3 기준계조(Gray3)와 비교하는 단계를 수행한다. (S135) 상기 이전 비디오 데이터들의 평균이 제3 기준계조(Gray3) 이하인 경우 제2 차지웨어신호(CS2)를 하이 레벨로 출력하고, 상기 이전 비디오 데이터들의 평균이 제3 기준계조(Gray2)를 초과하는 경우 제2 차지웨어신호(CS2)를 로우 레벨로 출력할 수 있다. 상기 제3 기준계조(Gray2)는 상기 제1 기준계조(Gray1)와 동일한 값일 수 있다. 상기 제3 기준계조(Gray3)은 127 계조일 수 있다.
- [0078] 상기 이전 비디오 데이터들의 평균을 구한 후 이를 기준계조와 비교함으로써 이전 비디오 데이터들에 따른 차지웨어 여부를 결정하여 소비전력을 절감시킬 수 있고, 데이터 드라이버의 발열을 줄일 수 있다.
- [0079] 도 7은 실시 예에 따른 액정표시장치의 데이터 드라이버의 일부와 차지웨어부를 나타낸 도면이다.
- [0080] 도 7에서는 제1 데이터 라인(DL1)과 제2 데이터 라인(DL2)에 연결되는 DAC(40)와 차지웨어부(70)를 예를 들어 설명한다.
- [0081] 도 7을 참조하면 실시 예에 따른 액정표시장치의 데이터 드라이버는 DAC(40)와 버퍼부(50)를 포함할 수 있다.
- [0082] 상기 DAC(40)는 정극성 DAC(41)와 부극성 DAC(43)를 포함할 수 있고, 상기 버퍼부(50)는 정극성 버퍼(RTR1) 및 부극성 버퍼(RTR2)를 포함할 수 있다. 상기 정극성 DAC(41)는 정극성 데이터 전압을 상기 정극성 버퍼(RTR1)로 전달할 수 있다. 상기 부극성 DAC(43)는 부극성 데이터 전압을 상기 부극성 버퍼(RTR2)로 전달할 수 있다.
- [0083] 상기 정극성 버퍼(RTR1) 및 부극성 버퍼(RTR2)는 레일 투 레일(Rail to Rail)구조를 가질 수 있다. 상기 정극성 버퍼(RTR1)는 정극성 논리부(Rp), 제1 정극성 트랜지스터(PTR1) 및 제2 정극성 트랜지스터(PTR2)를 포함할 수 있고, 상기 부극성 버퍼(RTR2)는 부극성 논리부(Rn), 제1 부극성 트랜지스터(NTR1) 및 제2 부극성 트랜지스터(NTR2)를 포함할 수 있다.
- [0084] 상기 정극성 논리부(Rp)는 전원전압(VDD)과 바이어스 전압(HVDD) 사이에 연결될 수 있다. 상기 부극성 논리부(Rn)는 상기 바이어스 전압(HVDD)과 접지전압(GND) 사이에 연결될 수 있다. 상기 바이어스 전압(HVDD)은 상기 전원전압(VDD)의 절반 값으로 설정될 수 있다. 상기 바이어스 전압(HVDD)은 0계조의 기준전압으로 설정될 수 있다. 상기 레일 투 레일 구조의 정극성 버퍼(RTR1) 및 부극성 버퍼(RTR2)는 종래의 싱글 엔디드 구조와 비교하여 버퍼를 구동하기 위한 정극성 논리부(Rp)와 부극성 논리부(Rn)가 상기 전원전압(VDD)과 상기 접지전압(GND) 사이에 직렬로 연결되어 구동 전류가 전원전압(VDD)으로부터 상기 바이어스 전압(HVDD)을 거쳐 접지전압(GND)으로 흘러 버퍼부(50)의 소비전력을 줄일 수 있는 효과가 있다.
- [0085] 상기 버퍼부(50)로부터 출력된 정극성 전압과 부극성 전압은 스위치부(90)에 의해 제1 데이터 라인(DL1) 및 제2 데이터 라인(DL2)으로 인가될 수 있다. 상기 버퍼부(50)로부터 출력된 정극성 전압과 부극성 전압은 제1 데이터 라인(DL1) 및 제2 데이터 라인(DL2)을 예를 들어 설명하였지만, 기수 번째 데이터 라인과 우수 번째 데이터 라인으로 확장될 수 있다.
- [0086] 상기 스위치부(90)는 스위칭 제어부(80)에 의해 온오프 제어될 수 있다. 상기 스위칭제어부(80)는 타이밍 컨트롤러(1)로부터 데이터 인에이블(DE)신호 및 극성신호(POL)를 인가받고, 상기 스위칭부(90)의 온오프를

제어한다. 상기 스위칭부(90)는 제1 내지 제4 트랜지스터(TR1 내지 TR4)를 포함할 수 있다. 상기 스위칭 제어부(80)는 2개의 앤드 게이트(81, 85)와 1개의 인버터(85)를 포함할 수 있다.

- [0087] 상기 스위칭 제어부(80)는 데이터 인에이블(DE) 신호가 하이레벨일 경우에만 스위칭부(90)를 온 시킨다. 다시 말해, 상기 데이터 인에이블(DE) 신호가 하이 레벨일 경우만 데이터 전압을 데이터 라인으로 전달할 수 있다.
- [0088] 상기 데이터 인에이블(DE) 신호가 하이 레벨로 인가되고, 상기 극성신호(POL)가 하이 레벨로 인가되는 경우 상기 제1 트랜지스터(TR1) 및 제4 트랜지스터(TR4)가 온 되어, 상기 정극성 버퍼(RTR1)의 정극성 데이터 신호가 제1 데이터 라인(DL1)으로 인가되고, 상기 부극성 버퍼(RTR2)의 부극성 데이터 신호가 제2 데이터 라인(DL2)으로 인가될 수 있다.
- [0089] 상기 데이터 인에이블(DE) 신호가 하이 레벨로 인가되고, 상기 극성신호(POL)가 로우 레벨로 인가되는 경우 상기 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3)가 온 되어, 상기 정극성 버퍼(RTR1)의 정극성 데이터 신호가 제2 데이터 라인(DL2)으로 인가되고, 상기 부극성 버퍼(RTR2)의 부극성 데이터 신호가 제1 데이터 라인(DL1)으로 인가될 수 있다.
- [0090] 상기 제1 데이터 라인(DL1)에 연결된 다수의 화소 영역의 부하 및 커패시턴스는 제1 저항(Rp) 및 제1 커패시터(Cp)로 등가화하여 나타내었다. 상기 제2 데이터 라인(DL2)에 연결된 다수의 화소 영역의 부하 및 커패시턴스는 제2 저항(Rn) 및 제2 커패시터(Cn)로 등가화하여 나타내었다.
- [0091] 상기 차지웨어부(70)는 정극성 차지웨어부(71) 및 부극성 차지웨어부(73)를 포함할 수 있다. 상기 정극성 차지웨어부(71)는 제1 데이터 라인(DL1)의 차지웨어를 수행하고, 상기 부극성 차지웨어부(73)는 제2 데이터 라인(DL2)의 차지웨어를 수행한다. 도 7에서는 제1 데이터 라인과 제2 데이터 라인을 예로 들어 설명하였으나, 상기 정극성 차지웨어부(71)는 기수 번째 데이터 라인의 차지웨어를 수행하고, 상기 부극성 차지웨어부(73)는 우수 번째 데이터 라인의 차지웨어를 수행할 수 있다.
- [0092] 상기 정극성 차지웨어부(71)는 제1 스위치(SW1), 제1 차지웨어 스위치(TRS1) 및 제1 차징 커패시터(C1)를 포함할 수 있다.
- [0093] 상기 제1 스위치(SW1) 및 제1 차징 커패시터(C1)는 바이어스 전압(HVDD)과 접지 사이에 직렬로 연결될 수 있다.
- [0094] 상기 제1 스위치(SW1)는 박막 트랜지스터일 수 있다. 상기 제1 스위치(SW1)의 게이트에는 소스출력인에이블신호(SOE)가 인가될 수 있고, 상기 제1 스위치(SW1)의 소스에는 바이어스 전압(HVDD)이 인가될 수 있고, 상기 제1 스위치(SW1)의 드레인은 상기 제1 차징 커패시터(C1)의 일단인 제1 노드(N1)와 연결될 수 있다.
- [0095] 상기 제1 차징 커패시터(C1)의 일단은 제1 노드(N1)와 연결될 수 있고, 상기 제1 차징 커패시터(C1)의 타단은 접지와 연결될 수 있다. 상기 차징 커패시터(C1)에는 상기 소스출력인에이블신호(SOE)에 의해 상기 바이어스 전압(HVDD)이 충전될 수 있다.
- [0096] 상기 제1 차지웨어 스위치(TRS1)는 박막 트랜지스터일 수 있다. 상기 제1 차지웨어 스위치(TRS1)는 제1 차지웨어신호(CS1)에 의해 온오프 제어되고, 상기 제1 데이터 라인(DL1)과 상기 제1 노드(N1)를 연결할 수 있다.
- [0097] 상기 부극성 차지웨어부(73)는 제2 스위치(SW2), 제2 차지웨어 스위치(TRS2) 및 제2 차징 커패시터(C2)를 포함할 수 있다.
- [0098] 상기 제2 스위치(SW2) 및 제2 차징 커패시터(C2)는 바이어스 전압(HVDD)과 접지 사이에 직렬로 연결될 수 있다.
- [0099] 상기 제2 스위치(SW2)는 박막 트랜지스터일 수 있다. 상기 제2 스위치(SW2)의 게이트에는 소스출력인에이블신호(SOE)가 인가될 수 있고, 상기 제2 스위치(SW2)의 소스에는 바이어스 전압(HVDD)이 인가될 수 있고, 상기 제2 스위치(SW2)의 드레인은 상기 제2 차징 커패시터(C2)의 일단인 제2 노드(N2)와 연결될 수 있다.
- [0100] 상기 제2 차징 커패시터(C2)의 일단은 제2 노드(N2)와 연결될 수 있고, 상기 제2 차징 커패시터(C2)의 타단은 접지와 연결될 수 있다. 상기 차징 커패시터(C2)에는 상기 소스출력인에이블신호(SOE)에 의해 상기 바이어스 전압(HVDD)이 충전될 수 있다.
- [0101] 상기 제2 차지웨어 스위치(TRS2)는 박막 트랜지스터일 수 있다. 상기 제2 차지웨어 스위치(TRS2)는 제2 차지웨어신호(CS2)에 의해 온오프 제어되고, 상기 제2 데이터 라인(DL2)과 상기 제2 노드(N2)를 연결할 수 있다.
- [0102] 도 8은 실시 예에 따른 차지웨어부의 동작을 나타내는 회로도이다.

- [0103] 도 9는 실시 예에 따른 차지웨어에 의한 데이터 라인의 전압을 도시한 파형도이다.
- [0104] 도 8 및 도 9에서는 부극성 차지웨어부와 이를 통한 제2 데이터 라인(DL2)의 차지웨어에 대해서 설명하고, 정극성 차지웨어부와 이를 통한 제1 데이터 라인(DL1)의 차지웨어에 대해서는 그 설명을 생략한다.
- [0105] 도 8a 및 도 9a의 A구간은 제2 데이터 라인에 데이터 전압(VDL2)이 인가될 때의 회로도 및 파형도이다.
- [0106] 도 8a 및 도 9a의 A구간을 참조하면, 하나의 수평기간 동안 데이터 인에이블신호(DE)과 소스출력인에이블신호(SOE)는 서로 반대의 하이 또는 로우 레벨을 가지고, 극성신호(POL)는 도 3에서 도시한 DRD구동에 의해 2개의 수평기간동안 동일 극성으로 제어하기 위해, 제1 및 제2 수평기간(1H, 2H)동안 하이 레벨로 인가된다. 상기 A구간에서는 데이터 인에이블신호(DE)가 하이 레벨이고, 소스출력인에이블신호(SOE)가 로우레벨이다.
- [0107] 상기 데이터 인에이블신호(DE)가 하이 레벨일 때, 제4 트랜지스터(TR4)가 온 되어, 데이터 전압(VDL2)이 화소 영역으로 인가된다. 또한, 상기 소스출력인에이블신호(SOE)가 로우 레벨이므로, 상기 제2 차지웨어 스위치(TRS2)는 오프되어 제2 노드(N2)는 상기 제2 데이터 라인과 연결되지 않는다. 따라서, 상기 제2 데이터 라인(DL2)과 상기 부극성 차지웨어부는 개방되고, 차지웨어는 수행되지 않고 데이터 전압(VDL2)이 화소 영역으로 인가된다.
- [0108] 이 때, 상기 소스출력인에이블신호(SOE)가 로우 레벨이므로, 상기 제2 스위치(SW2)가 턴 온되고, 상기 제2 노드(N2)에 바이어스 전압(HVDD)이 인가된다. 상기 제2 노드(N2)에 바이어스 전압(HVDD)이 인가되어 상기 제2 차징 커패시터(C2)에 전하가 충전될 수 있다. 다시 말해, 상기 데이터 라인에 데이터 전압이 인가되는 구간에서는 차지웨어부(70)의 커패시터에 바이어스 전압(HVDD)이 충전될 수 있다.
- [0109] 도 8b 및 도 9a의 B구간은 소스출력인에이블신호(SOE)가 로우 레벨인 구간에 차지웨어가 수행되지 않는 경우를 나타낸 회로도 및 파형도이다.
- [0110] 도 8b를 및 9a의 B구간을 참조하면, 상기 데이터 인에이블신호(DE)가 로우 레벨이고, 소스출력인에이블신호(SOE)가 하이 레벨이다.
- [0111] 상기 제2 차지웨어신호(CS2)는 차지웨어 제어부(60)에 의해 로우레벨이 인가되어, 제2 차지웨어 스위치(TRS2)는 오프된다. 또한, 소스출력인에이블신호(SOE)가 하이 레벨인 상태이므로, 제2 스위치(SW2)는 턴오프되고, 상기 데이터 인에이블신호(DE)는 로우 레벨인 상태이므로, 상기 제4 트랜지스터(TR4)가 턴 오프된다. 따라서, 상기 제2 데이터 라인(DL2)과 상기 부극성 차지웨어부는 개방되고, 차지웨어는 수행되지 않는다.
- [0112] 도 8c 및 도 9b는 소스출력인에이블신호(SOE)가 로우 레벨인 구간에 차지웨어가 수행되는 경우를 나타낸 회로도 및 파형도이다.
- [0113] 도 8c 및 도 9b를 참조하면, 상기 차지웨어 제어부(CS2)는 상기 소스출력인에이블신호(SOE)에 동기하여 상기 차지웨어 제어부(60)에 의해 하이 레벨이 인가된다. 상기 차지웨어 제어부(CS2)에 하이 레벨이 인가됨으로써, 상기 제2 차지웨어 스위치(TRS2)는 턴 온되어, 상기 제2 노드(N2)와 제2 데이터 라인은 전기적으로 연결된다. 또한, 상기 소스출력인에이블신호(SOE)가 하이 레벨인 상태이므로, 제2 스위치(SW2)는 턴오프되고, 상기 데이터 인에이블신호(DE)는 로우 레벨인 상태이므로, 상기 제4 트랜지스터(TR4)가 턴 오프된다. 상기 제2 차징 커패시터(C2)에 저장된 바이어스 전압(HVDD)에 의해 제1 수평기간(1H)에 인가되었던 블루 데이터 전압(B)과 상기 바이어스 전압(HVDD)의 중간값인 제2 차지웨어 전압(VCS2)으로 차지웨어되고, 상기 차지웨어 전압(VCS2)에 의해 인가되는 데이터 전압의 소비를 줄일 수 있고, 이를 통해 소비전력 절감과 데이터 드라이버의 발열 감소의 효과가 있다. 상기 제2 커패시터(C2)에 전하를 충전한 후 상기 전하를 이용하여 차지웨어를 수행함으로써 중간레벨로 차지웨어가 수행될 수 있어, 소비전력절감의 효과를 달성할 수 있다. 또한, 0계조의 기준전압으로 이용되는 바이어스 전압(HVDD)을 차지웨어에 이용함으로써 별도의 전압을 생성하는 구조에 비해 회로를 간소화할 수 있어 제조단가 절감의 효과가 있다.

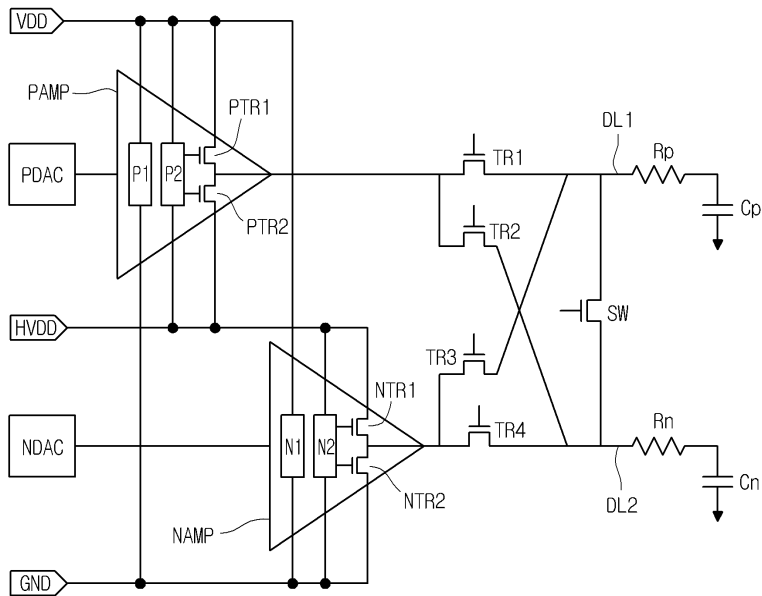
부호의 설명

- | | | |
|--------|--------------|--------------|
| [0114] | 1: 액정표시패널 | 10: 타이밍 컨트롤러 |
| | 20: 게이트 드라이버 | 30: 데이터 드라이버 |
| | 31: 데이터 레지스터 | 32: 쉬프트 레지스터 |
| | 33: 제1 래치 | 34: 제2 래치 |

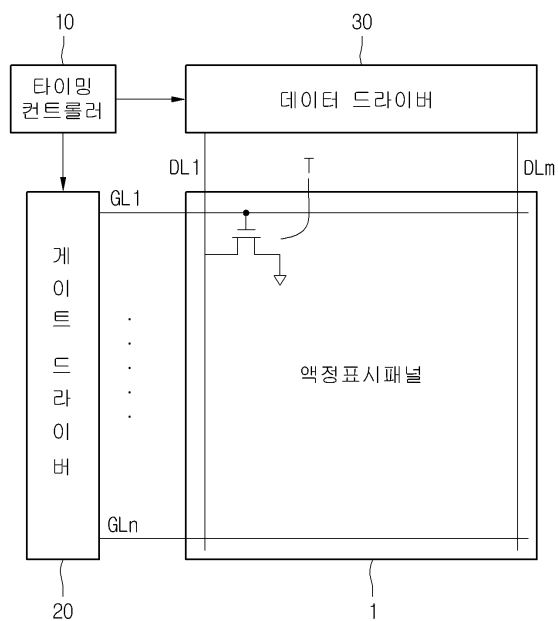
- | | |
|----------------|----------------|
| 35: 감마전압 공급부 | 40: DAC |
| 41: PDAC | 43: NDAC |
| 50: 버퍼부 | 60: 차지웨어 제어부 |
| 61: 저장부 | 63: 판단부 |
| 70: 차지웨어부 | 71: 정극성 차지 웨어부 |
| 73: 부극성 차지 웨어부 | |

도면

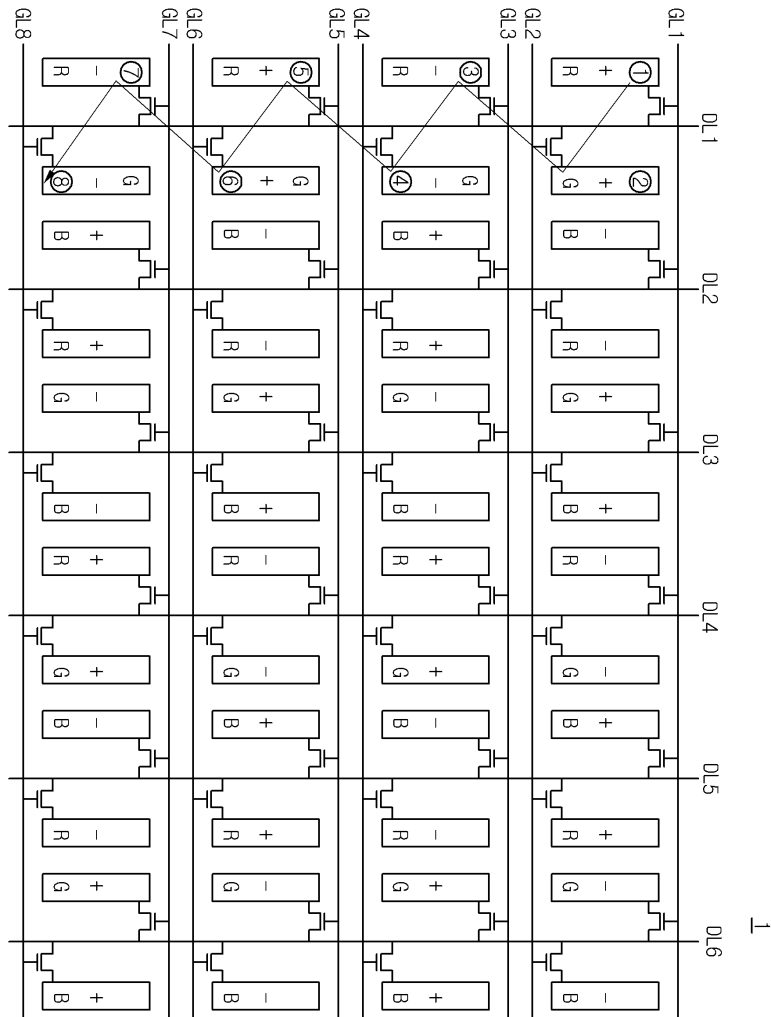
도면1



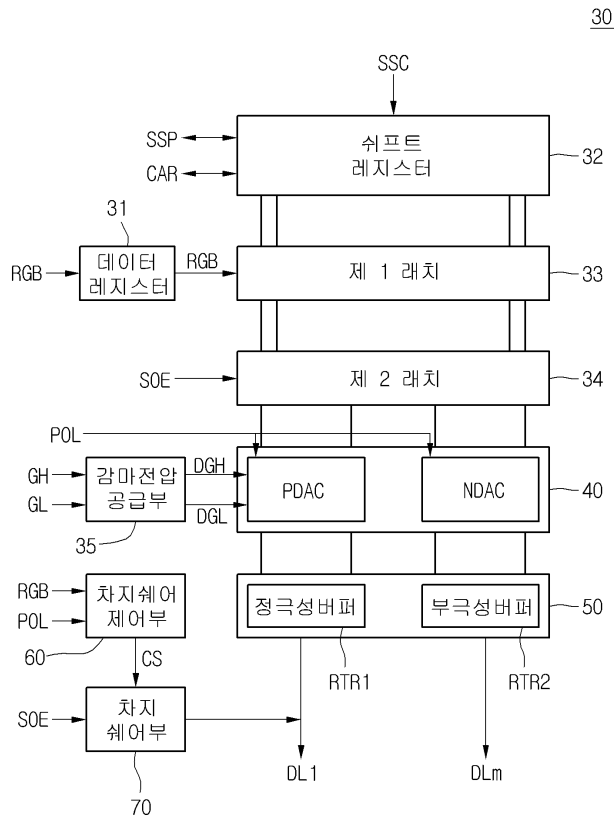
도면2



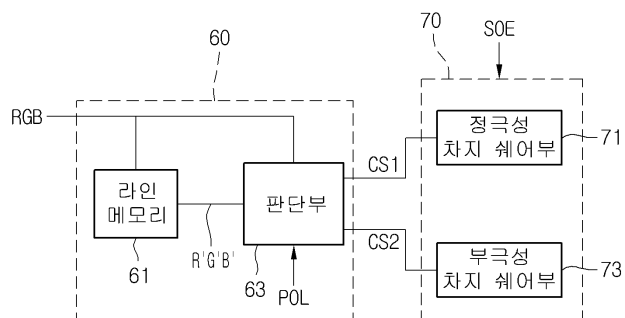
도면3



도면4

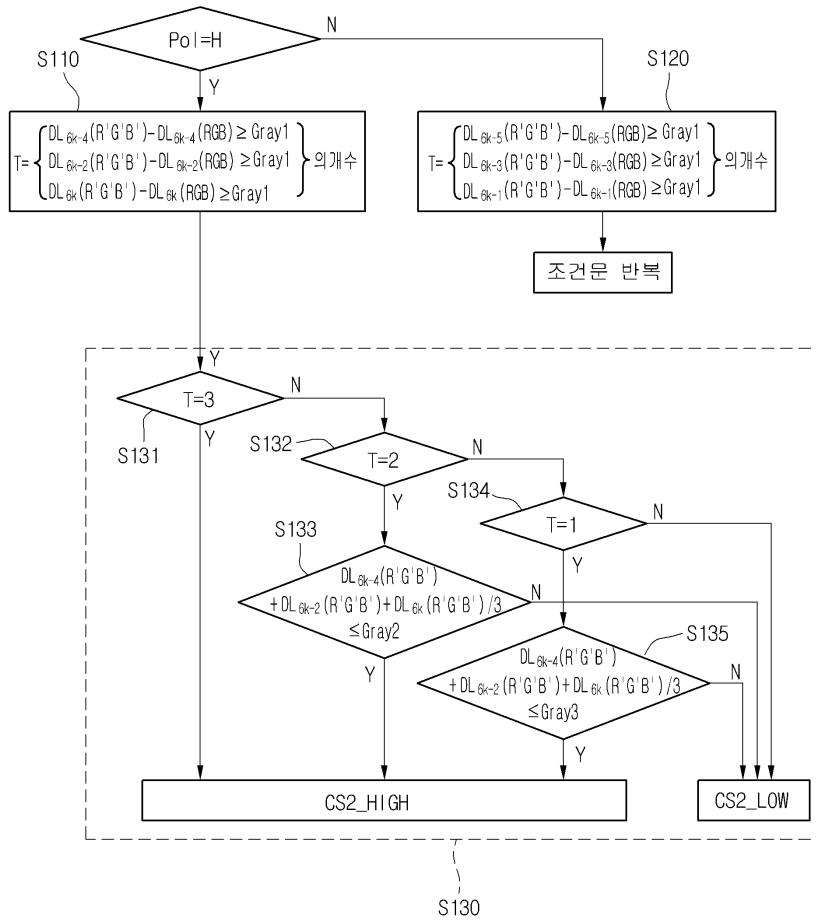


도면5

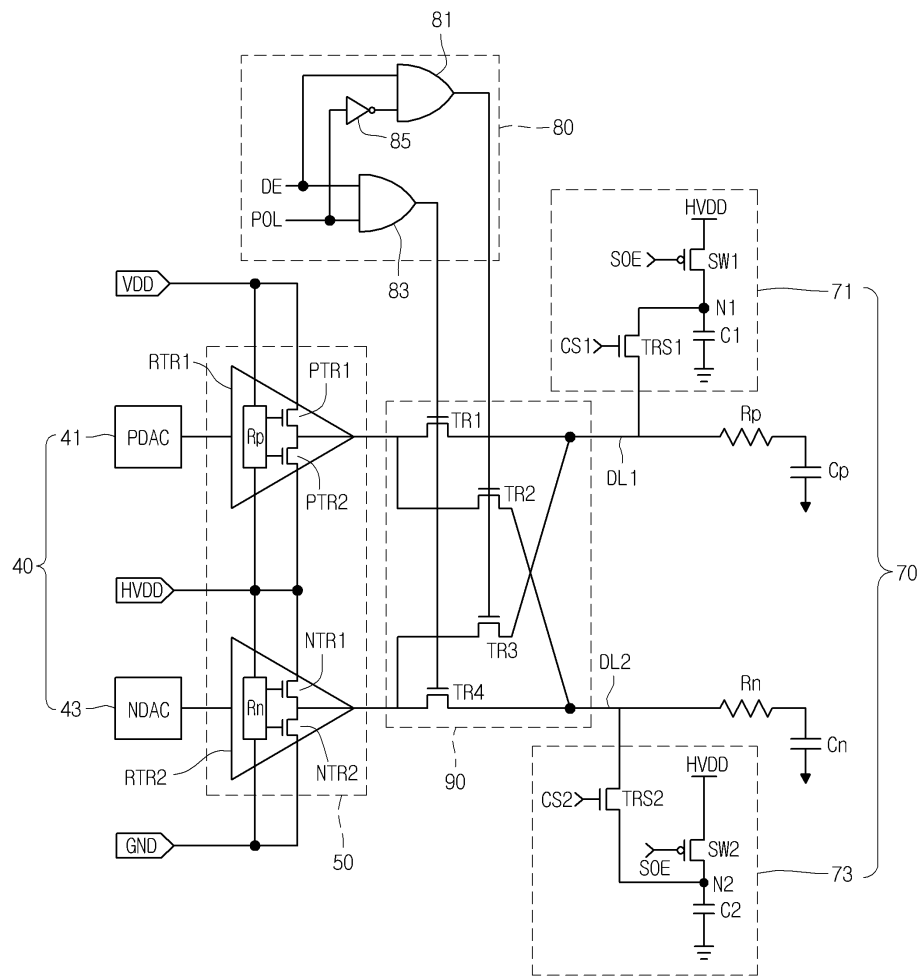


도면6

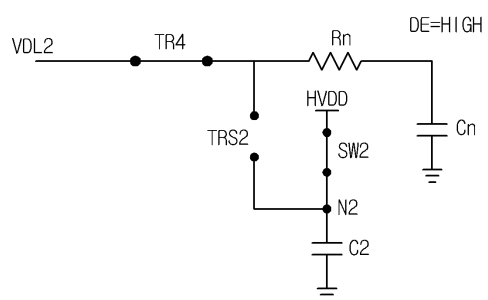
63



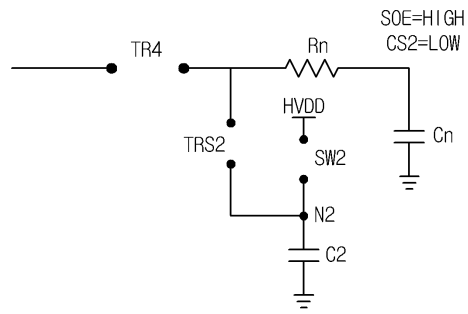
도면7



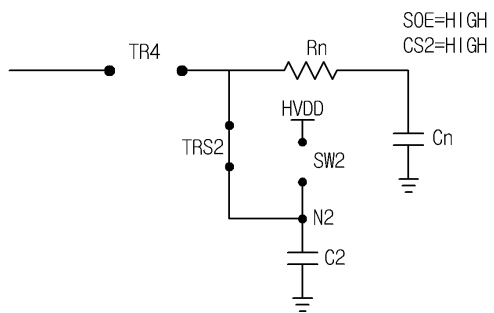
도면8a



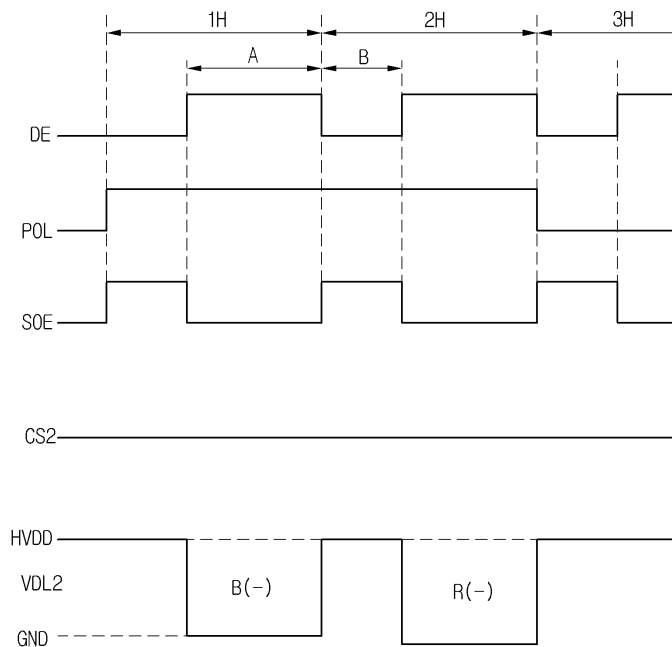
도면8b



도면8c



도면9a



도면9b

