



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0107096
(43) 공개일자 2013년10월01일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2012-0028921

(22) 출원일자 2012년03월21일

심사청구일자 2012년03월21일

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

강종석

경기도 파주시 교하읍 동패리 1690 숲속길마을 월드메르디앙 센트럴파크 705동 406호

김이영

서울시 관악구 봉천7동 1621-11 대흥 401호

(74) 대리인

박장원

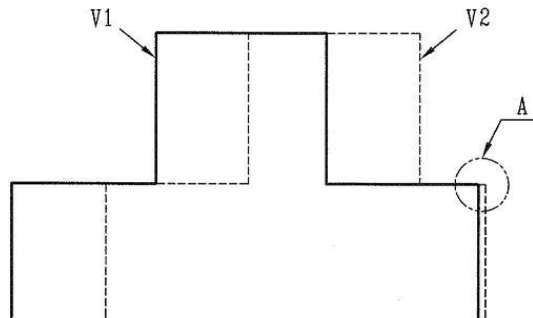
전체 청구항 수 : 총 29 항

(54) 발명의 명칭 게이트 구동부 및 이를 포함하는 액정표시장치

(57) 요약

게이트 신호의 오프 시간을 줄여 게이트 구동부의 설계 면적 및 소비 전류를 감소시킬 수 있는 게이트 구동부 및 이를 포함하는 액정표시장치가 제공된다. 게이트 구동부 및 이를 포함하는 액정표시장치는 외부로부터 개시 신호와 제1 내지 제4 클럭 신호를 제공 받아 구동하는 N 개의 스테이지 회로부를 포함하며, 상기 각각의 스테이지 회로부는 상기 제1 내지 제4 클럭 신호 중에서 적어도 어느 하나의 클럭 신호에 의해 게이트 신호를 출력하고, (N+3) 스테이지 회로부에서 출력되는 게이트 신호를 입력 받아 리셋 신호로 사용한다.

대표도 - 도2



특허청구의 범위

청구항 1

외부로부터 개시 신호와 제1 내지 제4 클럭 신호를 제공 받아 구동하는 N 개의 스테이지 회로부를 포함하며,
상기 각각의 스테이지 회로부는 상기 제1 내지 제4 클럭 신호 중에서 적어도 어느 하나의 클럭 신호에 의해 게이트 신호를 출력하고, (N+3) 스테이지 회로부에서 출력되는 게이트 신호를 입력 받아 리셋 신호로 사용하는 것을 특징으로 하는 게이트 구동부.

청구항 2

제1항에 있어서,
상기 각각의 스테이지는 제1 및 제2 스테이지 회로부를 포함하는 것을 특징으로 하는 게이트 구동부.

청구항 3

제2항에 있어서,
상기 제1 스테이지 회로부는
게이트와 드레인은 제1 구동 신호에 공통으로 연결되며, 소스는 제1 노드와 연결되는 제1 트랜지스터;
게이트는 상기 제1 노드와 연결되고, 드레인은 상기 제1 구동 신호에 연결되며, 소스는 제2 노드에 연결되는 제2 트랜지스터;
게이트는 제1 개시 신호에 연결되며, 드레인은 제1 전압에 연결되고, 소스는 제3 노드에 연결되는 제3 트랜지스터;
게이트는 제1 리셋 신호에 연결되고, 드레인은 상기 제3 노드에 연결되며, 소스는 제2 전압에 연결되는 제4 트랜지스터;
게이트는 제4 노드에 연결되고, 드레인은 상기 제3 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제5 트랜지스터;
게이트는 상기 제2 노드에 연결되고, 드레인은 상기 제3 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제6 트랜지스터;
게이트는 상기 제3 노드에 연결되고, 드레인은 상기 제2 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제7 트랜지스터;
게이트는 상기 제1 개시 신호에 연결되며, 드레인은 상기 제2 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제8 트랜지스터;
게이트는 상기 제3 노드에 연결되고, 소스는 제1 클럭 신호에 연결되며, 드레인은 제1 출력 단자에 연결되는 제9 트랜지스터;
게이트는 상기 제2 노드에 연결되고, 드레인은 제1 출력 단자에 연결되며, 소스는 상기 제2 전압(VGL)에 연결되는 제10 트랜지스터; 및
게이트는 상기 제4 노드에 연결되고, 드레인은 제1 출력 단자에 연결되며, 소스는 상기 제2 전압에 연결되는 제11 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동부.

청구항 4

제2항에 있어서,
상기 제2 스테이지 회로부는
게이트와 드레인은 제2 구동 신호에 공통으로 연결되며, 소스는 제5 노드와 연결되는 제1 트랜지스터;

게이트는 상기 제5 노드와 연결되고, 드레인은 상기 제2 구동 신호에 연결되며, 소스는 제6 노드에 연결되는 제2 트랜지스터;

게이트는 제2 개시 신호에 연결되며, 드레인은 제1 전압에 연결되고, 소스는 제7 노드에 연결되는 제3 트랜지스터;

게이트는 제2 리셋 신호에 연결되고, 드레인은 상기 제7 노드에 연결되며, 소스는 제2 전압에 연결되는 제4 트랜지스터;

게이트는 상기 제6 노드에 연결되고, 드레인은 상기 제7 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제5 트랜지스터;

게이트는 제6 노드에 연결되고, 드레인은 상기 제7 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제6 트랜지스터;

게이트는 상기 제7 노드에 연결되고, 드레인은 상기 제8 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제7 트랜지스터;

게이트는 제2 개시 신호에 연결되며, 드레인은 상기 제8 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제8 트랜지스터;

게이트는 상기 제7 노드에 연결되고, 소스는 제2 클럭 신호에 연결되며, 드레인은 제2 출력 단자에 연결되는 제9 트랜지스터;

게이트는 상기 제6 노드에 연결되고, 드레인은 제2 출력 단자에 연결되며, 소스는 상기 제2 전압에 연결되는 제10 트랜지스터; 및

게이트는 상기 제8 노드에 연결되고, 드레인은 제2 출력 단자에 연결되며, 소스는 상기 제2 전압에 연결되는 제11 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동부.

청구항 5

제3항 또는 제4항에 있어서,

상기 제1 스테이지 회로부의 상기 제2 노드와 상기 제2 스테이지 회로부의 상기 제8 노드는 전기적으로 연결된 것을 특징으로 하는 게이트 구동부.

청구항 6

제3항 또는 제4항에 있어서,

상기 제1 스테이지 회로부의 상기 제4 노드와 상기 제2 스테이지 회로부의 상기 제6 노드는 전기적으로 연결된 것을 특징으로 하는 게이트 구동부.

청구항 7

제3항 또는 제4항에 있어서,

상기 제1 및 제2 구동 신호는 소정 시간을 주기로 하이 레벨과 로우 레벨이 교번하여 인가되는 것을 특징으로 하는 게이트 구동부.

청구항 8

제3항 또는 제4항에 있어서,

상기 제1 스테이지 회로부의 상기 제3 노드와 상기 제2 스테이지 회로부의 상기 제7 노드는 순차적으로 충전 및 방전되는 것을 특징으로 하는 게이트 구동부.

청구항 9

제1항에 있어서,

상기 N 개의 스테이지 회로부는 제1 내지 제3 더미 스테이지 회로부를 포함하는 것을 특징으로 하는 게이트 구

동부.

청구항 10

제9항에 있어서,

상기 제1 내지 제3 더미 스테이지 회로부는 제1 내지 제3 클럭 신호를 입력 받아 제1 내지 제3 더미 출력 단자로 제1 내지 제3 더미 게이트 신호를 출력하는 것을 특징으로 하는 게이트 구동부.

청구항 11

제9항에 있어서,

상기 제1 내지 제3 더미 스테이지 회로부는 외부에서 제공되는 리셋 신호를 사용하는 것을 특징으로 하는 게이트 구동부.

청구항 12

제1항에 있어서,

상기 제(N-1) 스테이지 회로부는 제1 및 제2 클럭 신호를 입력 받아 제1 및 제2 출력 단자로 제1 및 제2 게이트 신호를 출력하는 것을 특징으로 하는 게이트 구동부.

청구항 13

제12항에 있어서,

상기 제1 게이트 신호는 (N-1)번째 홀수 게이트 라인에 인가되는 게이트 신호이고, 상기 제2 게이트 신호는 (N-1)번째 짝수 게이트 라인에 인가되는 게이트 신호인 것을 특징으로 하는 게이트 구동부.

청구항 14

제12항에 있어서,

상기 제(N-1) 스테이지 회로부는 제1 리셋 신호로 제N 스테이지 회로부에서 출력되는 N번째 짝수 게이트 라인에 인가되는 게이트 신호를 입력 받고, 제2 리셋 신호로 제1 더미 스테이지 회로부에서 출력되는 제1 더미 게이트 신호를 입력 받는 것을 특징으로 하는 게이트 구동부.

청구항 15

제1항에 있어서,

상기 제N 스테이지 회로부는 제3 및 제4 클럭 신호를 입력 받아 제3 및 제4 출력 단자로 제3 및 제4 게이트 신호를 출력하는 것을 특징으로 하는 게이트 구동부.

청구항 16

제15항에 있어서,

상기 제3 게이트 신호는 N번째 홀수 게이트 라인에 인가되는 게이트 신호이고, 상기 제4 게이트 신호는 N번째 짝수 게이트 라인에 인가되는 게이트 신호인 것을 특징으로 하는 게이트 구동부.

청구항 17

제15항에 있어서,

상기 제N 스테이지 회로부는 제3 리셋 신호로 제2 더미 스테이지 회로부에서 출력되는 제2 더미 게이트 신호를 입력 받고, 제4 리셋 신호로 제3 더미 스테이지 회로부에서 출력되는 제3 더미 게이트 신호를 입력 받는 것을 특징으로 하는 게이트 구동부.

청구항 18

화상을 표시하며, 다수의 게이트 라인 및 다수의 데이터 라인이 형성된 액정패널;

상기 액정패널을 구동하기 위한 다수의 제어 신호를 생성하는 타이밍 제어부;

상기 다수의 데이터 라인을 구동하기 위한 다수의 데이터 구동부; 및

상기 다수의 게이트 라인을 구동하기 위한 다수의 게이트 신호를 출력하며, 외부로부터 개시 신호와 제1 내지 제4 클럭 신호를 제공 받아 구동하는 N 개의 스테이지 회로부를 포함하며, 상기 각각의 스테이지 회로부는 상기 제1 내지 제4 클럭 신호 중에서 적어도 어느 하나의 클럭 신호에 의해 게이트 신호를 출력하고, (N+3) 스테이지 회로부에서 출력되는 게이트 신호를 입력 받아 리셋 신호로 사용하는 것을 특징으로 하는 게이트 구동부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 19

제18항에 있어서,

상기 게이트 구동부는 상기 액정패널의 양측에 각각 배치된 것을 특징으로 하는 액정표시장치.

청구항 20

제18항에 있어서,

상기 각각의 스테이지는 제1 및 제2 스테이지 회로부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 21

제20항에 있어서,

상기 제1 스테이지 회로부는

게이트와 드레인은 제1 구동 신호에 공통으로 연결되며, 소스는 제1 노드와 연결되는 제1 트랜지스터;

게이트는 상기 제1 노드와 연결되고, 드레인은 상기 제1 구동 신호에 연결되며, 소스는 제2 노드에 연결되는 제2 트랜지스터;

게이트는 제1 개시 신호에 연결되며, 드레인은 제1 전압에 연결되고, 소스는 제3 노드에 연결되는 제3 트랜지스터;

게이트는 제1 리셋 신호에 연결되고, 드레인은 상기 제3 노드에 연결되며, 소스는 제2 전압에 연결되는 제4 트랜지스터;

게이트는 제4 노드에 연결되고, 드레인은 상기 제3 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제5 트랜지스터;

게이트는 상기 제2 노드에 연결되고, 드레인은 상기 제3 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제6 트랜지스터;

게이트는 상기 제3 노드에 연결되고, 드레인은 상기 제2 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제7 트랜지스터;

게이트는 상기 제1 개시 신호에 연결되며, 드레인은 상기 제2 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제8 트랜지스터;

게이트는 상기 제3 노드에 연결되고, 소스는 제1 클럭 신호에 연결되며, 드레인은 제1 출력 단자에 연결되는 제9 트랜지스터;

게이트는 상기 제2 노드에 연결되고, 드레인은 제1 출력 단자에 연결되며, 소스는 상기 제2 전압(VGL)에 연결되는 제10 트랜지스터; 및

게이트는 상기 제4 노드에 연결되고, 드레인은 제1 출력 단자에 연결되며, 소스는 상기 제2 전압에 연결되는 제11 트랜지스터를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 22

제20항에 있어서,

상기 제2 스테이지 회로부는

게이트와 드레인은 제2 구동 신호에 공통으로 연결되며, 소스는 제5 노드와 연결되는 제1 트랜지스터;

게이트는 상기 제5 노드와 연결되고, 드레인은 상기 제2 구동 신호에 연결되며, 소스는 제6 노드에 연결되는 제2 트랜지스터;

게이트는 제2 개시 신호에 연결되며, 드레인은 제1 전압에 연결되고, 소스는 제7 노드에 연결되는 제3 트랜지스터;

게이트는 제2 리셋 신호에 연결되고, 드레인은 상기 제7 노드에 연결되며, 소스는 제2 전압에 연결되는 제4 트랜지스터;

게이트는 상기 제6 노드에 연결되고, 드레인은 상기 제7 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제5 트랜지스터;

게이트는 제6 노드에 연결되고, 드레인은 상기 제7 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제6 트랜지스터;

게이트는 상기 제7 노드에 연결되고, 드레인은 상기 제8 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제7 트랜지스터;

게이트는 제2 개시 신호에 연결되며, 드레인은 상기 제8 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제8 트랜지스터;

게이트는 상기 제7 노드에 연결되고, 소스는 제2 클럭 신호에 연결되며, 드레인은 제2 출력 단자에 연결되는 제9 트랜지스터;

게이트는 상기 제6 노드에 연결되고, 드레인은 제2 출력 단자에 연결되며, 소스는 상기 제2 전압에 연결되는 제10 트랜지스터; 및

게이트는 상기 제8 노드에 연결되고, 드레인은 제2 출력 단자에 연결되며, 소스는 상기 제2 전압에 연결되는 제11 트랜지스터를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 23

제21항 또는 제22항에 있어서,

상기 제1 스테이지 회로부의 상기 제2 노드와 상기 제2 스테이지 회로부의 상기 제8 노드는 전기적으로 연결된 것을 특징으로 하는 액정표시장치.

청구항 24

제21항 또는 제22항에 있어서,

상기 제1 스테이지 회로부의 상기 제4 노드와 상기 제2 스테이지 회로부의 상기 제6 노드는 전기적으로 연결된 것을 특징으로 하는 액정표시장치.

청구항 25

제21항 또는 제22항에 있어서,

상기 제1 및 제2 구동 신호는 소정 시간을 주기로 하이 레벨과 로우 레벨이 교번하여 인가되는 것을 특징으로 하는 액정표시장치.

청구항 26

제21항 또는 제22항에 있어서,

상기 제1 스테이지 회로부의 상기 제3 노드와 상기 제2 스테이지 회로부의 상기 제7 노드는 순차적으로 충전 및 방전되는 것을 특징으로 하는 액정표시장치.

청구항 27

제18항에 있어서,

상기 N 개의 스테이지 회로부는 제1 내지 제3 더미 스테이지 회로부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 28

제27항에 있어서,

상기 제1 내지 제3 더미 스테이지 회로부는 제1 내지 제3 클럭 신호를 입력 받아 제1 내지 제3 더미 출력 단자로 제1 내지 제3 더미 게이트 신호를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 29

제27항에 있어서,

상기 제1 내지 제3 더미 스테이지 회로부는 외부에서 제공되는 리셋 신호를 사용하는 것을 특징으로 하는 액정표시장치.

명세서

기술분야

[0001] 본 발명은 게이트 구동부 및 이를 포함하는 액정표시장치에 관한 것으로, 보다 상세하게는 게이트 신호의 오프 시간을 줄여 게이트 구동부의 설계 면적 및 소비 전류를 감소시킬 수 있는 게이트 구동부 및 이를 포함하는 액정표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD : liquid crystal display), 플라즈마표시장치(PDP : plasma display panel), 유기 발광소자(OLED : organic light emitting diode)와 같은 여러가지 평판표시장치(flat display device)가 활용되고 있다.

[0003] 이들 평판표시장치 중에서, 액정표시장치는 소형화, 경량화, 박형화, 저전력 구동의 장점을 가지고 있어 현재 널리 사용되고 있다.

[0004] 일반적으로 액정표시장치(Liquid Crystal Display; LCD)는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시한다.

[0005] 이러한 액정표시장치는 타이밍 제어부(미도시)로부터 제어신호를 제공받아 게이트 신호를 생성하고, 생성된 게이트 신호를 게이트 라인(미도시)에 순차적으로 공급하여 게이트 라인에 연결되어 있는 TFT를 턴온시키는 게이트 구동부와, 타이밍 제어부로부터 제어신호와 영상 신호를 제공받아 데이터 라인(미도시)에 영상 신호에 해당하는 데이터 전압을 인가하는 데이터 구동부와, 게이트 구동부와 데이터 구동부를 제어하는 타이밍 제어부를 포함한다.

[0006] 도 1은 종래 액정표시장치에서 사용되는 게이트 구동부를 나타내는 도면이다.

[0007] 도 1에 도시된 바와 같이, 게이트 구동부(미도시)는 타이밍 제어부(미도시)로부터 개시 신호(미도시)와 제1 내지 제4 클럭 신호(CLK1 내지 CLK4)를 제공받아 동작하는 N개의 스테이지 회로부로 구성되는 쉬프트 레지스터(20)와 더미 스테이지 회로부(22)를 포함한다. 또한, 게이트 구동부는 미리 설정된 게이트 라인 개수에 맞게 해당 게이트 라인에 게이트 신호를 출력한다.

[0008] 여기서, N개의 스테이지 회로부 중 제(N-1) 스테이지 회로부는 개시 신호(미도시), 제1 및 제2 리셋 신호(RST_odd, RST_even), 제1 및 제2 클럭 신호(CLK1, CLK2)를 입력 받아 제1 및 제2 출력 단자(Vout_odd, Vout_even)에 제1 및 제2 게이트 신호(Gout(N-1)_O), Gout(N-1)_E를 출력한다.

[0009] 여기서, 제1 및 제2 리셋 신호(RST_odd, RST_even)로 제N 스테이지 회로부에서 출력되는 N번째 짝수 게이트 라인에 인가되는 게이트 신호(Gout(N)_E)를 입력 받는다.

[0010] 또한, 제(N-1) 스테이지 회로부는 내부에 두 개의 스테이지 회로부를 포함하며, 제(N-1) 스테이지 회로부1(미도

시)은 (N-1)번째 홀수 게이트 라인에 인가되는 게이트 신호(Gout(N-1)_O))를 출력하고, 제(N-1) 스테이지 회로부2(미도시)은 (N-1)번째 짝수 게이트 라인에 인가되는 게이트 신호(Gout(N-1)_E))를 출력한다. 이때, 제1 게이트 신호(Gout(N-1)_O)와 제2 게이트 신호(Gout(N-1)_E)는 소정 시간을 두고 순차적으로 출력된다.

[0011] 더미 스테이지 회로부(22)는 외부로부터 제2 클럭 신호(CLK2)를 제공 받아 더미 게이트 신호(Gout_D)를 출력하며, 리셋 신호(RST_D)로 외부에서 인가되는 리셋 신호(RST)를 제공 받아 게이트 오프 신호를 출력한다.

[0012] 도 2 및 도 3은 제(N-1) 스테이지 회로부 내부의 풀업 트랜지스터의 게이트 신호를 각각 나타내는 도면이고, 도 4는 도 2의 A 부분을 확대한 도면이다.

[0013] 도 2 내지 도 4에 도시된 바와 같이, 제(N-1) 스테이지 회로부 내부에는 제1 클럭신호(CLK1)를 입력받아 제1 출력단자(Vout_odd)로 제1 게이트 신호(Gout(N-1)_O)를 출력하는 제1 풀업 트랜지스터(미도시)와, 제2 클럭신호(CLK2)를 입력받아 제2 출력단자(Vout_even)로 제2 게이트 신호(Gout(N-1)_E)를 출력하는 제2 풀업 트랜지스터(미도시)를 구비하고 있다.

[0014] 그런데, 도 2에서와 같이, 제1 및 제2 풀업 트랜지스터를 오프 시키는 제1 및 제2 오프 신호(V1, V2)가 제1 및 제2 풀업 트랜지스터의 각각의 게이트로 동시에 입력됨으로 인해 제1 및 제2 오프 신호(V1, V2)의 전압 파형이 비대칭적으로 나타난다.

[0015] 또한, 도 3에서와 같이, 제1 및 제2 오프 신호(V1, V2)가 방전되기 일정시간 동안 일정 전압을 유지하는 홀딩 구간(a, b)이 존재하는데, 이때에 홀딩 구간(a, b)에서 제1 및 제2 오프 신호(V1, V2)의 전압 차이와 제1 및 제2 풀업 트랜지스터의 비대칭성 동작으로 인해 제(N-1) 스테이지 회로부에서 출력되는 제1 및 제2 게이트 신호(Gout(N-1)_O, Gout(N-1)_E)가 비대칭적으로 나타난다. 그 이유는 홀딩 구간(a, b)에서 제1 오프 신호(V1) 대비 제2 오프 신호(V2)의 전압이 낮아져 제2 풀업 트랜지스터에서 출력되는 신호가 취약하여 발생하게 된다.

[0016] 게다가, 도 4의 A에서와 같이, 게이트 구동부는 비티에스(Bias Temperature Strss: BTS)을 받고 동작하며, 장시간 구동으로 인해 출력특성이 점차 열화됨으로써 홀딩 구간에서 제2 오프 신호(V2)의 전압이 저하되는 문제가 발생하게 된다. 따라서, 액정표시장치가 비정상적으로 동작하게 된다. 여기서, c는 게이트 구동부를 고온 예를 들면, 60℃에서 구동하기 전의 제2 오프 신호(V2)를 나타내며, c'는 게이트 구동부를 고온 예를 들면, 60℃에서 1000시간 동안 구동시킨 후의 제2 오프 신호(V2)를 나타낸다.

발명의 내용

해결하려는 과제

[0017] 본 발명은 상기한 문제점을 해결하기 위한 것으로, 게이트 구동부의 특성을 개선하여 게이트 구동부의 신뢰성을 향상시킬 수 있는 게이트 구동부 및 이를 포함하는 액정표시장치를 제공함에 있다.

[0018] 또한, 본 발명은 상기한 문제점을 해결하기 위한 것으로, 게이트 신호의 오프 시간을 줄여 게이트 구동부의 설계 면적 및 소비 전류를 감소시킬 수 있는 게이트 구동부 및 이를 포함하는 액정표시장치를 제공함에 있다.

[0019] 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

과제의 해결 수단

[0020] 상기한 목적들을 달성하기 위하여, 본 발명의 일 실시예에 따른 게이트 구동부는 외부로부터 개시 신호와 제1 내지 제4 클럭 신호를 제공 받아 구동하는 N 개의 스테이지 회로부를 포함하며, 상기 각각의 스테이지 회로부는 상기 제1 내지 제4 클럭 신호 중에서 적어도 어느 하나의 클럭 신호에 의해 게이트 신호를 출력하고, (N+3) 스테이지 회로부에서 출력되는 게이트 신호를 입력 받아 리셋 신호로 사용한다.

[0021] 상기 각각의 스테이지는 제1 및 제2 스테이지 회로부를 포함한다.

[0022] 상기 제1 스테이지 회로부는 게이트와 드레인인 제1 구동 신호에 공통으로 연결되며, 소스는 제1 노드와 연결되는 제1 트랜지스터, 게이트는 상기 제1 노드와 연결되고, 드레인인 상기 제1 구동 신호에 연결되며, 소스는 제2 노드에 연결되는 제2 트랜지스터, 게이트는 제1 개시 신호에 연결되며, 드레인인 제1 전압에 연결되고, 소스는 제3 노드에 연결되는 제3 트랜지스터, 게이트는 제1 리셋 신호에 연결되고, 드레인인 상기 제3 노드에 연결되며, 소스는 제2 전압에 연결되는 제4 트랜지스터, 게이트는 제4 노드에 연결되고, 드레인인 상기 제3 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제5 트랜지스터, 게이트는 상기 제2 노드에 연결되고, 드레인

은 상기 제3 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제6 트랜지스터, 게이트는 상기 제3 노드에 연결되고, 드레인은 상기 제2 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제7 트랜지스터, 게이트는 상기 제1 개시 신호에 연결되며, 드레인은 상기 제2 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제8 트랜지스터, 게이트는 상기 제3 노드에 연결되고, 소스는 제1 클럭 신호에 연결되며, 드레인은 제1 출력 단자에 연결되는 제9 트랜지스터, 게이트는 상기 제2 노드에 연결되고, 드레인은 제1 출력 단자에 연결되며, 소스는 상기 제2 전압(VGL)에 연결되는 제10 트랜지스터 및 게이트는 상기 제4 노드에 연결되고, 드레인은 제1 출력 단자에 연결되며, 소스는 상기 제2 전압에 연결되는 제11 트랜지스터를 포함한다.

- [0023] 상기 제2 스테이지 회로부는 게이트와 드레인은 제2 구동 신호에 공통으로 연결되며, 소스는 제5 노드와 연결되는 제1 트랜지스터, 게이트는 상기 제5 노드와 연결되고, 드레인은 상기 제2 구동 신호에 연결되며, 소스는 제6 노드에 연결되는 제2 트랜지스터, 게이트는 제2 개시 신호에 연결되며, 드레인은 제1 전압에 연결되고, 소스는 제7 노드에 연결되는 제3 트랜지스터, 게이트는 제2 리셋 신호에 연결되고, 드레인은 상기 제7 노드에 연결되며, 소스는 제2 전압에 연결되는 제4 트랜지스터, 게이트는 상기 제6 노드에 연결되고, 드레인은 상기 제7 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제5 트랜지스터, 게이트는 제6 노드에 연결되고, 드레인은 상기 제7 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제6 트랜지스터, 게이트는 상기 제7 노드에 연결되고, 드레인은 상기 제8 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제7 트랜지스터, 게이트는 제2 개시 신호에 연결되며, 드레인은 상기 제8 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제8 트랜지스터, 게이트는 상기 제7 노드에 연결되고, 소스는 제2 클럭 신호에 연결되며, 드레인은 제2 출력 단자에 연결되는 제9 트랜지스터, 게이트는 상기 제6 노드에 연결되고, 드레인은 제2 출력 단자에 연결되며, 소스는 상기 제2 전압에 연결되는 제10 트랜지스터 및 게이트는 상기 제8 노드에 연결되고, 드레인은 제2 출력 단자에 연결되며, 소스는 상기 제2 전압에 연결되는 제11 트랜지스터를 포함한다.
- [0024] 상기 제1 스테이지 회로부의 상기 제2 노드와 상기 제2 스테이지 회로부의 상기 제8 노드는 전기적으로 연결된다.
- [0025] 상기 제1 스테이지 회로부의 상기 제4 노드와 상기 제2 스테이지 회로부의 상기 제6 노드는 전기적으로 연결된다.
- [0026] 상기 제1 및 제2 구동 신호는 소정 시간을 주기로 하이 레벨과 로우 레벨이 교번하여 인가된다.
- [0027] 상기 제1 스테이지 회로부의 상기 제3 노드와 상기 제2 스테이지 회로부의 상기 제7 노드는 순차적으로 충전 및 방전된다.
- [0028] 상기 N 개의 스테이지 회로부는 제1 내지 제3 더미 스테이지 회로부를 포함한다.
- [0029] 상기 제1 내지 제3 더미 스테이지 회로부는 제1 내지 제3 클럭 신호를 입력 받아 제1 내지 제3 더미 출력 단자로 제1 내지 제3 더미 게이트 신호를 출력한다.
- [0030] 상기 제1 내지 제3 더미 스테이지 회로부는 외부에서 제공되는 리셋 신호를 사용한다.
- [0031] 상기 제(N-1) 스테이지 회로부는 제1 및 제2 클럭 신호를 입력 받아 제1 및 제2 출력 단자로 제1 및 제2 게이트 신호를 출력한다.
- [0032] 상기 제1 게이트 신호는 (N-1)번째 홀수 게이트 라인에 인가되는 게이트 신호이고, 상기 제2 게이트 신호는 (N-1)번째 짝수 게이트 라인에 인가되는 게이트 신호이다.
- [0033] 상기 제(N-1) 스테이지 회로부는 제1 리셋 신호로 제N 스테이지 회로부에서 출력되는 N번째 짝수 게이트 라인에 인가되는 게이트 신호를 입력 받고, 제2 리셋 신호로 제1 더미 스테이지 회로부에서 출력되는 제1 더미 게이트 신호를 입력 받는다.
- [0034] 상기 제N 스테이지 회로부는 제3 및 제4 클럭 신호를 입력 받아 제3 및 제4 출력 단자로 제3 및 제4 게이트 신호를 출력한다.
- [0035] 상기 제3 게이트 신호는 N번째 홀수 게이트 라인에 인가되는 게이트 신호이고, 상기 제4 게이트 신호는 N번째 짝수 게이트 라인에 인가되는 게이트 신호이다.
- [0036] 상기 제N 스테이지 회로부는 제3 리셋 신호로 제2 더미 스테이지 회로부에서 출력되는 제2 더미 게이트 신호를 입력 받고, 제4 리셋 신호로 제3 더미 스테이지 회로부에서 출력되는 제3 더미 게이트 신호를 입력 받는다.

- [0037] 또한, 본 발명의 일 실시예에 따른 액정표시장치는 화상을 표시하며, 다수의 게이트 라인 및 다수의 데이터 라인이 형성된 액정패널, 상기 액정패널을 구동하기 위한 다수의 제어 신호를 생성하는 타이밍 제어부, 상기 다수의 데이터 라인을 구동하기 위한 다수의 데이터 구동부 및 상기 다수의 게이트 라인을 구동하기 위한 다수의 게이트 신호를 출력하며, 외부로부터 개시 신호와 제1 내지 제4 클럭 신호를 제공 받아 구동하는 N 개의 스테이지 회로부를 포함하며, 상기 각각의 스테이지 회로부는 상기 제1 내지 제4 클럭 신호 중에서 적어도 어느 하나의 클럭 신호에 의해 게이트 신호를 출력하고, (N+3) 스테이지 회로부에서 출력되는 게이트 신호를 입력 받아 리셋 신호로 사용하는 게이트 구동부를 포함한다.
- [0038] 상기 게이트 구동부는 상기 액정패널의 양측에 각각 배치된다.
- [0039] 상기 각각의 스테이지는 제1 및 제2 스테이지 회로부를 포함한다.
- [0040] 상기 제1 스테이지 회로부는 게이트와 드레인은 제1 구동 신호에 공통으로 연결되며, 소스는 제1 노드와 연결되는 제1 트랜지스터, 게이트는 상기 제1 노드와 연결되고, 드레인은 상기 제1 구동 신호에 연결되며, 소스는 제2 노드에 연결되는 제2 트랜지스터, 게이트는 제1 개시 신호에 연결되며, 드레인은 제1 전압에 연결되고, 소스는 제3 노드에 연결되는 제3 트랜지스터, 게이트는 제1 리셋 신호에 연결되고, 드레인은 상기 제3 노드에 연결되며, 소스는 제2 전압에 연결되는 제4 트랜지스터, 게이트는 제4 노드에 연결되고, 드레인은 상기 제3 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제5 트랜지스터, 게이트는 상기 제2 노드에 연결되고, 드레인은 상기 제3 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제6 트랜지스터, 게이트는 상기 제3 노드에 연결되고, 드레인은 상기 제2 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제7 트랜지스터, 게이트는 상기 제1 개시 신호에 연결되며, 드레인은 상기 제2 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제8 트랜지스터, 게이트는 상기 제3 노드에 연결되고, 소스는 제1 클럭 신호에 연결되며, 드레인은 제1 출력 단자에 연결되는 제9 트랜지스터, 게이트는 상기 제2 노드에 연결되고, 드레인은 제1 출력 단자에 연결되며, 소스는 상기 제2 전압(VGL)에 연결되는 제10 트랜지스터 및 게이트는 상기 제4 노드에 연결되고, 드레인은 제1 출력 단자에 연결되며, 소스는 상기 제2 전압에 연결되는 제11 트랜지스터를 포함한다.
- [0041] 상기 제2 스테이지 회로부는 게이트와 드레인은 제2 구동 신호에 공통으로 연결되며, 소스는 제5 노드와 연결되는 제1 트랜지스터, 게이트는 상기 제5 노드와 연결되고, 드레인은 상기 제2 구동 신호에 연결되며, 소스는 제6 노드에 연결되는 제2 트랜지스터, 게이트는 제2 개시 신호에 연결되며, 드레인은 제1 전압에 연결되고, 소스는 제7 노드에 연결되는 제3 트랜지스터, 게이트는 제2 리셋 신호에 연결되고, 드레인은 상기 제7 노드에 연결되며, 소스는 제2 전압에 연결되는 제4 트랜지스터, 게이트는 상기 제6 노드에 연결되고, 드레인은 상기 제7 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제5 트랜지스터, 게이트는 제6 노드에 연결되고, 드레인은 상기 제7 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제6 트랜지스터, 게이트는 상기 제7 노드에 연결되고, 드레인은 상기 제8 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제7 트랜지스터, 게이트는 제2 개시 신호에 연결되며, 드레인은 상기 제8 노드에 연결되며, 소스는 상기 제2 전압에 연결되는 제8 트랜지스터, 게이트는 상기 제7 노드에 연결되고, 소스는 제2 클럭 신호에 연결되며, 드레인은 제2 출력 단자에 연결되는 제9 트랜지스터, 게이트는 상기 제6 노드에 연결되고, 드레인은 제2 출력 단자에 연결되며, 소스는 상기 제2 전압에 연결되는 제10 트랜지스터 및 게이트는 상기 제8 노드에 연결되고, 드레인은 제2 출력 단자에 연결되며, 소스는 상기 제2 전압에 연결되는 제11 트랜지스터를 포함한다.
- [0042] 상기 제1 스테이지 회로부의 상기 제2 노드와 상기 제2 스테이지 회로부의 상기 제8 노드는 전기적으로 연결된다.
- [0043] 상기 제1 스테이지 회로부의 상기 제4 노드와 상기 제2 스테이지 회로부의 상기 제6 노드는 전기적으로 연결된다.
- [0044] 상기 제1 및 제2 구동 신호는 소정 시간을 주기로 하이 레벨과 로우 레벨이 교번하여 인가된다.
- [0045] 상기 제1 스테이지 회로부의 상기 제3 노드와 상기 제2 스테이지 회로부의 상기 제7 노드는 순차적으로 충전 및 방전된다.
- [0046] 상기 N 개의 스테이지 회로부는 제1 내지 제3 더미 스테이지 회로부를 포함한다.
- [0047] 상기 제1 내지 제3 더미 스테이지 회로부는 제1 내지 제3 클럭 신호를 입력 받아 제1 내지 제3 더미 출력 단자로 제1 내지 제3 더미 게이트 신호를 출력한다.
- [0048] 상기 제1 내지 제3 더미 스테이지 회로부는 외부에서 제공되는 리셋 신호를 사용한다.

발명의 효과

- [0049] 상술한 바와 같이, 본 발명에 따른 게이트 구동부 및 이를 포함하는 액정표시장치는 게이트 구동부의 특성을 개선하여 게이트 구동부의 신뢰성을 향상시킬 수 있는 효과를 제공한다.
- [0050] 또한, 본 발명에 따른 게이트 구동부 및 이를 포함하는 액정표시장치는 게이트 신호의 오프 시간을 줄여 게이트 구동부의 설계 면적 및 소비 전류를 감소시킬 수 있는 효과를 제공한다.

도면의 간단한 설명

- [0051] 도 1은 종래 액정표시장치에서 사용되는 게이트 구동부를 나타내는 도면.
- 도 2 및 도 3은 제(N-1) 스테이지 회로부에서 출력되는 게이트 신호를 각각 나타내는 도면.
- 도 4는 도 2의 A 부분을 확대한 도면.
- 도 5는 본 발명의 일 실시예에 따른 액정표시장치를 나타내는 도면.
- 도 6은 본 발명의 일 실시예에 따른 제1 게이트 구동부를 나타내는 도면.
- 도 7은 본 발명의 일 실시예에 따른 제(N-1) 스테이지 회로부의 내부를 나타내는 도면.
- 도 8은 본 발명의 일 실시예에 따른 제(N-1) 스테이지 회로부1와 제(N-1) 스테이지 회로부2의 내부를 나타내는 도면.
- 도 9는 본 발명의 일 실시예에 따른 제(N-1) 스테이지 회로부1와 제(N-1) 스테이지 회로부2의 동작을 나타내는 파형도.
- 도 10은 본 발명의 일 실시예에 따른 제(N-1) 스테이지 회로부에서 출력되는 제2 게이트 신호의 출력 파형을 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

- [0052] 이하, 첨부한 도면을 참조하여 본 발명에 따른 게이트 구동부 및 이를 포함하는 액정표시장치의 바람직한 실시예를 상세히 설명한다.
- [0053] 도 5는 본 발명의 일 실시예에 따른 액정표시장치를 나타내는 도면이다.
- [0054] 도 5에 도시된 바와 같이, 액정패널(110)은 등가 회로로 볼 때 다수의 표시 신호 라인과 이에 연결되어 있으며, 매트릭스(matrix) 형태로 배열된 다수의 단위 화소(pixel)를 포함한다.
- [0055] 여기서, 표시 신호 라인은 표시 영역(미도시)에 형성되며, 게이트 신호를 전달하는 다수의 게이트 라인(GL)과 데이터 신호를 전달하는 다수의 데이터 라인(DL)을 포함한다. 이때, 게이트 라인(GL)은 행방향으로 뻗어 있으며 서로가 거의 평행하고 데이터 라인(DL)은 열방향으로 뻗어 있으며 서로가 거의 평행하다.
- [0056] 각 단위 화소는 표시 신호 라인에 연결된 스위칭 소자와 이에 연결된 액정 커패시터(liquid crystal capacitor)(Clc) 및 유지 커패시터(storage capacitor)(Cst)를 포함한다. 이때, 유지 커패시터(Cst)는 필요에 따라 생략할 수 있다.
- [0057] 스위칭 소자(TFT)는 어레이 기판에 구비되어 있으며, 삼단자 소자로서 그 제어 단자 및 제1 단자는 각각 게이트 라인(GL) 및 데이터 라인(DL)에 연결되어 있으며, 출력 단자는 액정 커패시터(ClC) 및 유지 커패시터(Cst)에 연결되어 있다.
- [0058] 액정 커패시터(ClC)는 어레이 기판의 화소 전극과 컬러 필터 기판의 공통 전극을 두 단자로 하며 두 전극 사이의 액정층은 유전체로서 기능한다. 화소 전극은 스위칭 소자(TFT)에 연결되며 공통 전극은 컬러 필터 기판의 전면에 형성되어 있고 공통 전압(Vcom)을 인가받는다. 여기에서, 공통 전극이 어레이 기판에 구비되는 경우도 있으며 이때에는 두 전극이 모두 선형 또는 막대형으로 만들어진다.
- [0059] 유지 커패시터(Cst)는 어레이 기판에 구비된 별개의 신호 라인(미도시)과 화소 전극이 중첩되어 이루어지며 이 별개의 신호 라인에는 공통 전압(Vcom) 등의 정해진 전압이 인가된다. 그러나, 유지 커패시터(Cst)는 화소 전극이 절연체를 매개로 바로 위의 전단 게이트 라인과 중첩되어 이루어질 수 있다.

- [0060] 한편, 색 표시를 구현하기 위해서는 각 단위 화소가 색상을 표시할 수 있도록 하여야 하는데, 이는 화소 전극에 대응하는 영역에 적색, 녹색, 또는 청색의 컬러 필터를 구비함으로써 가능하다. 여기에서, 컬러 필터는 컬러 필터 기판의 해당 영역에 형성할 수 있으며, 또한, 어레이 기판의 화소 전극 위 또는 아래에 형성할 수도 있다.
- [0061] 액정패널(110)의 어레이 기판 및 컬러 필터 기판 중 적어도 하나의 바깥 면에는 빛을 편광시키는 편광자(도시하지 않음)가 부착된다.
- [0062] 제1 및 제2 게이트 구동부(120, 122)는 액정패널(110)의 양측에 각각 배치된다. 또한, 제1 및 제2 게이트 구동부(120, 122)는 각각의 게이트 라인(GL)에 연결되어 외부로부터 제공되는 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트 라인(GL)에 인가한다.
- [0063] 여기서, 제1 및 제2 게이트 구동부(120, 122)는 액정패널(110)의 비표시 영역(미도시) 상에 박막트랜지스터(TFT) 공정시 함께 형성될 수 있다. 또한, 하나의 게이트 라인(GL) 예를 들면, 제1 게이트 라인은 제1 및 제2 게이트 구동부(120, 120)에 각각 연결되어 제1 및 제2 게이트 구동부(120, 122)에서 출력되는 동일한 게이트 신호가 제1 게이트 라인에 동시에 인가된다.
- [0064] 데이터 구동부(130)는 액정패널(110)의 데이터 라인(DL)에 연결되어 있으며, 감마 전압 발생부(미도시)로부터 제공된 다수의 감마 전압에 기초하여 다수의 계조 전압을 생성하고, 생성된 계조 전압을 선택하여 데이터 신호로서 단위 화소에 인가하며 통상 다수의 집적 회로로 이루어진다.
- [0065] 타이밍 제어부(140)는 제1 및 제2 게이트 구동부(120, 122) 및 데이터 구동부(130) 등의 동작을 제어하는 제어 신호(CONT1, CONT2)를 생성하여, 각 해당하는 제어 신호를 제1 및 제2 게이트 구동부(120, 122) 및 데이터 구동부(130)에 제공한다.
- [0066] 구동 전압 발생부(미도시)는 다수의 구동 전압을 생성한다. 예를 들어, 구동 전압 발생부는 게이트 온 전압(Von), 게이트 오프 전압(Voff) 및 공통 전압(Vcom)을 생성할 수 있다.
- [0067] 이하에서 액정표시장치의 표시 동작에 대하여 좀더 상세하게 설명한다.
- [0068] 타이밍 제어부(140)는 외부의 그래픽 제어기(미도시)로부터 RGB 영상 데이터(R, G, B) 및 이의 표시를 제어하는 제어 신호, 예를 들면 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 또한, 타이밍 제어부(140)는 제어 신호를 기초로 게이트 제어 신호 및 데이터 제어 신호 등을 생성하고 영상 데이터(R, G, B)를 액정패널(110)의 동작 조건에 맞게 적절히 처리한 후, 게이트 제어 신호를 게이트 구동부(120)로 제공하고 데이터 제어 신호와 처리된 영상 데이터(DAT)를 데이터 구동부(130)로 제공한다.
- [0069] 여기서, 게이트 제어 신호는 게이트 변조 제어 신호(FLK), 게이트 출력 인에이블 신호(GOE), 게이트 쉬프트 클럭 신호(GSC), 게이트 스타트 펄스 업 신호(GSP)가 포함된다.
- [0070] 데이터 제어 신호는 소스 출력 인에이블 신호(SOE), 소스 쉬프트 클럭 신호(SSC), 소스 스타트 펄스 라이트(SSPR), 소스 스타트 펄스 레프트(SSPL), 극성제어신호(POL)가 포함된다.
- [0071] 데이터 구동부(130)는 타이밍 제어부(140)로부터의 데이터 제어 신호에 따라 한 행의 단위 화소에 대응하는 영상 데이터(DAT)를 차례로 제공받고, 계조 전압 중 각 영상 데이터(DAT)에 대응하는 계조 전압을 선택함으로써, 영상 데이터(DAT)를 해당 데이터 전압으로 변환한다.
- [0072] 제1 및 제2 게이트 구동부(120, 122)는 타이밍 제어부(140)로부터의 게이트 제어 신호에 따라 게이트 온 전압(Von)을 게이트 라인(GL)에 인가하여 이 게이트 라인(GL)에 연결된 스위칭 소자(TFT)를 턴온시킨다.
- [0073] 하나의 게이트 라인(GL)에 게이트 온 전압이 인가되어 이에 연결된 한 행의 스위칭 소자(TFT)가 턴온되어 있는 동안, 데이터 구동부(130)는 각 데이터 전압을 해당 데이터 라인(DL)에 공급한다. 데이터 라인(DL)에 공급된 데이터 전압은 턴온된 스위칭 소자(TFT)를 통해 해당 단위 화소에 인가된다.
- [0074] 액정 분자들은 화소 전극과 공통 전극이 생성하는 전기장의 변화에 따라 그 배열을 바꾸고 이에 따라 액정층을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 어레이 기판 및 컬러 필터 기판에 부착된 편광자(미도시)에 의하여 빛의 투과율 변화로 나타난다.
- [0075] 이러한 방식으로, 한 프레임(frame) 동안 모든 게이트 라인(GL)에 대하여 차례로 게이트 온 전압(Von)을 인가하여 모든 단위 화소에 데이터 전압을 인가한다. 한 프레임이 끝나면 다음 프레임이 시작되고 각 단위 화소에 인

가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(130)에 인가되는 반전 신호의 상태가 제어된다(프레임 반전). 이때, 한 프레임 내에서도 반전 신호의 특성에 따라 한 데이터 라인을 통하여 흐르는 데이터 전압의 극성이 바뀌거나(라인 반전), 한 화소행에 인가되는 데이터 전압의 극성도 서로 다를 수 있다(도트 반전).

[0076] 도 6은 본 발명의 일 실시예에 따른 제1 게이트 구동부를 나타내는 도면이고, 도 7은 본 발명의 일 실시예에 따른 제(N-1) 스테이지 회로부의 내부를 나타내는 도면이다. 여기서, 제1 구동부(120)와 제2 구동부(122)는 동일한 구조를 갖으므로, 설명의 편의를 위하여 제1 구동부(120)에 대해 설명하기로 한다.

[0077] 도 6에 도시된 바와 같이, 본 발명의 일 실시예에 따른 제1 게이트 구동부(120)는 타이밍 제어부(140)로부터 개시 신호(미도시)와 제1 내지 제4 클럭 신호(CLK1 내지 CLK4)를 제공받아 동작하는 N개의 스테이지 회로부(120_1, 120_2)로 구성되는 쉬프트 레지스터(120)와 더미 스테이지 회로부(124)를 포함한다. 또한, 제1 게이트 구동부(120)는 미리 설정된 게이트 라인 개수에 맞게 해당 게이트 라인에 게이트 신호를 출력한다.

[0078] 또한, 제(N-1) 스테이지 회로부(120_1)는 제1 개시 신호(VST_odd)로 제(N-2) 스테이지 회로부(미도시)의 제1 게이트 신호(미도시)가 입력되며, 제2 개시 신호(VST_even)로 제(N-2) 스테이지 회로부(미도시)의 제2 게이트 신호(미도시)가 입력된다. 제(N-1) 스테이지 회로부(120_1)는 제1 및 제2 리셋 신호(RST_odd, RST_even), 제1 및 제2 클럭 신호(CLK1, CLK2)를 입력 받아 제1 및 제2 출력 단자(Vout_odd, Vout_even)에 제1 및 제2 게이트 신호(Gout(N-1)_O), Gout(N-1)_E를 각각 출력한다.

[0079] 여기서, 제1 리셋 신호(RST_odd)로 제N 스테이지 회로부(120_2)에서 출력되는 N번째 짝수 게이트 라인에 인가되는 게이트 신호(Gout(N)_E)를 입력 받고, 제2 리셋 신호(RST_even)로 제1 더미 스테이지 회로부(124_1)에서 출력되는 제1 더미 게이트 신호(Gout_D1)를 입력 받는다.

[0080] 또한, 제N 스테이지 회로부(120_2)는 제1 개시 신호(VST_odd)로 제(N-1) 스테이지 회로부(120_1)의 제1 게이트 신호(Gout(N-1)_O)가 입력되며, 제2 개시 신호(VST_even)로 제(N-1) 스테이지 회로부(120_1)의 제2 게이트 신호(Gout(N-1)_E)가 입력된다. 제N 스테이지 회로부(120_1)는 제1 및 제2 리셋 신호(RST_odd, RST_even), 제3 및 제4 클럭 신호(CLK3, CLK4)를 입력 받아 제1 및 제2 출력 단자(Vout_odd, Vout_even)에 제1 및 제2 게이트 신호(Gout(N)_O), Gout(N)_E를 각각 출력한다.

[0081] 이때, 제1 리셋 신호(RST_even)로 제2 더미 스테이지 회로부(124_2)에서 출력되는 제2 더미 게이트 신호(Gout_D2)를 입력 받으며, 제2 리셋 신호(RST_even)로 제3 더미 스테이지 회로부(124_3)에서 출력되는 제3 더미 게이트 신호(Gout_D3)를 입력 받는다.

[0082] 아울러, 더미 스테이지 회로부(124)는 내부에 제1 내지 제3 더미 스테이지 회로부(124_1 내지 124_3)를 포함한다. 여기서, 제1 더미 스테이지 회로부(124_1)는 개시 신호로 제N 스테이지 회로부(120_2)의 제1 게이트 신호(Gout(N)_O)를 입력 받으며, 제2 더미 스테이지 회로부(124_2)는 개시 신호로 제N 스테이지 회로부(120_2)의 제2 게이트 신호(Gout(N)_E)를 입력 받고, 제3 더미 스테이지 회로부(124_3)는 개시 신호로 제1 더미 스테이지 회로부(124_1)의 제1 더미 게이트 신호(Gout_D1)를 입력 받는다.

[0083] 또한, 제1 내지 제3 더미 스테이지 회로부(124_1 내지 124_3)는 제1 내지 제3 클럭 신호(CLK1 내지 CLK3)를 입력 받아 제1 내지 제3 더미 출력 단자(Vout_D1 내지 Vout_D3)에서 제1 내지 제3 더미 게이트 신호(Gout_D1 내지 Gout_D3)를 각각 출력한다. 이때, 제1 내지 제3 더미 스테이지 회로부(124_1 내지 124_3)는 제1 내지 제3 리셋 신호(RST_D1 내지 RST_D3)로 외부에서 제공되는 리셋 신호(RST)를 입력 받는다.

[0084] 도 7에 도시된 바와 같이, 본 발명의 일 실시예에 따른 제(N-1) 스테이지 회로부(120_1)는 내부에 제(N-1) 스테이지 회로부1(126_1)와 제(N-1) 스테이지 회로부2(126_2)를 포함한다.

[0085] 여기서, 제(N-1) 스테이지 회로부1(126_1)는 외부에서 입력되는 제1 클럭신호(CLK1)를 입력 받아 출력 단자(Vout_odd)로 (N-1)번째 홀수 게이트 라인에 인가되는 제1 게이트 신호(Gout(N-1)_O)를 출력하고, 제(N-1) 스테이지 회로부2(126_2)는 외부에서 입력되는 제2 클럭신호(CLK2)를 입력 받아 출력 단자(Vout_even)로 (N-1)번째 짝수 게이트 라인에 인가되는 제2 게이트 신호(Gout(N-1)_E)를 출력한다. 즉, 하나의 스테이지 회로부에서 두 개의 게이트 신호 즉, 제1 게이트 신호(Gout(N-1)_O)와 제2 게이트 신호(Gout(N-1)_E)를 각각 출력한다. 또한, 제1 게이트 신호(Gout(N-1)_O)와 제2 게이트 신호(Gout(N-1)_E)는 소정 시간을 두고 순차적으로 출력된다.

[0086] 본 발명의 일 실시예에서는 종래 기술에서 제(N-1) 스테이지 회로부는 리셋 신호로 제N 스테이지 회로부에서 출력되는 게이트 신호(Gout(N)_E)를 입력 받아 제1 및 제2 게이트 신호(Gout(N-1)_O, Gout(N-1)_E)를 동시에 방

전시킴으로, 홀딩 구간에서 제1 및 제2 게이트 신호(Gout(N-1)_O, Gout(N-1)_E)의 전압 차이가 발생하는 것을 최소화하기 위해 제(N-1) 스테이지 회로부1(126_1)의 제1 리셋 신호(RST_odd)로 제N 스테이지 회로부(120_2)의 제2 게이트 신호(Gout(N)_E)를 입력 받고, 제(N-1) 스테이지 회로부2(126_2)의 제2 리셋 신호(RST_even)로 제1 더미 스테이지 회로부(124_1)의 제1 더미 게이트 신호(Gout_D1)를 입력 받는다.

[0087] 따라서, 본 발명의 일 실시예에서는 제(N-1) 스테이지 회로부(120_1)는 제1 및 제2 리셋 신호(RST_odd, RST_even)로 (N+3) 번째 게이트 라인에 인가되는 게이트 신호를 입력 받아 해당 게이트 라인에 게이트 오프 신호를 출력함으로써 홀딩 구간에서 홀딩 구간에서 제1 및 제2 게이트 신호(Gout(N-1)_O, Gout(N-1)_E)의 전압 차이가 발생하는 것을 최소화 할 수 있다.

[0088] 또한, 본 발명의 일 실시예에서는 제(N-1) 스테이지 회로부(120_1)는 제1 및 제2 리셋 신호(RST_odd, RST_even)로 (N+3) 번째 게이트 라인에 인가되는 게이트 신호를 입력 받아 동작함으로써 장시간 구동으로 인해 출력특성(b)이 점차 열화됨으로써 홀딩 구간에서 제2 게이트 신호(Gout(N-1)_E)의 전압이 저하되는 것을 최소화 할 수 있다.

[0089] 도 8은 본 발명의 일 실시예에 따른 제(N-1) 스테이지 회로부1와 제(N-1) 스테이지 회로부2의 내부를 나타내는 도면이다.

[0090] 도 8에 도시된 바와 같이, 제(N-1) 스테이지 회로부1(126_1)는 내부에 다수의 트랜지스터(T11 내지 T21)를 포함한다.

[0091] 여기서, 제1 트랜지스터(T11)의 게이트와 드레인은 제1 구동 신호(VGH_odd)에 공통으로 연결되며, 소스는 제1 노드(N11)와 연결된다. 제2 트랜지스터(T12)의 게이트는 제1 노드(N11)와 연결되고, 드레인은 제1 구동 신호(VGH_odd)에 연결되며, 소스는 제2 노드(N12)에 연결된다. 제3 트랜지스터(T13)의 게이트는 제1 개시 신호(VST1)에 연결되며, 드레인은 제1 전압(VGH)에 연결되고, 소스는 제3 노드(N13)에 연결된다. 이때, 제1 전압(VGH)은 예를 들면, 직류 전압 29V일 수 있다.

[0092] 제4 트랜지스터(T14)의 게이트는 제1 리셋 신호(RST_odd)에 연결되고, 드레인은 제3 노드(N13)에 연결되며, 소스는 제2 전압(VGL)에 연결된다. 제5 트랜지스터(T15)의 게이트는 제4 노드(N14)에 연결되고, 드레인은 제3 노드(N13)에 연결되며, 소스는 제2 전압(VGL)에 연결된다. 제6 트랜지스터(T16)의 게이트는 제2 노드(N12)에 연결되고, 드레인은 제3 노드(N13)에 연결되며, 소스는 제2 전압(VGL)에 연결된다. 이때, 제2 전압(VGL)은 예를 들면, 직류 전압 -6V일 수 있다.

[0093] 제7 트랜지스터(T17)의 게이트는 제3 노드(N13)에 연결되고, 드레인은 제2 노드(N12)에 연결되며, 소스는 제2 전압(VGL)에 연결된다. 제8 트랜지스터(T18)의 게이트는 제1 개시 신호(VST1)에 연결되며, 드레인은 제2 노드(N12)에 연결되며, 소스는 제2 전압(VGL)에 연결된다. 제9 트랜지스터(T19)의 게이트는 제3 노드(N13)에 연결되고, 소스는 제1 클럭 신호(CLK1)에 연결되며, 드레인은 출력 단자(Vout_odd)에 연결된다.

[0094] 제10 트랜지스터(T20)의 게이트는 제2 노드(N12)에 연결되고, 드레인은 출력 단자(Vout_odd)에 연결되며, 소스는 제2 전압(VGL)에 연결된다. 제11 트랜지스터(T21)의 게이트는 제4 노드(N14)에 연결되고, 드레인은 출력 단자(Vout_odd)에 연결되며, 소스는 제2 전압(VGL)에 연결된다.

[0095] 또한, 제(N-1) 스테이지 회로부2(126_2)는 내부에 다수의 트랜지스터(T31 내지 T41)를 포함한다.

[0096] 제1 트랜지스터(T31)의 게이트와 드레인은 제2 구동 신호(VGH_even)에 공통으로 연결되며, 소스는 제1 노드(N21)와 연결된다. 제2 트랜지스터(T32)의 게이트는 제1 노드(N21)와 연결되고, 드레인은 제2 구동 신호(VGH_even)에 연결되며, 소스는 제4 노드(N24)에 연결된다. 제3 트랜지스터(T33)의 게이트는 제2 개시 신호(VST2)에 연결되며, 드레인은 제1 전압(VGH)에 연결되고, 소스는 제3 노드(N23)에 연결된다.

[0097] 제4 트랜지스터(T34)의 게이트는 제2 리셋 신호(RST_even)에 연결되고, 드레인은 제3 노드(N23)에 연결되며, 소스는 제2 전압(VGL)에 연결된다. 제5 트랜지스터(T35)의 게이트는 제4 노드(N24)에 연결되고, 드레인은 제3 노드(N23)에 연결되며, 소스는 제2 전압(VGL)에 연결된다. 제6 트랜지스터(T36)의 게이트는 제2 노드(N22)에 연결되고, 드레인은 제3 노드(N23)에 연결되며, 소스는 제2 전압(VGL)에 연결된다.

[0098] 제7 트랜지스터(T37)의 게이트는 제3 노드(N23)에 연결되고, 드레인은 제4 노드(N24)에 연결되며, 소스는 제2 전압(VGL)에 연결된다. 제8 트랜지스터(T38)의 게이트는 제2 개시 신호(VST2)에 연결되며, 드레인은 제4 노드(N24)에 연결되며, 소스는 제2 전압(VGL)에 연결된다. 제9 트랜지스터(T39)의 게이트는 제3 노드(N23)에 연결되

고, 소스는 제2 클럭 신호(CLK2)에 연결되며, 드레인은 출력 단자(Vout_even)에 연결된다.

[0099] 제10 트랜지스터(T40)의 게이트는 제2 노드(N22)에 연결되고, 드레인은 출력 단자(Vout_even)에 연결되며, 소스는 제2 전압(VGL)에 연결된다. 제11 트랜지스터(T41)의 게이트는 제4 노드(N24)에 연결되고, 드레인은 출력 단자(Vout_even)에 연결되며, 소스는 제2 전압(VGL)에 연결된다.

[0100] 이하, 도 9를 참조하여 본 발명의 일 실시예에 따른 제1 및 제2 스테이지 회로부의 동작에 대해 설명하기로 한다.

[0101] 도 9는 본 발명의 일 실시예에 따른 제(N-1) 스테이지 회로부1와 제(N-1) 스테이지 회로부2의 동작을 나타내는 파형도이다.

[0102] 도 9에 도시된 바와 같이, 제(N-1) 스테이지 회로부1(126_1)에 제1 구동 신호(VGH_odd)가 인가되면, 제1 및 제2 트랜지스터(T11, T12)가 턴 온 되어 제2 노드(N12)는 하이 레벨이 된다. 이때, 제6 및 제10 트랜지스터(T16, T20)가 턴 온 된다.

[0103] 여기서, 제1 구동 신호(VGH_odd)는 소정 시간을 주기로 하이 레벨 신호와 로우 레벨 신호가 교번하여 인가된다. 제1 개시 신호(VST1)와 제2 개시 신호(VST2)는 1H 주기의 위상 차를 갖는다. 제1 개시 신호(VST1)로 제(N-2) 스테이지 회로부(미도시)의 제1 게이트 신호가 입력되며, 제2 개시 신호(VST2)로 제(N-2) 스테이지 회로부(미도시)의 제1 게이트 신호가 입력된다. 제1 내지 제4 클럭 신호(CLK1 내지 CLK4)는 순차적으로 1H 주기의 위상 차를 갖고, 제1 리셋 신호(RST_odd)와 제2 리셋 신호(RST_even)는 1H 주기의 위상 차를 갖는다.

[0104] 그 다음, 제(N-1) 스테이지 회로부1(126_1)에 제1 개시 신호(VST1)로 제(N-2) 스테이지 회로부의 제1 게이트 신호(미도시)가 인가되면, 제3, 제7, 제8 트랜지스터(T13, T17, T18)가 턴 온 된다.

[0105] 그러면, 제3 노드(N13)는 제1 전압(VGH)이 충전되고, 제3 트랜지스터(T13)를 통해 인가된 제1 전압(VGH)이 제6 트랜지스터(T16)를 통해 제2 전압(VGL) 라인으로 빠져 나가고, 제2 노드(N12)의 전압이 제7 및 제8 트랜지스터(T17, T18)를 통해 제2 전압(VGL) 라인으로 빠져 나간다.

[0106] 여기서, 제3 노드(N13)에 연결되어 있는 제9 트랜지스터(T19)가 턴 온 되어 제1 클럭 신호(CLK1)를 제1 출력 단자(Vout_odd)로 출력한다. 이때, 제1 클럭 신호(CLK1)가 게이트 온 신호가 되고, 제1 클럭 신호(CLK1)는 예를 들면, 1.4H 주기를 갖을 수 있다.

[0107] 그 다음, 제1 리셋 신호(RST_odd)로 제(N-2) 스테이지 회로부(미도시)의 제1 게이트 신호가 입력되면, 제4 트랜지스터(T14)가 턴 온 되어 제3 노드(N13)의 전압이 제4 트랜지스터(T14)를 통해 제2 전압(VGL) 라인으로 빠져 나가게 된다. 이에 따라 제3 노드(N13)는 로우 레벨의 전압을 갖게 되고, 제9 트랜지스터(T19)가 턴 오프 되어 제1 출력 단자(Vout_odd)로 게이트 오프 신호가 출력된다. 여기서, 제4 노드(N14)는 로우 레벨이 인가 되어 제5 및 제11 트랜지스터(T15, T21)는 턴 오프 상태이다.

[0108] 또한, 제(N-1) 스테이지 회로부2(126_2)에 제2 구동 신호(VGH_even)가 인가되면, 제1 및 제2 트랜지스터(T31, T32)가 턴 온 되어 제4 노드(N24)는 하이 레벨이 된다. 이때, 제6 및 제10 트랜지스터(T36, T40)가 턴 온 된다.

[0109] 여기서, 제2 구동 신호(VGH_even)는 소정 시간을 주기로 하이 레벨 신호와 로우 레벨 신호가 교번하여 인가된다.

[0110] 그 다음, 제(N-1) 스테이지 회로부2(126_2)에 제2 개시 신호(VST2)로 제(N-2) 스테이지 회로부의 제2 게이트 신호(미도시)가 인가되면, 제3, 제7 및 제8 트랜지스터(T33, T37, T38)가 턴 온 된다.

[0111] 그러면, 제3 노드(N23)는 제1 전압(VGH)이 충전되고, 제3 트랜지스터(T33)를 통해 인가된 제1 전압(VGH)이 제6 트랜지스터(T36)를 통해 제2 전압(VGL) 라인으로 빠져 나가고, 제2 노드(N22)의 전압이 제7 및 제8 트랜지스터(T17, T18)를 통해 제2 전압(VGL) 라인으로 빠져 나간다.

[0112] 여기서, 제3 노드(N23)에 연결되어 있는 제9 트랜지스터(T39)가 턴 온 되어 제2 클럭 신호(CLK2)를 제2 출력 단자(Vout_even)로 출력한다. 이때, 제2 클럭 신호(CLK2)가 게이트 온 신호가 된다.

[0113] 그 다음, 제2 리셋 신호(RST_odd)로 제(N-2) 스테이지 회로부(미도시)의 제2 게이트 신호가 입력되면, 제4 트랜지스터(T34)가 턴 온 되어 제3 노드(N23)의 전압이 제4 트랜지스터(T34)를 통해 제2 전압(VGL) 라인으로 빠져 나가게 된다. 이에 따라 제3 노드(N23)는 로우 레벨의 전압을 갖게 되고, 제9 트랜지스터(T39)가 턴 오프 되어 제2 출력 단자(Vout_even)로 게이트 오프 신호가 출력된다. 여기서, 제4 노드(N24)는 로우 레벨이 인가되어 제5

및 제11 트랜지스터(T35, T41)는 턴 오프 상태이다.

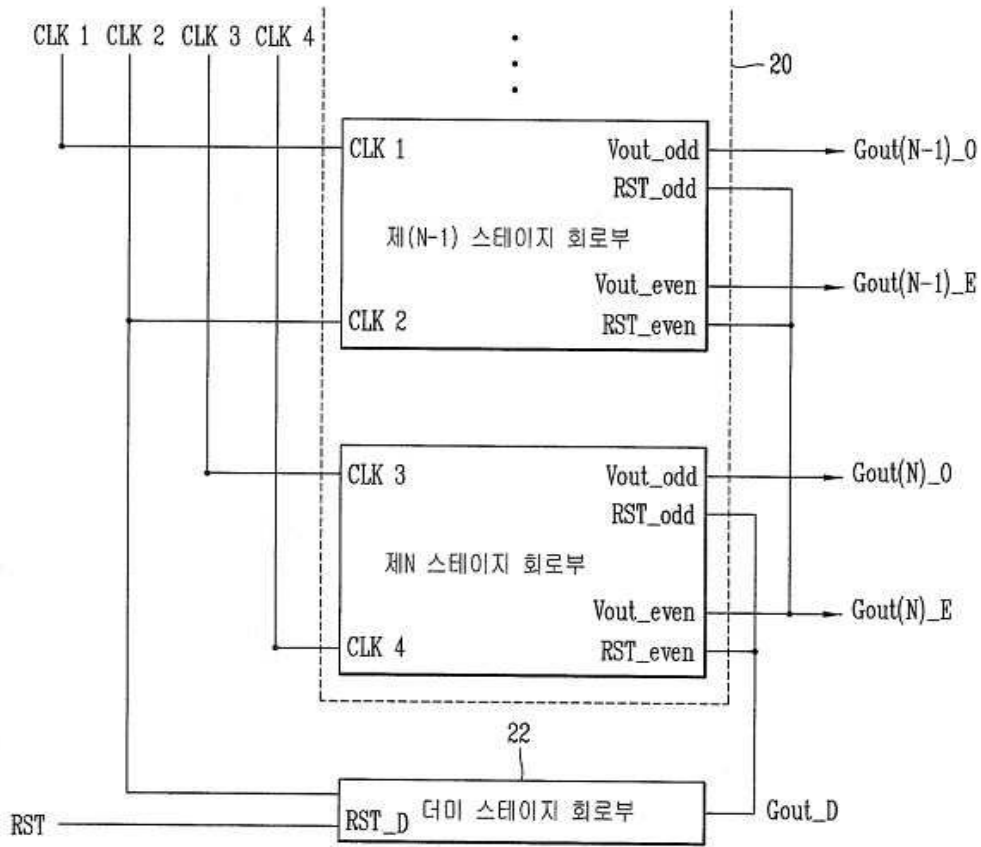
- [0114] 여기서, 제2 노드(N22)는 제(N-1) 스테이지 회로부1(126_1)의 제2 노드(N12)와 연결되어 있으므로, 제(N-1) 스테이지 회로부1(126_1)의 제2 노드(N12)와 제(N-1) 스테이지 회로부2(126_2)의 제2 노드(N22)는 동일한 전압 레벨을 갖게 된다.
- [0115] 또한, 제4 노드(N24)는 제(N-1) 스테이지 회로부1(126_1)의 제4 노드(N14)와 연결되어 있으므로, 제(N-1) 스테이지 회로부1(126_1)의 제4 노드(N14)와 제(N-1) 스테이지 회로부2(126_2)의 제4 노드(N24)는 동일한 전압 레벨을 갖게 된다.
- [0116] 도 10은 본 발명의 일 실시예에 따른 제(N-1) 스테이지 회로부에서 출력되는 제2 게이트 신호의 출력 파형을 나타내는 도면이다.
- [0117] 도 10에 도시된 바와 같이, 본 발명의 일 실시예에서는 제(N-1) 스테이지 회로부1(126_1)에서 풀업 트랜지스터(T19)의 오프 시점을 소정 구간(d) 증가시켰다. 예를 들면, 종래 기술에서는 제(N-1) 스테이지 회로부는 (N+2) 스테이지 회로부의 게이트 신호를 받아 리셋 신호로 사용하였으나, 본 발명의 일 실시예에서는 제(N-1) 스테이지 회로부(120_1)의 제(N-1) 스테이지 회로부1(126_1)는 제1 리셋 신호(RST_odd)로 제N 스테이지 회로부(120_2)에서 출력되는 N번째 짝수 게이트 라인에 인가되는 게이트 신호(Gout(N)_E)를 입력 받고, 제(N-1) 스테이지 회로부2(126_2)는 제2 리셋 신호(RST_even)로 제1 더미 스테이지 회로부(124_1)에서 출력되는 제1 더미 게이트 신호(Gout_D1)를 입력 받는다.
- [0118] 이에 따라 종래 기술의 제2 풀업 트랜지스터의 오프 시점(b) 대비 본 발명의 제2 풀업 트랜지스터(T39)의 오프 시점(c'')을 증가시킴으로 인해 제(N-1) 스테이지 회로부1(126_1)의 제1 풀업 트랜지스터(T19)가 연결되어 있는 제3 노드(N13)와 제(N-1) 스테이지 회로부2(126_2)의 제2 풀업 트랜지스터(T39)가 연결되어 있는 제3 노드(N23)의 충전과 방전이 순차적으로 일어나게 된다. 따라서, 제(N-1) 스테이지 회로부1(126_1)의 제1 풀업 트랜지스터(T19)에서 출력되는 제1 게이트 신호((Gout(N-1)_E)와 제(N-1) 스테이지 회로부2(126_2)의 제2 풀업 트랜지스터(T39)에서 출력되는 제2 게이트 신호(Gout(N-1)_E)의 출력 파형이 서로 대칭적으로 출력되어 액정표시장치가 비정상적으로 동작하는 것을 최소화할 수 있다.
- [0119] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서, 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

부호의 설명

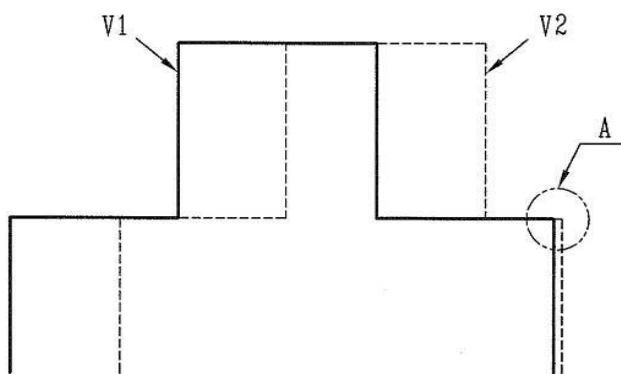
- [0120] 110: 액정패널 120, 122: 제1 및 제2 게이트 구동부
120_1: 제(N-1) 스테이지 회로부 120_2: 제N 스테이지 회로부
124: 더미 스테이지 회로부 124_1: 제1 더미 스테이지 회로부
124_2: 제2 더미 스테이지 회로부 124_3: 제3 더미 스테이지 회로부
130: 데이터 구동부 140: 타이밍 제어부

도면

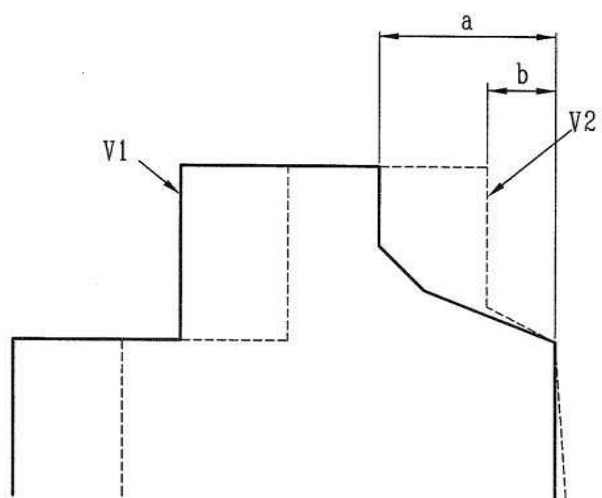
도면1



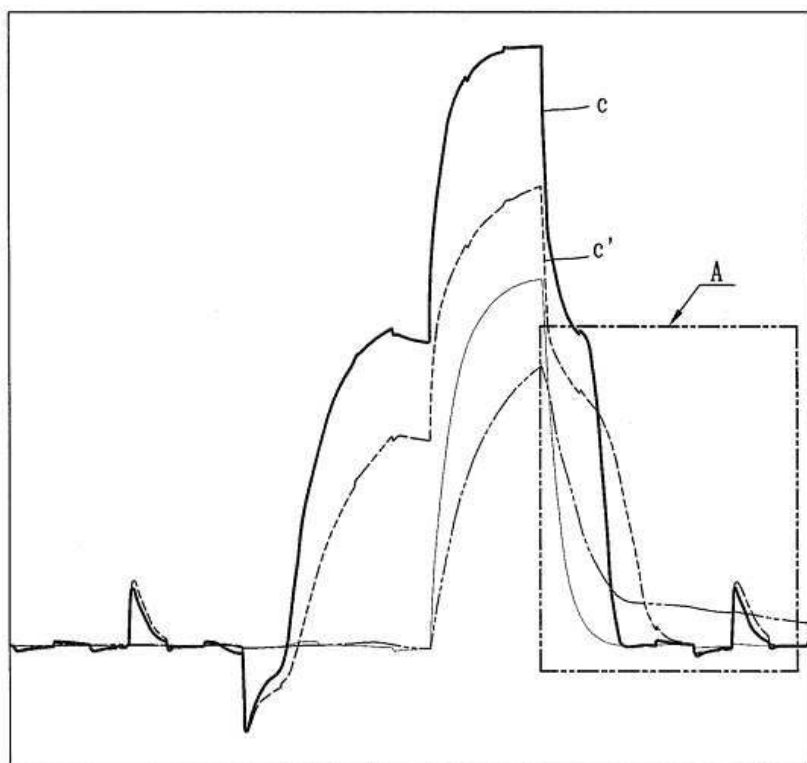
도면2



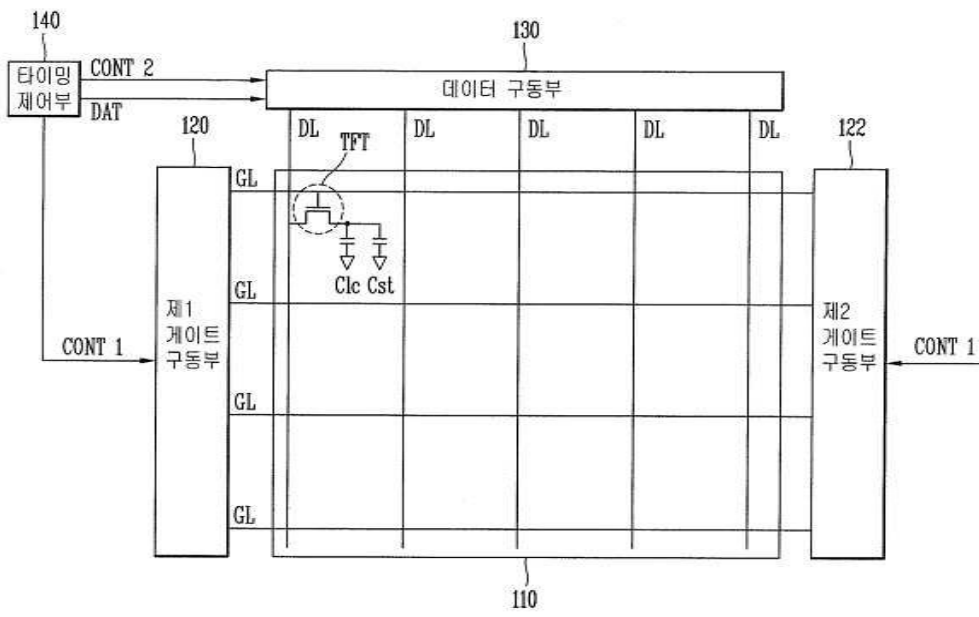
도면3



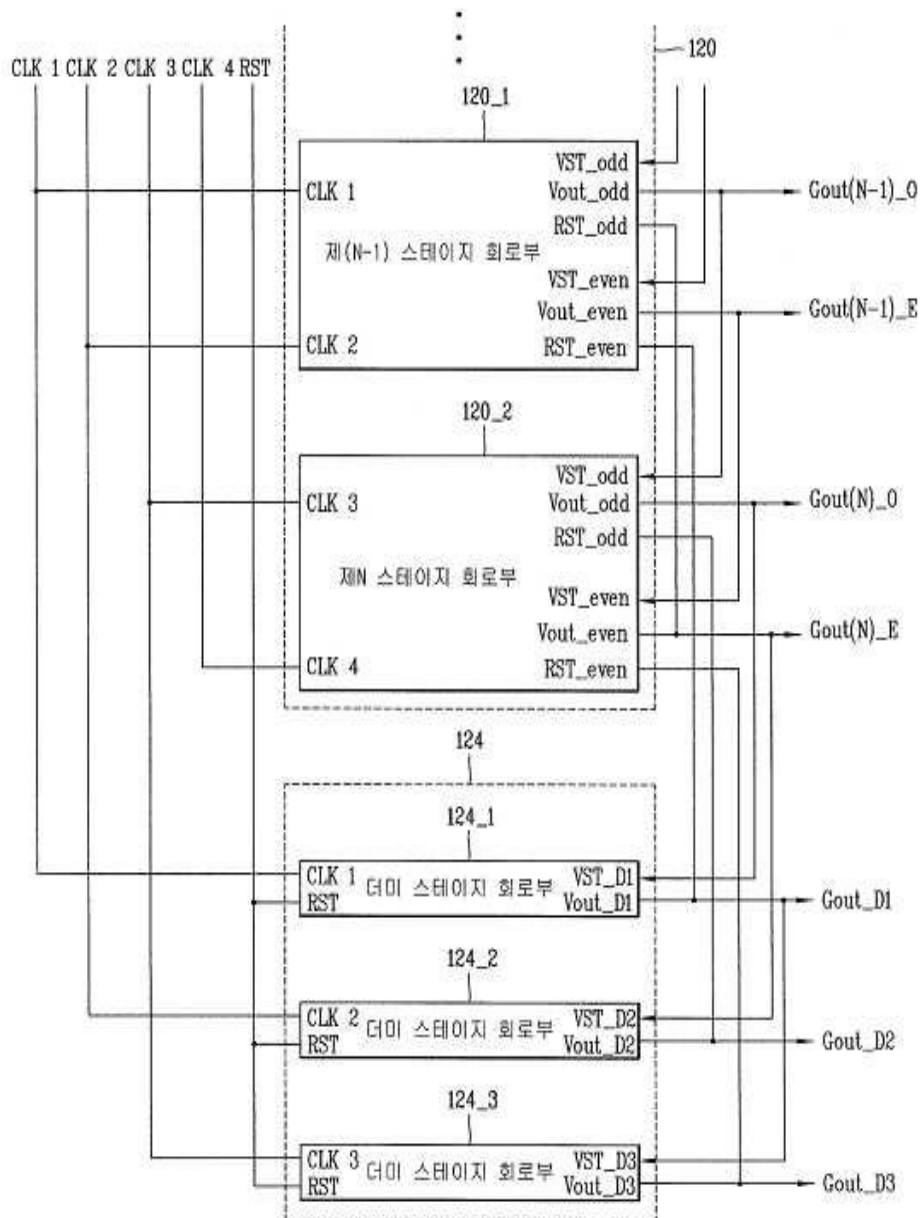
도면4



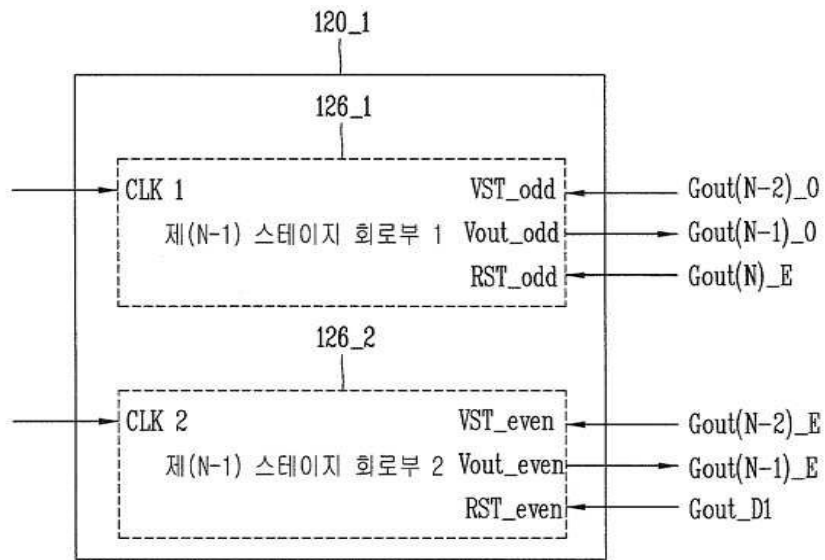
도면5



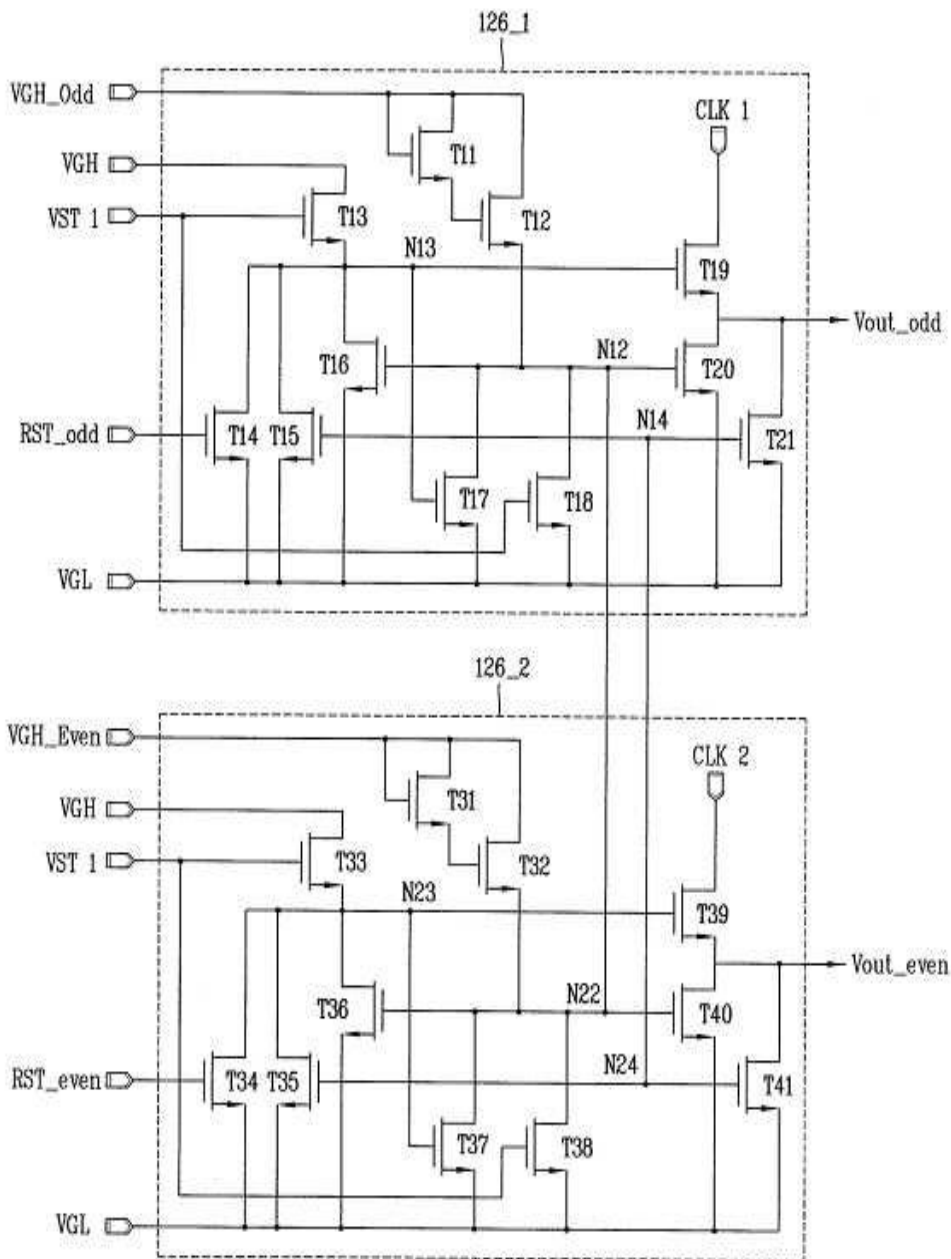
도면6



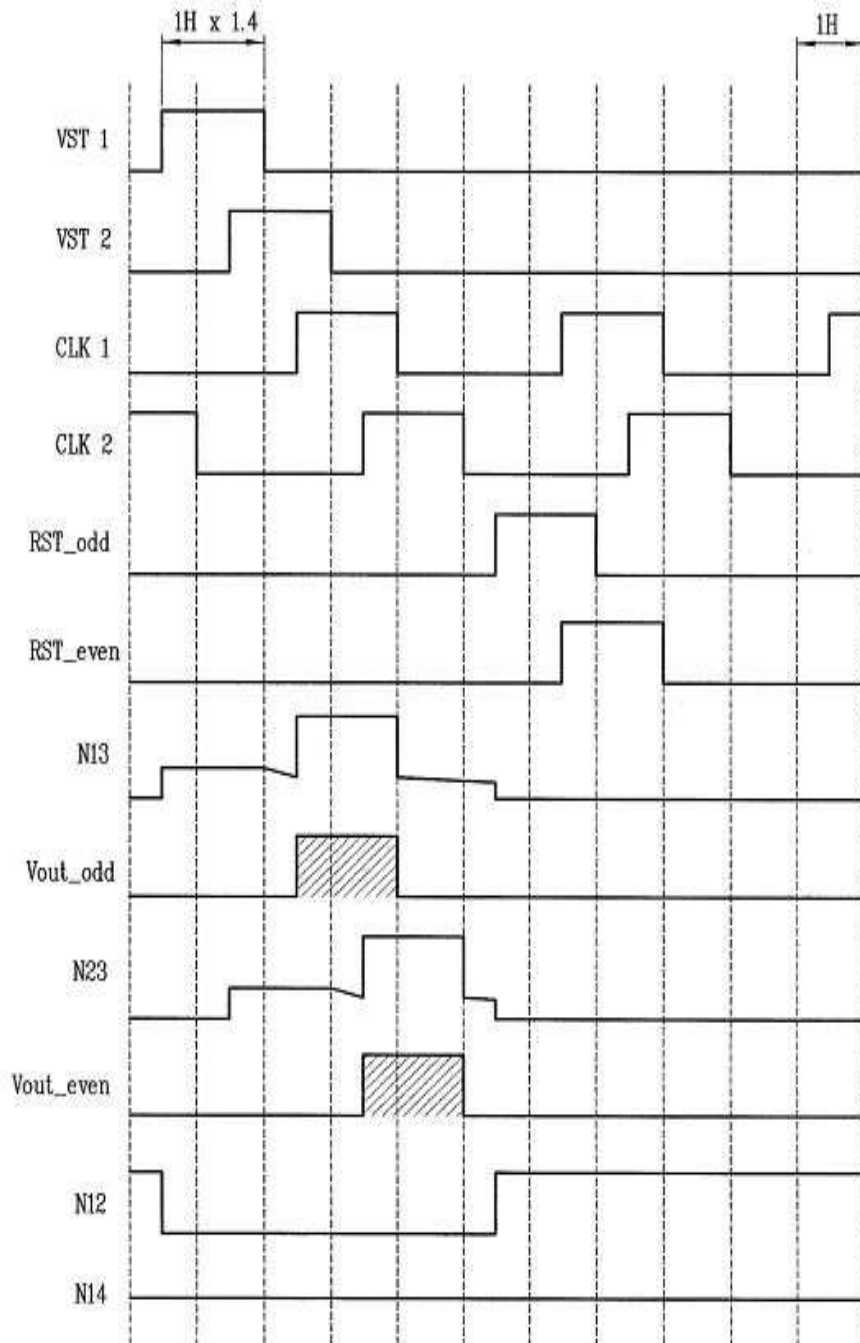
도면7



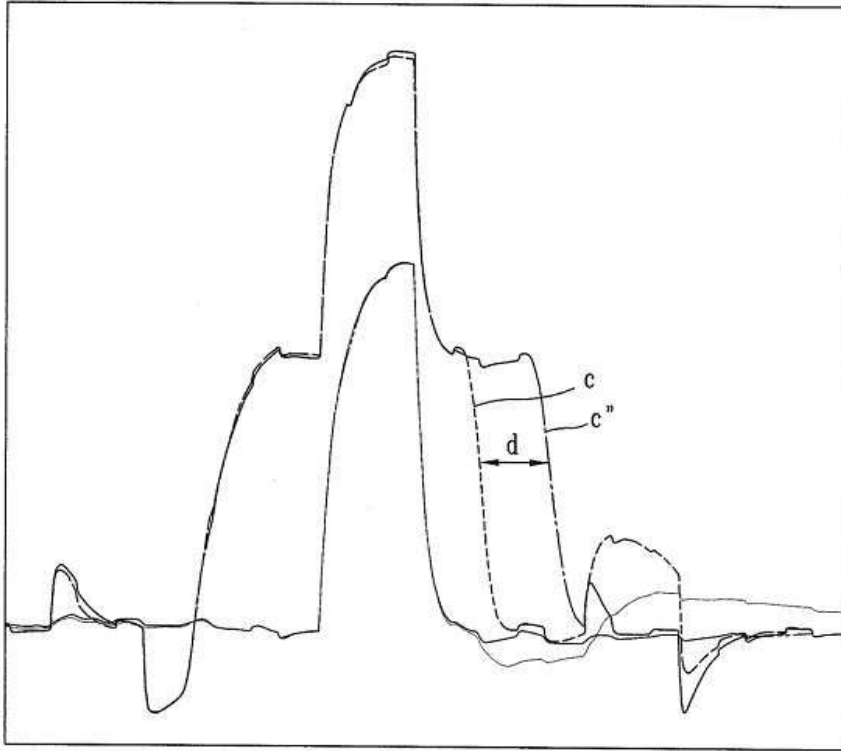
도면8



도면9



도면10



专利名称(译)	标题：栅极驱动器和包括其的液晶显示器件		
公开(公告)号	KR1020130107096A	公开(公告)日	2013-10-01
申请号	KR1020120028921	申请日	2012-03-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KANG JONG SEUK 강종석 KIM LEE YOUNG 김이영		
发明人	강종석 김이영		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	H03K5/00 G09G3/3677 G09G2300/0413 G09G3/3685 G09G2310/06		
代理人(译)	PARK , JANG WON		
其他公开文献	KR101396942B1		
外部链接	Espacenet		

摘要(译)

提供了栅极驱动单元，用于减少栅极信号的关断时段，并且可以减小栅极驱动单元和包括栅极驱动单元的液晶显示器的设计面积和功耗。栅极驱动单元和包括该栅极驱动单元的液晶显示器包括来自外部的起始信号的级电路和第一到当前驱动的N，第四时钟信号得到报价。并且，输出栅极信号的 (N + 3) 级电路输出的栅极信号输入一个或多个时钟信号，每个级电路用作第一至第四时钟信号中的复位信号。

