



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0095574
(43) 공개일자 2013년08월28일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(21) 출원번호 10-2012-0017132

(22) 출원일자 2012년02월20일

심사청구일자 2012년02월20일

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김중우

경기도 파주시 금촌동 서원마을아파트 703동 1005호

박선우

경기도 과천시 별양동 주공6단지아파트 624동 212호

(74) 대리인

특허법인천문

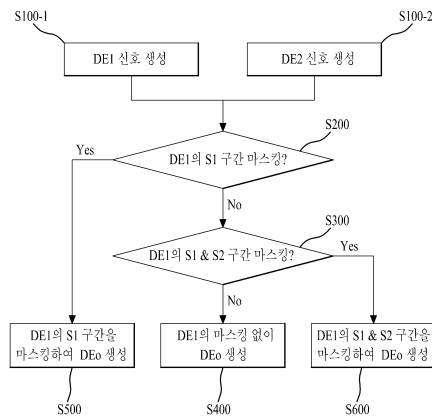
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 타이밍 컨트롤러 및 이를 포함하는 액정 표시 장치

(57) 요약

본 발명은 정전기 등의 노이즈에 따른 비정상적인 데이터 인에이블 입력 신호에 의한 화질 불량을 방지할 수 있도록 한 타이밍 컨트롤러 및 이를 포함하는 액정 표시 장치에 관한 것으로, 본 발명에 따른 타이밍 컨트롤러는 동일 수평 라인에 나란하게 배치된 복수의 서브 화소를 복수의 수평 구간 동안 순차적으로 구동하는 것으로, 입력 데이터 및 데이터 인에이블 입력 신호를 수신하는 수신부; 상기 수신부로부터 공급되는 상기 데이터 인에이블 입력 신호의 활성화 구간에 기초해 제 1 데이터 인에이블 신호를 생성함과 아울러 상기 활성화 구간에 발생된 비정상 구간에 기초해 제 2 데이터 인에이블 신호를 생성하고, 상기 제 1 및 제 2 데이터 인에이블 신호에 기초해 데이터 인에이블 출력 신호를 생성하는 타이밍 신호 생성부; 및 상기 데이터 인에이블 입력 신호에 따라 상기 입력 데이터를 임시 저장하고, 상기 데이터 인에이블 출력 신호에 따라 상기 임시 저장된 데이터 중에서 상기 각 수평 구간의 순차 구동에 대응되는 표시 데이터를 선택하여 출력하는 데이터 처리부를 포함하여 구성되는 것을 특징으로 한다.

대표도 - 도7



특허청구의 범위

청구항 1

동일 수평 라인에 나란하게 배치된 복수의 서브 화소를 복수의 수평 구간 동안 순차적으로 구동하는 타이밍 컨트롤러에 있어서,

상기 타이밍 컨트롤러는,

입력 데이터 및 데이터 인에이블 입력 신호를 수신하는 수신부;

상기 수신부로부터 공급되는 상기 데이터 인에이블 입력 신호의 활성화 구간에 기초해 제 1 데이터 인에이블 신호를 생성함과 아울러 상기 활성화 구간에 발생된 비정상 구간에 기초해 제 2 데이터 인에이블 신호를 생성하고, 상기 제 1 및 제 2 데이터 인에이블 신호에 기초해 데이터 인에이블 출력 신호를 생성하는 타이밍 신호 생성부; 및

상기 데이터 인에이블 입력 신호에 따라 상기 입력 데이터를 임시 저장하고, 상기 데이터 인에이블 출력 신호에 따라 상기 임시 저장된 데이터 중에서 상기 각 수평 구간의 순차 구동에 대응되는 표시 데이터를 선택하여 출력하는 데이터 처리부를 포함하여 구성되는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 2

제 1 항에 있어서,

상기 타이밍 신호 생성부는,

상기 제 1 데이터 인에이블 신호와 제 2 데이터 인에이블 신호가 일부 중첩될 경우, 상기 제 2 데이터 인에이블 신호에 중첩되는 상기 제 1 데이터 인에이블 신호를 마스킹시켜 상기 데이터 출력 인에이블 출력 신호를 생성하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 3

제 1 항에 있어서,

상기 타이밍 신호 생성부는,

상기 제 1 및 제 2 데이터 인에이블 신호를 논리 연산하여 제 3 데이터 인에이블 신호를 생성함과 아울러 상기 제 1 및 제 2 데이터 인에이블 신호의 중첩 여부에 따라 마스킹 신호를 생성하고,

상기 제 3 데이터 인에이블 신호와 상기 마스킹 신호를 논리 연산하여 상기 데이터 인에이블 출력 신호를 생성하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 4

제 1 항에 있어서,

상기 제 1 데이터 인에이블 신호는 상기 데이터 인에이블 입력 신호의 활성화 구간 동안 반복적으로 발생하는 상기 복수의 수평 구간 중 기수 수평 구간에 대응되는 제 1 인에이블 구간과 상기 복수의 수평 구간 중 우수 수평 구간에 대응되는 제 2 인에이블 구간을 포함하여 이루어지고,

상기 제 2 데이터 인에이블 신호는 상기 비정상 구간에 동기되어 발생하는 제 3 인에이블 구간 또는 상기 제 1 및 제 2 인에이블 구간과 동일한 형태를 가지도록 상기 비정상 구간에 동기되어 연속적으로 발생하는 제 3 및 제 4 인에이블 구간을 포함하여 이루어지는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 5

제 4 항에 있어서,

상기 타이밍 신호 생성부는,

상기 제 1 인에이블 구간이 상기 제 3 및 제 4 인에이블 구간과 중첩되지 않을 경우, 상기 제 1 데이터 인에이

블 신호의 마스킹 없이 상기 데이터 인에이블 출력 신호를 생성하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 6

제 4 항에 있어서,

상기 타이밍 신호 생성부는,

상기 제 1 인에이블 구간이 상기 제 3 인에이블 구간과 일부 중첩될 경우, 상기 제 3 인에이블 구간에 중첩되는 상기 제 1 인에이블 구간을 마스킹하여 상기 데이터 인에이블 출력 신호를 생성하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 7

제 4 항에 있어서,

상기 타이밍 신호 생성부는,

상기 제 1 인에이블 구간이 상기 제 4 인에이블 구간과 일부 중첩될 경우, 상기 제 4 인에이블 구간에 중첩되어 연속되는 상기 제 1 및 제 2 인에이블 구간을 마스킹하여 상기 데이터 인에이블 출력 신호를 생성하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 8

제 1 항에 있어서,

상기 타이밍 신호 생성부는,

상기 데이터 인에이블 입력 신호의 활성화 구간 동안 상기 복수의 수평 구간 중 기수 수평 구간에 대응되는 제 1 인에이블 구간과 상기 복수의 수평 구간 중 우수 수평 구간에 대응되는 제 2 인에이블 구간이 교대로 반복되는 제 1 데이터 인에이블 신호를 생성하는 제 1 데이터 인에이블 신호 생성부;

상기 데이터 인에이블 입력 신호의 수직 블랭크 구간 동안 상기 제 1 및 제 2 인에이블 구간과 동일한 형태를 가지도록 교대로 반복되는 제 3 및 제 4 인에이블 구간과 상기 비정상 구간 동안 상기 제 3 인에이블 구간 또는 상기 제 3 및 제 4 인에이블 구간을 가지는 제 2 데이터 인에이블 신호를 생성하는 제 2 데이터 인에이블 신호 생성부;

상기 제 1 및 제 2 데이터 인에이블 신호의 중첩 여부에 따라 마스킹 신호를 생성하는 마스킹 신호 생성부; 및

상기 제 1 및 제 2 데이터 인에이블 신호를 논리 연산하여 제 3 데이터 인에이블 신호를 생성하고, 상기 제 3 데이터 인에이블 신호와 상기 마스킹 신호를 논리 연산하여 상기 데이터 인에이블 출력 신호를 생성하는 데이터 인에이블 출력 신호 생성부를 포함하여 구성되는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 9

제 8 항에 있어서,

상기 마스킹 신호 생성부는,

상기 제 1 인에이블 구간이 상기 제 3 및 제 4 인에이블 구간과 중첩되지 않을 경우, 상기 제 1 데이터 인에이블 신호를 마스킹시키지 않는 제 1 마스킹 신호를 생성하고,

상기 제 1 인에이블 구간이 상기 제 3 인에이블 구간과 일부 중첩될 경우, 상기 제 3 인에이블 구간에 중첩되는 상기 제 1 인에이블 구간을 마스킹하는 제 2 마스킹 신호를 생성하고,

상기 제 1 인에이블 구간이 상기 제 4 인에이블 구간과 일부 중첩될 경우, 상기 제 4 인에이블 구간에 중첩되어 연속되는 상기 제 1 및 제 2 인에이블 구간을 마스킹하는 제 3 마스킹 신호를 생성하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 10

제 9 항에 있어서,

상기 데이터 인에이블 출력 신호 생성부는,

상기 제 1 및 제 2 데이터 인에이블 신호를 논리합(OR) 연산하여 상기 제 3 데이터 인에이블 신호를 생성하고,

상기 제 1 내지 제 3 마스킹 신호 중 어느 하나의 마스킹 신호와 상기 제 3 데이터 인에이블 신호를 논리곱(AND) 연산하여 상기 데이터 인에이블 출력 신호를 생성하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 11

제 1 항에 있어서,

상기 데이터 처리부는 데이터 정렬부를 포함하여 구성되고,

상기 데이터 정렬부는,

상기 수신부에 의해 수신된 입력 데이터를 상기 데이터 인에이블 입력 신호의 1 수평 구간마다 제 1 및 제 2 라인 메모리에 교대로 라이트(Write)하고,

상기 제 1 및 제 2 라인 메모리 각각에 저장된 데이터를 상기 데이터 인에이블 출력 신호의 1 수평 구간마다 교대로 리드(Read)하여 출력하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 12

m개의 게이트 라인과 n개의 데이터 라인의 교차에 의해 마련되는 영역마다 형성된 복수의 서브 화소를 가지는 액정 표시 패널;

청구항 제 1 항 내지 제 11 항 중 어느 한 항에 기재된 타이밍 컨트롤러;

상기 타이밍 컨트롤러로부터 공급되는 게이트 제어 신호에 따라 상기 m개의 게이트 라인을 순차적으로 구동하여 동일 수평 라인에 나란하게 배치된 복수의 서브 화소를 복수의 게이트 라인에 순차적으로 접속시키는 게이트 구동부; 및

상기 타이밍 컨트롤러로부터 표시 데이터와 데이터 제어 신호를 공급받아 상기 데이터 제어 신호에 따라 상기 표시 데이터를 데이터 전압으로 변환해 상기 게이트 라인의 구동에 동기되도록 데이터 라인에 공급하는 데이터 구동부를 포함하여 구성되는 것을 특징으로 하는 액정 표시 장치.

청구항 13

제 12 항에 있어서,

상기 타이밍 컨트롤러의 타이밍 신호 생성부는 데이터 인에이블 출력 신호에 따라 상기 게이트 제어 신호 및 상기 데이터 제어 신호를 생성하는 제어 신호 생성부를 더 포함하여 구성되는 것을 특징으로 하는 액정 표시 장치.

청구항 14

제 12 항에 있어서,

상기 동일 수평 라인에 나란하게 배치된 인접한 2개의 서브 화소는 하나의 데이터 라인에 공통으로 접속되어 2개의 게이트 라인의 순차 구동에 따라 순차적으로 구동되는 것을 특징으로 하는 액정 표시 장치.

명세서

기술분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로, 보다 구체적으로는, 정전기 등의 노이즈에 따른 비정상적인 데이터 인에이블 입력 신호에 의한 화질 불량을 방지할 수 있도록 한 타이밍 컨트롤러 및 이를 포함하는 액정 표시 장치에 관한 것이다.

배경기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 형태의 디스플레이 장치들

이 개발되고 있다. 평판 형태의 디스플레이 장치로는 액정 표시 장치(Liquid Crystal Display Device), 플라스마 디스플레이 패널(Plasma Display Panel), 전계 방출 표시 장치(Field Emission Display Device), 유기 발광 표시 장치(Organic Light Emitting Display) 등이 활발히 연구되고 있지만, 양산화 기술, 구동 수단의 용이성, 고화질의 구현이라는 장점에서 액정 표시 장치가 각광을 받고 있다.

[0003] 액정 표시 장치는 비디오 신호에 대응하여 액정층에 인가되는 전계를 통해 액정층의 광투과율을 제어함으로써 화상을 표시한다. 이러한 액정 표시 장치는 소형 및 박형화와 저 소비전력의 장점을 가지는 평판 표시장치로서, 텔레비전, 노트북 PC 등과 같은 휴대용 컴퓨터, 모니터, 사무 자동화 기기, 오디오/비디오 기기 등으로 이용되고 있다.

[0004] 이러한 액정 표시 장치는 게이트 라인들을 구동하기 위한 게이트 드라이브 IC(Integrated Circuit)와 데이터 라인들을 구동하기 위한 데이터 드라이브 IC를 포함하여 이루어지는데, 액정 표시 장치가 대형화 및 고해상도화 될수록 드라이브 IC들의 개수가 증가하게 된다. 그런데, 데이터 드라이브 IC는 게이트 드라이버 IC에 비해 상대적으로 매우 고가이므로, 최근에는 데이터 드라이브 IC의 개수를 줄이기 위한 여러 방안들이 제안되고 있다.

[0005] 한편, 데이터 드라이브 IC의 개수를 줄이기 위한 기술로는, 대한민국 공개특허 10-2010-0060377호(이하, "특허 문헌"이라 함)와 같은 액정 표시 장치 등이 공지되어 있다.

[0006] 상기 특허 문헌은 기존 대비 게이트 라인들의 개수를 2배로 늘리는 대신 데이터 라인들의 개수를 1/2배로 줄임으로써 데이터 드라이브 IC의 개수를 기존 대비 절반으로 줄여 기존과 동일 해상도를 구현하는 DRD(Double Rate Driving) 구동 방식의 액정 표시 장치를 개시하고 있다.

[0007] 상기 DRD 구동 방식의 액정 표시 장치는 하나의 수평라인에 배치된 n (단, n 은 2 이상의 자연수)개의 액정셀들을 2개의 게이트 라인들과 $n/2$ 개의 데이터 라인들을 이용하여 구동시킨다. 이러한 DRD 구동 방식의 액정 표시 장치에서는, 정전기 등의 노이즈에 의해 액정 표시 장치에 구비되어 있는 타이밍 컨트롤러가 오동작하여 정상 상태와는 다른 타이밍에서 각종 제어 신호를 출력함으로써 데이터 혼잡에 의해 플래싱(Flashing) 형태의 화면 이상과 같은 화질 불량 발생하게 된다.

[0008] 상기 타이밍 컨트롤러는 외부 시스템으로부터 입력되는 데이터 인에이블 입력 신호에 기초해 DRD 구동 방식에 대응되는 데이터 인에이블 신호를 생성한다. 또한, 타이밍 컨트롤러는 외부 시스템으로부터 입력되는 입력 데이터를 DRD 구동 방식에 대응되도록 맵핑하여 상기 데이터 인에이블 입력 신호에 따라 내부의 라인 메모리에 라이팅(Writing)하고, 상기 데이터 인에이블 신호에 따라 라인 메모리에 맵핑된 1 수평 데이터를 리드하여 데이터 드라이버 IC에 제공하게 된다. 그리고, 상기 타이밍 컨트롤러는 상기 데이터 인에이블 신호에 기초해 데이터 드라이버 IC 및 게이트 드라이버 IC를 DRD 구동 방식으로 구동하기 위한 각종 제어 신호를 생성하여 출력하게 된다.

[0009] 그러나, 외부 시스템으로부터 상기 타이밍 컨트롤러에 입력되는 데이터 인에이블 입력 신호에 정전기가 혼입될 경우, 상기 타이밍 컨트롤러는 정전기가 혼입된 데이터 인에이블 입력 신호에 따라 상기 데이터 인에이블 신호를 생성하게 된다. 이에 따라, 상기 데이터 인에이블 신호가 비정상적인 타이밍을 가지게 되고, 이로 인해 상기 라인 메모리의 리드 및 라이트 각각의 타이밍이 어긋남으로써 상기 타이밍 컨트롤러는 라인 메모리에 원하는 데이터를 라이트하거나 라인 메모리에서 원하는 데이터를 리드할 수 없게 된다.

[0010] 또한, 상기 타이밍 컨트롤러는 비정상적인 데이터 인에이블 신호에 기초해 데이터 드라이버 IC 및 게이트 드라이버 IC를 DRD 구동 방식으로 구동하기 위한 각종 제어 신호를 생성하여 출력함으로써 표시 라인의 누락되거나 데이터 혼잡에 의해 플래싱(Flashing) 형태의 화면 이상과 같은 화질 불량이 발생하게 된다.

발명의 내용

해결하려는 과제

[0011] 본 발명은 전술한 문제점을 해결하기 위한 것으로서, 정전기 등의 노이즈에 따른 비정상적인 데이터 인에이블 입력 신호에 의한 화질 불량을 방지할 수 있도록 한 타이밍 컨트롤러 및 이를 포함하는 액정 표시 장치를 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

[0012] 전술한 기술적 과제를 달성하기 위한 본 발명에 따른 타이밍 컨트롤러는 동일 수평 라인에 나란하게 배치된 복

수의 서브 화소를 복수의 수평 구간 동안 순차적으로 구동하는 타이밍 컨트롤러에 있어서, 상기 타이밍 컨트롤러는 입력 데이터 및 데이터 인에이블 입력 신호를 수신하는 수신부; 상기 수신부로부터 공급되는 상기 데이터 인에이블 입력 신호의 활성화 구간에 기초해 제 1 데이터 인에이블 신호를 생성함과 아울러 상기 활성화 구간에 발생된 비정상 구간에 기초해 제 2 데이터 인에이블 신호를 생성하고, 상기 제 1 및 제 2 데이터 인에이블 신호에 기초해 데이터 인에이블 출력 신호를 생성하는 타이밍 신호 생성부; 및 상기 데이터 인에이블 입력 신호에 따라 상기 입력 데이터를 임시 저장하고, 상기 데이터 인에이블 출력 신호에 따라 상기 임시 저장된 데이터 중에서 상기 각 수평 구간의 순차 구동에 대응되는 표시 데이터를 선택하여 출력하는 데이터 처리부를 포함하여 구성되는 것을 특징으로 한다.

[0013] 상기 타이밍 신호 생성부는 상기 제 1 데이터 인에이블 신호와 제 2 데이터 인에이블 신호가 일부 중첩될 경우, 상기 제 2 데이터 인에이블 신호에 중첩되는 상기 제 1 데이터 인에이블 신호를 마스킹시켜 상기 데이터 출력 인에이블 출력 신호를 생성하는 것을 특징으로 한다.

[0014] 상기 타이밍 신호 생성부는 상기 제 1 및 제 2 데이터 인에이블 신호를 논리 연산하여 제 3 데이터 인에이블 신호를 생성함과 아울러 상기 제 1 및 제 2 데이터 인에이블 신호의 중첩 여부에 따라 마스킹 신호를 생성하고, 상기 제 3 데이터 인에이블 신호와 상기 마스킹 신호를 논리 연산하여 상기 데이터 인에이블 출력 신호를 생성하는 것을 특징으로 한다.

[0015] 상기 제 1 데이터 인에이블 신호는 상기 데이터 인에이블 입력 신호의 활성화 구간 동안 반복적으로 발생하는 상기 복수의 수평 구간 중 기수 수평 구간에 대응되는 제 1 인에이블 구간과 상기 복수의 수평 구간 중 우수 수평 구간에 대응되는 제 2 인에이블 구간을 포함하여 이루어지고, 상기 제 2 데이터 인에이블 신호는 상기 비정상 구간에 동기되어 발생하는 제 3 인에이블 구간 또는 상기 제 1 및 제 2 인에이블 구간과 동일한 형태를 가지도록 상기 비정상 구간에 동기되어 연속적으로 발생하는 제 3 및 제 4 인에이블 구간을 포함하여 이루어지는 것을 특징으로 한다.

[0016] 상기 타이밍 신호 생성부는 상기 데이터 인에이블 입력 신호의 활성화 구간 동안 상기 복수의 수평 구간 중 기수 수평 구간에 대응되는 제 1 인에이블 구간과 상기 복수의 수평 구간 중 우수 수평 구간에 대응되는 제 2 인에이블 구간이 교대로 반복되는 제 1 데이터 인에이블 신호를 생성하는 제 1 데이터 인에이블 신호 생성부; 상기 데이터 인에이블 입력 신호의 수직 블랭크 구간 동안 상기 제 1 및 제 2 인에이블 구간과 동일한 형태를 가지도록 교대로 반복되는 제 3 및 제 4 인에이블 구간과 상기 비정상 구간 동안 상기 제 3 인에이블 구간 또는 상기 제 3 및 제 4 인에이블 구간을 가지는 제 2 데이터 인에이블 신호를 생성하는 제 2 데이터 인에이블 신호 생성부; 및 상기 제 1 및 제 2 데이터 인에이블 신호의 중첩 여부에 따라 마스킹 신호를 생성하는 마스킹 신호 생성부; 및 상기 제 1 및 제 2 데이터 인에이블 신호를 논리 연산하여 제 3 데이터 인에이블 신호를 생성하고, 상기 제 3 데이터 인에이블 신호와 상기 마스킹 신호를 논리 연산하여 상기 데이터 인에이블 출력 신호를 생성하는 데이터 인에이블 출력 신호 생성부를 포함하여 구성되는 것을 특징으로 한다.

[0017] 전술한 기술적 과제를 달성하기 위한 본 발명에 따른 액정 표시 장치는 m개의 게이트 라인과 n개의 데이터 라인의 교차에 의해 마련되는 영역마다 형성된 복수의 서브 화소를 가지는 액정 표시 패널; 상기 타이밍 컨트롤러; 상기 타이밍 컨트롤러로부터 공급되는 게이트 제어 신호에 따라 상기 m개의 게이트 라인을 순차적으로 구동하여 동일 수평 라인에 나란하게 배치된 복수의 서브 화소를 복수의 게이트 라인에 순차적으로 접속시키는 게이트 구동부; 및 상기 타이밍 컨트롤러로부터 표시 데이터와 데이터 제어 신호를 공급받아 상기 데이터 제어 신호에 따라 상기 표시 데이터를 데이터 전압으로 변환해 상기 게이트 라인의 구동에 동기되도록 데이터 라인에 공급하는 데이터 구동부를 포함하여 구성되는 것을 특징으로 한다.

[0018] 상기 동일 수평 라인에 나란하게 배치된 인접한 2개의 서브 화소는 하나의 데이터 라인에 공통으로 접속되어 2개의 게이트 라인의 순차 구동에 따라 순차적으로 구동되는 것을 특징으로 한다.

발명의 효과

[0019] 상기 과제의 해결 수단에 의하면, 본 발명에 따른 타이밍 컨트롤러 및 이를 포함하는 액정 표시 장치는 데이터 인에이블 입력 신호의 활성화 구간 동안 생성되는 제 1 데이터 인에이블 신호와 데이터 인에이블 입력 신호의 비정상 구간에 생성되는 제 2 데이터 인에이블 신호에 기초하여 데이터 인에이블 출력 신호를 생성함으로써 정전기와 같은 노이즈가 혼입된 비정상적인 데이터 인에이블 입력 신호에 의해 발생하는 표시 라인의 누락 또는 데이터 혼합에 의해 플래싱(Flashing) 형태의 화면 이상과 같은 화질 불량을 방지할 수 있으며, 라인 메모리의 라이트(Write) 동작 및 리드(Read) 동작의 오류를 방지할 수 있다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 실시 예에 따른 액정 표시 장치를 개략적으로 나타내는 도면이다.
- 도 2는 도 1에 도시된 액정 표시 패널의 화소 배치 구조를 개략적으로 나타내는 도면이다.
- 도 3은 본 발명의 실시 예에 따른 타이밍 컨트롤러를 개략적으로 나타내는 블록도이다.
- 도 4는 도 3에 도시된 타이밍 신호 생성부를 개략적으로 나타내는 블록도이다.
- 도 5는 도 4에 도시된 타이밍 신호 생성부에서 생성되는 신호의 파형을 나타내는 파형도이다.
- 도 6a 및 도 6b는 비정상적인 데이터 인에이블 입력 신호에 대한 마스킹 과정을 설명하기 위한 파형도이다.
- 도 7은 도 3 및 도 4에 도시된 타이밍 신호 생성부에서 데이터 인에이블 출력 신호를 생성하는 과정을 단계적으로 나타내는 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 도면을 참조로 본 발명에 따른 바람직한 실시 예에 대해서 상세히 설명하기로 한다.
- [0022] 도 1은 본 발명의 실시 예에 따른 액정 표시 장치를 개략적으로 나타내는 도면이고, 도 2는 도 1에 도시된 액정 표시 패널의 화소 배치 구조를 개략적으로 나타내는 도면이다.
- [0023] 도 1 및 도 2를 참조하면, 본 발명의 실시 예에 따른 액정 표시 장치는 액정 표시 패널(100), 타이밍 컨트롤러(200), 게이트 구동부(300), 및 데이터 구동부(400)를 포함하여 구성된다.
- [0024] 액정 표시 패널(100)은 대향 합착된 하부 기판(미도시)과 상부 기판(미도시) 사이에 형성된 액정층(미도시)을 포함하여 구성된다. 상기 액정 표시 패널(100)은 게이트 라인들(GL1 내지 GLm)과 데이터 라인들(DL1 내지 DLn)의 교차에 의해 마련되는 화소 영역마다 마련된 복수의 액정셀들을 포함하여 구성된다.
- [0025] 하부 기판은 일정한 간격을 가지도록 수직 방향으로 형성된 n개의 데이터 라인들(DL1 내지 DLn), 일정한 간격을 가지도록 수평 방향으로 형성되어 각 데이터 라인들(DL1 내지 DLn)과 교차하는 m개의 게이트 라인들(GL1 내지 GLm), 각 게이트 라인(GL)과 각 데이터 라인(DL)에 접속된 박막 트랜지스터들(TFT), 박막 트랜지스터들(TFT) 각각에 접속된 액정셀의 화소 전극들 및 스토리지 커패시터(미도시) 등을 포함하여 구성된다.
- [0026] 상부 기판은 액정셀들 각각의 화소 영역을 정의하는 블랙 매트릭스; 각 화소 영역에 형성된 적색, 녹색, 및 청색 컬러 필터; 및 공통 전극 등을 포함하여 구성된다. 이때, 상기 공통 전극은 액정셀의 구동 방식이 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드 등과 같은 수직 전계 구동 방식일 경우 상부 기판에 형성되고, 액정셀의 구동 방식이 IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드 등과 같은 수평 전계 구동방식일 경우, 상기 화소 전극과 함께 하부 기판에 형성된다.
- [0027] 전술한 상부 기판과 하부 기판 각각에는 서로 수직한 편광축을 가지는 편광판이 부착된다. 또한, 액정층과 접하는 내면에는 상부 기판과 하부 기판 각각의 내면에는 액정층을 구성하는 액정 분자들의 프리틸트각(Pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0028] 전술한 액정 표시 패널(100)은 액정셀의 구동에 따라 백 라이트 유닛으로부터 방출되어 액정층 및 컬러 필터를 통과하는 적색 광, 녹색 광, 및 청색 광의 혼합에 의해 소정의 컬러 영상을 표시하게 된다. 이에 따라, 액정 표시 패널(100)은 $n \times m$ 개의 단위 화소를 포함하여 구성되고, 각 단위 화소는 적색 영상을 표시하기 위한 적색 서브 화소, 녹색 영상을 표시하기 위한 녹색 서브 화소, 및 청색 영상을 표시하기 위한 청색 서브 화소로 이루어진다. 이때, 각 게이트 라인의 길이 방향에 대응되는 각 수평 라인에 배치된 서브 화소들은 적색, 녹색, 및 청색의 순서로 배치된다.
- [0029] 또한, 각 수평 라인에 배치된 각 서브 화소는 DRD(Double Rate Driving) 구동 방식에 따라 각 데이터 라인과 2개의 게이트 라인들의 구동에 따라 구동된다.
- [0030] 도 2를 참조하여 DRD 구동 방식에 따른 각 서브 화소들의 접속 구조를 구체적으로 설명하면 다음과 같다.
- [0031] 기수번째 단위 화소(UPo)의 적색 서브 화소(R1, ...)는 박막 트랜지스터(TFT)를 통해 기수번째 게이트 라인(GLo)과 제 $3i-2$ (단, i 는 자연수) 데이터 라인(DL $3i-2$)에 접속된다. 그리고, 기수번째 단위 화소(UPo)의 녹색 서브 화소(G1, ...)는 박막 트랜지스터(TFT)를 통해 우수번째 게이트 라인(GLe)과 제 $3i-2$ 데이터 라인(DL $3i-$

2)에 접속된다. 즉, 기수번째 단위 화소(UPo)의 적색 서브 화소(R1, ...)와 녹색 서브 화소(G1, ...) 각각은 제 3i-2 데이터 라인(DL3i-2)을 공유한다.

[0032] 또한, 기수번째 단위 화소(UPo)의 청색 서브 화소(B1, ...)는 박막 트랜지스터(TFT)를 통해 우수번째 게이트 라인(GLe)과 제 3i-1 데이터 라인(DL3i-1)에 접속된다. 그리고, 우수번째 단위 화소(UPe)의 적색 서브 화소(R2, ...)는 박막 트랜지스터(TFT)를 통해 기수번째 게이트 라인(GLo)과 제 3i-1 데이터 라인(DL3i-1)에 접속된다. 즉, 기수번째 단위 화소(UPo)의 청색 서브 화소(B1, ...)와 우수번째 단위 화소(UPe)의 적색 서브 화소(R2, ...) 각각은 제 3i-1 데이터 라인(DL3i-1)을 공유한다.

[0033] 또한, 우수번째 단위 화소(UPe)의 녹색 서브 화소(G2, ...)는 박막 트랜지스터(TFT)를 통해 우수번째 게이트 라인(GLe)과 제 3i 데이터 라인(DL3i)에 접속된다. 그리고, 우수번째 단위 화소(UPe)의 청색 서브 화소(B2, ...)는 박막 트랜지스터(TFT)를 통해 기수번째 게이트 라인(GLo)과 제 3i 데이터 라인(DL3i)에 접속된다. 즉, 우수번째 단위 화소(UPe)의 녹색 서브 화소(G2, ...)와 청색 서브 화소(B2, ...) 각각은 제 3i 데이터 라인(DL3i)을 공유한다.

[0034] 각 서브 화소들의 접속 구조에서, 기수번째 게이트 라인(GLo)에 공급되는 게이트 신호는 기수번째 단위 화소(UPo)의 적색 서브 화소(R1, ...) 및 우수번째 단위 화소(UPe)의 적색 서브 화소(R2, ...)와 청색 서브 화소(B2, ...) 각각에 데이터를 충전시키는 역할을 한다. 그리고, 우수번째 게이트 라인(GLe)에 공급되는 게이트 신호는 기수번째 단위 화소(UPo)의 녹색 서브 화소(G1, ...)와 청색 서브 화소(B1, ...) 및 우수번째 단위 화소(UPe)의 녹색 서브 화소(G2, ...) 각각에 데이터를 충전시키는 역할을 한다.

[0035] 전술한 서브 화소들의 접속 구조에 따른 DRD 구동 방법을 설명하면 다음과 같다.

[0036] 먼저, 기수번째 수평 라인(HLo)의 각 서브 화소를 구동하는 기수번째 및 우수번째 게이트 라인(GLo, GLe) 각각에 게이트 신호를 순차적으로 공급한다. 이에 따라, 기수번째 게이트 라인(GLo)의 게이트 신호에 의해 기수번째 단위 화소(UPo)의 적색 서브 화소(R1, ...) 및 우수번째 단위 화소(UPe)의 적색 서브 화소(R2, ...)와 청색 서브 화소(B2, ...) 각각에 데이터가 충전되고(①), 우수번째 게이트 라인(GLe)의 게이트 신호에 의해 기수번째 단위 화소(UPo)의 녹색 서브 화소(G1, ...)와 청색 서브 화소(B1, ...) 및 우수번째 단위 화소(UPe)의 녹색 서브 화소(G2, ...) 각각에 데이터가 충전된다(②).

[0037] 그런 다음, 우수번째 수평 라인(HLe)의 각 서브 화소를 구동하는 기수번째 및 우수번째 게이트 라인(GLo, GLe) 각각에 게이트 신호를 순차적으로 공급한다. 이에 따라, 기수번째 게이트 라인(GLo)의 게이트 신호에 의해 기수번째 단위 화소(UPo)의 적색 서브 화소(R1, ...) 및 우수번째 단위 화소(UPe)의 적색 서브 화소(R2, ...)와 청색 서브 화소(B2, ...) 각각에 데이터가 충전되고(③), 우수번째 게이트 라인(GLe)의 게이트 신호에 의해 기수번째 단위 화소(UPo)의 녹색 서브 화소(G1, ...)와 청색 서브 화소(B1, ...) 및 우수번째 단위 화소(UPe)의 녹색 서브 화소(G2, ...) 각각에 데이터가 충전된다(④).

[0038] 타이밍 컨트롤러(200)는 구동 시스템(110)으로부터 입력되는 영상 데이터(Idata)를 수신 및 가공하여 액정 표시 패널(100)에 표시될 DRD 구동 방식의 적색, 녹색 및 청색 데이터(R/G/B)를 생성해 데이터 구동부(400)에 공급함과 아울러, 구동 시스템(110)으로부터 입력되는 데이터 인에이블 입력 신호(DEi)에 기초하여 게이트 구동부(300) 및 데이터 구동부(400) 각각의 구동 타이밍을 제어한다.

[0039] 구체적으로, 타이밍 컨트롤러(200)는 구동 시스템(110)으로부터 입력되는 데이터 인에이블 입력 신호(DEi)에 기초하여 제 1 및 제 2 데이터 인에이블 신호를 생성하고, 생성된 제 1 및 제 2 데이터 인에이블 신호에 기초하여 데이터 인에이블 입력 신호(DEi)에 혼입된 노이즈 신호(또는 비정상 구간)를 제거하여 데이터 인에이블 출력 신호를 생성한다. 그리고, 상기 타이밍 컨트롤러(200)는 구동 시스템(110)으로부터 입력되는 입력 데이터(Idata)를 수신하여 복원하고, 복원된 복원 데이터(Rdata)를 데이터 인에이블 입력 신호(DEi)에 따라 임시 저장하고, 상기 데이터 인에이블 출력 신호에 따라 임시 저장된 데이터들에서 DRD 구동 방식의 화소 배치 구조에 대응되는 1 수평 라인 분의 적색, 녹색 및 청색 데이터(R/G/B)를 리드(Read)하여 데이터 구동부(400)에 제공한다.

[0040] 나아가, 타이밍 컨트롤러(200)는 데이터 인에이블 출력 신호에 기초하여 데이터 구동부(400)의 구동 타이밍을 제어하기 위한 데이터 제어 신호(DCS)를 생성함과 아울러 게이트 구동부(300)의 구동 타이밍을 제어하기 위한 게이트 제어 신호(GCS)를 생성한다. 이때, 데이터 제어 신호(DCS)는 소스 스타트 신호, 소스 쉬프트 클럭, 소스 인에이블 신호, 및 극성 제어 신호 등을 포함하여 이루어진다. 그리고, 게이트 제어 신호(GCS)는 게이트 스타트 신호, 복수의 게이트 쉬프트 클럭, 및 게이트 출력 인에이블 신호 등을 포함하여 이루어질 수 있다.

[0041] 상기 구동 시스템(110)은 소정의 영상에 따른 영상 데이터를 저전압 차등신호(Low Voltage Differential

Signal)(LVDS) 인터페이스 방식으로 변환하여 타이밍 컨트롤러(200)에 전송함과 아울러 상기 영상 데이터와 함께 데이터 인에이블 입력 신호(DEi)를 타이밍 컨트롤러(200)에 전송한다. 이때, LVDS 인터페이스 방식은 고속의 디지털 인터페이스로써, 상반된 극성의 2개의 차동 신호를 생성하고, 2개의 차동 신호를 서로 참조하여 데이터를 전송하는 것으로, 데이터를 저전압, 저소비전력, 및 고속으로 전송할 수 있다.

[0042] 게이트 구동부(300)는 타이밍 컨트롤러(200)로부터 공급되는 게이트 제어 신호에 따라 게이트 신호를 생성해 m개의 게이트 라인들(GL1 내지 GLm)에 순차적으로 공급한다. 이때, m개의 게이트 라인들(GL1 내지 GLm)에 공급되는 게이트 신호들은 1 수평 구간 단위로 쉬프트되거나, 1/2 수평 구간 단위로 중첩되도록 쉬프트될 수 있다. 상기 게이트 구동부(300)는 액정 표시 패널(100)의 하부 기판 상에 형성될 수 있으며, 이 경우, 게이트 구동부(300)는 상기 박막 트랜지스터의 형성 공정과 함께 형성된다. 한편, 상기 게이트 구동부(300)는 복수의 게이트 드라이버 IC(Integrated Circuit)를 포함하여 구성되고, 상기 복수의 게이트 드라이버 IC 각각은 액정 표시 패널(100)의 하부 기판에 마련된 게이트 패드부에 직접 접속되거나, 게이트 회로 필름에 실장되어 액정 표시 패널(100)의 하부 기판에 마련된 게이트 패드부에 접속될 수 있다.

[0043] 데이터 구동부(400)는 타이밍 컨트롤러(200)로부터 입력되는 1 수평 라인 분의 적색, 녹색 및 청색 데이터(R/G/B)를 소정의 인버전 방식에 대응되는 데이터 전압으로 변환하여 데이터 라인(DL1 내지 DLn)에 공급한다. 즉, 데이터 구동부(400)는 타이밍 컨트롤러(200)로부터 입력되는 1 수평 라인 분의 적색, 녹색 및 청색 데이터(R/G/B)를 공급받아, 타이밍 컨트롤러(200)로부터 공급되는 데이터 제어 신호에 따라 1 수평 라인 분의 적색, 녹색 및 청색 데이터(R/G/B)를 래치하고, 정극성 및 부극성 감마전압을 이용하여 래치된 적색, 녹색 및 청색 데이터(R/G/B)를 정극성 및 부극성 데이터 전압으로 변환한 다음, 극성 제어 신호에 따라 정극성 및 부극성 데이터 전압을 선택하여 해당하는 데이터 라인(DL1 내지 DLn)에 공급한다. 이에 따라, 데이터 라인(DL1 내지 DLn)에는 DRD 구동 방식에 따른 데이터 전압이 공급된다.

[0044] 상기 데이터 구동부(400)는 복수의 데이터 드라이버 IC(Integrated Circuit)를 포함하여 구성되고, 상기 복수의 데이터 드라이버 IC 각각은 액정 표시 패널(100)의 하부 기판에 마련된 데이터 패드부에 직접 접속되거나, 데이터 회로 필름에 실장되어 액정 표시 패널(100)의 하부 기판에 마련된 데이터 패드부에 접속될 수 있다.

[0045] 도 3은 본 발명의 실시 예에 따른 타이밍 컨트롤러를 개략적으로 나타내는 블록도이고, 도 4는 도 3에 도시된 타이밍 신호 생성부를 개략적으로 나타내는 블록도이며, 도 5는 도 4에 도시된 타이밍 신호 생성부에서 생성되는 신호의 파형을 나타내는 파형도이다.

[0046] 도 3 내지 도 5를 참조하면, 본 발명의 실시 예에 따른 타이밍 컨트롤러(200)는 데이터 수신부(210), 타이밍 신호 생성부(220), 데이터 처리부(230), 및 데이터 전송부(240)를 포함하여 구성된다.

[0047] 데이터 수신부(210)는 구동 시스템(110)으로부터 소정의 인터페이스 방식에 기초해 입력되는 영상 데이터(Idata)를 수신하여 수신된 영상 데이터(Idata)를 복원하고, 복원된 복원 데이터(Rdata)를 데이터 처리부(230)에 공급한다. 또한, 상기 데이터 수신부(210)는 구동 시스템(110)으로부터 입력되는 데이터 인에이블 입력 신호(DEi)를 수신하여 타이밍 신호 생성부(220)에 공급한다.

[0048] 타이밍 신호 생성부(220)는 데이터 수신부(210)로부터 입력되는 데이터 인에이블 입력 신호(DEi)에 기초하여 데이터 인에이블 출력 신호(DEo)를 생성하되, 데이터 인에이블 입력 신호(DEi)에 혼입된 노이즈 신호를 제거하여 데이터 인에이블 출력 신호(DEo)를 생성한다. 즉, 타이밍 신호 생성부(220)는 데이터 인에이블 입력 신호(DEi)의 활성화 구간(Active)에 기초하여 제 1 데이터 인에이블 신호(DE1)를 생성함과 아울러 데이터 인에이블 입력 신호(DEi)의 수직 블랭크 구간(Vblank) 및/또는 노이즈 신호가 혼입된 비정상 구간에 기초하여 제 2 데이터 인에이블 신호(DE2)를 생성한다. 그리고, 타이밍 신호 생성부(220)는 제 1 데이터 인에이블 신호(DE1)와 제 2 데이터 인에이블 신호(DE2)의 중첩 여부에 따라 마스킹 신호를 생성하고, 마스킹 신호와 제 1 및 제 2 데이터 인에이블 신호(DE1, DE2)를 이용해 데이터 인에이블 출력 신호(DEo)를 생성한다. 또한, 타이밍 신호 생성부(220)는 데이터 인에이블 출력 신호(DEo)에 기초하여 게이트 구동부(300) 및 데이터 구동부(400) 각각의 구동 타이밍을 제어하기 위한 상기 게이트 및 데이터 제어 신호(GCS, DCS) 각각을 생성한다.

[0049] 상기 타이밍 신호 생성부(220)는 클럭 생성부(221), 제 1 DE 생성부(222), 제 2 DE 생성부(223), 마스킹 신호 생성부(225), 데이터 인에이블 출력 신호 생성부(227), 및 제어 신호 생성부(229)를 포함하여 구성된다.

[0050] 클럭 생성부(221)는 타이밍 신호 생성부(220) 내부에서 사용될 소정 주기를 가지는 기준 클럭(Rclk)을 생성한다.

[0051] 제 1 DE 생성부(222)는 데이터 수신부(210)로부터 공급되는 데이터 인에이블 입력 신호(DEi)의 활성화 구간

(Active)에 기초하여 데이터 인에이블 입력 신호(DEi)의 활성화 구간(Active) 동안 제 1 및 제 2 인에이블 구간(S1, S2)이 교대로 반복되는 제 1 데이터 인에이블 신호(DE1)를 생성한다. 즉, 제 1 DE 생성부(222)는 데이터 인에이블 입력 신호(DEi)의 활성화 구간(Active) 동안 DRD 구동 방식에 따라 2배로 증가된 게이트 라인들을 순차적으로 구동시키기 위한 제 1 내지 제 m 수평 구간(H1 내지 Hm)을 가지는 제 1 데이터 인에이블 신호(DE1)를 생성한다.

[0052] 일 실시 예에 따른 제 1 DE 생성부(222)는 데이터 인에이블 입력 신호(DEi)의 활성화 구간을 2배로 체배하여 데이터 인에이블 입력 신호(DEi)의 활성화 구간(Active) 동안 제 1 및 제 2 인에이블 구간(S1, S2)이 교대로 반복되는 제 1 데이터 인에이블 신호(DE1)를 생성한다. 이때, 제 1 데이터 인에이블 신호(DE1)는 데이터 인에이블 입력 신호(DEi)의 수직 블랭크 구간(Vblank) 동안에는 로우 상태를 유지한다.

[0053] 다른 실시 예에 따른 제 1 DE 생성부(222)는, 도 5에 도시된 바와 같이, 이전 프레임(Fn-1)의 마지막 수평 구간(Hm)용 데이터 인에이블 입력 신호(DEi)의 1 수평 블랭크 구간(t1) 및 1 수평 활성화 구간(t2) 각각의 시간을 검출하여 임시 저장한다. 그런 다음, 제 1 DE 생성부(222)는 1 수평 활성화 구간(t2)의 절반(t2/2)에 해당되는 t3(t3=t2/2) 동안의 하이 구간과 1 수평 블랭크 구간(t1)의 절반(t1/2)에 해당되는 t4(t4=t1/2) 동안의 로우 구간을 가지는 상기 제 1 및 제 2 인에이블 구간(S1, S2)을 데이터 인에이블 입력 신호(DEi)의 활성화 구간(Active) 동안 교대로 생성한다. 이에 따라, 제 1 데이터 인에이블 신호(DE1)는 데이터 인에이블 입력 신호(DEi)의 활성화 구간(Active) 동안 교대로 생성되는 제 1 및 제 2 인에이블 구간(S1, S2)에 의해 제 1 내지 제 m 게이트 라인 각각을 순차적으로 구동시키기 위한 m개의 수평 구간(H1 내지 Hm)을 가지게 된다. 이와 같은, 다른 실시 예에 따른 제 1 DE 생성부(222)는 상기 기준 클럭(Rclk)을 카운팅하는 카운터(미도시)를 이용하여 전술한 제 1 데이터 인에이블 신호(DE1)의 제 1 및 제 2 인에이블 구간(S1, S2) 각각의 라이징 시점 및 폴링 시점을 설정할 수 있다.

[0054] 전술한 제 1 데이터 인에이블 신호(DE1)의 제 1 인에이블 구간(S1)은 데이터 인에이블 입력 신호(DEi)의 각 수평 구간(H)을 2분할하는 전반부 및 후반부 중 전반부 동안 생성되는 것으로, 데이터 인에이블 입력 신호(DEi)의 활성화 구간(Active) 동안 생성되는 m개의 수평 구간(H1 내지 Hm) 중 기수번째 게이트 라인에 접속된 서브 화소에 데이터 전압을 공급하기 위한 기수번째 수평 구간에 대응된다.

[0055] 반면에, 제 1 데이터 인에이블 신호(DE1)의 제 2 인에이블 구간(S2)은 데이터 인에이블 입력 신호(DEi)의 각 수평 구간(H)을 2분할하는 전반부 및 후반부 중 후반부 동안 생성되는 것으로, 데이터 인에이블 입력 신호(DEi)의 활성화 구간(Active) 동안 생성되는 m개의 수평 구간(H1 내지 Hm) 중 우수번째 게이트 라인에 접속된 서브 화소에 데이터 전압을 공급하기 위한 우수번째 수평 구간에 대응된다.

[0056] 제 2 DE 생성부(223)는 데이터 수신부(210)로부터 공급되는 데이터 인에이블 입력 신호(DEi)의 수직 블랭크 구간(Vblank)에 기초하여 데이터 인에이블 입력 신호(DEi)의 수직 블랭크 구간(Vblank) 동안 제 3 및 제 4 인에이블 구간(S3, S4)이 교대로 반복되는 제 2 데이터 인에이블 신호(DE2)를 생성한다. 즉, 제 2 DE 생성부(223)는 이전 프레임(Fn-1)의 마지막 수평 구간(Hm)용 데이터 인에이블 입력 신호(DEi)의 폴링 시점에서부터 기준 시점(tref) 이후에 제 3 및 제 4 인에이블 구간(S3, S4)을 가지는 제 2 데이터 인에이블 신호(DE2)를 생성한다. 이때, 제 2 데이터 인에이블 신호(DE2)의 제 3 및 제 4 인에이블 구간(S3, S4) 각각은 제 1 데이터 인에이블 신호(DE1)의 제 1 및 제 2 인에이블 구간(S1, S2) 각각과 동일한 형태의 하이 구간과 로우 구간을 갖는다.

[0057] 상기 제 2 DE 생성부(223)는 상기 기준 클럭(Rclk)을 카운팅하는 카운터(미도시)를 이용하여 전술한 제 3 및 제 4 인에이블 구간(S3, S4)의 라이징 시점 및 폴링 시점을 설정하여 제 2 데이터 인에이블 신호(DE2)를 생성할 수 있다. 이때, 상기 기준 시점은 데이터 인에이블 입력 신호(DEi)의 폴링 시점에서부터 상기 t1에 대응되는 클럭 수와 옵셋 클럭 수의 합으로 설정될 수 있으며, 상기 옵셋 클럭 수는 32개의 기준 클럭(Rclk)으로 설정될 수 있으나, 이에 한정되지 않고 변경 가능하다.

[0058] 한편, 구동 시스템(110)과 타이밍 컨트롤러(200) 간의 데이터 전송시 데이터 전송 라인 등에 정전기 등과 같이 노이즈가 유입되는 경우, 데이터 인에이블 입력 신호(DEi)에 비정상적인 노이즈 신호가 발생할 수 있다. 예를 들어, 도 6a 및 도 6b에 도시된 바와 같이, 데이터 인에이블 입력 신호(DEi)는 활성화 구간(Active)에 혼입되는 정전기(ESD)로 인해 로우 상태의 노이즈 신호(NS)에 의해 제 i 번째 수평 구간(Hi)과 제 i+1 번째 수평 구간(Hi+1) 사이에 발생하는 비정상 구간(ANP)을 포함할 수 있다. 이에 따라, 제 2 DE 생성부(223)는 상기 로우 상태로 입력되는 비정상 구간(ANP)의 노이즈 신호(NS)를 데이터 인에이블 입력 신호(DEi)의 수직 블랭크 구간(Vblank)으로 오인하여 제 i 번째 수평 구간(Hi)의 폴링 시점에서부터 기준 시점(tref) 이후에 상기 제 3 인에이블 구간(S3), 또는 상기 제 3 및 제 4 인에이블 구간(S3, S4)을 가지는 제 2 데이터 인에이블 신호(DE2)를 생

성한다. 이때, 비정상 구간(ANP)에 기초해 생성되는 제 2 데이터 인에이블 신호(DE2)는 상기 로우 상태로 유지되는 비정상 구간(ANP)의 기간에 따라, 도 6a에 도시된 바와 같이, 제 3 인에이블 구간(S3)만을 포함하거나, 도 6b에 도시된 바와 같이, 제 3 및 제 4 인에이블 구간(S3, S4)을 포함하여 생성될 수 있다.

[0059] 결과적으로, 제 2 DE 생성부(223)는 데이터 인에이블 입력 신호(DEi)의 수직 블랭크 구간(Vblank) 및/또는 비정상 구간(ANP)과 같이, 데이터 인에이블 입력 신호(DEi)의 로우 구간이 기준 시점(tref) 이상 유지되는 경우에 전술한 상기 제 3 인에이블 구간(S3), 또는 상기 제 3 및 제 4 인에이블 구간(S3, S4)을 발생시켜 제 2 데이터 인에이블 신호(DE2)를 생성한다. 이 경우, 데이터 인에이블 입력 신호(DEi)의 비정상 구간(ANP)에 기초해 제 2 데이터 인에이블 신호(DE2)를 생성할 경우 종래와 같은 문제점이 발생하게 되므로, 본 발명은 마스킹 신호 생성부(225)를 이용해 데이터 인에이블 입력 신호(DEi)의 비정상 구간(ANP)을 검출하여 이를 마스킹함으로써 종래의 문제점을 방지하게 된다.

[0060] 다시 도 4에서, 마스킹 신호 생성부(225)는 제 1 DE 생성부(222)로부터 공급되는 제 1 데이터 인에이블 신호(DE1)와 제 2 DE 생성부(223)로부터 공급되는 제 2 데이터 인에이블 신호(DE2)를 이용하여 데이터 인에이블 입력 신호(DEi)에 비정상 구간(ANP)이 노이즈 신호를 마스킹하기 위한 제 1 내지 제 3 마스킹 신호를 생성해 데이터 인에이블 출력 신호 생성부(227)에 공급한다. 즉, 마스킹 신호 생성부(225)는 제 1 데이터 인에이블 신호(DE1)와 제 2 데이터 인에이블 신호(DE2)의 중첩 여부에 따라 제 1 데이터 인에이블 신호(DE1)의 제 1 및 제 2 인에이블 구간(S1, S2)을 마스킹시키지 않거나, 상기 제 1 인에이블 구간(S1) 또는 제 1 및 제 2 인에이블 구간(S1, S2)을 마스킹하기 위한 제 1 내지 제 3 마스킹 신호를 생성하여 데이터 인에이블 출력 신호 생성부(227)에 공급한다.

[0061] 먼저, 마스킹 신호 생성부(225)는, 도 5에 도시된 바와 같이, 제 1 데이터 인에이블 신호(DE1)의 제 1 인에이블 구간(S1)이 제 2 데이터 인에이블 신호(DE2)의 제 3 또는 제 4 인에이블 구간(S3, S4) 각각에 중첩되지 않는다면, 데이터 인에이블 입력 신호(DEi)가 정상적인 신호로 판단하여 제 1 데이터 인에이블 신호(DE1)의 제 1 및 제 2 인에이블 구간(S1, S2)을 마스킹시키지 않는 제 1 마스킹 신호(MS1)를 생성한다. 이때, 제 1 마스킹 신호(MS1)는 제 1 데이터 인에이블 신호(DE1)의 전구간 동안 하이 상태(H)를 유지한다.

[0062] 반면에, 마스킹 신호 생성부(225)는, 도 6a에 도시된 바와 같이, 제 1 데이터 인에이블 신호(DE1)의 제 1 인에이블 구간(S1)이 제 2 데이터 인에이블 신호(DE2)의 제 3 인에이블 구간(S3)에 일부 중첩된다면, 제 2 데이터 인에이블 신호(DE2)의 제 3 인에이블 구간(S3)에 중첩되는 제 1 데이터 인에이블 신호(DE1)의 제 1 인에이블 구간(S1)을 마스킹하는 제 2 마스킹 신호(MS2)를 생성한다. 상기 제 2 마스킹 신호(MS2)는 제 1 데이터 인에이블 신호(DE1)의 제 1 인에이블 구간(S1)에 중첩되는 구간 동안에만 로우 상태를 갖는다.

[0063] 반면에, 마스킹 신호 생성부(225)는, 도 6b에 도시된 바와 같이, 제 1 데이터 인에이블 신호(DE1)의 제 1 인에이블 구간(S1)이 제 2 데이터 인에이블 신호(DE2)의 제 4 인에이블 구간(S4)에 일부 중첩된다면, 제 2 데이터 인에이블 신호(DE2)의 제 4 인에이블 구간(S4)에 중첩되어 연속되는 제 1 데이터 인에이블 신호(DE1)의 제 1 및 제 2 인에이블 구간(S1, S2)을 모두 마스킹하는 제 3 마스킹 신호(MS3)를 생성한다. 상기 제 3 마스킹 신호(MS3)는 제 1 데이터 인에이블 신호(DE1)의 제 1 및 제 2 인에이블 구간(S1, S2)에 중첩되는 구간 동안에만 로우 상태를 갖는다.

[0064] 다시 도 4에서, 데이터 인에이블 출력 신호 생성부(227)는 마스킹 신호 생성부(225)로부터 공급되는 제 1 내지 제 3 마스킹 신호(MS1, MS2, MS3) 중 어느 하나의 마스킹 신호, 제 1 DE 생성부(222)로부터 공급되는 제 1 데이터 인에이블 신호(DE1), 및 제 2 DE 생성부(223)로부터 공급되는 제 2 데이터 인에이블 신호(DE2)에 기초하여 데이터 인에이블 출력 신호(DEo)를 생성하고, 생성된 데이터 인에이블 출력 신호(DEo)를 제어 신호 생성부(229) 및 데이터 처리부(230)에 공급한다.

[0065] 먼저, 데이터 인에이블 출력 신호 생성부(227)는 상기 제 1 데이터 인에이블 신호(DE1)와 제 2 데이터 인에이블 신호(DE2)를 논리합(OR) 연산하여 제 3 데이터 인에이블 신호(DE3)를 생성한다. 그리고, 데이터 인에이블 출력 신호 생성부(227)는 마스킹 신호 생성부(225)로부터 공급되는 제 1 내지 제 3 마스킹 신호(MS1, MS2, MS3) 중 어느 하나의 마스킹 신호와 제 3 데이터 인에이블 신호(DE3)를 논리곱(AND) 연산하여 데이터 인에이블 출력 신호(DEo)를 생성한다.

[0066] 구체적으로, 마스킹 신호 생성부(225)로부터 제 1 마스킹 신호(MS1)가 공급되는 경우, 데이터 인에이블 출력 신호 생성부(227)는 하이 상태로 유지되는 제 1 마스킹 신호(MS1)와 제 3 데이터 인에이블 신호(DE3)를 논리곱(AND) 연산하여 데이터 인에이블 출력 신호(DEo)를 생성함으로써, 도 5에 도시된 바와 같이, 제 1 데이터 인에

이블 신호(DE1)의 마스크 없이 데이터 인에이블 출력 신호(DEo)를 생성한다.

- [0067] 반면에, 마스크 신호 생성부(225)로부터 제 2 마스크 신호(MS2)가 공급되는 경우, 데이터 인에이블 출력 신호 생성부(227)는 제 2 마스크 신호(MS2)와 제 3 데이터 인에이블 신호(DE3)를 논리곱(AND) 연산함으로써, 도 6a에 도시된 바와 같이, 데이터 인에이블 입력 신호(DEi)의 제 i+1 수평 구간(Hi+1)에 생성되는 제 1 데이터 인에이블 신호(DE1)의 제 1 인에이블 구간(S1)을 마스크하여 데이터 인에이블 출력 신호(DEo)를 생성한다. 이에 따라, 데이터 인에이블 출력 신호(DEo)는 데이터 인에이블 입력 신호(DEi)의 비정상 구간(ANP)과 제 i+1 수평 구간(Hi+1)에 중첩되는 제 3 인에이블 구간(S3)과 마스크 구간(MP) 및 제 2 인에이블 구간(S2)을 포함하도록 생성된다.
- [0068] 그리고, 마스크 신호 생성부(225)로부터 제 3 마스크 신호(MS3)가 공급되는 경우, 데이터 인에이블 출력 신호 생성부(227)는 제 3 마스크 신호(MS3)와 제 3 데이터 인에이블 신호(DE3)를 논리곱(AND) 연산함으로써, 도 6b에 도시된 바와 같이, 데이터 인에이블 입력 신호(DEi)의 제 i+1 수평 구간(Hi+1)에 생성되는 제 1 데이터 인에이블 신호(DE1)의 제 1 및 제 2 인에이블 구간(S1, S2)을 마스크하여 데이터 인에이블 출력 신호(DEo)를 생성한다. 이에 따라, 데이터 인에이블 출력 신호(DEo)는 데이터 인에이블 입력 신호(DEi)의 비정상 구간(ANP)과 제 i+1 수평 구간(Hi+1)에 중첩되는 제 3 및 제 4 인에이블 구간(S3, S4)과 마스크 구간(MP)을 포함하도록 생성된다.
- [0069] 도 7은 도 3 및 도 4에 도시된 타이밍 신호 생성부에서 데이터 인에이블 출력 신호를 생성하는 과정을 단계적으로 나타내는 순서도이다.
- [0070] 도 7을 도 4, 도 5, 도 6a 및 도 6b와 결부하여 데이터 인에이블 출력 신호를 생성하는 과정을 설명하면 다음과 같다.
- [0071] 먼저, 데이터 인에이블 입력 신호(DEi)의 활성화 구간 동안 데이터 인에이블 입력 신호(DEi)의 각 수평 구간(H)을 2분할하는 제 1 및 제 2 인에이블 구간(S1, S2)을 가지는 제 1 데이터 인에이블 신호(DE1)를 생성한다(S100-1). 이와 같은 제 1 데이터 인에이블 신호(DE1)는, 전술한 바와 같이, 제 1 DE 생성부(222)에서 생성된다.
- [0072] 또한, 데이터 인에이블 입력 신호(DEi)의 수직 블랭크 구간(Vblank) 또는 비정상 구간(ANP)의 노이즈 신호(NS)를 인식하여 제 3 인에이블 구간(S3) 또는 제 3 및 제 4 인에이블 구간(S3, S4)을 가지는 제 2 데이터 인에이블 신호(DE2)를 생성한다(S100-2). 이와 같은, 제 2 데이터 인에이블 신호(DE2)는, 전술한 바와 같이, 제 2 DE 생성부(223)에서 생성된다.
- [0073] 그런 다음, 상기 제 1 데이터 인에이블 신호(DE1)의 제 1 인에이블 구간(S1)이 제 2 데이터 인에이블 신호(DE2)의 제 3 인에이블 구간(S3)과 중첩되는지를 검출하여 제 3 인에이블 구간(S3)과 중첩되는 상기 제 1 데이터 인에이블 신호(DE1)의 제 1 인에이블 구간(S1)의 마스크 여부를 판단한다(S200). 이와 같은, 마스크 여부를 판단은, 전술한 바와 같이, 마스크 신호 생성부(225)에서 이루어진다.
- [0074] 상기 S200 단계에서, 상기 제 1 데이터 인에이블 신호(DE1)의 제 1 인에이블 구간(S1)이 제 2 데이터 인에이블 신호(DE2)의 제 3 인에이블 구간(S3)과 중첩되지 않는 경우(S200의 "No"), 상기 제 1 데이터 인에이블 신호(DE1)의 제 1 인에이블 구간(S1)이 제 2 데이터 인에이블 신호(DE2)의 제 4 인에이블 구간(S4)과 중첩되는지를 검출하여 상기 제 4 인에이블 구간(S4)에 중첩되어 연속되는 상기 제 1 데이터 인에이블 신호(DE1)의 제 1 및 제 2 인에이블 구간(S1, S2)의 마스크 여부를 판단한다(S300). 이와 같은, 마스크 여부를 판단은, 전술한 바와 같이, 마스크 신호 생성부(225)에서 이루어진다.
- [0075] 만약, 상기 S300 단계에서, 도 5에 도시된 바와 같이, 상기 제 1 데이터 인에이블 신호(DE1)의 제 1 인에이블 구간(S1)이 제 2 데이터 인에이블 신호(DE2)의 제 4 인에이블 구간(S4)과 중첩되지 않는 경우(S300의 "No"), 전술한 제 1 마스크 신호(MS)를 생성하여 상기 제 1 데이터 인에이블 신호(DE1)의 제 1 및 제 2 인에이블 구간(S1, S2)의 마스크 없이 데이터 인에이블 출력 신호(DEo)를 생성한다(S400). 이와 같은, 상기 제 1 및 제 2 인에이블 구간(S1, S2)의 마스크 없이 생성되는 데이터 인에이블 출력 신호(DEo)는, 전술한 바와 같이, 데이터 인에이블 출력 신호 생성부(227)에서 생성된다.
- [0076] 한편, 상기 S200 단계에서, 도 6a에 도시된 바와 같이, 상기 제 1 데이터 인에이블 신호(DE1)의 제 1 인에이블 구간(S1)이 제 2 데이터 인에이블 신호(DE2)의 제 3 인에이블 구간(S3)과 중첩되는 경우(S200의 "Yes"), 전술한 제 2 마스크 신호(M2)를 생성하여 상기 제 3 인에이블 구간(S3)과 중첩되는 상기 제 1 데이터 인에이블 신호(DE1)의 제 1 인에이블 구간(S1)을 마스크하여 데이터 인에이블 출력 신호(DEo)를 생성한다(S500). 이와 같은,

상기 제 1 인에이블 구간(S1)이 마스킹되어 생성되는 데이터 인에이블 출력 신호(DEo)는, 전술한 바와 같이, 데이터 인에이블 출력 신호 생성부(227)에서 생성된다.

[0077] 다른 한편, 상기 S300 단계에서, 도 6b에 도시된 바와 같이, 상기 제 1 데이터 인에이블 신호(DE1)의 제 1 인에이블 구간(S1)이 제 2 데이터 인에이블 신호(DE2)의 제 4 인에이블 구간(S4)과 중첩되는 경우(S300의 "Yes"), 전술한 제 3 마스킹 신호(M3)를 생성하여 제 4 인에이블 구간(S4)과 중첩되어 연속되는 상기 제 1 데이터 인에이블 신호(DE1)의 제 1 및 제 2 인에이블 구간(S1, S2)을 마스킹하여 데이터 인에이블 출력 신호(DEo)를 생성한다(S600). 이와 같은, 상기 제 1 및 제 2 인에이블 구간(S1, S2)이 마스킹되어 생성되는 데이터 인에이블 출력 신호(DEo)는, 전술한 바와 같이, 데이터 인에이블 출력 신호 생성부(227)에서 생성된다.

[0078] 이상과 같은, 타이밍 신호 생성부(220)는 데이터 인에이블 입력 신호(DEi)의 활성화 구간 동안 생성되는 제 1 데이터 인에이블 신호(DE1)와 데이터 인에이블 입력 신호(DEi)의 비정상 구간(ANP)에 생성되는 제 2 데이터 인에이블 신호(DE2)에 기초하여 데이터 인에이블 출력 신호(DEo)를 생성함으로써 정전기와 같은 노이즈가 혼입된 비정상적인 데이터 인에이블 입력 신호에 의한 화질 불량을 방지할 수 있다.

[0079] 다시 도 3 및 도 4에서, 제어 신호 생성부(229)는 데이터 인에이블 출력 신호 생성부(227)로부터 공급되는 데이터 인에이블 출력 신호(DEo)에 기초하여 게이트 구동부(300)의 구동 타이밍을 제어하기 위한 전술한 게이트 제어 신호(GCS)와 데이터 구동부(400)의 구동 타이밍을 제어하기 위한 전술한 데이터 제어 신호(DCS) 각각을 생성한다.

[0080] 데이터 처리부(230)는 데이터 처리부(210)로부터 공급되는 1 수평 라인 분의 상기 복원 데이터(Rdata)를 데이터 인에이블 입력 신호(DEi)에 따라 임시 저장하고, 데이터 인에이블 출력 신호(DEo)에 따라 임시 저장된 데이터들 중에서 DRD 구동 방식의 각 수평 구간에 대응되는 1 수평 라인 분의 적색, 녹색 및 청색 데이터(RGB)를 선택하여 데이터 전송부(240)에 제공한다. 이를 위해, 데이터 처리부(230)는 데이터 정렬부(232), 제 1 및 제 2 라인 메모리(LM1, LM2)를 포함하여 구성된다.

[0081] 데이터 정렬부(232)는 데이터 처리부(210)로부터 공급되는 1 수평 라인 분의 상기 복원 데이터(Rdata)를 데이터 인에이블 입력 신호(DEi)에 따라 1 수평 구간 단위로 제 1 및 제 2 라인 메모리(LM1, LM2) 각각에 교대로 라이트(Write)하고, 데이터 인에이블 출력 신호(DEo)에 따라 제 1 및 제 2 라인 메모리(LM1, LM2) 각각에 저장된 1 수평 라인 분의 적색, 녹색 및 청색의 표시 데이터(R/G/B)를 1 수평 라인 단위로 교번적으로 리드(Read)하여 데이터 전송부(240)에 제공한다.

[0082] 구체적으로, 데이터 정렬부(232)는, 도 5, 도 6a, 또는 도 6b에 도시된 바와 같이, 데이터 인에이블 입력 신호(DEi)의 기수번째 수평 구간(H1 내지 Hm-1)을 제 2 라인 메모리(LM2)의 라이팅 신호(LM2_W)로 사용하여 우수번째 수평 라인 분의 상기 복원 데이터(Rdata)를 제 2 라인 메모리(LM2)에 라이트(Write)하고, 데이터 인에이블 입력 신호(DEi)의 우수번째 수평 구간(H2 내지 Hm)을 제 1 라인 메모리(LM1)의 라이팅 신호(LM1_W)로 사용하여 기수번째 수평 라인 분의 상기 복원 데이터(Rdata)를 제 1 라인 메모리(LM1)에 라이트(Write)한다.

[0083] 반면에, 데이터 정렬부(232)는, 도 5에 도시된 바와 같이, 데이터 인에이블 입력 신호(DEi)의 기수번째 수평 구간(H1 내지 Hm-1)에 따라 생성된 데이터 인에이블 출력 신호(DEo)의 제 1 및 제 2 인에이블 구간(S1, S2) 각각을 제 1 라인 메모리(LM1)의 리드 신호(LM1_R)로 사용해 제 1 라인 메모리(LM1)에서 1 수평 라인 분의 적색, 녹색 및 청색의 표시 데이터(R/G/B)를 순차적으로 리드(Read)하여 데이터 전송부(240)에 제공한다. 그리고, 데이터 정렬부(232)는 데이터 인에이블 입력 신호(DEi)의 우수번째 수평 구간(H2 내지 Hm)에 따라 생성된 데이터 인에이블 출력 신호(DEo)의 제 1 및 제 2 인에이블 구간(S1, S2) 각각을 제 2 라인 메모리(LM2)의 리드 신호(LM2_R)로 사용해 제 2 라인 메모리(LM2)에서 1 수평 라인 분의 적색, 녹색 및 청색의 표시 데이터(R/G/B)를 순차적으로 리드(Read)하여 데이터 전송부(240)에 제공한다.

[0084] 예를 들어, 도 2에 도시된 DRD 구동 방식의 화소 배치 구조를 결부하면, 데이터 정렬부(232)는, 먼저 데이터 인에이블 입력 신호(DEi)의 제 1 수평 구간(H1)에 기초해 생성된 데이터 인에이블 출력 신호(DEo)의 제 1 인에이블 구간(S1)에 따라 제 1 라인 메모리(LM1)에서 제 1 게이트 라인(GL1)에 접속된 각 서브 화소들(R1, R2, B2)에 공급될 표시 데이터(R/G/B)를 리드(Read)하여 데이터 전송부(240)에 제공한 후, 데이터 인에이블 출력 신호(DEo)의 제 2 인에이블 구간(S2)에 따라 제 1 라인 메모리(LM1)에서 제 2 게이트 라인(GL2)에 접속된 각 서브 화소들(G1, B1, G2)에 공급될 표시 데이터(R/G/B)를 리드(Read)하여 데이터 전송부(240)에 제공한다. 그리고, 데이터 정렬부(232)는, 데이터 인에이블 입력 신호(DEi)의 제 2 수평 구간(H2)에 기초해 생성된 데이터 인에이블 출력 신호(DEo)의 제 1 인에이블 구간(S1)에 따라 제 2 라인 메모리(LM2)에서 제 3 게이트 라인(GL3)에 접속

된 각 서브 화소들(R1, R2, B2)에 공급될 표시 데이터(R/G/B)를 리드(Read)하여 데이터 전송부(240)에 제공한 후, 데이터 인에이블 출력 신호(DEo)의 제 2 인에이블 구간(S2)에 따라 제 2 라인 메모리(LM2)에서 제 4 게이트 라인(GL4)에 접속된 각 서브 화소들(G1, B1, G2)에 공급될 표시 데이터(R/G/B)를 리드(Read)하여 데이터 전송부(240)에 제공한다.

[0085] 한편, 전술한 제 1 데이터 인에이블 신호(DE1)의 마스킹에 따라 제 1 및 제 2 라인 메모리(LM1, LM2) 각각의 라이트(Write) 및 리드(Read) 동작 각각이 독립적으로 구분됨으로써 제 1 및 제 2 라인 메모리(LM1, LM2) 각각의 오동작이 발생되지 않는다. 예를 들어, 도 6a 및 도 6b에서 알 수 있듯이, 전술한 제 1 데이터 인에이블 신호(DE1)의 마스킹에 따라 제 1 라인 메모리(LM1)의 라이팅 신호(LM1_W)와 제 1 라인 메모리(LM1)의 리드 신호(LM1_R)가 서로 중첩되지 않는 것을 알 수 있고, 제 2 라인 메모리(LM2)의 라이팅 신호(LM2_W)와 제 2 라인 메모리(LM2)의 리드 신호(LM2_R)가 서로 중첩되지 않는 것을 알 수 있다.

[0086] 다시 도 3 및 도 4에서, 데이터 전송부(240)는 데이터 처리부(230), 즉 데이터 정렬부(232)로부터 공급되는 1 수평 라인 분의 표시 데이터(R/G/B)를 데이터 구동부(400)에 공급한다. 이때, 데이터 전송부(240)는 상기 표시 데이터(R/G/B)를 데이터 패킷(RGB) 형태로 변환하여 데이터 구동부(400)에 전송할 수 있다. 이 경우, 데이터 구동부(400)는 데이터 전송부(240)로부터 전송되는 데이터 패킷(RGB)을 수신하고, 수신된 데이터 패킷(RGB)에서 표시 데이터를 샘플링해 데이터 전압으로 변환하여 데이터 라인에 공급하게 된다. 이와 같은, 데이터 패킷(RGB)을 이용한 타이밍 컨트롤러(200)와 데이터 구동부(400) 간의 데이터 인터페이스는, 본 출원인에 의해 기출원된 대한민국 특허출원 제10-2008-0127456호, 또는 특허출원 제10-2008-0127458호 각각에 개시된 인터페이스 방법에 의해 구현될 수 있다.

[0087] 이상과 같은, 본 발명의 실시 예에 따른 액정 표시 장치는 데이터 인에이블 입력 신호(DEi)의 활성화 구간 동안 생성되는 제 1 데이터 인에이블 신호(DE1)와 데이터 인에이블 입력 신호(DEi)의 비정상 구간(ANP)에 생성되는 제 2 데이터 인에이블 신호(DE2)에 기초하여 데이터 인에이블 출력 신호(DEo)를 생성함으로써 정전기와 같은 노이즈가 혼입된 비정상적인 데이터 인에이블 입력 신호에 의해 발생하는 표시 라인의 누락 또는 데이터 혼합에 의해 플래싱(Flashing) 형태의 화면 이상과 같은 화질 불량을 방지할 수 있으며, 라인 메모리의 라이트(Write) 동작 및 리드(Read) 동작의 오류를 방지할 수 있다.

[0088] 한편, 전술한 본 발명에 따른 액정 표시 장치에서, 타이밍 컨트롤러는 DRD 구동 방식으로 배치된 서브 화소들을 구동하기 위해 데이터 인에이블 입력 신호의 활성화 구간 동안 제 1 및 제 2 인에이블 구간이 교대로 반복되는 데이터 인에이블 출력 신호를 생성하는 것을 설명하였으나, 이에 한정되지 않고, 3개의 서브 화소가 하나의 데이터 라인을 공유하는 TRD(Triple Rate Driving) 구동 방식에도 적용될 수 있다. TRD 구동 방식의 경우, 타이밍 컨트롤러는 데이터 인에이블 입력 신호의 한 수평 구간을 3분할하여 데이터 인에이블 입력 신호의 활성화 구간 동안 제 1 내지 제 3 인에이블 구간이 교대로 반복되는 데이터 인에이블 출력 신호를 생성하게 된다. 결과적으로, 본 발명에 따른 액정 표시 장치의 타이밍 컨트롤러는 동일 수평 라인에 나란하게 배치된 복수의 서브 화소를 2 이상의 수평 구간 동안 순차적으로 구동하기 위한 데이터 인에이블 출력 신호를 생성하게 된다.

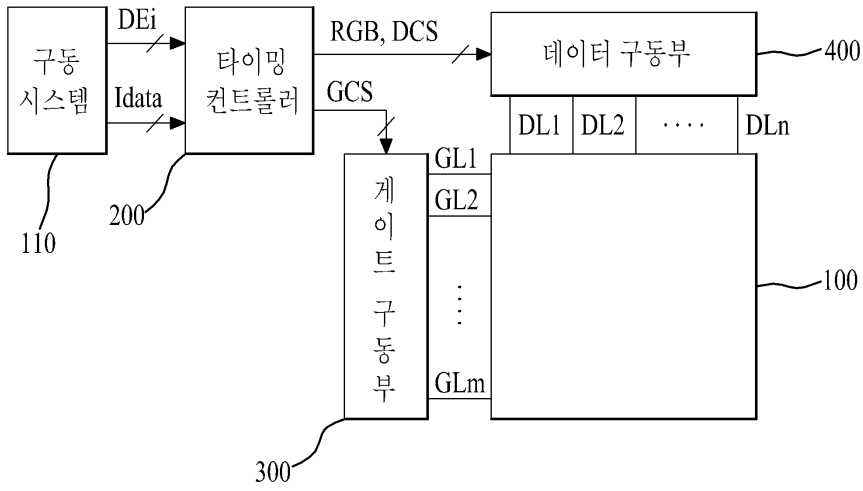
[0089] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

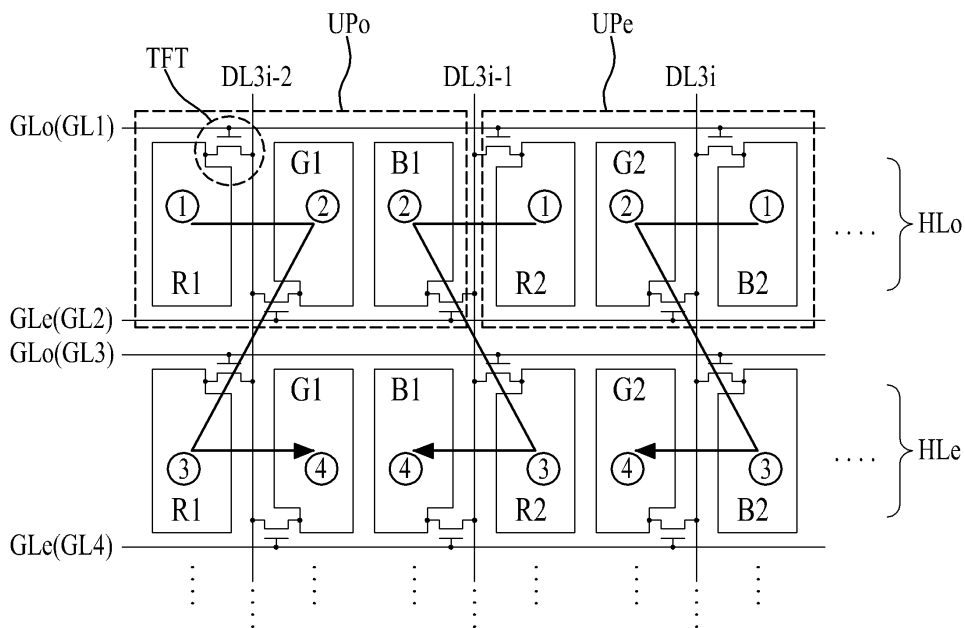
[0090]	100: 액정 표시 패널	200: 타이밍 컨트롤러
	210: 데이터 수신부	220: 타이밍 신호 생성부
	221: 클럭 생성부	222: 제 1 DE 생성부
	223: 제 2 DE 생성부	225: 마스킹 신호 생성부
	227: 데이터 인에이블 출력 신호 생성부	229: 데이터 전송부
	300: 게이트 구동부	400: 데이터 구동부

도면

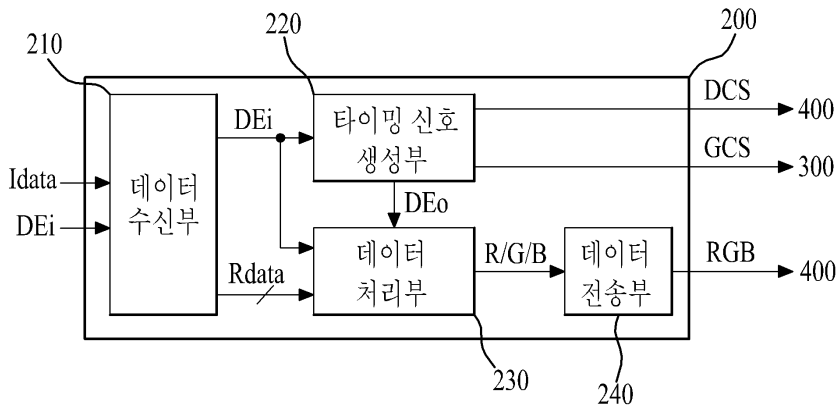
도면1



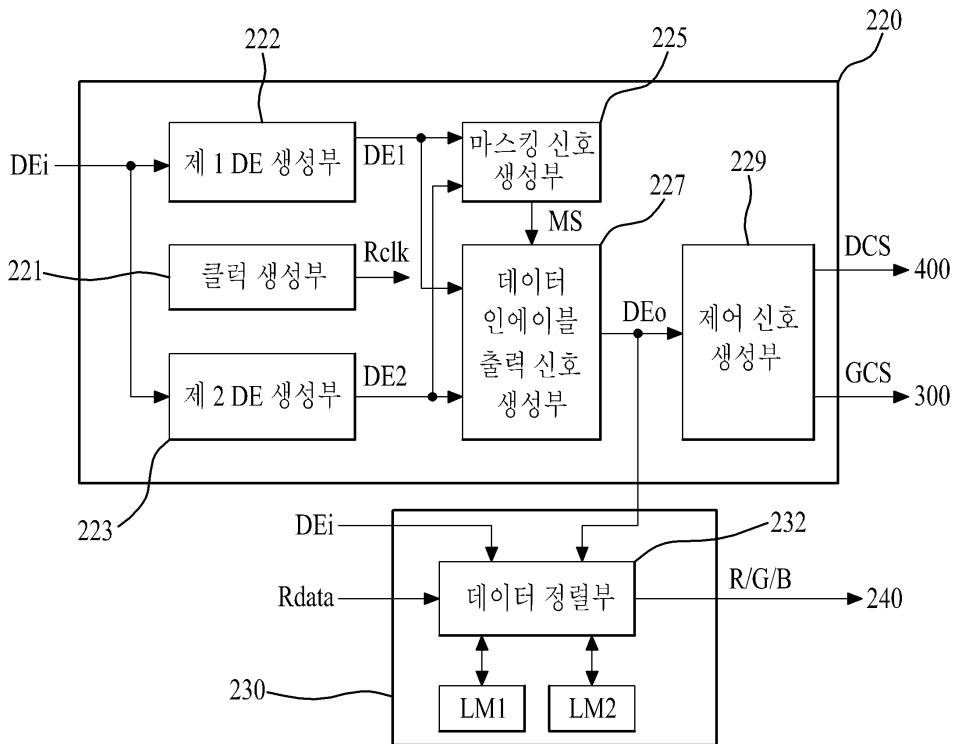
도면2



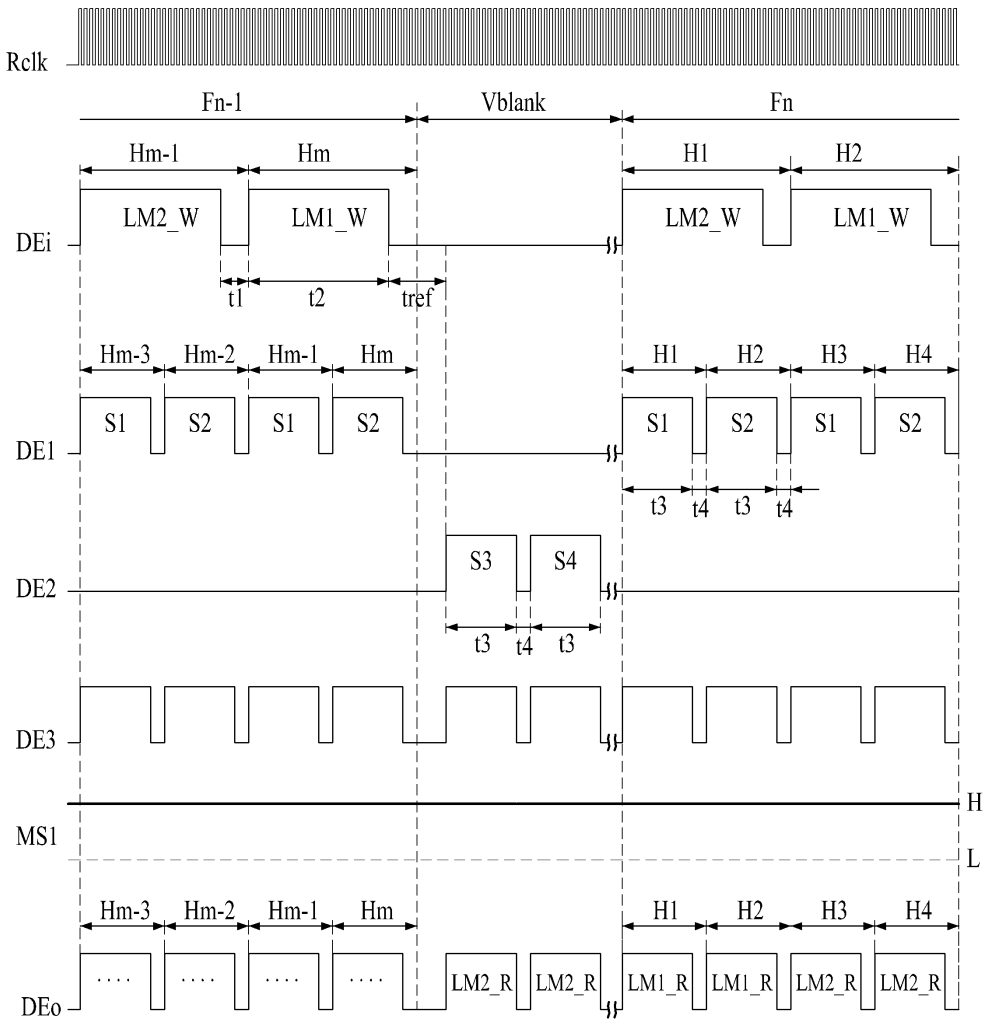
도면3



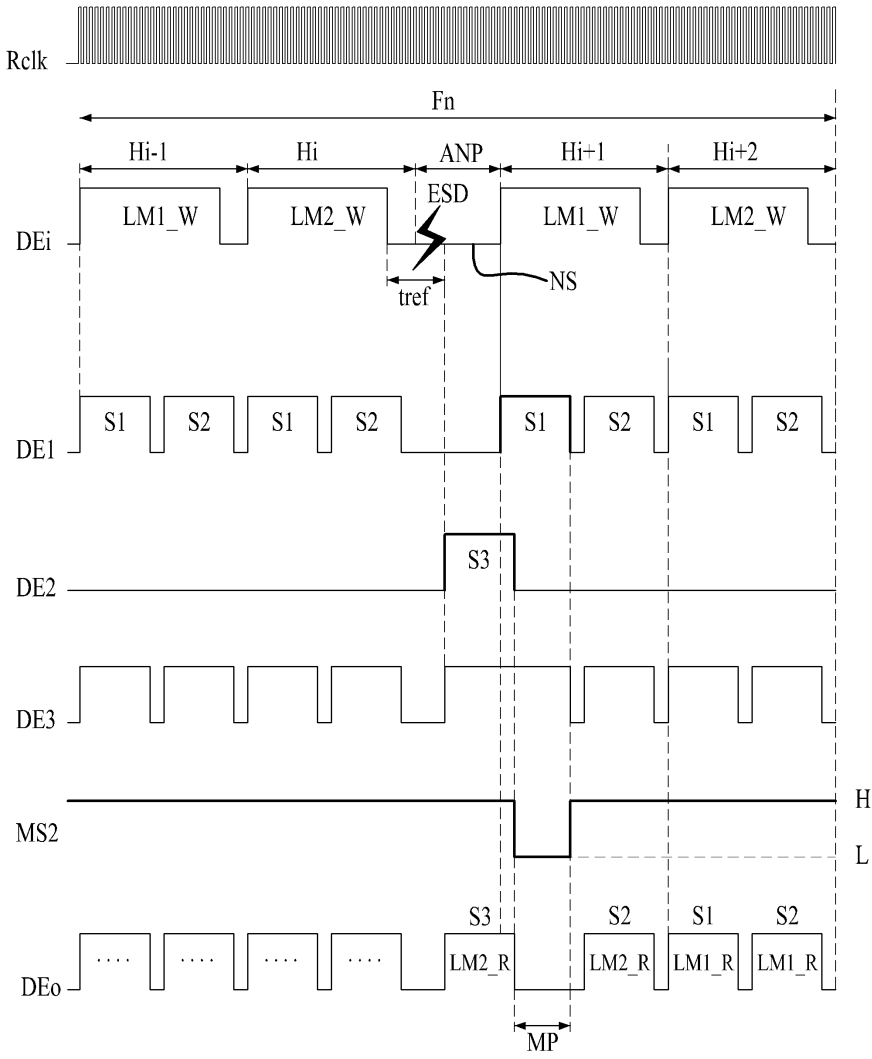
도면4



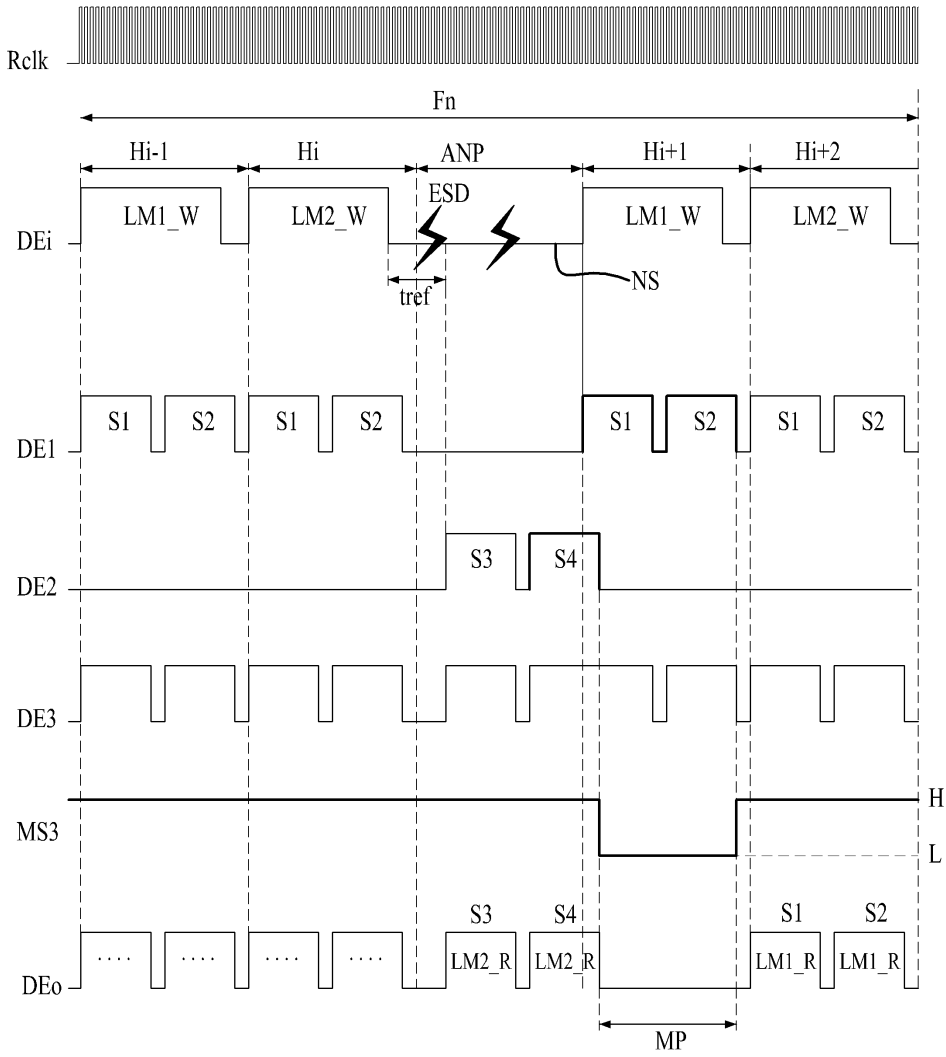
도면5



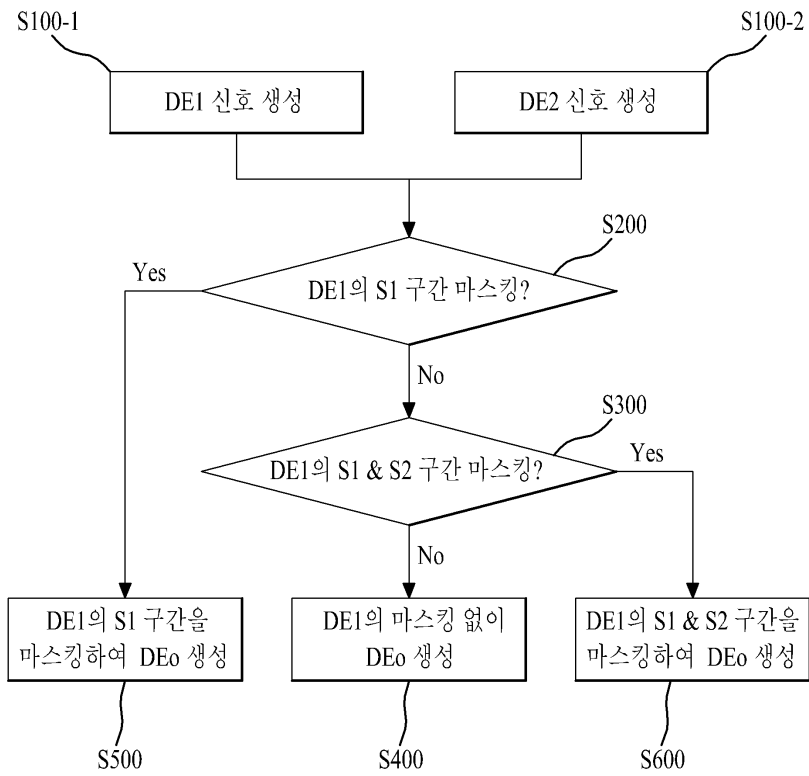
도면6a



도면6b



도면7



专利名称(译)	标题定时控制器和包括其的液晶显示装置		
公开(公告)号	KR1020130095574A	公开(公告)日	2013-08-28
申请号	KR1020120017132	申请日	2012-02-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JONG WOO 김종우 SUNWOO PARK 박선우		
发明人	김종우 박선우		
IPC分类号	G09G3/36		
CPC分类号	G09G3/36 G09G2310/08 G09G3/3648 G09G2300/0426		
其他公开文献	KR101350737B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示器，包括此，为了防止由于异常数据的图像质量缺陷根据噪声，例如静电使能输入信号，根据在同一水平线上的本发明并排的时序控制器的时序控制器和多个子像素以多个水平间隔顺序排列，以接收输入数据和数据使能输入信号;数据的有效期间的基础上的框使得能够从接收单元提供的输入信号产生使能信号的第一数据和以及在有源区中产生的异常间隔的基础上产生所述使能信号的第二数据，并定时信号发生器，用于根据第一和第二数据使能信号产生数据使能输出信号;以及用于临时存储输入数据，和选择并输出对应于每个水平周期的顺序驱动的显示数据的数据处理单元，所述根据所述数据临时存储的数据当中使能输出信号，响应于所述数据使能输入信号之类的。

