



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0015829
(43) 공개일자 2013년02월14일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01) G02F 1/1343 (2006.01)

(21) 출원번호 10-2011-0078089

(22) 출원일자 2011년08월05일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

문중수

경기도 화성시 영통로27번길 53, 신영통현대2차아파트 214동 1001호 (반월동)

이동훈

충청남도 아산시 탕정면 탕정면로 37, 탕정삼성트라팰리스아파트 101동 2602호

(뒷면에 계속)

(74) 대리인

박영우

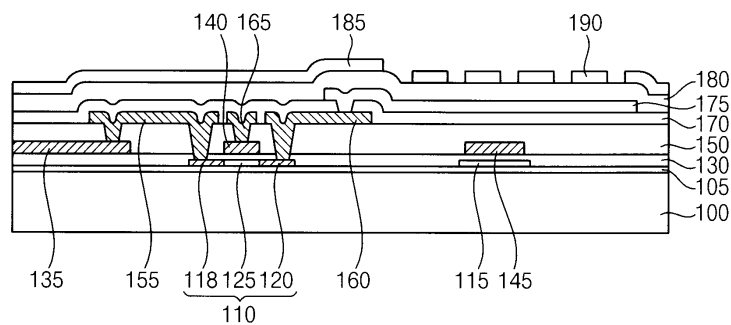
전체 청구항 수 : 총 27 항

(54) 발명의 명칭 표시 기판, 표시 기판의 제조 방법 및 표시 기판을 포함하는 액정 표시 장치

(57) 요약

표시 장치를 위한 표시 기판은 기판, 스위칭 소자, 게이트 라인, 데이터 라인, 화소 전극, 복수의 공통 전극들을 포함할 수 있다. 스위칭 소자는 액티브 패턴, 게이트 절연층, 게이트 전극, 소스 전극 및 드레인 전극을 구비할 수 있다. 게이트 라인은 소스 전극에 전기적으로 연결될 수 있고, 데이터 라인은 게이트 전극에 전기적으로 연결될 수 있다. 화소 전극은 드레인 전극에 전기적으로 연결될 수 있으며, 공통 전극들은 화소 전극 상부에 배치될 수 있다. 공통 전극들과 데이터 라인 사이의 커플링 커패시턴스를 방지하거나 감소시켜 데이터 신호 지연을 방지할 수 있으며, 데이터 라인과 게이트 라인의 배치 구조 변경을 통하여 표시 기판의 개구율을 크게 향상시킬 수 있다.

대표도 - 도2



(72) 발명자

정영배

충청남도 천안시 서북구 불당1로 82, 603동 205호
(불당동, 대원칸타빌)

이은철

경기도 화성시 반송동 솔빛마을 경남아너스빌아파트 403동 1104호

특허청구의 범위

청구항 1

기관:

상기 기관 상에 배치되며, 제1 불순물 영역, 채널 영역 및 제2 불순물 영역을 갖는 액티브 패턴, 게이트 절연층, 게이트 전극, 소스 전극 그리고 드레인 전극을 구비하는 스위칭 소자;

상기 소스 전극에 전기적으로 연결되는 게이트 라인;

상기 게이트 전극에 전기적으로 연결되는 데이터 라인;

상기 드레인 전극에 전기적으로 연결되는 화소 전극; 및

상기 화소 전극 상부에 배치되는 복수의 공통 전극들을 포함하는 표시 기관.

청구항 2

제1항에 있어서, 상기 게이트 절연층은 상기 액티브 패턴을 덮으며, 상기 게이트 라인은 상기 게이트 절연층 상에 배치되는 것을 특징으로 하는 표시 기관.

청구항 3

제2항에 있어서, 상기 게이트 라인과 상기 게이트 전극을 덮으며 상기 게이트 절연층 상에 배치되는 절연층을 더 포함하는 것을 특징으로 하는 표시 기관.

청구항 4

제3항에 있어서, 상기 소스 전극은 상기 절연층 상에서 상기 불순물 영역의 상부로부터 상기 게이트 라인의 상부까지 연장되는 것을 특징으로 하는 표시 기관.

청구항 5

제4항에 있어서, 상기 소스 전극의 일측은 상기 제1 불순물 영역에 전기적으로 연결되며, 상기 소스 전극의 타측은 상기 게이트 라인에 전기적으로 연결되는 것을 특징으로 하는 표시 기관.

청구항 6

제5항에 있어서, 상기 소스 전극의 일측은 상기 절연층과 상기 게이트 절연층을 관통하여 상기 제1 불순물 영역 상에 배치되는 제1 콘택에 접속되며, 상기 소스 전극의 타측은 상기 절연층을 관통하여 상기 게이트 라인 상에 배치되는 제2 콘택에 접속되는 것을 특징으로 하는 표시 기관.

청구항 7

제6항에 있어서, 상기 소스 전극은 상기 제1 콘택 및 상기 제2 콘택과 일체로 형성되는 것을 특징으로 하는 표시 기관.

청구항 8

제3항에 있어서, 상기 드레인 전극의 일측은 상기 제2 불순물 영역에 전기적으로 연결되고, 상기 드레인 전극의 타측은 상기 절연층 상으로 연장되며, 상기 화소 전극은 상기 드레인 전극의 타측에 전기적으로 연결되는 것을 특징으로 하는 표시 기관.

청구항 9

제8항에 있어서, 상기 드레인 전극은 상기 절연층 및 상기 게이트 절연층을 관통하여 상기 제2 불순물 영역 상에 배치되는 제3 콘택에 접속되는 것을 특징으로 하는 표시 기관.

청구항 10

제3항에 있어서, 상기 데이터 라인은 상기 절연층을 관통하여 상기 게이트 전극 상에 배치되는 제4 콘택에 접속되는 것을 특징으로 하는 표시 기관.

청구항 11

제10항에 있어서, 상기 데이터 라인과 상기 제4 콘택은 일체로 형성되는 것을 특징으로 하는 표시 기관.

청구항 12

제1항에 있어서, 상기 스위칭 소자는 상기 표시 기관의 화소 영역의 중앙부에 배치되며, 상기 데이터 라인은 상기 화소 영역의 중앙부에 인접하여 배치되는 것을 특징으로 하는 표시 기관.

청구항 13

제1항에 있어서, 상기 스위칭 소자는 상기 표시 기관의 인접하는 화소 영역들의 주변부들에 배치되며, 상기 데이터 라인은 상기 표시 기관의 인접하는 화소 영역들 사이에 배치되는 것을 특징으로 하는 표시 기관.

청구항 14

제1항에 있어서, 상기 공통 전극들은 상기 스위칭 소자를 중심으로 서로 이격되는 복수의 제1 공통 전극들 및 복수의 제2 공통 전극들을 포함하는 것을 특징으로 하는 표시 기관.

청구항 15

제14항에 있어서, 상기 제1 공통 전극들과 상기 제2 공통 전극들 사이의 간격은 인접하는 제1 공통 전극들 사이의 간격 또는 인접하는 제2 공통 전극들 사이의 간격 보다 큰 것을 특징으로 하는 표시 기관.

청구항 16

기관 상에 제1 불순물 영역, 채널 영역 및 제2 불순물 영역을 갖는 액티브 패틴을 형성하는 단계;

상기 기관 상에 상기 액티브 패틴을 덮는 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 게이트 라인 및 게이트 전극을 형성하는 단계;

상기 게이트 절연층 상에 상기 게이트 라인 및 상기 게이트 전극을 덮는 제1 절연층을 형성하는 단계;

상기 제1 절연층 상에 상기 게이트 라인에 전기적으로 연결되는 소스 전극, 상기 게이트 전극에 전기적으로 연결되는 데이터 라인 및 상기 제2 불순물 영역에 전기적으로 연결되는 드레인 전극을 형성하는 단계;

상기 제1 절연층 상에 상기 소스 전극, 상기 데이터 라인 및 상기 드레인 전극을 덮는 제2 절연층을 형성하는 단계; 및

상기 제2 절연층 상에 상기 드레인 전극에 전기적으로 연결되는 화소 전극을 형성하는 단계를 포함하는 표시 기관의 제조 방법.

청구항 17

제16항에 있어서, 상기 소스 전극, 상기 데이터 라인 및 상기 드레인 전극을 형성하는 단계는,

상기 제1 절연층 및 상기 게이트 절연층을 식각하여 상기 제1 불순물 영역을 노출시키는 제1 콘택 홀, 상기 게이트 라인을 노출시키는 제2 콘택 홀, 상기 제2 불순물 영역을 노출시키는 제3 콘택 홀 및 상기 게이트 전극을 노출시키는 제4 콘택 홀을 형성하는 단계;

상기 제1 내지 제4 콘택 홀을 채우면서 상기 제1 절연층 상에 제1 도전층을 형성하는 단계; 및

상기 제1 도전층을 패터닝하여 상기 제1 내지 제4 콘택 홀 내에 제1 내지 제4 콘택을 형성하면서 상기 제1 절연층 상에 상기 소스 전극, 상기 데이터 라인 및 상기 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 18

제17항에 있어서, 상기 소스 전극은 상기 제1 및 제2 콘택과 일체로 형성되고, 상기 드레인 전극은 상기 제3 콘

택과 일체로 형성되며, 상기 데이터 라인은 상기 제4 콘택과 일체로 형성되는 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 19

제16항에 있어서, 상기 액티브 패턴을 형성하는 단계는 상기 게이트 절연층 상에 스토리지 커패시터의 제1 전극을 형성하는 단계를 더 포함하며, 상기 게이트 라인 및 상기 게이트 전극을 형성하는 단계는 상기 게이트 절연층 상에 상기 스토리지 커패시터의 제2 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 20

제16항에 있어서, 상기 제1 및 제2 절연층은 실리콘 화합물을 사용하여 형성되는 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 21

제16항에 있어서, 상기 화소 전극을 형성하는 단계는,

상기 제2 절연층을 식각하여 상기 드레인 전극을 노출시키는 제5 콘택 홀을 형성하는 단계;

상기 제5 콘택 홀을 채우면서 상기 제2 절연층 상에 제2 도전층을 형성하는 단계; 및

상기 제2 도전층을 패터닝하여 상기 제5 콘택 홀 내에 제5 콘택을 형성하면서 상기 제2 절연층 상에 상기 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 22

제16항에 있어서, 상기 제2 절연층 상에 상기 화소 전극을 덮는 제3 절연층을 형성하는 단계; 및

상기 제3 절연층 상에 상기 화소 전극에 대향하는 복수의 제1 공통 전극들 및 복수의 제2 공통 전극들을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 23

제1 기관;

상기 제1 기관 상에 배치되며, 제1 불순물 영역, 채널 영역 및 제2 불순물 영역을 갖는 액티브 패턴, 게이트 절연층, 게이트 전극, 소스 전극 그리고 드레인 전극을 구비하는 스위칭 소자;

상기 소스 전극에 전기적으로 연결되는 게이트 라인;

상기 게이트 전극에 전기적으로 연결되는 데이터 라인;

상기 드레인 전극에 전기적으로 연결되는 화소 전극;

상기 화소 전극 상부에 배치되는 복수의 공통 전극들;

상기 공통 전극들 상에 배치되는 액정층;

상기 액정층 상에 배치되는 기준 전극; 및

상기 기준 전극 상에 배치되는 제2 기관을 포함하는 액정 표시 장치.

청구항 24

제23항에 있어서, 상기 게이트 라인과 상기 게이트 전극을 덮으며 상기 게이트 절연층 상에 배치되는 절연층을 더 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 25

제24항에 있어서, 상기 소스 전극은 상기 절연층 상에서 상기 불순물 영역의 상부로부터 상기 게이트 라인의 상부까지 연장되며, 상기 소스 전극의 일측은 상기 제1 불순물 영역에 전기적으로 연결되며, 상기 소스 전극의 타측은 상기 게이트 라인에 전기적으로 연결되는 것을 특징으로 하는 액정 표시 장치.

청구항 26

제25항에 있어서, 상기 소스 전극의 일측은 상기 절연층과 상기 게이트 절연층을 관통하여 상기 제1 불순물 영역 상에 배치되는 제1 콘택에 접속되고, 상기 소스 전극의 타측은 상기 절연층을 관통하여 상기 게이트 라인 상에 배치되는 제2 콘택에 접속되며, 상기 데이터 라인은 상기 절연층을 관통하여 상기 게이트 전극 상에 배치되는 제3 콘택에 접속되는 것을 특징으로 하는 액정 표시 장치.

청구항 27

제23항에 있어서, 상기 스위칭 소자는 상기 액정 표시 장치의 화소 영역의 중앙부 또는 상기 액정 표시 장치의 인접하는 화소 영역들의 주변부들에 배치되며, 상기 데이터 라인은 상기 액정 표시 장치의 화소 영역의 중앙부에 인접하여 배치되거나 상기 액정 표시 장치의 인접하는 화소 영역들 사이에 배치되는 것을 특징으로 하는 액정 표시 장치.

명세서

기술 분야

[0001] 본 발명은 표시 기관, 표시 기관의 제조 방법 및 표시 기관을 포함하는 액정 표시 장치에 관한 것이다. 보다 상세하게는, 본 발명은 개선된 배선 구조를 갖는 표시 기관, 개선된 배선 구조를 포함하는 표시 기관의 제조 방법 및 이러한 표시 기관을 구비하는 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치(LCD)는 화소 전극이 형성된 박막 트랜지스터(TFT) 어레이 기관과 공통 전극이 형성된 컬러 필터 기관 사이에 액정층을 배치하고, 화소 전극과 공통 전극 사이에서 발생하는 전계에 따라 변화하는 액정층의 배향에 의해 각 화소 별로 광의 투과율을 조절함으로써 영상을 표시할 수 있는 표시 장치이다. 근래 들어, 종래의 액정 표시 장치의 낮은 측면 시인성 문제를 해결하기 위하여, PVA(patterned vertical alignment) 모드, IPS(in-plane switching) 모드 등을 갖는 액정 표시 장치가 개발되었다. 그렇지만 PVA 모드를 갖는 액정 표시 장치의 경우에는 잔상이 발생하는 문제가 있고, 측면 시야각의 증가에 한계를 가진다. 한편, IPS 모드를 갖는 액정 표시 장치는 표시되는 영상의 휘도가 낮은 단점이 있다.

[0003] 전술한 문제점을 고려하여, 예를 들면, 한국 공개 특허 제2010-0103010호에 개시된 바와 같이, 측면 시인성과 휘도를 모두 증가시킬 수 있는 PLS(plane to line switching) 모드를 갖는 액정 표시 장치가 개발되었다. 종래의 PLS 모드를 갖는 액정 표시 장치는 데이터 라인과 공통 전극 사이에 충분한 두께의 유기 절연층을 배치하여 게이트 신호와 데이터 신호 사이의 불필요한 커플링 커패시턴스(coupling capacitance)를 감소시킬 수 있기 때문에 안정적인 화소(pixel) 충전이 가능한 장점이 있다. 그러나 종래의 PLS 모드를 갖는 액정 표시 장치에 있어서, 약 400℃ 정도의 상대적으로 높은 온도에서 진행되는 후속 공정 동안 유기 절연층이 손상됨으로써 공통 전극과 데이터 라인 사이에 커플링 커패시턴스가 발생하는 문제점이 있으며, 화소 전극을 박막 트랜지스터에 직접 연결하기 어렵기 때문에 추가적으로 콘택을 형성해야 하는 문제점도 발생한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 개선된 배선 구조를 통해 데이터 라인과 공통 전극 사이의 커플링 커패시턴스를 방지하거나 감소시켜 데이터 라인의 신호 지연을 방지하고 개구율을 증가시킬 수 있는 표시 기관을 제공하는 것이다.

[0005] 본 발명의 다른 목적은 개선된 배선 구조를 통해 데이터 라인과 공통 전극 사이의 커플링 커패시턴스를 방지하거나 감소시켜 데이터 라인의 신호 지연을 방지하고 개구율을 증가시킬 수 있는 표시 기관의 제조 방법을 제공하는 것이다.

[0006] 본 발명의 또 다른 목적은 개선된 배선 구조를 통해 데이터 라인과 공통 전극 사이의 커플링 커패시턴스를 방지하거나 감소시켜 데이터 라인의 신호 지연을 방지하고 개구율을 증가시킬 수 있는 표시 기관을 포함하는 액정 표시 장치를 제공하는 것이다.

[0007] 본 발명이 해결하고자 하는 과제는 상술한 과제들에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗

어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

- [0008] 전술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 표시 기판은, 기판 상에 배치되는 스위칭 소자, 게이트 라인, 데이터 라인, 화소 전극, 복수의 공통 전극들 등을 포함할 수 있다. 상기 스위칭 소자는 액티브 패턴, 게이트 절연층, 게이트 전극, 소스 전극, 드레인 전극을 구비할 수 있다. 상기 액티브 패턴은 제1 불순물 영역, 채널 영역 및 제2 불순물 영역을 포함할 수 있다. 상기 게이트 라인은 상기 소스 전극에 전기적으로 연결될 수 있고, 상기 데이터 라인은 상기 게이트 전극에 전기적으로 연결될 수 있다. 상기 화소 전극은 상기 드레인 전극에 전기적으로 연결될 수 있으며, 상기 공통 전극들은 상기 화소 전극 상부에 배치될 수 있다.
- [0009] 예시적인 실시예들에 있어서, 상기 게이트 절연층은 상기 액티브 패턴을 커버할 수 있으며, 상기 게이트 라인은 상기 게이트 절연층 상에 배치될 수 있다. 또한, 상기 게이트 절연층 상에는 상기 게이트 라인과 상기 게이트 전극을 커버하는 절연층이 배치될 수 있다.
- [0010] 예시적인 실시예들에 따르면, 상기 소스 전극은 상기 절연층 상에서 상기 불순물 영역의 상부로부터 상기 게이트 라인의 상부까지 연장될 수 있다. 여기서, 상기 소스 전극의 일측은 상기 제1 불순물 영역에 전기적으로 연결될 수 있고, 상기 소스 전극의 타측은 상기 게이트 라인에 전기적으로 연결될 수 있다. 예를 들면, 상기 소스 전극의 일측은 상기 절연층과 상기 게이트 절연층을 관통하여 상기 제1 불순물 영역 상에 배치되는 제1 콘택에 접속될 수 있으며, 상기 소스 전극의 타측은 상기 절연층을 관통하여 상기 게이트 라인 상에 배치되는 제2 콘택에 접속될 수 있다. 이 경우, 상기 소스 전극은 상기 제1 콘택 및 상기 제2 콘택과 일체로 형성될 수 있다.
- [0011] 예시적인 실시예들에 있어서, 상기 드레인 전극의 일측은 상기 제2 불순물 영역에 전기적으로 연결될 수 있고, 상기 드레인 전극의 타측은 상기 절연층 상으로 연장될 수 있으며, 상기 화소 전극은 상기 드레인 전극의 타측에 전기적으로 연결될 수 있다. 예를 들면, 상기 드레인 전극은 상기 절연층 및 상기 게이트 절연층을 관통하여 상기 제2 불순물 영역 상에 배치되는 제3 콘택에 접속될 수 있다.
- [0012] 예시적인 실시예들에 따르면, 상기 데이터 라인은 상기 절연층을 관통하여 상기 게이트 전극 상에 배치되는 제4 콘택에 접속될 수 있다. 이 경우, 상기 데이터 라인과 상기 제4 콘택은 일체로 형성될 수 있다.
- [0013] 예시적인 실시예들에 있어서, 상기 기판 상에는 상기 스위칭 소자로부터 이격되는 스토리지 커패시터가 배치될 수 있다.
- [0014] 예시적인 실시예들에 있어서, 상기 스위칭 소자는 상기 표시 기판의 화소 영역의 중앙부에 배치될 수 있다. 이 경우, 상기 데이터 라인은 상기 화소 영역의 중앙부에 인접하여 배치될 수 있다. 다른 예시적인 실시예들에 따르면, 상기 스위칭 소자는 상기 표시 기판의 인접하는 화소 영역들의 주변부들에 배치될 수 있으며, 상기 데이터 라인은 인접하는 화소 영역들 사이에 배치될 수 있다. 이 경우, 상기 스위칭 소자의 소스 전극 상에는 상기 화소 전극이 위치하지 않을 수 있다.
- [0015] 예시적인 실시예들에 따르면, 상기 공통 전극들은 상기 스위칭 소자를 중심으로 서로 이격되는 복수의 제1 공통 전극들 및 복수의 제2 공통 전극들을 포함할 수 있다. 여기서, 상기 제1 공통 전극들과 상기 제2 공통 전극들 사이의 간격은 인접하는 제1 공통 전극들 사이의 간격 또는 인접하는 제2 공통 전극들 사이의 간격 보다 실질적으로 클 수 있다.
- [0016] 상술한 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 표시 기판의 제조 방법에 있어서, 기판 상에 제1 불순물 영역, 채널 영역 및 제2 불순물 영역을 갖는 액티브 패턴을 형성한 후, 상기 기판 상에 상기 액티브 패턴을 덮는 게이트 절연층을 형성할 수 있다. 상기 게이트 절연층 상에 게이트 라인 및 게이트 전극을 형성한 다음, 상기 게이트 절연층 상에 상기 게이트 라인 및 상기 게이트 전극을 덮는 제1 절연층을 형성할 수 있다. 상기 제1 절연층 상에 상기 게이트 라인에 전기적으로 연결되는 소스 전극, 상기 게이트 전극에 전기적으로 연결되는 데이터 라인 및 상기 제2 불순물 영역에 전기적으로 연결되는 드레인 전극을 각기 형성할 수 있다. 상기 제1 절연층 상에 상기 소스 전극, 상기 데이터 라인 및 상기 드레인 전극을 덮는 제2 절연층을 형성한 후, 상기 제2 절연층 상에 상기 드레인 전극에 전기적으로 연결되는 화소 전극을 형성할 수 있다. 예를 들면, 상기 제1 및 제2 절연층은 실리콘 화합물을 사용하여 형성될 수 있다.
- [0017] 예시적인 실시예들에 따른 상기 소스 전극, 상기 데이터 라인 및 상기 드레인 전극을 형성하는 과정에 있어서, 상기 제1 절연층 및 상기 게이트 절연층을 식각하여 상기 제1 불순물 영역을 노출시키는 제1 콘택 홀, 상기 게

이트 라인을 노출시키는 제2 콘택 홀, 상기 제2 불순물 영역을 노출시키는 제3 콘택 홀 및 상기 게이트 전극을 노출시키는 제4 콘택 홀을 각기 형성할 수 있다. 상기 제1 내지 제4 콘택 홀을 채우면서 상기 제1 절연층 상에 제1 도전층을 형성한 다음, 상기 제1 도전층을 패터닝하여 상기 제1 내지 제4 콘택 홀 내에 제1 내지 제4 콘택을 형성하면서 상기 제1 절연층 상에 상기 소스 전극, 상기 데이터 라인 및 상기 드레인 전극을 각기 형성할 수 있다.

[0018] 예시적인 실시예들에 따르면, 상기 소스 전극은 상기 제1 및 제2 콘택과 실질적으로 일체로 형성될 수 있고, 상기 드레인 전극은 상기 제3 콘택과 실질적으로 일체로 형성될 수 있으며, 상기 데이터 라인은 상기 제4 콘택과 실질적으로 일체로 형성될 수 있다.

[0019] 예시적인 실시예들에 따른 상기 액티브 패턴을 형성하는 과정에 있어서, 상기 게이트 절연층 상에 스토리지 커패시터의 제1 전극이 추가적으로 형성될 수 있다. 또한, 상기 게이트 라인 및 상기 게이트 전극을 형성하는 과정에 있어서, 상기 게이트 절연층 상에 상기 스토리지 커패시터의 제2 전극이 추가적으로 형성될 수 있다.

[0020] 예시적인 실시예들에 따른 상기 화소 전극을 형성하는 과정에 있어서, 상기 제2 절연층을 식각하여 상기 드레인 전극을 노출시키는 제5 콘택 홀을 형성한 후, 상기 제5 콘택 홀을 채우면서 상기 제2 절연층 상에 제2 도전층을 형성할 수 있다. 상기 제2 도전층을 패터닝하여 상기 제5 콘택 홀 내에 제5 콘택을 형성하면서 상기 제2 절연층 상에 상기 화소 전극을 형성할 수 있다.

[0021] 예시적인 실시예들에 따르면, 상기 제2 절연층 상에 상기 화소 전극을 덮는 제3 절연층을 형성한 다음, 상기 제3 절연층 상에 상기 화소 전극에 실질적으로 대향하는 복수의 제1 공통 전극들 및 복수의 제2 공통 전극들을 형성할 수 있다.

[0022] 전술한 본 발명의 또 다른 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 액정 표시 장치는, 제1 기판, 액티브 패턴, 게이트 절연층, 게이트 전극, 소스 전극 및 드레인 전극을 구비하는 스위칭 소자, 상기 소스 전극에 전기적으로 연결되는 게이트 라인, 상기 게이트 전극에 전기적으로 연결되는 데이터 라인, 상기 드레인 전극에 전기적으로 연결되는 화소 전극, 상기 화소 전극 상부에 배치되는 복수의 공통 전극들, 상기 공통 전극들 상에 배치되는 액정층, 상기 액정층 상에 배치되는 기준 전극. 그리고 상기 기준 전극 상에 배치되는 제2 기판을 포함할 수 있다. 상기 액티브 패턴은 제1 불순물 영역, 채널 영역 및 제2 불순물 영역을 포함할 수 있다.

[0023] 예시적인 실시예들에 있어서, 상기 게이트 절연층 상에는 상기 게이트 라인과 상기 게이트 전극을 덮는 절연층이 배치될 수 있다. 이 경우, 상기 소스 전극은 상기 절연층 상에서 상기 불순물 영역의 상부로부터 상기 게이트 라인의 상부까지 연장될 수 있다. 상기 소스 전극의 일측은 상기 제1 불순물 영역에 전기적으로 연결될 수 있고, 상기 소스 전극의 타측은 상기 게이트 라인에 전기적으로 연결될 수 있다. 예를 들면, 상기 소스 전극의 일측은 상기 절연층과 상기 게이트 절연층을 관통하여 상기 제1 불순물 영역 상에 배치되는 제1 콘택에 접속될 수 있고, 상기 소스 전극의 타측은 상기 절연층을 관통하여 상기 게이트 라인 상에 배치되는 제2 콘택에 접속될 수 있다. 또한, 상기 데이터 라인은 상기 절연층을 관통하여 상기 게이트 전극 상에 배치되는 제3 콘택에 접속될 수 있다.

발명의 효과

[0024] 본 발명의 예시적인 실시예들에 따른 표시 기판에 있어서, 게이트 라인이 스위칭 소자의 소스 전극에 전기적으로 연결될 수 있고, 데이터 라인은 상기 스위칭 소자의 게이트 전극에 전기적으로 접속될 수 있다. 따라서 상기 표시 기판의 화소 영역에서 제1 및 제2 공통 전극들과 상기 데이터 라인 사이의 커플링 커패시턴스를 크게 감소시켜 데이터 신호 지연을 방지할 수 있으며, 상기 데이터 라인과 상기 게이트 라인의 배치 구조 변경을 통하여 상기 표시 기판의 개구율을 크게 향상시킬 수 있다. 액정 표시 장치가 이러한 표시 기판을 포함할 경우, 상기 액정 표시 장치의 휘도를 증가시킬 수 있고, 영상의 디스플레이 속도와 품질을 향상시킬 수 있다.

[0025] 다만, 본 발명의 효과가 상술한 바에 한정되는 것은 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 예시적인 실시예들에 따른 표시 기판을 나타내는 평면도이다.

도 2는 본 발명의 예시적인 실시예들에 따른 표시 기판을 나타내는 단면도이다.

도 3은 본 발명의 다른 예시적인 실시예들에 따른 표시 기관을 나타내는 평면도이다.

도 4 내지 도 7은 본 발명의 예시적인 실시예들에 따른 표시 기관의 제조 방법을 설명하기 위한 단면도들이다.

도 8은 본 발명의 예시적인 실시예들에 따른 액정 표시 장치를 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 이하, 본 발명의 예시적인 실시예들에 따른 표시 기관, 표시 기관의 제조 방법 및 표시 기관을 포함하는 액정 표시 장치에 대하여 첨부된 도면들을 참조하여 상세하게 설명하지만, 본 발명이 하기 실시예들에 의해 제한되는 것은 아니며, 해당 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 본 발명을 다양한 다른 형태로 구현할 수 있을 것이다.
- [0028] 본 명세서에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예들을 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되는 것으로 해석되는 것은 아니다.
- [0029] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0030] 제1, 제2, 제3, 제4, 제5 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들이 이와 같은 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소(들)로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성 요소가 제2 내지 제5 구성 요소 중 어느 하나로 호칭될 수 있고, 유사하게 제2 내지 제5 구성 요소도 제1 내지 제4 구성 요소 가운데 임의의 하나로 호칭될 수 있다.
- [0031] 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있거나 "접촉되어" 있다고 언급된 때에는, 그 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접촉되어 있을 수도 있지만, 중간에 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접촉되어" 있다고 언급된 때에는, 중간에 다른 구성 요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 인접하는"과 "~에 직접 인접하는" 등도 마찬가지로 해석되어야 한다.
- [0032] 본 출원에서 사용한 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다", "구비하다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0033] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0034] 도 1은 본 발명의 예시적인 실시예들에 따른 표시 기관을 나타내는 평면도이며, 도 2는 본 발명의 예시적인 실시예들에 따른 표시 기관을 설명하기 위한 단면도이다. 예를 들면, 도 2에 도시한 표시 기관은 도 1의 표시 기관을 I-II 선을 따라 자른 경우에 획득될 수 있다.
- [0035] 도 1 및 도 2를 참조하면, 상기 표시 기관은 제1 기관(100), 스위칭 소자, 스토리지 커패시터(storage capacitor), 게이트 라인(135), 데이터 라인(165), 복수의 절연층들(150, 170, 180), 화소 전극(175), 제1 및 제2 공통 전극들(185, 190) 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 복수의 절연층들(150, 170, 180)은 모두 실리콘 화합물과 같은 무기 물질을 포함할 수 있다. 즉, 상기 표시 기관은 종래의 표시 기관과는 달리 유기 물질로 이루어진 절연층을 포함하지 않을 수 있다.
- [0036] 제1 기관(100)은 투명 절연 물질로 구성될 수 있다. 예를 들면, 제1 기관(100)은 유리 기관, 석영 기관, 투명 플라스틱 기관, 투명 세라믹 기관 등을 포함할 수 있다.

- [0037] 제1 기판(100) 상에는 버퍼층(105)이 배치될 수 있다. 버퍼층(105)은 상기 표시 기판을 제조하기 위한 후속 공정들 동안 제1 기판(100)으로부터 금속 원자들이나 불순물들이 확산되는 현상을 방지할 수 있으며, 제1 기판(100)이 표면이 균일하지 않을 경우에는 제1 기판(100)의 표면의 평탄도를 향상시키는 역할을 수행할 수 있다. 버퍼층(105)은 상대적으로 두꺼운 두께를 가질 수 있다. 예를 들면, 버퍼층(105)은 제1 기판(100)의 상면을 기준으로 약 1,000Å 내지 약 3,000Å 정도의 두께를 가질 수 있다. 또한, 버퍼층(105)은 실리콘 화합물로 이루어질 수 있다. 예를 들면, 버퍼층(105)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물(SiO_xNy), 실리콘 탄질화물(SiCxNy), 실리콘 산탄화물(SiOxCy) 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 버퍼층(105)은 상기 실리콘 화합물로 이루어진 단층 구조 또는 다층 구조를 가질 수 있다. 다른 예시적인 실시예들에 따르면, 제1 기판(100)의 구성 물질 및/또는 표면 상태에 따라 제1 기판(100) 상에 버퍼층(105)이 배치되지 않을 수도 있다.
- [0038] 상기 스위칭 소자와 상기 스토리지 커패시터는 제1 기판(100) 또는 버퍼층(105) 상에 서로 소정의 간격을 개재하여 배치될 수 있다. 상기 스위칭 소자는 액티브 패턴(110), 게이트 절연층(130), 게이트 전극(140), 소스 전극(155), 드레인 전극(160) 등을 포함할 수 있다. 상기 스토리지 커패시터는 제1 전극(115), 게이트 절연층(130), 제2 전극(145) 등을 구비할 수 있다.
- [0039] 예시적인 실시예들에 있어서, 상기 스위칭 소자는 상기 표시 기판의 화소 영역의 중앙부에 배치될 수 있다. 여기서, 상기 스위칭 소자는 박막 트랜지스터(TFT)를 포함할 수 있다. 상기 스위칭 소자의 액티브 패턴(110)은 제1 기판(100) 또는 버퍼층(105) 상에 배치될 수 있으며, 상기 스토리지 커패시터의 제1 전극(115)은 액티브 패턴(110)으로부터 소정의 간격을 개재하여 제1 기판(100) 또는 버퍼층(105) 상에 위치할 수 있다.
- [0040] 상기 스위칭 소자의 액티브 패턴(110)은 제1 불순물 영역(118), 제2 불순물 영역(120) 및 채널 영역(125)을 포함할 수 있다. 액티브 패턴(110)은 실리콘으로 구성될 수 있다. 예를 들면, 액티브 패턴(110)의 채널 영역(125)은 결정화 아몰퍼스 실리콘, 폴리실리콘, 부분 결정화 실리콘, 미세 결정들을 포함하는 실리콘 등으로 이루어질 수 있다. 제1 및 제2 불순물 영역(118, 120)은 각기 N형 불순물들 또는 P형 불순물들을 함유하는 결정화 아몰퍼스 실리콘, 폴리실리콘, 부분 결정화 실리콘, 미세 결정들을 포함하는 실리콘 등으로 구성될 수 있다. 여기서, 제1 및 제2 불순물 영역(118, 120)은 각기 상기 트랜지스터의 소스 및 드레인 영역에 해당될 수 있다. 상기 스토리지 커패시터의 제1 전극(115)도 실리콘으로 이루어질 수 있다. 예를 들면, 제1 전극(115)은 결정화 아몰퍼스 실리콘, 폴리실리콘, 부분 결정화 실리콘, 미세 결정들을 포함하는 실리콘 등을 포함할 수 있다. 이 경우, 제1 전극(115)은 액티브 패턴(110)과 실질적으로 동일한 물질을 포함할 수 있으며, 제1 전극(115)과 액티브 패턴(110)이 서로 상이한 물질들로 구성될 수도 있다. 액티브 패턴(110)과 제1 전극(115)은 각기 상대적으로 얇은 두께를 가질 수 있다. 예를 들면, 액티브 패턴(110)과 제1 전극(115)은 버퍼층(105) 또는 제1 기판(100)의 상면으로부터 약 300Å 내지 약 700Å 정도의 두께를 가질 수 있다.
- [0041] 게이트 절연층(130)은 액티브 패턴(110)과 제1 전극(115)을 덮으며 버퍼층(105) 또는 제1 기판(100) 상에 위치할 수 있다. 게이트 절연층(130)은 실리콘 화합물, 금속 산화물 등으로 구성될 수 있다. 예를 들면, 게이트 절연층(130)은 실리콘 산화물, 하프늄 산화물(HfO_x), 알루미늄 산화물(AlO_x), 티타늄 산화물(TiO_x), 지르코늄 산화물(ZrO_x), 탄탈륨 산화물(TaO_x) 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 게이트 절연층(130)은 상대적으로 작은 두께를 가질 수 있다. 예를 들면, 게이트 절연층(130)은 버퍼층(105) 또는 제1 기판(100)의 상면을 기준으로 약 500Å 내지 약 1,500Å 정도의 두께를 가질 수 있다. 예시적인 실시예들에 있어서, 게이트 절연층(130)은 액티브 패턴(110)과 제1 전극(115)을 충분하게 커버하면서 실질적으로 평탄한 상면을 가질 수 있다. 다른 예시적인 실시예들에 따르면, 게이트 절연층(130)은 액티브 패턴(110) 및/또는 제1 전극(115)의 구조에 의해 야기되는 단차부들을 포함할 수도 있다.
- [0042] 본 발명의 예시적인 실시예들에 있어서, 게이트 라인(135)은 상기 스위칭 소자의 소스 전극(155)에 전기적으로 연결될 수 있고, 데이터 라인(165)은 게이트 전극(140)에 전기적으로 접속될 수 있다. 예를 들면, 상기 표시 장치의 화소 영역에서는 게이트 라인(135)과 데이터 라인(165)이 각기 소스 전극(155)과 게이트 전극(140)에 전기적으로 접속될 수 있으며, 상기 표시 기판의 주변 회로 영역에서는 트랜지스터들의 게이트 전극들과 소스 전극들은 각기 게이트 라인(140)과 데이터 라인(165)에 전기적으로 연결될 수 있다. 이에 따라, 상기 표시 기판의 화소 영역에서 제1 및 제2 공통 전극들(185, 190)과 데이터 라인(165) 사이의 커플링 커패시턴스를 현저하게 감소시켜 데이터 라인(165)의 신호 지연을 방지할 수 있다. 또한, 데이터 라인(165)과 게이트 라인(135)의 구조변경을 통하여 상기 표시 기판의 개구율을 크게 향상시킬 수 있다.
- [0043] 도 1에 도시한 바와 같이, 게이트 라인(135)은 게이트 절연층(130) 상에서 제1 방향을 따라 연장될 수 있다. 이

경우, 게이트 라인(135)의 중앙부는 상기 표시 기관의 화소 영역에서 상기 스위칭 소자에 인접하여 소정의 각도로 절곡될 수 있다. 데이터 라인(165)은 게이트 라인(135)을 커버하는 제1 절연층(150) 상에서 상기 제1 방향에 대해 실질적으로 직교하는 제2 방향을 따라 연장될 수 있다. 데이터 라인(165)은 게이트 라인(135)의 절곡부에 인접하여 배치될 수 있다. 게이트 라인(135)은 액티브 패턴(110)에 인접하여 게이트 절연층(130) 상에 배치될 수 있으며, 데이터 라인(165)은 아래에 게이트 전극(140)이 위치하는 제1 절연층(150) 상에 배치될 수 있다.

[0044] 게이트 절연층(130) 상에는 게이트 라인(135), 상기 스위칭 소자의 게이트 전극(140) 및 상기 스토리지 커패시터의 제2 전극(145)이 배치될 수 있다. 게이트 라인(135)과 제2 전극(145)은 게이트 전극(140)을 중심으로 게이트 절연층(130)의 일측과 타측 상에 위치할 수 있다. 게이트 라인(135), 게이트 전극(140) 및 제2 전극(145)은 각기 상대적으로 두꺼운 두께를 가질 수 있다. 예를 들면, 게이트 라인(135), 게이트 전극(140) 및 제2 전극(145)은 각기 게이트 절연층(130)의 상면을 기준으로 약 2,000Å 내지 약 4,000Å 정도의 두께를 가질 수 있다. 게이트 라인(135), 게이트 전극(140) 및 제2 전극(145)은 각기 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등으로 구성될 수 있다. 예를 들면, 게이트 라인(135), 게이트 전극(140) 및 제2 전극(145)은 각기 몰리브덴(Mo), 몰리브덴을 함유하는 합금, 알루미늄(Al), 알루미늄을 함유하는 합금, 알루미늄 질화물(AlNx), 은(Ag), 은을 함유하는 합금, 텅스텐(W), 텅스텐 질화물(WNx), 구리(Cu), 구리를 함유하는 합금, 니켈(Ni), 크롬(Cr), 크롬 질화물(CrNx), 티타늄(Ti), 티타늄 질화물(TiNx), 백금(Pt), 탄탈륨(Ta), 탄탈륨 질화물(TaNx), 네오디뮴(Nd), 스칸듐(Sc), 스트론튬 루테튬 산화물(SRO), 아연 산화물(ZnOx), 인듐 주석 산화물(ITO), 주석 산화물(SnOx), 인듐 산화물(InOx), 갈륨 산화물(GaOx), 인듐 아연 산화물(IZO) 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 예시적인 실시예들에 있어서, 게이트 라인(135), 게이트 전극(140) 및 제2 전극(145)은 실질적으로 동일한 물질을 포함할 수 있지만, 게이트 라인(135), 게이트 전극(140) 및 제2 전극(145)이 서로 다른 물질들로 이루어질 수도 있다.

[0045] 게이트 절연층(130) 상에는 게이트 라인(135), 게이트 전극(140) 및 제2 전극(145)을 커버하는 제1 절연층(150)이 배치될 수 있다. 제1 절연층(150)은 상대적으로 큰 두께를 가질 수 있다. 예를 들면, 제1 절연층(150)은 게이트 절연층(130)의 상면으로부터 약 5,000Å 내지 약 10,000Å 정도의 두께를 가질 수 있다. 제1 절연층(150)은 실리콘 화합물로 이루어질 수 있다. 예를 들면, 제1 절연층(150)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 탄질화물, 실리콘 산탄화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0046] 예시적인 실시예들에 있어서, 제1 절연층(150)은 실리콘 산화물막 및 실리콘 질화물막을 포함하는 다층 구조를 가질 수 있다. 이 경우, 상기 실리콘 산화물막은 약 1,000Å 내지 약 2,000Å 정도의 두께를 가질 수 있으며, 상기 실리콘 질화물막은 약 4,000Å 내지 약 8,000Å 정도의 두께를 가질 수 있다. 또한, 제1 절연층(150)은 실질적으로 평탄한 상면을 가질 수 있다. 여기서, 제1 절연층(150)에 대해 평탄화 공정을 수행하여 제1 절연층(150)의 상부를 평탄화시킬 수 있다.

[0047] 제1 절연층(150) 상에는 소스 전극(155), 드레인 전극(160) 및 데이터 라인(165)이 배치될 수 있다. 소스 전극(155), 드레인 전극(160) 및 데이터 라인(165)은 각기 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등으로 이루어질 수 있다. 예를 들면, 소스 전극(155), 드레인 전극(160) 및 데이터 라인(165)은 각기 몰리브덴, 몰리브덴을 함유하는 합금, 알루미늄, 알루미늄을 함유하는 합금, 알루미늄 질화물, 은, 은을 함유하는 합금, 텅스텐, 텅스텐 질화물, 구리, 구리를 함유하는 합금, 니켈, 크롬, 크롬 질화물, 티타늄, 티타늄 질화물, 백금, 탄탈륨, 탄탈륨 질화물, 네오디뮴, 스칸듐, 스트론튬 루테튬 산화물, 아연 산화물, 인듐 주석 산화물, 주석 산화물, 인듐 산화물, 갈륨 산화물, 인듐 아연 산화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 예시적인 실시예들에 있어서, 소스 전극(155), 드레인 전극(160) 및 데이터 라인(165)은 실질적으로 동일한 물질을 포함할 수 있지만, 서로 상이한 물질들로 이루어질 수도 있다. 소스 전극(155), 드레인 전극(160) 및 데이터 라인(165)은 각기 상대적으로 두꺼운 두께를 가질 수 있다. 소스 전극(155), 드레인 전극(160) 및 데이터 라인(165) 제1 절연층(150)의 상면으로부터 약 2,000Å 내지 약 4,000Å 정도의 두께를 가질 수 있다.

[0048] 예시적인 실시예들에 따르면, 소스 전극(155)은 아래에 제1 불순물 영역(118)이 위치하는 제1 절연층(150)의 일측으로부터 아래에 게이트 라인(135)이 위치하는 제1 절연층(150)의 타측까지 연장될 수 있다. 여기서, 소스 전극(155)의 일측은 제1 콘택을 통해 액티브 패턴(110)의 제1 불순물 영역(118)에 전기적으로 연결될 수 있으며, 소스 전극(155)의 타측은 제2 콘택을 통해 게이트 라인(135)에 전기적으로 접속될 수 있다. 예를 들면, 소스 전극(155)의 일측은 제1 절연층(150) 및 게이트 절연층(130)을 관통하여 제1 불순물 영역(118) 상에 위치하는 상기 제1 콘택 상에 배치될 수 있다. 또한, 소스 전극(155)의 타측은 제1 절연층(150)을 관통하여 게이트 라인

(135) 상에 배치되는 상기 제2 콘택 상에 위치할 수 있다. 여기서, 소스 전극(155)은 상기 제1 콘택 및 상기 제2 콘택과 실질적으로 일체로 형성될 수 있다.

[0049] 드레인 전극(160)의 일측은 제3 콘택을 통해 제2 불순물 영역(120)에 전기적으로 접촉될 수 있다. 예를 들면, 드레인 전극(160)의 일측은 제1 절연층(150) 및 게이트 절연층(130)을 관통하여 제2 불순물 영역(120) 상에 배치되는 상기 제3 콘택 상에 위치할 수 있다. 이 경우, 상기 제3 콘택과 드레인 전극(160)은 실질적으로 일체로 형성될 수 있다. 드레인 전극(160)의 타측은 상기 스토리지 커패시터가 위치하는 방향을 따라 제1 절연층(150) 상으로 연장될 수 있다.

[0050] 데이터 라인(165)은 제4 콘택을 통해 상기 스위칭 소자의 게이트 전극(140)에 전기적으로 연결될 수 있다. 예를 들면, 데이터 라인(165)은 제1 절연층(150)을 관통하여 게이트 전극(140) 상에 배치되는 상기 제4 콘택 상에 위치할 수 있다. 여기서, 데이터 라인(165)과 상기 제4 콘택은 실질적으로 일체로 형성될 수 있다. 전술한 바와 같이, 데이터 라인(165)은 제1 절연층(150) 상에서 게이트 라인(135)이 연장되는 제1 방향에 대해 실질적으로 직교하는 제2 방향을 따라 연장될 수 있다. 상기 스위칭 소자가 상기 표시 기관의 화소 영역의 중앙부에 위치할 경우, 데이터 라인(165)은 상기 화소 영역의 중앙부에 인접하여 상기 화소 영역을 가로지르도록 배치될 수 있다. 예를 들면, 데이터 라인(165)은 게이트 라인(135)의 절곡부에 인접하여 배치될 수 있다.

[0051] 제1 절연층(150) 상에는 소스 전극(155), 데이터 라인(165) 및 드레인 전극(160)을 덮는 제2 절연층(170)이 배치될 수 있다. 제2 절연층(170)은 실리콘 화합물을 포함할 수 있다. 예를 들면, 제2 절연층(170)은 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물, 실리콘 탄질화물, 실리콘 산탄화물 등으로 이루어질 수 있다. 제2 절연층(170)은 상대적으로 두꺼운 두께를 가질 수 있다. 예를 들면, 제2 절연층(170)은 제1 절연층(150)의 상면을 기준으로 약 1,000Å 내지 약 3,000Å 정도의 두께를 가질 수 있다. 예시적인 실시예들에 있어서, 제2 절연층(170)은 소스 전극(155), 데이터 라인(165) 및 드레인 전극(160)의 프로파일들을 따라 제1 절연층(150) 상에 균일하게 형성될 수 있다. 이에 따라, 제2 절연층(170)은 소스 전극(155), 데이터 라인(165) 및 드레인 전극(160)에 인접하는 단차부들을 포함할 수 있다.

[0052] 화소 전극(175)은 제2 절연층(170) 상에 위치할 수 있으며, 드레인 전극(160)에 전기적으로 연결될 수 있다. 예를 들면, 화소 전극(175)은 제2 절연층(170)을 관통하여 드레인 전극(160) 상에 배치되는 제5 콘택 상에 위치할 수 있다. 여기서, 화소 전극(175)은 상기 제5 콘택과 실질적으로 일체로 형성될 수 있다. 화소 전극(175)은 투명 도전성 물질을 포함할 수 있다. 예를 들면, 화소 전극(175)은 아연 산화물, 인듐 주석 산화물, 주석 산화물, 인듐 산화물, 갈륨 산화물, 인듐 아연 산화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0053] 도 1에 예시적으로 도시한 바와 같이, 화소 전극(175)은 상기 표시 기관의 화소 영역을 실질적으로 커버할 수 있다. 예시적인 실시예들에 있어서, 화소 전극(175)은 게이트 라인(135)의 구조와 유사하게 소정의 각도로 절곡되는 중앙부를 가질 수 있다. 또한, 화소 전극(175)은 상대적으로 얇은 두께를 가질 수 있다. 예를 들면, 화소 전극(175)은 제2 절연층(170)의 상면을 기준으로 약 350Å 내지 약 550Å 정도의 두께를 가질 수 있다.

[0054] 제2 절연층(170) 상에는 화소 전극(175)을 덮는 제3 절연층(180)이 배치될 수 있다. 제3 절연층(180)은 상대적으로 두꺼운 두께를 가질 수 있다. 예를 들면, 제3 절연층(180)은 제2 절연층(170)의 상면으로부터 약 1,000Å 내지 약 3,000Å 정도의 두께를 가질 수 있다. 또한, 제3 절연층(180)은 실리콘 화합물로 구성될 수 있다. 예를 들면, 제3 절연층(180)은 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물, 실리콘 탄질화물, 실리콘 산탄화물 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 제3 절연층(180)은 제2 절연층(170) 상에 균일하게 형성될 수 있으며, 이에 따라 화소 전극(175)의 구조에 따라 생성되는 단차부를 포함할 수 있다.

[0055] 도 1에 예시적으로 도시한 바와 같이, 제1 및 제2 공통 전극들(185, 190)은 화소 전극(175)에 실질적으로 대향하여 제3 절연층(180) 상에 배치될 수 있다. 제1 및 제2 공통 전극들(185, 190)은 각기 투명 도전성 물질을 포함할 수 있다. 예를 들면, 제1 및 제2 공통 전극들(185, 190)은 각기 아연 산화물, 인듐 주석 산화물, 주석 산화물, 인듐 산화물, 갈륨 산화물, 인듐 아연 산화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 또한, 제1 및 제2 공통 전극들(185, 190)은 각기 상대적으로 얇은 두께를 가질 수 있다. 예를 들면, 제1 및 제2 공통 전극들(185, 190)은 각기 제3 절연층(180)의 상면을 기준으로 약 350Å 내지 약 550Å 정도의 두께를 가질 수 있다.

[0056] 예시적인 실시예들에 있어서, 상기 표시 기관은 상기 화소 영역의 중앙부를 중심으로 서로 이격되는 복수의 제1 공통 전극들(185)과 복수의 제2 공통 전극들(190)을 포함할 수 있다. 예를 들면, 제1 공통 전극들(185)은 게이트

트 라인(135)의 절곡부를 중심으로 제2 공통 전극들(190)과 제1 간격으로 이격될 수 있다. 또한, 인접하는 제1 공통 전극들(185)은 서로 제2 간격으로 이격될 수 있으며, 인접하는 제2 공통 전극들(190)은 각기 제3 간격으로 이격될 수 있다. 여기서, 상기 제1 간격은 상기 제2 및 제3 간격 보다 실질적으로 클 수 있으며, 상기 제2 간격과 상기 제3 간격은 실질적으로 동일하거나 실질적으로 유사할 수 있다. 제1 및 제2 공통 전극들(180, 190)은 제3 절연층(180) 상에서 각기 게이트 라인(135)이 연장되는 방향과 실질적으로 유사한 방향을 따라 연장될 수 있다.

[0057] 도 3은 본 발명의 다른 예시적인 실시예들에 따른 표시 기판을 설명하기 위한 평면도이다. 도 3에 도시한 표시 기판은 스위칭 소자와 데이터 라인의 배치 구조 및 화소 전극의 형상을 제외하면 도 1 및 도 2를 참조하여 설명한 표시 기판과 실질적으로 동일하거나 실질적으로 유사한 구성을 가질 수 있다.

[0058] 도 3을 참조하면, 상기 표시 기판은 스위칭 소자, 게이트 라인(235), 데이터 라인(265), 화소 전극(275), 제1 및 제2 공통 전극들(285, 290), 스토리지 커패시터(도시되지 않음) 등을 포함할 수 있다.

[0059] 예시적인 실시예들에 따르면, 상기 스위칭 소자는 인접하는 화소 영역들의 주변부들에 배치될 수 있으며, 데이터 라인(265)은 인접하는 화소 영역들 사이에 위치할 수 있다. 예를 들면, 상기 스위칭 소자는 하나의 화소 영역의 주변부로부터 인접하는 화소 영역의 주변부까지 연장될 수 있다. 즉, 인접하는 화소 영역들이 상기 스위칭 소자를 공유할 수 있다.

[0060] 상기 스위칭 소자는 제1 기판(도시되지 않음) 상에 제공될 수 있으며, 액티브 패턴(210), 게이트 전극(240), 소스 전극(255) 및 드레인 전극(260)을 구비할 수 있다. 여기서, 액티브 패턴(210)은 제1 불순물 영역(218), 제2 불순물 영역(220), 채널 영역 등을 포함할 수 있다.

[0061] 도 3에 예시적으로 도시한 바와 같이, 게이트 라인(235)은 제1 콘택을 통해 소스 전극(255)에 전기적으로 접속될 수 있으며, 제2 콘택을 통해서도 게이트 라인(235)에 전기적으로 연결될 수 있다. 게이트 라인(235)은 상기 표시 기판의 화소 영역의 중앙부에서 일차적으로 절곡될 수 있으며, 인접하는 화소 영역들 사이에서 이차적으로 절곡될 수 있다. 화소 전극(275)은 제3 콘택을 통해 드레인 전극(260)에 전기적으로 연결될 수 있으며, 실질적으로 상기 화소 영역을 커버할 수 있다. 또한, 화소 전극(275)은 상기 스위칭 소자의 소스 전극(255) 상에는 위치하지 않을 수 있다. 예를 들면, 화소 전극(275)은 소스 전극(255) 상부에서 절개되어 아래에 소스 전극(255)이 위치하는 제2 절연층(도시되지 않음) 상에는 화소 전극(275)이 배치되지 않을 수 있다. 한편, 데이터 라인(265)은 제4 콘택을 통해 게이트 전극(240)에 전기적으로 접속될 수 있다. 데이터 라인(265)은 인접하는 화소 영역들 사이에서 제1 절연층(도시되지 않음)을 개재하여 게이트 라인(235)의 절곡부 상부에 위치할 수 있다. 예를 들면, 데이터 라인(265)은 인접하는 화소 영역들 사이를 가로지르도록 배치될 수 있다.

[0062] 본 발명의 예시적인 실시예들에 따르면, 상기 스위칭 소자가 인접하는 화소 영역들 사이에 배치될 수 있기 때문에, 화소 전극(275) 및/또는 제1 및 제2 공통 전극들(285, 290)이 데이터 라인(265)과 실질적으로 중첩되지 않을 수 있다. 따라서 데이터 라인(265)과 공통 전극들(285, 290) 사이에서 커플링 커패시턴스가 발생하는 현상을 원천적으로 방지할 수 있다. 또한, 상기 스위칭 소자의 소스 전극(255) 상에는 화소 전극(275)이 배치되지 않기 때문에, 소스 전극(255)과 화소 전극(275) 사이에 절연층이 개재되지 않더라도 소스 전극(255)과 화소 전극(275) 사이에 전기적 연결이 발생하는 현상을 효과적으로 방지할 수 있다.

[0063] 도 4 내지 도 7은 본 발명의 예시적인 실시예들에 따른 표시 기판의 제조 방법을 설명하기 위한 단면도들이다. 도 4 내지 도 7에 도시한 방법에 따르면, 도 2를 참조하여 설명한 표시 기판과 실질적으로 동일하거나 실질적으로 유사한 구성을 갖는 표시 장치가 제공될 수 있지만, 제조 과정의 자명한 변경을 통하여 도 3에 도시한 표시 장치와 같이 변경된 구성을 가지는 표시 기판도 수득될 수 있음을 이해할 수 있을 것이다.

[0064] 도 4를 참조하면, 제1 기판(300) 상에 버퍼층(305)을 형성할 수 있다. 제1 기판(300)은 투명 절연 물질을 포함할 수 있다. 예를 들면, 제1 기판(300)은 유리, 석영, 투명 플라스틱, 투명 세라믹 등을 사용하여 형성될 수 있다.

[0065] 버퍼층(305)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 탄질화물, 실리콘 산탄화물 등의 실리콘 화합물을 사용하여 형성될 수 있다. 또한, 버퍼층(305)은 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PECVD) 공정, 고밀도 플라즈마-화학 기상 증착(HDP-CVD) 공정, 스핀 코팅 공정 등을 이용하여 제1 기판(300) 상에 형성될 수 있다. 예시적인 실시예들에 있어서, 버퍼층(305)은 상기 실리콘 화합물을 포함하는 단층 구조 또는 다층 구조로 형성될 수 있다. 다른 예시적인 실시예들에 있어서, 제1 기판(300)의 구성 물질 및/또는 표면 상태에 따라 제2 기판(300) 상에 버퍼층(305)이 형성되지 않을 수도 있다.

- [0066] 버퍼층(305) 상에 반도체 패턴(310)과 제1 전극(315)을 형성할 수 있다. 반도체 패턴(310)은 제1 전극(315)으로부터 소정의 간격으로 이격되어 배치될 수 있다. 예시적인 실시예들에 따르면, 버퍼층(305) 상에 반도체층(도시되지 않음)을 형성한 다음, 사진 식각 공정이나 추가적인 식각 마스크를 이용하여 식각 공정을 통해 상기 반도체층을 패터닝함으로써, 버퍼층(305) 상에 예비 반도체 패턴(도시되지 않음)과 예비 제1 전극(도시되지 않음)을 형성할 수 있다. 이 경우, 상기 반도체층은 아몰퍼스 실리콘, 불순물을 포함하는 아몰퍼스 실리콘 등을 사용하여 형성될 수 있다. 또한, 상기 반도체층은 화학 기상 증착 공정, 플라즈마 증대 화학 기상 증착 공정, 저압 화학 기상 증착(LPCVD) 공정, 스퍼터링 공정 등을 이용하여 형성될 수 있다. 상기 예비 반도체 패턴과 상기 예비 제1 전극에 대해 결정화 공정을 수행하여 버퍼층(305) 상에 반도체 패턴(310)과 제1 전극(315)을 형성할 수 있다. 상기 결정화 공정은 레이저 조사 공정, 열처리 공정, 촉매를 이용하는 열처리 공정 등을 포함할 수 있다. 여기서, 반도체 패턴(310)과 제1 전극(315)은 각기 폴리실리콘, 불순물을 포함하는 폴리실리콘, 부분 결정화 실리콘, 미세 결정들을 포함하는 실리콘 등으로 구성될 수 있다.
- [0067] 다른 예시적인 실시예들에 있어서, 버퍼층(305) 상에 상기 반도체층 및/또는 상기 예비 반도체 패턴과 상기 예비 제1 전극을 형성한 다음, 상기 반도체층 및/또는 상기 반도체 패턴과 상기 예비 제1 전극에 대해 탈수소 공정을 수행할 수 있다. 따라서 상기 반도체층 및/또는 상기 예비 반도체 패턴과 상기 예비 제1 전극 내의 수소 원자들의 농도를 감소시켜, 반도체 패턴(310)과 제1 전극(315)의 전기적인 특성을 향상시킬 수 있다.
- [0068] 도 5를 참조하면, 버퍼층(305) 상에 반도체 패턴(310) 및 제1 전극(315)을 덮는 게이트 절연층(330)을 형성할 수 있다. 게이트 절연층(330)은 실리콘 화합물, 금속 산화물 등을 사용하여 형성될 수 있다. 또한, 게이트 절연층(330)은 화학 기상 증착 공정, 스핀 코팅 공정, 플라즈마 증대 화학 기상 증착 공정, 스퍼터링 공정, 진공 증착 공정, 고밀도 플라즈마 화학 기상 증착 공정, 프린팅 공정 등을 이용하여 버퍼층(305) 상에 형성될 수 있다. 예시적인 실시예들에 있어서, 게이트 절연층(330)은 반도체 패턴(310)과 제1 전극(315)을 충분히 커버하면서 실질적으로 평탄한 상면을 가질 수 있다.
- [0069] 게이트 절연층(330) 상에는 게이트 라인(340), 게이트 전극(345) 및 제2 전극(350)이 형성될 수 있다. 게이트 라인(340), 게이트 전극(345) 및 제2 전극(350)은 각기 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 예시적인 실시예들에 따르면, 게이트 절연층(330) 상에 제1 도전층(도시되지 않음)을 형성한 다음, 사진 식각 공정 또는 추가적인 마스크를 이용하는 식각 공정을 이용하여 상기 제1 도전층을 패터닝함으로써, 게이트 라인(340), 게이트 전극(345) 및 제2 전극(350)을 형성할 수 있다. 여기서, 상기 제1 도전층은 스퍼터링 공정, 화학 기상 증착 공정, 펄스 레이저 증착(PLD) 공정, 진공 증착 공정, 원자층 적층(ALD) 공정 등을 이용하여 게이트 절연층(330) 상에 형성될 수 있다. 게이트 라인(340)과 제2 전극(350)은 각기 게이트 전극(345)을 중심으로 게이트 절연층(330)의 일측과 타측 상에 배치될 수 있다. 게이트 라인(340)은 게이트 절연층(330) 상에서 제1 방향을 따라 연장될 수 있으며, 게이트 전극(345)과는 소정의 간격으로 이격될 수 있다. 여기서, 게이트 라인(340)은 상기 표시 기관의 화소 영역의 중앙부에서 소정의 각도로 절곡되는 구조를 가질 수 있다.
- [0070] 게이트 절연층(330) 상에 제2 전극(350)이 형성됨에 따라, 버퍼층(305) 상에는 제1 전극(315), 게이트 절연층(330) 및 제2 전극(350)을 포함하는 스토리지 캐패시터가 제공될 수 있다. 예를 들면, 상기 스토리지 캐패시터는 제1 전극(315), 게이트 절연층(330)의 일부 및 제2 전극(350)으로 구성될 수 있다.
- [0071] 게이트 전극(345)을 마스크로 이용하여 반도체 패턴(310)에 불순물들을 주입하여, 스위칭 소자의 액티브 패턴(335)을 형성할 수 있다. 예를 들면, 액티브 패턴(335)은 제1 불순물 영역, 채널 영역 및 제2 불순물 영역을 포함할 수 있다. 도 5에 도시된 액티브 패턴(335)은 도 2를 참조하여 설명한 액티브 패턴(110)과 실질적으로 동일하거나 실질적으로 유사한 구성을 가질 수 있다. 예를 들면, 액티브 패턴(335)의 제1 및 제2 불순물 영역은 각기 소스 및 드레인 영역에 해당될 수 있다. 예시적인 실시예들에 있어서, 상기 스위칭 소자의 도전형(conductive type)에 따라 반도체 패턴(310)에 주입되는 불순물들의 종류가 달라질 수 있다. 예를 들면, 상기 스위칭 소자가 N형 트랜지스터를 포함할 경우, 반도체 패턴(310)에는 N형 불순물들이 주입되어 상기 제1 및 제2 불순물 영역이 형성될 수 있다. 한편, 상기 스위칭 소자가 P형 트랜지스터를 포함할 경우에는, 반도체 패턴(310)에는 P형 불순물들이 주입되어 상기 제1 및 제2 불순물 영역을 형성할 수 있다.
- [0072] 도 6을 참조하면, 게이트 절연층(330) 상에 게이트 라인(340), 게이트 전극(345) 및 제2 전극(350)을 덮는 제1 절연층(355)이 형성될 수 있다. 제1 절연층(355)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 탄질화물, 실리콘 산탄화물 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 예를 들면, 제1 절연층(355)은 실리콘 산화물막 및 실리콘 질화물막을 포함하는 다층 구조로 형성될 수 있다.

또한, 제1 절연층(355)은 스핀 코팅 공정, 화학 기상 증착 공정, 플라즈마 증대 화학 기상 증착 공정, 고밀도 플라즈마-화학 기상 증착 공정 등을 이용하여 게이트 절연층(330) 상에 형성될 수 있다. 예시적인 실시예들에 있어서, 제1 절연층(355)은 실질적으로 평탄한 상면을 가질 수 있다. 예를 들면, 제1 절연층(355)에 대해 화학 기계적 연마(CMP) 공정 및/또는 에치-백(etch-back) 공정을 수행하여, 제1 절연층(355)이 실질적으로 평탄한 상부를 가지게 할 수 있다.

[0073] 제1 절연층(355)과 게이트 절연층(330)을 부분적으로 식각하여 제1 절연층(355)에 제1 내지 제4 콘택 홀(도시되지 않음)을 형성할 수 있다. 상기 제1 내지 제4 콘택 홀은 사진 식각 공정, 추가적인 마스크를 이용하는 식각 공정 등을 통해 형성될 수 있다. 예시적인 실시예들에 따르면, 상기 제1 콘택 홀은 제1 절연층(355)과 게이트 절연층(330)을 관통하여 액티브 패턴(335)의 제1 불순물 영역을 부분적으로 노출시킬 수 있으며, 상기 제2 콘택 홀은 제1 절연층(355)을 관통하여 게이트 라인(340)의 일부를 노출시킬 수 있다. 또한, 상기 제3 콘택 홀은 제1 절연층(355)과 게이트 절연층(330)을 관통하여 액티브 패턴(335)의 제2 불순물 영역을 부분적으로 노출시킬 수 있으며, 상기 제4 콘택 홀은 제1 절연층(355)을 관통하여 게이트 전극(345)의 일부를 노출시킬 수 있다.

[0074] 제1 절연층(355) 상에 소스 전극(360), 데이터 라인(370) 및 드레인 전극(365)을 형성할 수 있다. 소스 전극(360), 드레인 전극(365) 및 데이터 라인(370)은 각기 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 예시적인 실시예들에 따르면, 상기 제1 내지 제4 콘택 홀을 채우면서 제1 절연층(355) 상에 제2 도전층(도시되지 않음)을 형성한 후, 상기 제2 도전층을 패터닝하여 상기 제1 내지 제4 콘택 홀 내에 각기 제1 내지 제4 콘택을 형성하면서 제1 절연층(355) 상에 소스 전극(360), 드레인 전극(365) 및 데이터 라인(370)을 형성할 수 있다. 즉, 소스 전극(360)은 상기 제1 콘택 및 상기 제2 콘택과 실질적으로 일체로 형성될 수 있고, 드레인 전극(365)은 상기 제3 콘택과 실질적으로 일체로 형성될 수 있다. 또한, 데이터 라인(370)은 상기 제4 콘택과 실질적으로 일체로 형성될 수 있다. 여기서, 상기 제2 도전층은 스퍼터링 공정, 화학 기상 증착 공정, 펄스 레이저 증착 공정, 진공 증착 공정, 원자층 적층 공정, 프린팅 공정 등을 이용하여 형성될 수 있다.

[0075] 도 6에 도시한 바와 같이, 소스 전극(360)의 일측은 상기 제1 콘택을 통해 액티브 패턴(335)의 제1 불순물 영역에 전기적으로 연결될 수 있으며, 소스 전극(360)의 타측은 상기 제2 콘택을 통해 게이트 라인(340)에 전기적으로 접속될 수 있다. 예를 들면, 소스 전극(360)은 액티브 패턴(335)의 상부로부터 게이트 라인(340)의 상부까지 연장될 수 있으며, 상기 제2 콘택을 통해 게이트 라인(340)과 소스 전극(360)이 서로 전기적으로 연결될 수 있다. 드레인 전극(365)은 상기 제3 콘택을 통해 액티브 패턴(335)의 제2 불순물 영역에 전기적으로 접속될 수 있다. 드레인 전극(365)은 상기 스토리지 캐패시터가 위치하는 방향을 향해 제1 절연층(355) 상으로 연장될 수 있다. 데이터 라인(370)은 상기 제4 콘택을 통해 게이트 전극(345)에 전기적으로 연결될 수 있다. 데이터 라인(370)은 게이트 라인(340)이 연장되는 상기 제1 방향에 대해 실질적으로 직교하는 제2 방향을 따라 연장될 수 있다. 여기서, 데이터 라인(370)은 게이트 라인(340)의 절곡부에 인접하여 상기 표시 기관의 화소 영역을 가로지르도록 형성될 수 있다.

[0076] 제1 절연층(355) 상에 소스 전극(360)과 드레인 전극(365)이 형성됨에 따라, 액티브 패턴(335), 게이트 절연층(330), 게이트 전극(340), 소스 전극(360) 및 드레인 전극(365)을 구비하는 상기 스위칭 소자가 제1 기관(300) 상에 제공될 수 있다. 상기 스위칭 소자에 있어서, 소스 전극(360)과 게이트 전극(340)은 각기 게이트 라인(340)과 데이터 라인(370)에 전기적으로 연결될 수 있다.

[0077] 도 7을 참조하면, 제1 절연층(355) 상에는 소스 전극(360), 데이터 라인(370) 및 드레인 전극(365)을 커버하는 제2 절연층(375)이 형성될 수 있다. 제2 절연층(375)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 탄질화물, 실리콘 산탄화물 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 또한, 제2 절연층(375)은 스핀 코팅 공정, 화학 기상 증착 공정, 플라즈마 증대 화학 기상 증착 공정, 고밀도 플라즈마-화학 기상 증착 공정 등을 이용하여 제1 절연층(355) 상에 형성될 수 있다. 예시적인 실시예들에 있어서, 제2 절연층(375)은 소스 전극(360), 데이터 라인(370) 및 드레인 전극(365)의 프로파일들을 따라 제1 절연층(355) 상에 균일하게 형성될 수 있다. 이에 따라 제2 절연층(375)에는 소스 전극(360), 데이터 라인(370) 및 드레인 전극(365)에 인접하는 단차부들이 생성될 수 있다.

[0078] 제2 절연층(375) 상에는 드레인 전극(365)에 전기적으로 연결되는 화소 전극(380)이 형성될 수 있다. 화소 전극(380)은 상기 표시 기관의 화소 영역을 실질적으로 커버할 수 있다. 화소 전극(380)은 투명 도전성 물질을 사용하여 형성될 수 있다. 예시적인 실시예들에 따르면, 사진 식각 공정, 추가적인 마스크를 사용하는 식각 공정 등을 통해 제2 절연층(375)을 부분적으로 식각하여 드레인 전극(365)의 연장부를 노출시키는 제5 콘택 홀(도시되

지 않음)을 형성한 다음, 상기 제5 콘택 홀을 채우면서 제2 절연층(375) 상에 제3 도전층(도시되지 않음)을 형성할 수 있다. 여기서, 상기 제3 도전층은 스퍼터링 공정, 화학 기상 증착 공정, 원자층 적층 공정, 프린팅 공정, 진공 증착 공정, 펄스 레이저 증착 공정 등을 이용하여 제2 절연층(375) 상에 형성될 수 있다. 상기 제3 도전층을 패터닝하여 상기 제5 콘택 홀 내에 제5 콘택을 형성하면서 제2 절연층(375) 상에 화소 전극(380)을 형성할 수 있다. 이 경우, 화소 전극(380)은 상기 제5 콘택과 실질적으로 일체로 형성될 수 있다.

[0079] 제2 절연층(375) 상에는 화소 전극(380)을 커버하는 제3 절연층(385)이 형성될 수 있다. 제3 절연층(385)은 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물, 실리콘 탄질화물, 실리콘 산탄화물 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 또한, 제3 절연층(385)은 스핀 코팅 공정, 화학 기상 증착 공정, 플라즈마 증대 화학 기상 증착 공정, 고밀도 플라즈마-화학 기상 증착 공정 등을 이용하여 제2 절연층(375) 상에 형성될 수 있다. 예시적인 실시예들에 따르면, 제3 절연층(375)은 화소 전극(380)의 프로파일을 따라 제2 절연층(375) 상에 컨포멀하게(conformally) 형성될 수 있다. 따라서 제3 절연층(285)에는 화소 전극(380)과 제2 절연층(375)의 단차부들에 인접하는 단차부들이 생성될 수 있다.

[0080] 제3 절연층(385) 상에는 화소 전극(380)에 실질적으로 대향하는 복수의 제1 공통 전극들(도시되지 않음) 및 복수의 제2 공통 전극들(도시되지 않음)이 형성될 수 있다. 상기 제1 및 제2 공통 전극들은 각기 투명 도전성 물질을 사용하여 형성될 수 있다. 예시적인 실시예들에 있어서, 제3 절연층(385) 상에 제4 도전층(도시되지 않음)을 형성한 후, 상기 제4 도전층을 패터닝하여 제3 절연층(380) 상에 상기 제1 및 제2 공통 전극들을 형성할 수 있다. 상기 제4 도전층은 스퍼터링 공정, 화학 기상 증착 공정, 원자층 적층 공정, 프린팅 공, 진공 증착 공정, 펄스 레이저 증착 공정 등을 이용하여 제3 절연층(385) 상에 형성될 수 있다. 여기서, 상기 제1 및 제2 공통 전극들은 도 1 및 도 2를 참조하여 설명한 제1 및 제2 공통 전극들(185, 190)과 실질적으로 동일하거나 실질적으로 유사한 구성들을 가질 수 있다.

[0081] 도 8은 본 발명의 예시적인 실시예들에 따른 액정 표시 장치를 설명하기 위한 단면도이다. 도 8에 예시적으로 있어서 도시한 액정 표시 장치에 있어서, 도 2를 참조하여 설명한 표시 기관과 동일하거나 유사한 구성 요소들에 대해서는 동일한 참조 부호들을 사용하며, 이러한 구성 요소들에 대한 상세한 설명은 생략한다. 또한, 도 8에 도시한 액정 표시 장치의 표시 기관은 도 4 내지 도 7을 참조하여 설명한 표시 기관의 제조 방법과 실질적으로 동일하거나 유사한 공정들을 통해 제조될 수 있다.

[0082] 도 8을 참조하면, 상기 액정 표시 장치는, 표시 기관, 액정층(430), 제2 기관(400) 등을 구비할 수 있다. 여기서, 상기 표시 기관은 제1 기관(100), 스위칭 소자, 게이트 라인(135), 데이터 라인(165), 복수의 절연층들(150, 170, 180), 화소 전극(175), 제1 공통 전극들(185), 제2 공통 전극들(190) 등을 포함할 수 있다. 또한, 제2 기관(400)에는 제1 및 제2 공통 전극들(185, 190)에 실질적으로 대향하는 기준 전극(420)이 배치될 수 있다.

[0083] 제2 기관(400)과 기준 전극(420) 사이에는 컬러 필터(405)가 위치할 수 있으며, 아래에 상기 스위칭 소자가 위치하는 제2 기관(400)과 기준 전극(420) 사이에는 차광막(410)이 배치될 수 있다. 예시적인 실시예들에 있어서, 복수의 컬러 필터(405)들이 제2 기관(400) 상에 배치되어 광원(도시되지 않음)으로부터 발생되어 액정층(430)을 통과한 광을 각 색광들로 필터링할 수 있다. 예를 들면, 컬러 필터(405)들은 적색광을 구현하기 위한 적색 컬러 필터, 녹색광을 구현하기 위한 녹색 컬러 필터, 청색광을 구현하기 위한 청색 컬러 필터 등을 포함할 수 있다.

[0084] 예시적인 실시예들에 있어서, 제1 기관(100)의 저면 상에는 제1 편광판이 배치될 수 있다. 상기 제1 편광판은 액정층(430)에 대해 실질적으로 수직하거나 실질적으로 수평한 광축을 가질 수 있다. 또한, 제2 기관(400)의 상면 상에는 상기 제1 편광판에 실질적으로 대응하는 제2 편광판이 배치될 수 있다. 이러한 제2 편광판도 액정층(430)에 대해 실질적으로 수직하거나 실질적으로 수평한 광축을 가질 수 있다.

[0085] 기준 전극(420)과 제2 기관(400) 사이에는 컬러 필터(405)와 차광막(410)을 커버하는 절연층(415)이 위치할 수 있다. 다른 예시적인 실시예들에 따르면, 컬러 필터(405)와 차광막(410)의 구성에 따라 절연층(415)은 배치되지 않을 수도 있다. 액정층(430)은 복수의 액정 분자들을 포함할 수 있으며, 기준 전극(420)은 투명 도전성 물질로 구성될 수 있다. 예를 들면, 기준 전극(420)은 인듐 주석 산화물, 인듐 아연 산화물, 인듐 산화물, 아연 산화물, 주석 산화물, 티타늄 산화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 혼합되어 사용될 수 있다.

[0086] 본 발명의 예시적인 실시예들에 따르면, 상기 액정 표시 장치가 전술한 바와 같이 커패시팅 커패시턴스를 감소시키고 개구율을 증가시킬 수 있는 표시 기관을 포함하기 때문에, 상기 액정 표시 장치가 나타내는 영상의 휘도,

품질, 디스플레이 속도 등을 향상시킬 수 있다.

[0087] 상술한 바에 있어서, 본 발명의 예시적인 실시예들을 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

산업상 이용가능성

[0088] 본 발명의 예시적인 실시예들에 따른 표시 기판에 있어서, 게이트 라인이 스위칭 소자의 소스 전극에 전기적으로 연결될 수 있고, 데이터 라인은 상기 스위칭 소자의 게이트 전극에 전기적으로 접속될 수 있다. 따라서 상기 표시 기판의 화소 영역에서 제1 및 제2 공통 전극들과 상기 데이터 라인 사이의 커플링 커패시턴스를 크게 감소시키거나 원천적으로 차단하여 데이터 신호 지연을 방지할 수 있으며, 상기 데이터 라인과 상기 게이트 라인의 배치 구조 변경을 통하여 상기 표시 기판의 개구율을 크게 향상시킬 수 있다. 액정 표시 장치가 이러한 표시 기판을 포함할 경우, 상기 액정 표시 장치의 휘도를 증가시킬 수 있고, 영상의 디스플레이 속도와 품질을 향상시킬 수 있다.

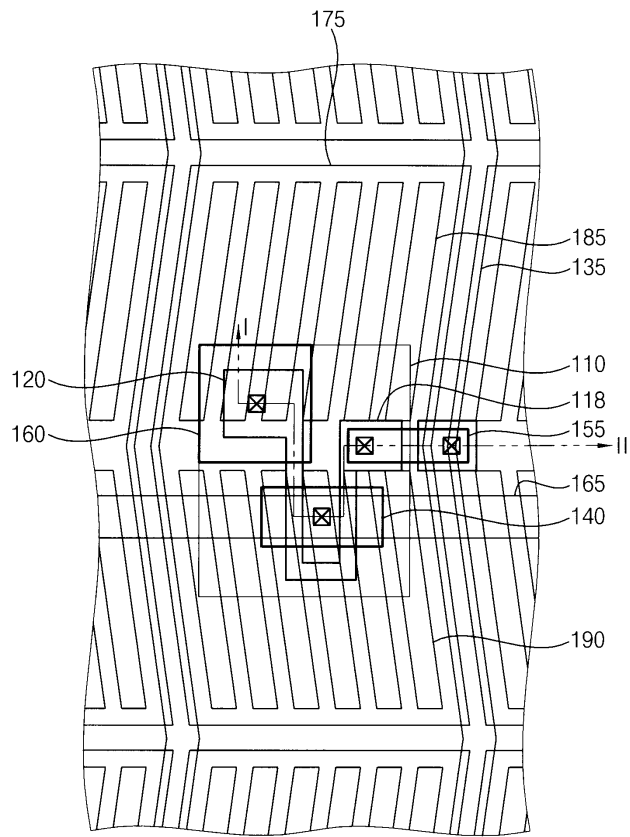
부호의 설명

[0089]

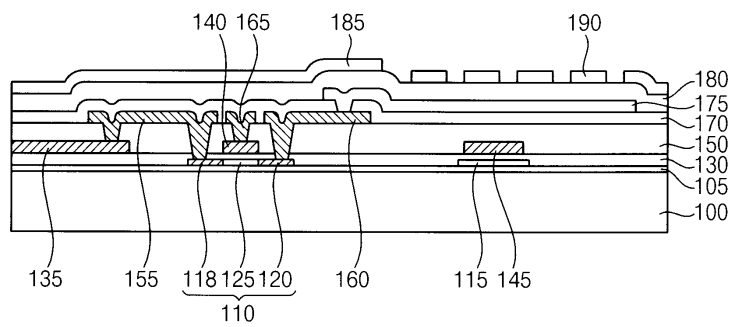
100, 300: 제1 기판	105, 305: 버퍼층
110, 210, 335: 액티브 패턴	115, 315: 제1 전극
118, 218: 제1 불순물 영역	120, 220: 제2 불순물 영역
125: 채널 영역	130, 330: 게이트 절연층
135, 235, 340: 게이트 라인	140, 240, 345: 게이트 전극
145, 350: 제2 전극	150, 355: 제1 절연층
155, 255, 360: 소스 전극	160, 260, 365: 드레인 전극
165, 265, 370: 데이터 라인	170, 375: 제2 절연층
175, 275, 380: 화소 전극	180, 385: 제3 절연층
185, 285, 390: 제1 공통 전극들	190, 290, 395: 제2 공통 전극들
400: 제2 기판	405: 컬러 필터
410: 차광막	415: 절연층
420: 기준 전극	430: 액정층

도면

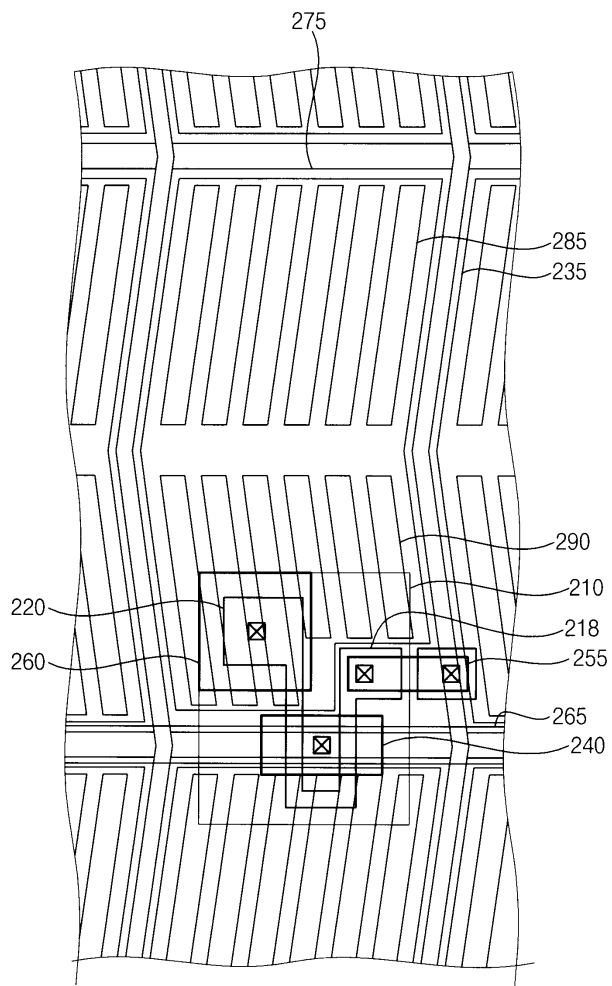
도면1



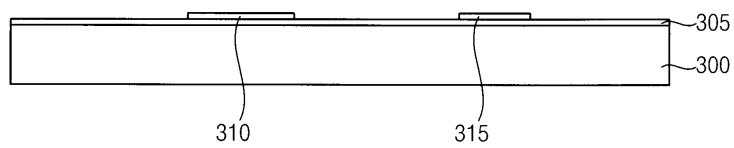
도면2



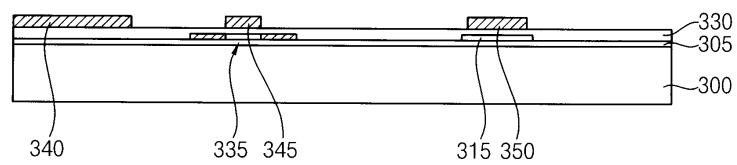
도면3



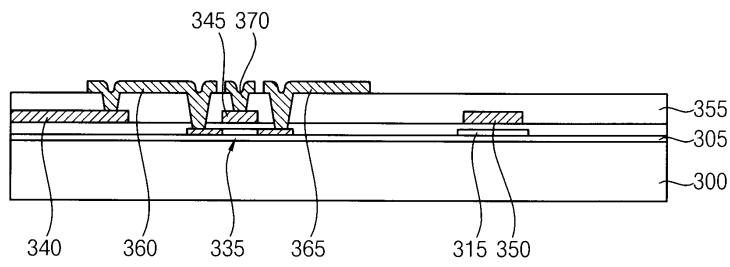
도면4



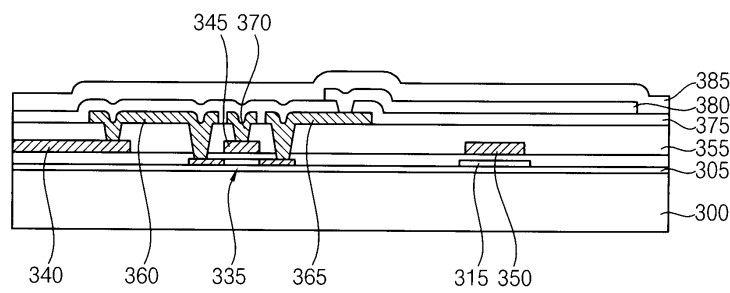
도면5



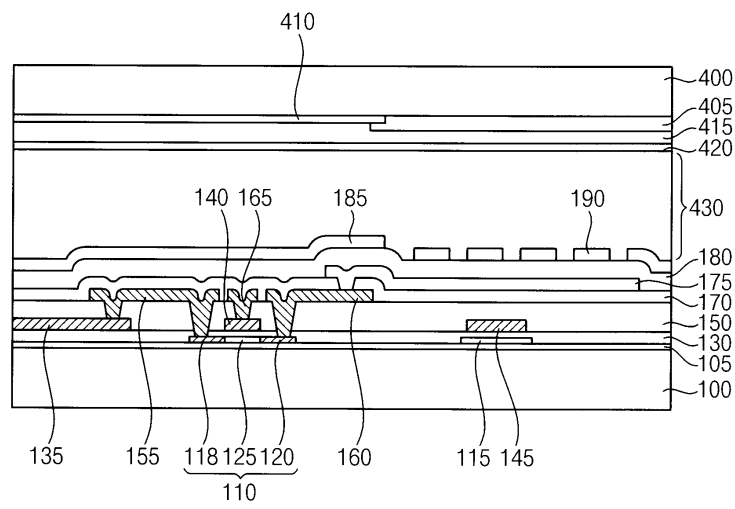
도면6



도면7



도면8



专利名称(译)	标题：显示基板，制造显示基板的方法，以及包括显示基板的液晶显示装置		
公开(公告)号	KR1020130015829A	公开(公告)日	2013-02-14
申请号	KR1020110078089	申请日	2011-08-05
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	MOON JOONG SOO 문중수 LEE DONG HOON 이동훈 JUNG YOUNG BAE 정영배 LEE EUN CHUL 이은철		
发明人	문중수 이동훈 정영배 이은철		
IPC分类号	G02F1/1343 G02F G02F1/136		
CPC分类号	H01L27/02 H01L21/77 H01L33/08 G02F2001/134318 G02F2001/134372 H01L27/124 G02F1/136286 G02F2201/40		
代理人(译)	PARK , YOUNG WOO		
外部链接	Espacenet		

摘要(译)

用于显示装置的显示基板可包括基板，开关元件，栅极线，数据线，像素电极，多个公共电极等。开关元件包括有源图案，栅极绝缘层，栅电极，以及源电极和漏电极。栅极线可以在源电极中电连接。数据线可以在栅电极中电连接。像素电极可以在漏电极中电连接。并且合作极可以布置在像素电极的上部。防止数据线和公共电极之间的耦合电容，或者减少它，并且可以防止数据信号延迟。并且，通过栅极线和数据线的布置结构交换，可以提高显示基板的开口率。

