



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0063358
(43) 공개일자 2012년06월15일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2010-0124488

(22) 출원일자 2010년12월07일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박상훈

경기도 파주시 월롱면 덕은리 정다운마을
103-1511

류원상

경기도 고양시 일산서구 일산1동 955-2번지 동양
메이저아파트 110동 1304호

(74) 대리인

특허법인네이트

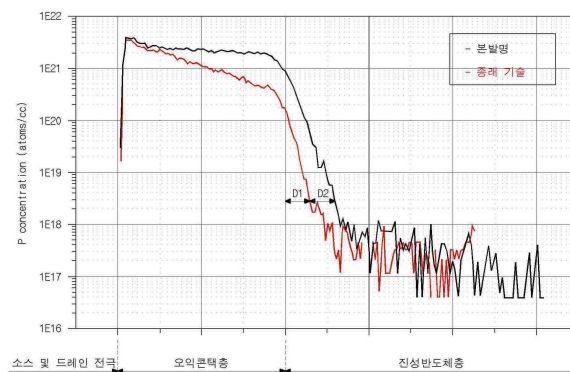
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 박막 트랜지스터 및 이를 포함한 액정표시장치와 이들의 제조방법

(57) 요약

본 발명은 소스 및 드레인 전극과 진성 반도체층 사이에 위치한 오믹 콘택층의 불순물 농도가 소스 및 드레인 전극에서 진성 반도체층의 방향으로 감소하는 기울기를 가지는 박막 트랜지스터 및 이를 포함하는 액정표시장치와 이들의 제조방법에 관한 것으로, 박막 트랜지스터의 제조방법은, 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 포함한 상기 기판 상에 게이트 절연층을 형성하는 단계; 및 상기 게이트 전극에 대응되는 게이트 절연층 상에 진성 반도체층인 제 1 반도체층과 상기 제 1 반도체층 상에 형성되고 불순물이 도핑된 제 2 반도체층을 포함하는 활성층과 상기 활성층과 연결되는 소스 및 드레인 전극을 형성하는 단계;를 포함하고, 불순물의 공급량을 순차적으로 증가시켜 상기 제 2 반도체층을 형성하는 것에 의해, 상기 제 2 반도체층의 도핑농도는 상기 제 1 반도체층과의 접면에서 상기 소스 및 드레인 전극의 접면까지 순차적으로 증가하는 것을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

기관 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 포함한 상기 기관 상에 게이트 절연층을 형성하는 단계; 및

상기 게이트 전극에 대응되는 게이트 절연층 상에 진성 반도체층인 제 1 반도체층과 상기 제 1 반도체층 상에 형성되고 불순물이 도핑된 제 2 반도체층을 포함하는 활성층과 상기 활성층과 연결되는 소스 및 드레인 전극을 형성하는 단계;

를 포함하고,

불순물의 공급량을 순차적으로 증가시켜 상기 제 2 반도체층을 형성하는 것에 의해, 상기 제 2 반도체층의 도핑농도는 상기 제 1 반도체층과의 접면에서 상기 소스 및 드레인 전극의 접면까지 순차적으로 증가하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 2

제 1 항에 있어서,

상기 제 2 반도체층의 도핑농도는 상기 제 1 반도체층과의 접면에서 최소이고, 상기 소스 및 드레인 전극의 접면에서 최대인 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 3

제 1 항에 있어서,

상기 제 2 반도체층의 도핑농도는 상기 제 1 반도체층과의 접면에서 상기 소스 및 드레인 전극의 접면까지 선형적으로 증가하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 4

제 1 항에 있어서,

상기 활성층과 상기 소스 및 드레인 전극을 형성하는 단계는,

상기 게이트 절연층 상에 상기 제 1 반도체층, 상기 제 2 반도체층 및 금속 물질층을 순차적으로 형성하는 단계;

상기 금속 물질층 상에 상기 소스 및 드레인 전극에 대응하는 제 1 감광층 패턴과 상기 제 1 감광층 패턴의 두께보다 작은 두께를 가지고 상기 소스 및 드레인 전극 사이에 대응되는 제 2 감광층 패턴을 형성하는 단계;

상기 제 1 및 제 2 감광층 패턴을 식각 마스크로 상기 제 1 및 제 2 반도체층과 상기 금속 물질층을 식각하는 단계; 및

상기 제 2 감광층 패턴을 제거하고 상기 제 1 감광층 패턴을 식각 마스크로 이용하여 상기 소스 및 드레인 전극 사이의 상기 제 1 및 제 2 반도체층을 식각하는 단계;

를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 5

기관 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 포함한 상기 기판 상에 게이트 절연층을 형성하는 단계;

상기 게이트 전극에 대응되는 게이트 절연층 상에 진성 반도체층인 제 1 반도체층과 상기 제 1 반도체층 상에 형성되고 불순물이 도핑된 제 2 반도체층을 포함하는 활성층과 상기 활성층과 연결되는 소스 및 드레인 전극을 형성하는 단계;

상기 활성층과 상기 소스 및 드레인 전극을 포함하는 상기 게이트 절연층 상에 보호층을 형성하는 단계; 및

상기 보호층 상에 상기 드레인 전극과 연결되는 화소전극을 형성하는 단계;

를 포함하고,

불순물의 공급량을 순차적으로 증가시켜 상기 제 2 반도체층을 형성하는 것에 의해, 상기 제 2 반도체층의 도핑농도는 상기 제 1 반도체층과의 접면에서 상기 소스 및 드레인 전극의 접면까지 순차적으로 증가하는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 6

기판;

게이트 전극;

게이트 전극을 포함한 기판 상의 게이트 절연층;

상기 게이트 전극에 대응되는 게이트 절연층 상에 형성되고, 불순물이 도핑되지 않은 제 1 반도체층과 상기 제 1 반도체층 상에 형성되고 불순물이 도핑된 제 2 반도체층을 포함하는 활성층; 및

상기 활성층과 연결되는 소스 및 드레인 전극;

을 포함하고,

상기 제 2 반도체층의 도핑농도는 상기 제 1 반도체층과의 접면에서 상기 소스 및 드레인 전극의 접면까지 선형적으로 증가하는 것을 특징으로 하는 박막 트랜지스터.

청구항 7

기판;

게이트 전극;

게이트 전극을 포함한 기판 상의 게이트 절연층;

상기 게이트 전극에 대응되는 게이트 절연층 상에 형성되고, 불순물이 도핑되지 않은 제 1 반도체층과 상기 제 1 반도체층 상에 형성되고 불순물이 도핑된 제 2 반도체층을 포함하는 활성층;

상기 활성층과 연결되는 소스 및 드레인 전극;

상기 활성층과 상기 소스 및 드레인 전극 상의 보호층; 및

상기 보호층 상에 형성되고 상기 드레인 전극에 연결되는 화소전극

을 포함하고,

상기 제 2 반도체층의 도핑농도는 상기 제 1 반도체층과의 접면에서 상기 소스 및 드레인 전극의 접면까지 선형적으로 증가하는 것을 특징으로 하는 액정표시장치의 어레이 기판.

명세서

기술분야

본 발명은 소스 및 드레인 전극과 진성 반도체층 사이에 위치한 오믹 콘택층의 불순물 농도가 소스 및 드레인 전극에서 진성 반도체층의 방향으로 감소하는 기울기를 가지는 박막 트랜지스터 및 이를 포함하는 액정표시장

[0001]

치와 이들의 제조방법에 관한 것이다.

배 경 기 술

- [0002] 일반적으로, 액정표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 구동된다. 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있어, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다. 따라서, 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.
- [0003] 보다 구체적으로는, 액정패널은 공간을 가지고 합착된 하부 및 상부기판과 하부 및 상부기판 사이에 개재되는 액정층을 포함하여 구성된다. 하부기판에는 수직으로 교차하여 다수의 화소영역을 정의하는 다수의 게이트 및 데이터 배선, 다수의 화소영역에 형성되는 다수의 화소전극, 및 다수의 게이트 및 데이터 배선에 연결되고 화소영역에 인가되는 데이터 신호를 스위칭하는 다수의 박막 트랜지스터가 형성된다. 상부기판에는 다수의 화소전극과 함께 액정층을 구동시키기 위한 전계를 발생시키는 공통전극, 화소영역을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스, 및 RGB의 컬러색상을 구현하기 위한 컬러필터층이 형성된다.
- [0004] 이하에서는 도면을 참조하여 종래기술에 따른 액정표시장치의 어레이 기판에 대한 제조방법을 상세하게 설명한다.
- [0005] 도 1a 내지 도 1d는 종래기술에 따른 박막 트랜지스터를 포함하는 액정표시장치의 어레이 기판에 대한 제조공정을 단계별로 도시하는 공정 단면도이다.
- [0006] 도 1a와 같이, 기판(10) 상에 게이트 전극(20)과 게이트 전극(20)을 포함한 기판(10) 상에 게이트 절연층(30)을 형성하고, 게이트 절연층(30) 상에 불순물이 도핑되지 않은 제 1 비정질 실리콘층(40) 및 N 형 불순물이 도핑된 제 2 비정질 실리콘층(42)을 순차적으로 형성하고, 제 2 비정질 실리콘층(42) 상에 금속물질층(50)을 형성한다. 제 2 비정질 실리콘층(42)은 실리콘 소스와 함께 N형 불순물은 PH_3 가스를 20초동안 500sccm으로 공급하여 형성한다.
- [0007] 도 1b와 같이, 금속 물질층(50) 상에 제 1 감광층 패턴(60a)과 제 1 감광층 패턴(60)보다 작은 두께를 가지는 제 2 감광층 패턴(60b)을 형성한다.
- [0008] 제 1 및 제 2 감광층 패턴(60a, 60b)은 금속 물질층(50) 상에 감광층(도시하지 않음)을 형성하고 하프톤 마스크를 적용한 감광층의 노광 및 현상에 의해 형성한다. 제 1 감광층 패턴(60a)의 두께는 제 2 감광층 패턴(60b)보다 두껍게 형성된다.
- [0009] 제 1 및 제 2 감광층 패턴(60a, 60b)을 식각 마스크로 사용하여 제 1 및 제 2 비정질 실리콘층(40, 42)과 금속 물질층(50)을 식각하면 도 1c와 같이, 게이트 전극(20)에 대응되는 게이트 절연층(30) 상에 제 1 및 제 2 비정질 실리콘층(40, 42)과 금속 물질층(50)으로 구성되는 패턴이 형성된다. 그리고, 제 1 및 제 2 감광층 패턴(60a, 60b)을 식각 마스크로 사용하여 제 1 및 제 2 비정질 실리콘층(40, 42)과 금속 물질층(50)을 식각하는 과정에서, 제 1 및 제 2 감광층 패턴(60a, 60b)는 최초 두께보다 얇아지고, 연속적인 식각공정의 진행으로 제 2 감광층 패턴(60b)을 완전히 제거시킨다.
- [0010] 제 1 감광층 패턴(60a)을 식각 마스크로 채널영역(CH)에 대응되는 금속 물질층(50)과 제 1 및 제 2 비정질 실리콘층(40, 42)을 식각하여, 도 1d와 같이, 활성층(70)과 소스 및 드레인 전극(80a, 80b)을 형성한다. 따라서, 도 1d에서, 기판(10) 상에는 게이트 전극(20), 게이트 절연층(30), 활성층(70), 소스 및 드레인 전극(80a, 80b)으로 구성되는 박막 트랜지스터(T)의 형성이 완료된다. 그리고, 도 1d와 같이, 박막 트랜지스터

(T)를 포함하는 게이트 절연층(30) 상에 보호층(82)을 형성하고, 보호층(82)을 선택적으로 식각하여 드레인 전극(80b)을 노출시키는 콘택홀(84)을 형성한 후, 콘택홀(84)을 통하여 드레인 전극(80b)에 연결되는 화소전극(90)을 보호층(82) 상에 형성한다.

[0011] 박막 트랜지스터(T)에서, 활성층(70)은 제 1 및 제 2 비정질 실리콘층(40, 42)으로 구성되고, 불순물이 도핑되지 않은 진성 반도체층인 제 1 비정질 실리콘층(40)은 소스 및 드레인 전극(80a, 80b) 사이에서 채널영역(CH)으로 사용되고, N 형 불순물이 도핑된 제 2 비정질 실리콘층(40)은 금속물질로 형성되는 소스 및 드레인 전극(80a, 80b)과 전기적 저항을 감소시키는 옴릭 콘택층(ohmic contact layer)으로 기능한다. 그런데, 채널영역(CH)에 대응되는 부분에, 불순물이 도핑된 제 2 비정질 실리콘층(42)이 존재하면, 박막 트랜지스터(T)가 스위칭 기능을 수행하기 어렵다. 따라서, 채널영역(CH)에 대응되는 제 2 비정질 실리콘층(42)을 제거하여야 한다.

[0012] 그리고, 도 1a와 같이, 제 2 비정질 실리콘층(42)을 형성하는 과정에서 N형 불순물의 일부가 진성 반도체층인 제 1 비정질 실리콘층(40)으로 확산된다. 따라서, 불순물이 확산된 제 1 비정질 실리콘층(40)을 제거하기 위하여, 도 1d와 같이 채널영역(CH)에서 제 2 비정질 실리콘층(42)과 함께 제 1 비정질 실리콘층(40)의 일부를 제거하는 과도식각(overetch) 공정을 수행한다. 채널영역(CH)에서 제 1 비정질 실리콘층(40)을 과도식각하지 않고, 제 2 비정질 실리콘층(42)로부터 공급된 N형 불순물이 제 1 비정질 실리콘(40)에 잔존하면, 박막 트랜지스터(T)가 오프상태(off-state)에서도 채널영역(CH)을 통하여 소스 및 드레인 전극(80a, 80b)가 도통되어 전류가 흐르는 현상이 발생될 수 있다.

[0013] 도 1a 내지 도 1d에서는 기판(10) 상에 하나의 박막 트랜지스터(T)가 형성되는 것을 도시하였으나, 실제로는 다수의 박막 트랜지스터(T)가 형성되고, 기판(10)의 위치에 따라 균일한 식각 균일도를 확보하기 어렵다. 다시 말하면, 동일한 공정조건에서 제 1 비정질 실리콘층(40)을 식각할지라도, 기판(10)의 위치에 따라, 제 1 비정질 실리콘층(40)의 식각율이 다르게 나타난다. 예를 들어, 제 1 비정질 실리콘층(40)의 식각율이 기판(10)의 중앙부보다 주변부에서 크게 되는 경우, 식각율이 가장 낮은 주변부를 기준으로 제 1 비정질 실리콘층(40)을 과도식각한다.

[0014] 따라서, 단순히 제 1 비정질 실리콘층(40)에서 불순물이 확산된 부분만이 아니라 식각 균일도를 고려하여 과도식각을 수행하기 때문에, 제 1 비정질 실리콘층(40)의 두께를 충분히 확보하여야 한다. 그런데, 제 1 비정질 실리콘층(40)의 두께가 증가되면, 증착시간 및 식각시간인 증가하고, 또한 제 1 비정질 실리콘층(40)의 두께에 비례하여 저항이 증가하여 박막 트랜지스터(T)의 특성이 저하는 문제가 있다.

발명의 내용

해결하려는 과제

[0015] 상기와 같은 문제를 해결하기 위해, 본 발명은 소스 및 드레인 전극과 진성 반도체층 사이에 위치한 옴릭 콘택층의 불순물 농도가 소스 및 드레인 전극에서 진성 반도체층의 방향으로 감소하는 도핑 프로파일을 가지게 하여, 진성 반도체층의 두께를 줄여 스위칭 특성을 개선하는 박막 트랜지스터 및 이를 포함하는 액정표시장치와 이들의 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0016] 상기와 같은 목적을 달성하기 위해, 본 발명은 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 포함한 상기 기판 상에 게이트 절연층을 형성하는 단계; 상기 게이트 전극에 대응되는 게이트 절연층 상에 진성 반도체층인 제 1 반도체층과 상기 제 1 반도체층 상에 형성되고 불순물이 도핑된 제 2 반도체층을 포함하는 활성층과 상기 활성층과 연결되는 소스 및 드레인 전극을 형성하는 단계;를 포함하고, 불순물의 공급량을

순차적으로 증가시켜 상기 제 2 반도체층을 형성하는 것에 의해, 상기 제 2 반도체층의 도핑농도는 상기 제 1 반도체층과의 접면에서 상기 소스 및 드레인 전극의 접면까지 순차적으로 증가하는 박막 트랜지스터의 제조방법을 제공한다.

[0017] 상기 제 2 반도체층의 도핑농도는 상기 제 1 반도체층과의 접면에서 최소이고, 상기 소스 및 드레인 전극의 접면에서 최대인 박막 트랜지스터의 제조방법을 제공한다.

[0018] 상기 제 2 반도체층의 도핑농도는 상기 제 1 반도체층과의 접면에서 상기 소스 및 드레인 전극의 접면까지 선형적으로 증가하는 박막 트랜지스터의 제조방법을 제공한다.

[0019] 상기 활성층과 상기 소스 및 드레인 전극을 형성하는 단계는, 상기 게이트 절연층 상에 상기 제 1 반도체층, 상기 제 2 반도체층 및 금속 물질층을 순차적으로 형성하는 단계; 상기 금속 물질층 상에 상기 소스 및 드레인 전극에 대응하는 제 1 감광층 패턴과 상기 제 1 감광층 패턴의 두께보다 작은 두께를 가지고 상기 소스 및 드레인 전극 사이에 대응되는 제 2 감광층 패턴을 형성하는 단계; 상기 제 1 및 제 2 감광층 패턴을 식각 마스크로 상기 제 1 및 제 2 반도체층과 상기 금속 물질층을 식각하는 단계; 및 상기 제 2 감광층 패턴을 제거하고 상기 제 1 감광층 패턴을 식각 마스크로 이용하여 상기 소스 및 드레인 전극 사이의 상기 제 1 및 제 2 반도체층을 식각하는 단계;를 포함하는 박막 트랜지스터의 제조방법을 제공한다.

[0020] 상기과 같은 목적을 달성하기 위해, 본 발명은 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 포함한 상기 기판 상에 게이트 절연층을 형성하는 단계; 상기 게이트 전극에 대응되는 게이트 절연층 상에 진성 반도체층인 제 1 반도체층과 상기 제 1 반도체층 상에 형성되고 불순물이 도핑된 제 2 반도체층을 포함하는 활성층과 상기 활성층과 연결되는 소스 및 드레인 전극을 형성하는 단계; 상기 활성층과 상기 소스 및 드레인 전극을 포함하는 상기 게이트 절연층 상에 보호층을 형성하는 단계; 및 상기 보호층 상에 상기 드레인 전극과 연결되는 화소전극을 형성하는 단계;를 포함하고, 불순물의 공급량을 순차적으로 증가시켜 상기 제 2 반도체층을 형성하는 것에 의해, 상기 제 2 반도체층의 도핑농도는 상기 제 1 반도체층과의 접면에서 상기 소스 및 드레인 전극의 접면까지 순차적으로 증가하는 액정표시장치용 어레이 기판의 제조방법을 제공한다.

[0021] 상기과 같은 목적을 달성하기 위해, 본 발명은 기판; 게이트 전극; 게이트 전극을 포함한 기판 상의 게이트 절연층; 상기 게이트 전극에 대응되는 게이트 절연층 상에 형성되고, 불순물이 도핑되지 않은 제 1 반도체층과 상기 제 1 반도체층 상에 형성되고 불순물이 도핑된 제 2 반도체층을 포함하는 활성층; 및 상기 활성층과 연결되는 소스 및 드레인 전극;을 포함하고, 상기 제 2 반도체층의 도핑농도는 상기 제 1 반도체층과의 접면에서 상기 소스 및 드레인 전극의 접면까지 선형적으로 증가하는 박막 트랜지스터를 제공한다.

[0022] 상기과 같은 목적을 달성하기 위해, 기판; 게이트 전극; 게이트 전극을 포함한 기판 상의 게이트 절연층; 상기 게이트 전극에 대응되는 게이트 절연층 상에 형성되고, 불순물이 도핑되지 않은 제 1 반도체층과 상기 제 1 반도체층 상에 형성되고 불순물이 도핑된 제 2 반도체층을 포함하는 활성층; 상기 활성층과 연결되는 소스 및 드레인 전극; 상기 활성층과 상기 소스 및 드레인 전극 상의 보호층; 및 상기 보호층 상에 형성되고 상기 드레인 전극에 연결되는 화소전극;을 포함하고, 상기 제 2 반도체층의 도핑농도는 상기 제 1 반도체층과의 접면에서 상기 소스 및 드레인 전극의 접면까지 선형적으로 증가하는 액정표시장치의 어레이 기판을 제공한다.

발명의 효과

[0023] 본 발명은 소스 및 드레인 전극과 진성 반도체층 사이에 위치한 오믹 콘택층의 불순물 농도가 소스 및 드레인 전극에서 진성 반도체층의 방향으로 감소하는 형태의 도핑 프로파일을 가지게 하여, 진성 반도체층이 과도식각되는 깊이를 줄일 수 있다. 과도식각되는 깊이가 줄어들며 따라 진성 반도체층의 두께가 최소화되고, 이에 따라 진성 반도체층을 증착하는 증착시간과 식각하는 식각시간이 최소화되어 전체적인 공정시간을 줄일 수 있다. 또한, 진성 반도체층의 두께가 감소되면 채널영역(CH)의 저항이 감소하여 채널영역(CH)을 이동하는 전자

의 이동도(mobility)가 증가하여 박막 트랜지스터(T)의 특성이 개선된다.

도면의 간단한 설명

- [0024] 도 1a 내지 도 1d는 종래기술에 따른 박막 트랜지스터를 포함하는 액정표시장치의 어레이 기판에 대한 제조공정을 단계별로 도시하는 공정 단면도
- 도 2a 내지 도 2d는 본 발명에 따른 박막 트랜지스터를 포함하는 액정표시장치의 어레이 기판에 대한 제조공정을 단계별로 도시하는 공정 단면도
- 도 3은 본 발명과 종래기술에 따른 옴믹 콘택층의 도핑 프로파일을 도시한 그래프

발명을 실시하기 위한 구체적인 내용

- [0025] 이하에서는 도면을 참조하여 본 발명의 실시예를 상세히 설명하기로 한다.
- [0026] 이하에서는 도면을 참조하여 본 발명에 따른 액정표시장치의 어레이 기판에 대한 제조방법을 상세하게 설명한다.
- [0027] 도 2a 내지 도 2d는 본 발명에 따른 박막 트랜지스터를 포함하는 액정표시장치의 어레이 기판에 대한 제조공정을 단계별로 도시하는 공정 단면도이다.
- [0028] 도 2a와 같이, 기판(110) 상에 게이트 전극(120)과 게이트 전극(120)을 포함한 기판(110) 상에 게이트 절연층(130)을 형성한다. 기판(110)은 유리기판을 사용하고, 게이트 절연층(130)은 실리콘 산화물(SiO_2) 또는 실리콘 질화물(SiN_x)과 같은 무기 절연물질을 일례로 PECVD와 같은 방법을 사용하여 형성한다.
- [0029] 게이트 전극(120)은 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 알루미늄 합금(AlNd) 및 크롬(Cr)과 같은 도전성 금속물 사용하여 단일층, 이중층, 또는 삼중층으로 형성할 수 있다. 게이트 전극(120)을 이중층으로 형성하는 경우, 몰리브덴(Mo) 또는 티타늄(Ti) 또는 이들의 합금으로 이루어진 하부층과 구리(Cu)로 이루어진 상부층을 포함할 수 있다.
- [0030] 게이트 전극(120)을 형성하는 방법은, 기판(110) 상에 제 1 금속 물질층(도시하지 않음)을 형성하는 단계, 제 1 금속 물질층 상에 제 1 감광층(도시하지 않음)을 형성하는 단계, 제 1 마스크(도시하지 않음)를 적용한 제 1 감광층의 노광 및 현상에 제 1 감광층 패턴(도시하지 않음)을 형성하는 단계, 제 1 감광층 패턴을 식각 마스크로 제 1 금속 물질층을 패터닝하는 단계를 포함한다. 게이트 전극(120)과 함께 게이트 배선(도시하지 않음)이 동시에 형성된다.
- [0031] 도 2b와 같이, 게이트 절연층(130) 상에 제 1 반도체층(140), 제 2 반도체층(142) 및 제 2 금속 물질층(50)을 순차적으로 형성하고, 제 2 금속 물질층(50) 상에 제 1 및 제 2 감광층 패턴(160a, 160b)을 형성한다.
- [0032] 제 1 반도체층(140)은 진성 반도체층(intrinsic semiconductor layer)이며 불순물이 도핑되지 않은 비정질 실리콘으로 형성하고, 제 2 반도체층(142)은 옴믹 콘택층(ohmic contact layer)이며 N형 불순물, 예를 들면 인(P) 또는 게르마늄(Ge)이 도핑된 비정질 실리콘으로 형성한다. 인(P)은 도핑소스로 PH_3 을 이용하고 게르마늄(Ge)은 도핑소스 GeH_4 을 이용한다. 제 1 반도체층(140)은 대략적으로 1700Å의 두께로 형성하고, 제 2 반도체층(142)은 대략적으로 300Å의 두께로 형성한다.

- [0033] 제 1 반도체층(140)은 불순물 소스를 공급하지 않고, 실리콘 소스 예를 들면 SiH_4 을 공급하여 PECVD 방법으로 형성하고, 제 2 반도체층(142)은 불순물 및 실리콘 소스를 공급하여 PECVD 방법으로 형성한다. 제 2 반도체층(142)을 형성하는 과정을 다수의 제 1 내지 제 n 구간($R1 \dots Rn$)으로 분할하고, 제 1 구간($R1$)으로부터 제 n 구간(Rn)까지 불순물 소스의 공급량은 순차적으로 증가한다. 다시 말하면, 불순물 소스의 공급량은 제 1 구간($R1$)에서 최소이고 제 n 구간(Rn)에서 최대가 된다.
- [0034] 예를 들어, 제 2 반도체층(142)을 실리콘 소스와 도핑소스로 PH_3 을 20초간 공급하여 형성하는 경우, 증착공정을 제 1 내지 제 4 구간($R1 \dots R4$)으로 구분하고, 제 1 내지 제 4 구간($R1 \dots R4$) 각각에 PH_3 을 100, 200, 300, 400 및 500sccm으로 4초간씩 공급한다. 이러한 조건으로 제 2 반도체층(142)을 형성하면, 제 1 반도체층(140)과 접면하는 제 2 반도체층(142)의 하부에는 최저의 농도로 도핑되고, 제 2 금속 물질층(150)과 접면하는 제 2 반도체층(142)의 상부는 최고의 농도로 도핑된다.
- [0035] 제 2 금속 물질층(150)은 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 알루미늄 합금(AlNd) 및 크롬(Cr)과 같은 도전성 금속을 사용하여 단일층, 이중층, 또는 삼중층으로 형성할 수 있다.
- [0036] 제 2 금속 물질층(150) 상에 형성되는 제 1 감광층 패턴(160a)의 두께는 제 2 감광층 패턴(160b)의 두께보다 크다. 제 1 및 제 2 감광층 패턴(10a, 10b)은 제 2 금속 물질층(150) 상에 제 2 감광층(도시하지 않음)을 형성하고, 하프톤 마스크를 적용한 제 2 감광층의 노광 및 현상에 의해 형성한다. 도면으로 도시하지 않았지만, 하프톤 마스크는 조사광을 모두 투과시키는 투과영역, 조사광을 완전하게 차단하는 차단영역 및 조사광의 일부를 투과시키는 반투과 영역을 포함하고, 하프톤 마스크의 차단영역에 대응되어 형성되는 제 1 감광층 패턴(160a)의 두께는 하프톤 마스크의 반투과 영역에 대응되어 형성되는 제 2 감광층 패턴(160b)의 두께보다 두껍게 형성된다. 그리고, 하프톤 마스크의 투과영역에 대응되는 제 2 감광층은 제거되어 게이트 절연층(130)이 노출된다.
- [0037] 제 1 및 제 2 감광층 패턴(160a, 160b)을 식각 마스크로 사용하여 제 1 및 제 2 반도체층(140, 142)와 제 2 금속 물질층(150)을 식각하면 도 2c와 같이, 게이트 전극(120)에 대응되는 게이트 절연층(130) 상에 제 1 및 제 2 반도체층(140, 142)과 제 2 금속 물질층(150)으로 구성되는 패턴이 형성된다. 그리고, 제 1 및 제 2 감광층 패턴(160a, 160b)을 식각 마스크로 사용하여 제 1 및 제 2 반도체층(140, 142)와 제 2 금속 물질층(150)을 식각하는 과정에서, 제 1 및 제 2 감광층 패턴(160a, 160b)의 두께는 얇아지고, 연속되는 식각과정에서 제 1 감광층 패턴(160b)는 도 2c와 같이 완전히 제거된다.
- [0038] 제 1 감광층 패턴(160a)을 식각 마스크로 채널영역(CH)에 대응되는 제 1 금속 물질층(150)과 제 1 및 제 2 반도체층(140, 142)을 식각하여, 도 2d와 같이, 활성층(170)과 소스 및 드레인 전극(180a, 180b)을 형성한다. 도 2d와 같이, 채널영역(CH)에 대응되는 제 2 반도체층(142)은 완전히 제거되고, 제 1 반도체층(140)은 일부가 제거된다. 대략적으로 1700Å의 두께로 형성된 제 1 반도체층(140)은 대략적으로 700~900Å의 깊이로 식각된다. 제 2 반도체층(142)의 형성공정에서 제 1 반도체층(140)에 확산된 불순물의 농도 및 깊이가 최소화되어, 제 1 반도체층(140)의 두께를 줄일 수 있다.
- [0039] 도 2d와 같이, 채널영역(CH)에 대응되는 제 1 및 제 2 반도체층(140, 142)을 식각하여, 활성층(170)과 소스 및 드레인 전극(180a, 180b)을 형성하면, 게이트 전극(120), 게이트 절연층(130), 활성층(170), 소스 및 드레인 전극(180a, 180b)으로 구성되는 박막 트랜지스터(T)의 형성이 완료된다. 그리고, 박막 트랜지스터(T)를 포함하는 게이트 절연층(130) 상에 보호층(182)을 형성하고, 보호층(182)을 선택적으로 식각하여 드레인 전극(180b)을 노출시키는 콘택홀(184)을 형성한 후, 콘택홀(184)을 통하여 드레인 전극(180b)에 연결되는 화소전극(190)을 보호층(182) 상에 형성한다.

[0040] 보호층(182)은 실리콘 산화물(SiO_2) 및 실리콘 질화물(SiNx)을 포함하는 무기 절연물질 또는 포토 아크릴과 벤조싸이클로부텐을 포함하는 유기절연물질을 선택하여 사용할 수 있다. 화소전극(190)은 ITO(indium tin oxide) 및 IZO(indium zinc oxide) 등과 같이 투명도전성 물질로 형성한다.

[0041] 도 2d에서, 제 2 반도체층(142)의 불순물 농도는 소스 및 드레인 전극(180a, 180b)과 접하는 상면에서 최대가 되고, 제 1 반도체층(140)과 접하는 하면에서 최소가 된다. 따라서, 제 2 반도체층(142)의 하면에서 불순물의 농도가 최소가 되기 때문에, 제 1 반도체층(140)으로 확산되는 불순물 농도를 최소화시킬 수 있다.

[0042] 도 2d에서, 제 2 반도체층(142)에 면접하는 제 1 반도체층(140)에 불순물의 확산이 최소화되기 때문에, 채널 영역(CH)에 대응되는 제 1 반도체층(140)의 과도식각 깊이를 최소화할 수 있다. 제 1 반도체층(140)의 두께는 과도식각 깊이를 고려하여 결정하는데, 과도식각의 깊이가 최소화되면, 이에 따라 제 1 반도체층(140)의 두께를 최소화할 수 있다. 그리고, 제 1 반도체층(140)의 두께가 최소화되면, 제 1 반도체층(140)을 증착하는 증착시간과 채널영역(CH)에 대응되는 제 1 반도체층(140)을 식각하는 식각시간이 최소화되어 전체적인 공정시간을 줄일 수 있다. 또한, 제 1 반도체층(140)의 두께가 감소되면 채널영역(CH)의 저항이 감소하여 채널영역(CH)을 이동하는 전자의 이동도(mobility)가 증가하여 박막 트랜지스터(T)의 특성이 개선된다.

[0043] 본 발명과 종래기술의 박막 트랜지스터 특성을 비교하면, 표 1과 같다. 본 발명과 종래기술에서 진성 반도체층의 두께는 공히 300Å의 두께로 형성한다. 본 발명의 오믹 콘택층은 증착구간을 제 1 내지 제 4 구간(R1...R4)으로 구분하고, 제 1 내지 제 4 구간(R1...R4) 각각에 PH_3 을 100, 200, 300, 400 및 500sccm으로 4초간씩 총 20초 공급하여 형성하고, 종래기술의 오믹 콘택층은 PH_3 가스를 20초동안 일괄적으로 500sccm으로 공급하여 형성한다.

표 1

구분	본 발명	종래기술
문턱전압(V)	1.49	1.48
이동도 $\text{m}^2/(\text{V}\cdot\text{sec})$	0.26	0.29
서브문턱스윙(mV/decade)	1033.01	934.87
오프전류(off current)	38.51	31.28
온전류(on current)	1.78	2.05

[0045] 본 발명과 종래기술을 비교하면, 박막 트랜지스터의 문턱전압은 거의 변하지 않았으나, 전자의 이동도, 서브문턱스윙 및 오프전류는 증가하고, 또한 온전류가 감소하여 박막 트랜지스터의 특성이 개선되는 것을 알 수 있다.

[0046] 도 3은 본 발명과 종래기술에 따른 오믹 콘택층의 도핑 프로파일을 도시한 그래프이다.

[0047] x 축은 확산깊이를 나타내고, y축은 도핑농도를 나타낸다. x축에는 순차적으로 배열된 소스 및 드레인 전극, 오믹 콘택층, 및 진성 반도체층의 두께를 도시한다. 그리고, 적색은 본 발명의 도핑농도를 나타내고 흑색은 종래기술의 도핑농도를 나타낸다. 본 발명의 오믹 콘택층은 증착구간을 제 1 내지 제 4 구간(R1...R4)으로 구분하고, 제 1 내지 제 4 구간(R1...R4) 각각에 PH_3 을 100, 200, 300, 400 및 500sccm으로 4초간씩 공급하여 형성하고, 종래기술의 오믹 콘택층은 PH_3 가스를 20초 동안 500sccm으로 공급하여 형성한다.

[0048] 본 발명의 오믹 콘택층은 소스 및 드레인 전극과 접하는 상부표면에서 진성 반도체층과 접하는 하부표면까지 도핑농도가 선형적 형태로 감소한다. 본 발명의 진성 반도체층에 불순물이 확산된 제 1 확산깊이(D1)는 종래기술의 진성 반도체층에 불순물이 확산된 제 2 확산깊이(D2)와 비교하여 절반정도 감소하였음을 알 수 있다.

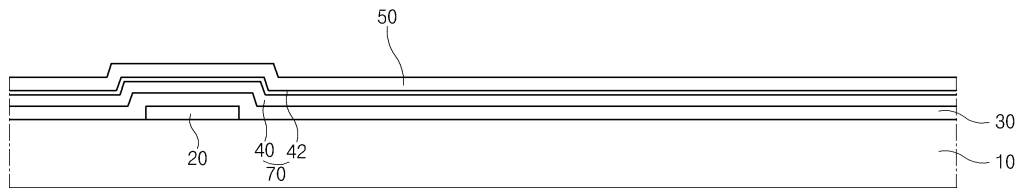
그러나, 종래기술의 오믹 콘택층은 소스 및 드레인 전극과 접하는 상부표면에서 진성 반도체층과 접하는 하부 표면까지 도핑농도가 거의 균일하게 유지되고 있고, 진성 반도체층에 불순물이 확산된 제 2 확산깊이(D2)가 본 발명의 제 1 확산깊이(D1)과 비교하여 상대적으로 길어진 것을 알 수 있다.

[0049] 진성 반도체층에 불순물의 확산깊이가 깊어질수록, 진성 반도체층의 과도식각의 깊이는 깊어져야 하고, 과도 식각의 깊이를 고려하여 진성 반도체층의 두께는 두꺼워져야 한다. 그러나, 본 발명은 진성 반도체층에 확산된 불순물의 확산깊이가 종래기술과 비교하여 감소되었기 때문에, 과도식각의 깊이가 감소하고 이에 따라 진성 반도체층의 두께를 감소시킬 수 있다.

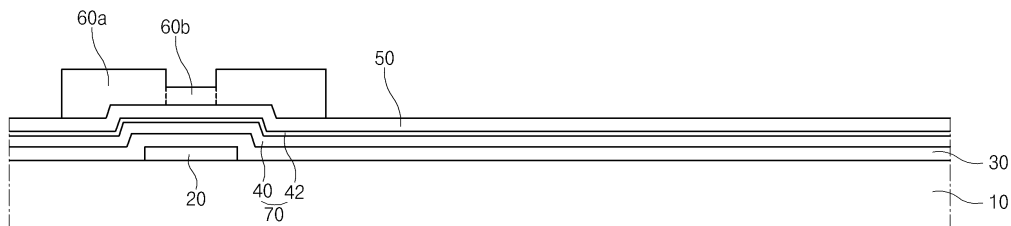
[0050] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

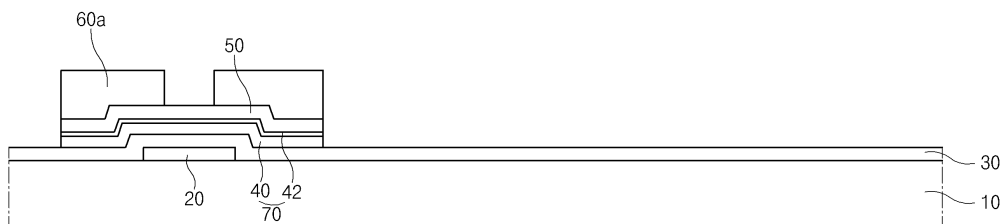
도면1a



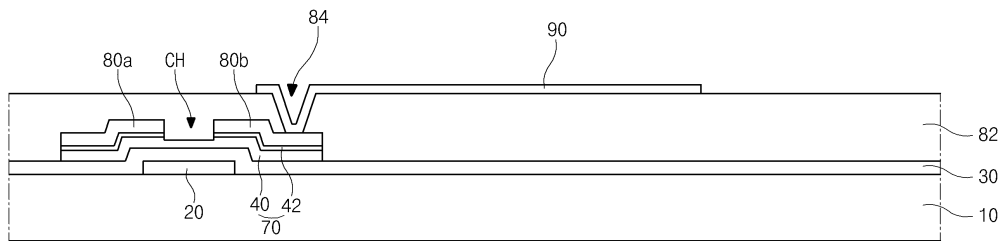
도면1b



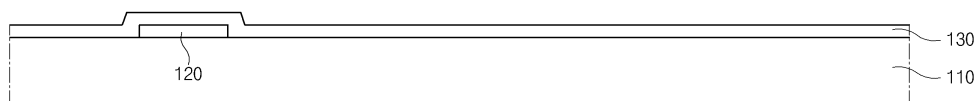
도면1c



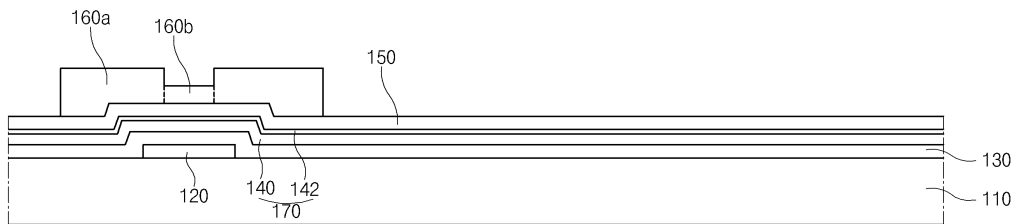
도면1d



도면2a



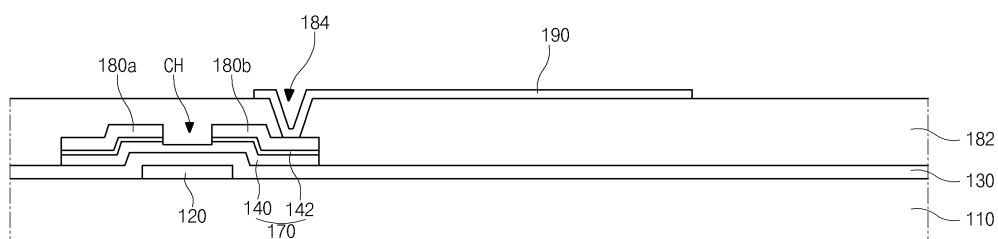
도면2b



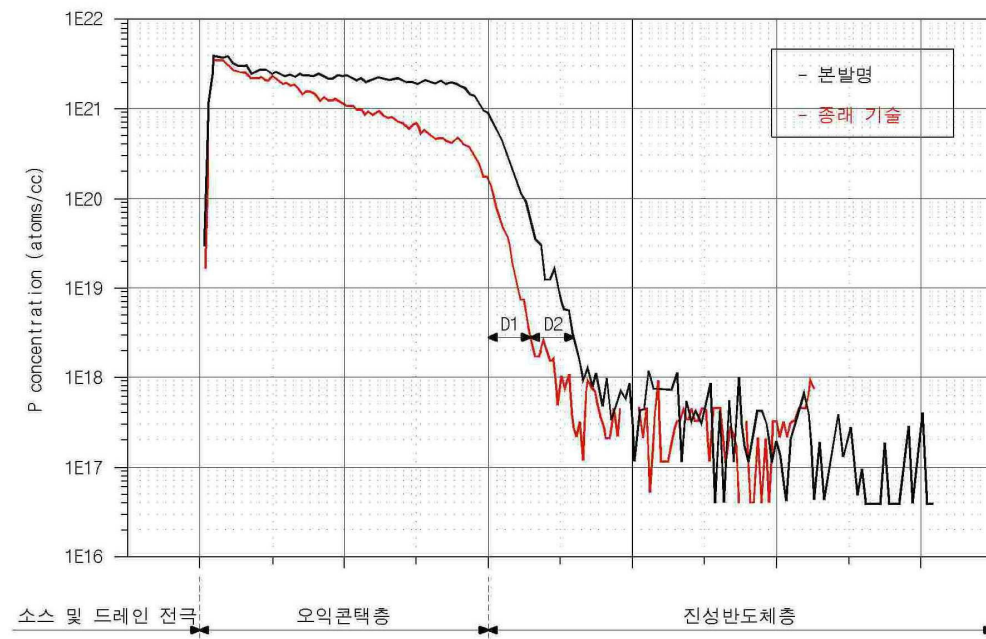
도면2c



도면2d



도면3



专利名称(译)	薄膜晶体管，包括该薄膜晶体管的液晶显示器及其制造方法		
公开(公告)号	KR1020120063358A	公开(公告)日	2012-06-15
申请号	KR1020100124488	申请日	2010-12-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK SANG HOON 박상훈 RYU WON SANG 류원상		
发明人	박상훈 류원상		
IPC分类号	G02F1/136 H01L29/786		
CPC分类号	H01L29/458 H01L29/66765 H01L29/06 G02F1/1368		
其他公开文献	KR101884796B1		
外部链接	Espacenet		

摘要(译)

用途：提供薄膜晶体管，具有该薄膜晶体管的液晶显示装置及其制造方法，以减小本征半导体层的厚度，从而增强开关特性。组成：制造薄膜晶体管的方法包括：以下步骤。在基板上形成栅电极。利用栅电极在衬底上形成栅极绝缘层。第一半导体层是栅极绝缘层上的本征半导体层。在第一半导体层上形成第二半导体层。杂质掺杂在第二半导体层中。有源层包括第二半导体层。源极和漏极连接到有源层。

