



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0094967
(43) 공개일자 2011년08월24일

(51) Int. Cl.

G09G 3/36 (2006.01)

(21) 출원번호 10-2010-0014728

(22) 출원일자 2010년02월18일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

고재홍

서울특별시 강동구 성내3동 410-16 한솔아파트 101-1004

김도윤

경기도 화성시 병점동 201-2 신미주아파트 105-1203

(뒷면에 계속)

(74) 대리인

리엔특허법인

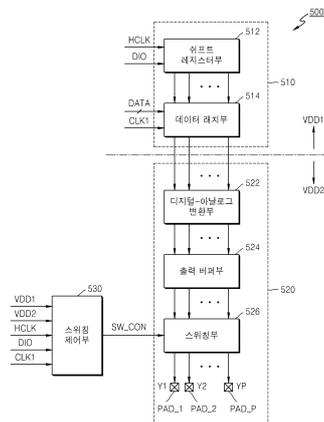
전체 청구항 수 : 총 10 항

(54) 액정 패널 구동 방법, 이를 구현하는 소스 드라이버 및 액정 표시 장치

(57) 요약

본 발명은 액정 표시 장치 구동 기술에 관한 것으로, 구체적으로는 파워-온 또는 파워-오프시 액정 패널에 의도하지 않은 영상 데이터가 디스플레이되는 것이 방지되는 액정 구동 방법, 이를 구현하는 소스 드라이버 및 액정 표시 장치에 관한 것이다. 본 발명의 일실시예에 따른 소스 드라이버는 복수 개의 출력 버퍼들, 복수 개의 출력 패드들 및 상기 복수 개의 출력 버퍼들과 상기 복수 개의 출력 패드들 사이에 위치하여, 상기 복수 개의 출력 패드들의 전기적 연결상태를 제어하는 스위칭부를 포함한다. 상기 스위칭부는, 전원 전압의 레벨-업(level-up) 또는 레벨-다운(level-down)이 감지되면 미리 정해진 구간 동안 상기 복수 개의 출력 버퍼들의 출력 신호들이 대응되는 상기 출력 패드를 통하여 상기 액정 패널에 전달되는 것을 차단하면서, 상기 복수 개의 출력 패드들을 서로 연결하는 것과 상기 복수 개의 출력 패드들로부터 접지로의 방전 경로를 제공하는 것 중 적어도 어느 하나를 수행하는 것을 특징으로 한다.

대표도 - 도5



(72) 발명자

노호학

경기도 용인시 수지구 풍덕천2동 주공1단지아파트
103-901

전기문

경기도 성남시 분당구 정자동 정든마을우성4단지아
파트 401-1005

유재석

서울특별시 마포구 망원1동 511 함성월드빌2차
101-803

특허청구의 범위

청구항 1

액정 패널의 소스 라인을 구동하는 소스 드라이버에 있어서,

복수 개의 출력 버퍼들;

복수 개의 출력 패드들; 및

상기 복수 개의 출력 버퍼들과 상기 복수 개의 출력 패드들 사이에 위치하여, 상기 복수 개의 출력 패드들의 전기적 연결상태를 제어하는 스위칭부를 포함하고,

상기 스위칭부는, 전원 전압의 레벨-업(level-up) 또는 레벨-다운(level-down)이 감지되면 미리 정해진 구간 동안 상기 복수 개의 출력 버퍼들의 출력 신호들이 대응되는 상기 출력 패드를 통하여 상기 액정 패널에 전달되는 것을 차단하면서, 상기 복수 개의 출력 패드들을 서로 연결하는 것과 상기 복수 개의 출력 패드들로부터 접지로의 방전 경로를 제공하는 것 중 적어도 어느 하나를 수행하는 것을 특징으로 하는 소스 드라이버.

청구항 2

제 1 항에 있어서, 상기 스위칭부는

각각 상기 전원 전압의 레벨-업(level-up) 또는 레벨-다운(level-down)이 감지되면 상기 복수 개의 출력 버퍼들 중 대응되는 출력 버퍼의 출력 단자와 상기 복수 개의 출력 패드 중 대응되는 출력 패드와의 연결이 차단(턴-오프)되도록 하는 복수 개의 제 1 스위치들;

각각 상기 전원 전압의 레벨-업(level-up) 또는 레벨-다운(level-down)이 감지되면 상기 복수 개의 출력 패드들 중 대응되는 두 개의 출력 패드들이 서로 연결(턴-온)되도록 하는 복수 개의 제 2 스위치들; 및

상기 전원 전압의 레벨-업(level-up) 또는 레벨-다운(level-down)이 감지되면 상기 복수 개의 출력 패드들을 접지 단자와 연결(턴-온)되도록 하는 적어도 하나의 제 3 스위치를 포함하는 것을 특징으로 하는 소스 드라이버.

청구항 3

제 2 항에 있어서,

상기 복수 개의 제 1 스위치들, 상기 복수 개의 제 2 스위치들, 및 상기 적어도 하나의 제 3 스위치를 제어하는 스위칭 제어 신호를 생성하는 스위칭 제어부를 더 포함하는 것을 특징으로 하는 소스 드라이버.

청구항 4

제 3 항에 있어서, 상기 스위칭 제어부는

상기 전원 전압의 레벨-업(level-up) 또는 레벨-다운(level-down)을 감지하여 리셋 신호를 생성하는 전원 감지부; 및

상기 리셋 신호에 응답하여 초기화된 후 외부로부터 입력되는 적어도 하나의 제어 신호에 응답하여 상기 스위칭 제어 신호를 출력하는 스위칭 제어 신호 생성부를 포함하는 것을 특징으로 하는 소스 드라이버.

청구항 5

제 4 항에 있어서, 상기 스위칭 제어 신호 생성부는

상기 리셋 신호에 응답하여 초기화되고, 상기 적어도 하나의 제어 신호가 n (n은 자연수)회 토글링(Toggling)된

후에 이전의 출력 레벨이 반전되는 것을 특징으로 하는 소스 드라이버.

청구항 6

제 5 항에 있어서,

상기 전원 감지부는

제 1 전원 전압의 레벨-업(level-up)에 응답하여 온 감지 신호를 생성하는 파워-온 감지부;

제 2 전원 전압의 레벨-다운(level-down)에 응답하여 오프 감지 신호를 생성하는 파워-오프 감지부;

상기 오프 감지 신호의 전압 레벨을 상기 제 1 전원 전압 레벨로 변환하여 출력하는 제 1 레벨 변환부; 및

상기 파워-온 감지부의 출력과 상기 제 1 레벨 변환부의 출력을 부정 논리 합하여 상기 리셋 신호를 생성하는 노어 게이트를 포함하고,

상기 스위칭 제어 신호 생성부는

상기 리셋 신호에 응답하여 초기화되고, 상기 적어도 하나의 제어 신호가 n 회 토글링(Toggling)된 후에 이전 출력 레벨이 반전되는 검출부;

상기 검출부의 출력 레벨을 상기 제 2 전원 전압 레벨로 변환하여 출력하는 제 2 레벨 변환부; 및

상기 파워-오프 감지부의 출력과 상기 제 2 레벨 변환부의 출력을 논리 합하여 상기 스위칭 제어 신호를 생성하는 오어 게이트를 포함하는 것을 특징으로 하는 소스 드라이버.

청구항 7

제 6 항에 있어서, 상기 검출부는

상기 스위칭 제어 신호 생성부가 상기 하나의 제어 신호에 응답하여 동작하는 경우에는, 상기 리셋 신호에 응답하여 초기화되며 상기 하나의 제어 신호가 n회 토글링(Toggling)될 때마다 이전 출력 레벨이 반전되는 분주기; 및

상기 리셋 신호에 응답하여 초기화되며 상기 분주기의 출력에 응답하여 이전 출력 레벨이 반전되어 출력되는 플립-플롭을 포함하고,

상기 스위칭 제어 신호 생성부가 상기 복수 개의 제어 신호들에 응답하여 동작하는 경우에는, 각각 상기 리셋 신호에 응답하여 초기화되며 상기 대응하는 제어 신호가 n회 토글링(toggling)될 때마다 이전 출력 레벨이 반전되는 복수 개의 분주기들;

각각 상기 리셋 신호에 응답하여 초기화되며 상기 대응하는 분주기의 출력에 응답하여 이전 출력 레벨이 반전되는 복수 개의 플립-플롭; 및

상기 복수 개의 플립-플롭들의 출력을 부정 논리 곱하여 출력하는 낸드 게이트를 포함하는 것을 특징으로 하는 소스 드라이버.

청구항 8

복수 개의 게이트 라인 및 복수 개의 소스 라인이 수직으로 교차하며 그 교차부마다 스위칭 소자를 구비한 액정 셀이 배열된 액정패널;

상기 복수 개의 게이트 라인들에 스캔신호를 순차적으로 인가하는 게이트 드라이버;

수신된 디지털 영상 데이터에 상응하는 아날로그 계조 신호들을 생성하여 상기 복수 개의 소스 라인에 제공하는 소스 드라이버; 및

상기 디지털 화상 데이터를 상기 소스 드라이버에 전달하고, 상기 게이트 드라이버 및 상기 소스 드라이버를 제

어하는 타이밍 컨트롤러를 포함하고,

상기 소스 드라이버는

복수 개의 출력 버퍼들;

상기 액정 패널의 소스 라인과 연결된 복수 개의 출력 패드들; 및

상기 복수 개의 출력 버퍼들과 상기 복수 개의 출력 패드들 사이에 위치하여, 상기 복수 개의 출력 패드들의 전기적 연결상태를 제어하는 스위칭부를 포함하고,

상기 스위칭부는, 전원 전압의 레벨-업(level-up) 또는 레벨-다운(level-down)이 감지되면, 미리 정해진 구간 동안 상기 복수 개의 출력 버퍼들의 출력 신호들이 대응되는 상기 출력 패드를 통하여 상기 액정 패널에 전달되는 것을 차단하면서, 상기 복수 개의 출력 패드들을 서로 연결하는 차지 웨어링 및 상기 복수 개의 출력 패드들로부터 접지로의 방전 경로를 제공하는 디스차징 중 적어도 어느 하나를 수행하는 것을 특징으로 하는 액정 표시 장치.

청구항 9

제 8 항에 있어서,

상기 스위칭부는

각각 상기 전원 전압의 레벨-업(level-up) 또는 레벨-다운(level-down)이 감지되면 상기 복수 개의 출력 버퍼들 중 대응되는 출력 버퍼의 출력 단자와 상기 복수 개의 출력 패드 중 대응되는 출력 패드의 연결이 차단(턴-오프)되도록 하는 복수 개의 제 1 스위치들;

각각 상기 전원 전압의 레벨-업(level-up) 또는 레벨-다운(level-down)이 감지되면 상기 복수 개의 출력 패드들 중 대응되는 두 개의 출력 패드들이 서로 연결(턴-온)되도록 하는 복수 개의 제 2 스위치들; 및

상기 전원 전압의 레벨-업(level-up) 또는 레벨-다운(level-down)이 감지되면 상기 복수 개의 출력 패드들을 접지 단자와 연결(턴-온)되도록 하는 적어도 하나의 제 3 스위치를 포함하고,

상기 액정 표시 장치는

상기 복수 개의 제 1 스위치들, 상기 복수 개의 제 2 스위치들, 및 상기 적어도 하나의 제 3 스위치를 제어하는 스위칭 제어 신호를 출력하는 스위칭 제어부를 더 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 10

제 11 항에 있어서,

상기 스위칭 제어부는

상기 전원 전압의 레벨-업(level-up) 또는 레벨-다운(level-down)에 감지하여 리셋 신호를 생성하는 전원 감지부; 및

상기 리셋 신호에 응답하여 초기화된 후 외부로부터 입력되는 적어도 하나의 제어 신호에 응답하여 상기 스위칭 제어 신호를 생성하는 스위칭 제어 신호 생성부를 포함하고,

상기 스위칭 제어 신호 생성부는

상기 리셋 신호에 응답하여 초기화되고, 상기 적어도 하나의 제어 신호가 n (n은 자연수)회 토글링(Toggling)된 후에 이전의 출력 레벨이 반전되는 것을 특징으로 하는 액정 표시 장치.

명세서

기술분야

본 발명은 액정 표시 장치 구동 기술에 관한 것으로, 구체적으로는 파워-온 또는 파워-오프시 액정 패널에 의도

[0001]

하지 않은 영상 데이터가 디스플레이되는 것이 방지되는 액정 구동 방법, 이를 구현하는 소스 드라이버 및 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 도 1은 종래의 액정 표시 장치의 블록도이다. 도 1을 참조하면, 액정 표시 장치(100)는 액정 패널(140), 상기 액정 패널(140)의 게이트 라인들(G1 내지 GQ)을 순차적으로 활성화시키기 위한 게이트 드라이버(130), 상기 액정 패널(140)의 소스 라인들(Y1 내지 YP)로 아날로그 계조 신호를 인가하는 소스 드라이버(110), 외부 전압을 이용하여 필요한 동작 전압을 생성하는 구동 전압 생성부(150) 및 상기 소스 드라이버(110)와 상기 게이트 드라이버(130)의 구동 타이밍을 제어하기 위한 타이밍 컨트롤러(120)를 구비한다. 상기 액정 표시 장치(100)에 전원이 인가되면, 타이밍 컨트롤러(120)는 외부에서 액정 패널(140)에 디스플레이하고자 하는 화상 데이터를 수신 및 가공하여 소스 드라이버(110)로 제공한다. 소스 드라이버(110)는 타이밍 컨트롤러(120)로부터 제공된 화상 데이터(DATA)를 수신하고 이에 상응하는 아날로그 계조 신호를 생성하여 액정 패널(140)의 소스 라인(Y1 내지 YP)으로 제공한다. 상기 아날로그 계조 신호는 액정 패널(140)의 액정 셀(142)에 전계를 인가하게 되고, 이로 인해 액정의 광학적 특성 즉, 광 투과량이 조절되어 원하는 데이터가 액정 패널(140)에 디스플레이 되게 된다.

[0003] 그러나, 종래의 액정 표시 장치(100)에 전원이 인가되는 경우에는 세로줄 무늬 형태의 화상이 비정상적으로 디스플레이되는 현상이 나타난다. 또한 상기 액정 표시 장치(100)에 인가되던 전원이 차단되는 경우에도 세로줄 무늬 형태의 화상이 비정상적으로 디스플레이되었다가 사라지는 현상이 나타난다. 더 나아가 상기 액정 표시 장치(100)의 전원을 차단하였다가 바로 인가하는 경우에도 여전히 이러한 현상이 나타나고 있다. 상기와 같은 세로줄 무늬 형태의 화상이 디스플레이되는 것은 의도되지 않은 것이며 이로 인해 불필요한 전력 소모를 초래하고 액정 표시 장치(100)의 화질 저하를 가져 온다. 따라서, 액정 표시 장치(100)에서 전원이 인가되거나 차단되는 경우에 의도하지 않은 화상이 비정상적으로 디스플레이되는 현상을 해결하기 위한 방안이 요구된다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 과제는 전원이 인가되거나 차단되는 경우에 의도하지 않은 화상 데이터가 디스플레이되는 것을 방지하기 위한 액정 패널 구동 방법을 제공하는 것이다.

[0005] 본 발명이 해결하고자 하는 다른 과제는 상기 액정 패널 구동 방법을 구현하는 소스 드라이버를 제공하는 것이다.

[0006] 본 발명이 해결하고자 하는 또 다른 과제는 상기 액정 패널 구동 방법을 구현하는 액정 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0007] 상기 과제를 달성하기 위한 본 발명의 일실시예에 따른 액정 패널 구동 방법은 전원 전압의 레벨-업(level-up) 또는 레벨-다운(level-down)을 감지하여 리셋 신호를 생성하는 감지 단계, 및 상기 리셋 신호에 응답하여 기준 구간 동안 액정 패널의 화소 셀들에 아날로그 계조 신호가 인가되는 것을 방지하면서, 상기 액정 패널의 화소 셀들간 서로 전하를 공유하는 것과 상기 액정 패널의 화소 셀들의 전하를 접지로 방전하는 것 중 적어도 어느 하나가 수행되는 디스차징 단계를 포함하는 것을 특징으로 한다.

[0008] 상기 다른 과제를 달성하기 위한 본 발명의 일실시예에 따른 소스 드라이버는 복수 개의 출력 버퍼들, 복수 개의 출력 패드들, 및 상기 복수 개의 출력 버퍼들과 상기 복수 개의 출력 패드들 사이에 위치하여, 상기 복수 개의 출력 패드들의 전기적 연결상태를 제어하는 스위칭부를 포함하고, 상기 스위칭부는, 전원 전압의 레벨-업(level-up) 또는 레벨-다운(level-down)이 감지되면 미리 정해진 구간 동안 상기 복수 개의 출력 버퍼들의 출력 신호들이 대응되는 상기 출력 패드를 통하여 상기 액정 패널에 전달되는 것을 차단하면서, 상기 복수 개의 출력 패드들을 서로 연결하는 것과 상기 복수 개의 출력 패드들로부터 접지로의 방전 경로를 제공하는 것 중 적어도 어느 하나를 수행하는 것을 특징으로 한다.

[0009] 상기 또 다른 과제를 달성하기 위한 본 발명의 일실시예에 따른 액정 표시 장치는 복수 개의 게이트 라인 및 복수 개의 소스 라인이 수직으로 교차하며 그 교차부마다 스위칭 소자를 구비한 액정 셀이 배열된 액정패널, 상기 복수 개의 게이트 라인들에 스캔(scan) 신호를 순차적으로 인가하는 게이트 드라이버, 수신된 디지털 영상 데이

터에 상응하는 아날로그 계조 신호들을 생성하여 상기 복수 개의 소스 라인에 제공하는 소스 드라이버, 및 상기 디지털 화상 데이터를 상기 소스 드라이버에 전달하고, 상기 게이트 드라이버 및 상기 소스 드라이버를 제어하는 타이밍 컨트롤러를 포함한다. 상기 소스 드라이버는 복수 개의 출력 버퍼들, 상기 액정 패널의 소스 라인과 연결된 복수 개의 출력 패드들, 및 상기 복수 개의 출력 버퍼들과 상기 복수 개의 출력 패드들 사이에 위치하여, 상기 복수 개의 출력 패드들의 전기적 연결상태를 제어하는 스위칭부를 포함하고, 상기 스위칭부는, 전원 전압의 레벨-업(level-up) 또는 레벨-다운(level-down)이 감지되면, 미리 정해진 구간 동안 상기 복수 개의 출력 버퍼들의 출력 신호들이 대응되는 상기 출력 패드를 통하여 상기 액정 패널에 전달되는 것을 차단하면서, 상기 복수 개의 출력 패드들을 서로 연결하는 차지 셰어링 및 상기 복수 개의 출력 패드들로부터 접지로의 방전 경로를 제공하는 디스차징 중 적어도 어느 하나를 수행하는 것을 특징으로 한다.

발명의 효과

[0010] 본 발명에 따르면 전원이 인가되거나 차단되는 경우에 의도하지 않은 화상이 디스플레이 되는 것을 방지하여 저 전력 및 고품질의 액정 표시 장치를 구현할 수 있다.

도면의 간단한 설명

[0011] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

- 도 1은 종래의 액정 표시 장치의 블록도이다.
- 도 2는 도 1에 개시된 소스 드라이버의 블록도이다.
- 도 3은 도 1의 액정 표시 장치가 파워-온 상태에 진입하는 경우의 동작을 보여주는 타이밍도이다.
- 도 4는 도 1의 액정 표시 장치가 파워-오프 상태에 진입하는 경우의 동작을 보여주는 타이밍도이다.
- 도 5는 본 발명의 일실시예에 따른 소스 드라이버(500)의 블록도이다.
- 도 6은 도 5에 도시된 아날로그 계조 신호 출력부(520)의 구체적인 구성을 나타내는 블록도이다.
- 도 7a는 본 발명의 일실시예에 따른 소스 드라이버의 출력 디스에이블 동작을 나타내는 도면이다.
- 도 7b는 본 발명의 일실시예에 따른 소스 드라이버의 정상 출력 동작을 나타내는 도면이다.
- 도 8은 도 5에 개시된 스위칭 제어부의 블록도이다.
- 도 9는 도 8에 개시된 스위칭 제어부의 일실시예를 나타내는 회로도이다.
- 도 10은 도 8에 개시된 스위칭 제어부의 일실시예를 나타내는 회로도이다.
- 도 11a는 도 9 및 도 10에 개시된 파워-온 감지부의 일실시예를 나타내는 회로도이다.
- 도 11b는 도 11a에 도시된 회로에 대한 시뮬레이션 결과를 나타내는 그래프이다.
- 도 12a는 도 9 및 도 10에 개시된 파워-오프 감지부의 일실시예를 나타내는 회로도이다.
- 도 12b는 도 12a에 개시된 회로에 대한 시뮬레이션 결과를 나타내는 그래프이다.
- 도 13은 본 발명의 일실시예에 따른 액정 표시 장치의 블록도이다.
- 도 14는 본 발명의 일실시예에 따른 액정 표시 장치의 블록도이다.
- 도 15는 본 발명의 일실시예에 따른 액정 표시 장치의 동작을 나타내는 타이밍도이다.
- 도 16은 전원 인가(파워-온)시 본 발명의 일실시예에 따른 액정 패널 구동 방법의 순서도이다.
- 도 17은 전원 차단(파워-오프)시 본 발명의 일실시예에 따른 액정 패널 구동 방법의 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

- [0013] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명하기로 한다.
- [0014] 도 2는 도 1에 도시된 소스 드라이버(110)의 블록도이다. 도 2를 참조하면, 소스 드라이버(110)는 제 1 전원(VDD1)에 의해 구동되는 부분으로 쉬프트 레지스터부(210) 및 데이터 래치부(220)를 포함한다. 또한, 제 1 전원(VDD1)보다 높은 전압인 제 2 전원(VDD2)에 의해 구동되는 부분으로 디지털-아날로그 변환부(230), 출력 버퍼부(240)를 포함한다.
- [0015] 쉬프트 레지스터부(210)는 디지털 화상 데이터(DATA)가 순차적으로 데이터 래치부(220)에 저장되는 타이밍을 제어한다. 데이터 래치부(220)는 쉬프트되어 출력되는 래치 신호(DIO)에 응답하여 디지털 화상 데이터(DATA)를 수신하여 저장하고, 한 개의 수평 라인에 해당하는 화상 데이터의 저장이 완료되면, 출력 제어 신호(CLK1)에 응답하여 저장된 화상 데이터(DATA)를 출력한다. 디지털-아날로그 변환부(230)는 상기 데이터 래치부(220)로부터 출력된 화상 데이터(DATA)를 수신하고, 출력 제어 신호(CLK1)에 응답하여 화상 데이터에 상응하는 아날로그 계조 신호들을 출력한다. 출력 버퍼부(240)는 디지털-아날로그 변환부(230)에서 출력된 아날로그 계조 신호를 버퍼링하여 출력한다.
- [0016] 도 3은 도 1에 도시된 액정 표시 장치(100)가 파워-온 상태에 진입하는 경우의 동작을 보여주는 타이밍도이다. 도 1 내지 도 3을 참조하면, 액정 표시 장치(100)에 전원이 인가되는 경우 제 1 전원(VDD1)과 제 2 전원(VDD2)이 소스 드라이버(110)에 공급된다. 제 1 전원(VDD1)은 소스 드라이버(110)의 로직 회로를 구동하기 위한 전원(Low Power)이고, 제 2 전원(VDD2)은 소스 드라이버(110)의 아날로그 회로를 구동하기 위한 전원(High Power)이다. 액정 표시 장치(100)는 외부에서 제공받은 제 1 전원(VDD1)을 이용하여 제 2 전원(VDD2)을 내부에서 생성한다. 따라서, 먼저 제 1 전원(VDD1)이 t1 시간에서 안정화되고, 이후 제 2 전원(VDD2)이 t2 시간에서 안정화된다. 제 1 전원(VDD1) 및 제 2 전원(VDD2)이 안정화되고 나서도 일정 시간이 지나야 디지털 화상 데이터(DATA)가 소스 드라이버(110)로 전달된다. 구체적으로, 디지털 화상 데이터(DATA), 소스 드라이버(110)의 데이터 래치(latch) 타이밍을 제어하는 래치 신호(DIO) 및 아날로그 계조 신호의 출력 타이밍을 제어하는 출력 제어 신호(CLK1)가 t3 시간에 타이밍 컨트롤러(120)에서 소스 드라이버(110)로 전달되기 시작한다. 출력 제어 신호(CLK1)는 소스 드라이버(110)의 데이터 래치부(220)에 저장된 화상 데이터에 상응하는 아날로그 계조 신호를 액정 패널(140)의 소스 라인들(Y1 내지 YP)로 인가하는 타이밍을 제어한다. 출력 제어 신호(CLK1)가 로우(Low) 레벨일 때 소스 드라이버(110)는 아날로그 계조 신호를 액정 패널(140)에 인가한다. t1-t3 구간에서는 소스 드라이버(110)가 타이밍 컨트롤러(120)로부터 디지털 화상 데이터(DATA)를 수신하지 않고 출력 제어 신호(CLK1)가 로우(Low) 레벨인 상태이므로 소스 드라이버(110)의 데이터 래치부(220)에 저장되어 있는 불분명한(Unknown) 데이터가 액정 패널(140)에 디스플레이된다. 이에 따라, 액정 패널(140)에는 세로 줄무늬 형태의 화상이 디스플레이되어 디스플레이 불량 상태에 놓이게 된다. 타이밍 컨트롤러(120)의 종류마다 다르기는 하나, 일반적으로 타이밍 컨트롤러(120)에서 액정 표시 장치(100)에 전원이 인가되는 시점과 상기 타이밍 컨트롤러(120)에서 소스 드라이버(110)로 디지털 화상 데이터(DATA)가 정상적으로 전달되기 시작하는 시점 간에는 어느 정도 차이가 존재한다. 따라서, 액정 표시 장치(100)에 전원이 인가될 때 불분명한(Unknown) 데이터가 액정 패널(140)에 디스플레이되는 것을 방지하기 위해서는 타이밍 컨트롤러(120)의 종류와 상관없이 소스 드라이버(110)로 정상적인 데이터가 들어올 때까지 소스 드라이버(110)의 출력이 액정 패널(140)에 인가되는 것을 방지할 필요가 있다.
- [0017] 도 4는 도 1에 도시된 액정 표시 장치(100)가 파워-오프 상태에 진입하는 경우의 동작을 보여주는 타이밍도이다. 도 1, 도 2 및 도 4를 참조하면, 액정 표시 장치(100)에 제공되던 전원은 t1 시간에서 차단된다. 구체적으로 t1 시간에서 고전압인 제 2 전원(VDD2)의 전압 레벨이 먼저 드랍(drop)하기 시작하고, 로직 구동 전원인 제 1 전원(VDD1)이 t3에서 드랍(drop)하기 시작한다. t1 시간 이후에는 더 이상 디지털 화상 데이터(DATA), 소스 드라이버(110)의 데이터 래치 타이밍을 제어하는 수평 시작 신호(DIO) 및 아날로그 계조 신호의 출력 타이밍을 제어하는 출력 제어 신호(CLK1)이 타이밍 컨트롤러(120)에서 소스 드라이버(110)로 전달되지 않는다.
- [0018] 소스 드라이버(110)에 제공되던 제 2 전원(VDD2)은 t1 시간에서 드랍(Drop)하기 시작하여 완만한 경사를 가지고 t2 시간에 접지 레벨로 수렴한다. 결국 t1 시간에 전원이 차단되더라도 제 2 전원(VDD2)은 t2 시간 전까지 완전히 접지 레벨로 떨어지지 않는다. t1-t2 구간에서 소스 드라이버(110)는 수평 시작 신호(DIO)가 로우 레벨이

로 디지털 화상 데이터(DATA)를 래치(latch) 하지는 않으나, 출력 제어 신호(CLK1)가 로우 레벨이므로 액정 패널(140)에는 데이터 래치부(220)에 저장된 데이터가 디스플레이된다. 이로 인해 소스 드라이버(110)는 t1-t2 구간에서 데이터 래치부(220)에 저장되어 있는 불분명한(Unknown) 데이터를 액정 패널(140)에 디스플레이하게 되어 의도하지 않은 세로줄 무늬 형태의 화상이 디스플레이된다. 따라서, 전원이 차단되는 경우(파워-오프)에도 전원이 인가되는 경우(파워-온)와 마찬가지로 불분명한(Unknown) 데이터가 액정 패널(140)에 디스플레이되는 것을 방지할 필요가 있다.

[0019] 한편, t1-t2 구간에서 불분명한(Unknown) 데이터가 액정 패널(140)에 디스플레이되는 것을 방지하더라도, 전원이 차단되는 t1 시간 이전에 액정 패널(140)의 각 액정 셀(142)들에 충전되어 있던 전하의 존재가 잔상을 유발시킬 수 있다. 액정 표시 장치(100)에 공급되던 전원이 차단되는 경우(파워-오프) 액정 패널(140)의 각 액정 셀들(142)에 충전되어 있던 전압은 완만하게 방전하게 되는데 이는 액정 셀(142)에 충전된 전압이 턴-오프된 박막 트랜지스터(TFT)의 누설 전류를 통해 접지 전위로 서서히 수렴하는 것에 기인한다. 따라서, 파워-오프 시에 불분명한(Unknown) 데이터가 액정 패널(140)에 디스플레이되는 것을 방지함과 동시에 액정 셀에 남아 있는 전하를 조속히 방전시킬 필요가 있다.

[0020] 도 5는 본 발명의 일실시예에 따른 소스 드라이버의 블록도이다. 도 5를 참조하면, 본 발명의 일실시예에 따른 소스 드라이버(500)는 디지털 데이터 수신부(510), 아날로그 계조 신호 출력부(520)를 구비한다. 디지털 데이터 수신부(510)는 제 1 전원(VDD1)에 의해 구동되는 부분으로 쉬프트 레지스터부(512) 및 데이터 래치부(514)를 포함한다. 아날로그 계조 신호 출력부(520)는 제 1 전원보다 높은 전압인 제 2 전원(VDD2)에 의해 구동되는 부분으로 디지털-아날로그 변환부(522), 출력 버퍼부(524), 스위칭부(526) 및 복수 개의 출력 패드(Pad_1 내지 Pad_P)를 포함한다.

[0021] 쉬프트 레지스터부(512)는 디지털 화상 데이터(DATA)가 순차적으로 데이터 래치부(514)에 저장되는 타이밍을 제어한다. 쉬프트 레지스터부(512)는 클럭 신호(HCLK)에 응답하여 수신된 수평 시작 신호(DIO)를 쉬프트 시킨다. 타이밍 컨트롤러(미도시)로부터 전달되는 디지털 화상 데이터(DATA)는 순차적으로 쉬프트되어 출력되는 수평 시작 신호(DIO)에 응답하여 데이터 래치부(514)에 저장된다.

[0022] 데이터 래치부(514)는 쉬프트되어 출력되는 수평 시작 신호(DIO)에 응답하여 디지털 화상 데이터(DATA)를 수신하여 저장하고, 한 개의 수평 라인에 해당하는 화상 데이터의 저장이 완료되면, 출력 제어 신호(CLK1)에 응답하여 저장된 화상 데이터(DATA)를 출력한다.

[0023] 디지털-아날로그 변환부(522)는 상기 데이터 래치부(514)로부터 출력된 화상 데이터를 수신하고, 출력 제어 신호(CLK1)에 응답하여 화상 데이터에 상응하는 아날로그 계조 신호들을 출력한다.

[0024] 출력 버퍼부(524)는 디지털-아날로그 변환부(522)에서 출력된 아날로그 계조 신호를 버퍼링하여 출력한다.

[0025] 출력 패드들(PAD_1 내지 PAD_P)은 소스 드라이버(500) 외부에서 액정 패널(미도시)의 소스 라인들이 연결되는 부분이다. 따라서, 출력 버퍼부(524)에서 버퍼링되어 출력된 아날로그 계조 신호들은 대응되는 출력 패드(PAD_1 내지 PAD_P)를 거쳐 액정 패널(미도시)의 각 소스 라인에 인가된다.

[0026] 상기 스위칭부(526)는 전원이 인가(파워-온)되거나 차단(파워-오프)되는 경우에 정상적인 데이터를 액정 패널에 디스플레이할 수 있을 때까지 출력 버퍼부(524)와 출력 패드들(PAD_1 내지 PAD_P)간의 연결을 차단한다. 또한, 출력 버퍼부(524)와 출력 패드들(PAD_1 내지 PAD_P)간의 연결이 차단된 상태에서 액정 패널(미도시)의 소스 라인들을 서로 연결하여 차지 셰어링(Charge Sharing)을 수행하고, 액정 패널(미도시)의 액정 셀에 잔존하는 전하를 접지로 방전시킨다.

[0027] 본 발명의 일실시예에 따른 소스 드라이버(500)는 상기 스위칭부(526)를 제어하는 스위칭 제어부(530)를 더 구비할 수 있다. 상기 스위칭 제어부(530)는 전원이 인가(파워-온)되거나 차단(파워-오프)되는 것을 감지하고, 소스 드라이버(500)를 제어하기 위해 타이밍 컨트롤러(미도시)에서 생성된 제어 신호들, 예를 들면 클럭 신호(HCLK), 수평 시작 신호(DIO) 및 출력 제어 신호(CLK1) 등에 응답하여 상기 스위칭부(526)를 제어하기 위한 스위칭 제어 신호(SW_CON)를 생성한다.

[0028] 도 6은 도 5에 개시된 아날로그 계조 신호 출력부(520)의 일실시예를 나타내는 블록도이다. 도 6을 참조하면, 아날로그 계조 신호 출력부(520)는 디지털-아날로그 변환부(522), 출력 버퍼부(524), 스위칭부(526), 복수 개의

출력 패드(Pad₁ 내지 Pad_P)를 구비한다. 디지털-아날로그 변환부(522)는 복수 개의 DAC(DAC₁ 내지 DAC_P)을 구비한다. 출력 버퍼부(524)는 복수 개의 앰프(Amp₁ 내지 Amp_P)를 구비한다. 스위칭부(526)는 스위칭 제어 신호(SW_CON)에 응답하여 앰프(Amp)와 대응하는 출력 패드(Pad₁ 내지 Pad_P)를 서로 연결하거나 차단하는 복수 개의 출력 스위치들(SW₁ 내지 SW_P), 스위칭 제어 신호(SW_CON)에 응답하여 상기 출력 패드들을 서로 연결하거나 차단하는 복수 개의 차지 쉐어링 스위치(SW₂ 내지 SW_{2P}) 및 스위칭 제어 신호(SW_CON)에 응답하여 상기 출력 패드(Pad₁ 내지 Pad_P)에 연결된 액정 패널(미도시)의 액정 셀들의 전하를 접지로 방전시키기 위한 방전 스위치들(SW₃ 내지 SW_{3P})을 구비한다. 도 5에는 예시적으로 상기 스위치들(SW₁, SW₂, SW₃) 모두가 스위칭 제어 신호(SW_CON)에 응답하여 제어되는 것으로 도시되어 있으나 반드시 이에 한정되는 것은 아니다. 예를 들어 상기 스위치들(SW₁, SW₂, SW₃) 각각은 독립된 제어 신호에 의해서도 제어될 수도 있다. 또한, 도 5에는 예시적으로 출력 패드(Pad₁ 내지 Pad_P)마다 방전 스위치(SW₃)가 연결되는 것으로 도시되어 있으나 반드시 이에 한정되는 것은 아니다. 차지 쉐어링 및 방전이 함께 이루어지는 한 방전 스위치(SW₃)는 적어도 하나 이상이면 족하고 그 개수는 방전 스위치의 전기적 특성에 따라 얼마든지 조절이 가능하다고 할 것이다.

[0029] 도 7a 및 도 7b는 본 발명의 일실시예에 따른 소스 드라이버의 스위칭 동작을 나타내는 도면이다. 도 7a를 참조하면, 출력 스위치(SW₁)는 하이 레벨의 스위칭 제어 신호(SW_CON)에 응답하여 오프(Off)되고, 차지 쉐어링 스위치(SW₂) 및 방전 스위치(SW₃)는 하이 레벨의 스위칭 제어 신호(SW_CON)에 응답하여 온(On)되므로, 각 출력 패드들(Pad₁ 내지 Pad_P)은 서로 차지 쉐어링 스위치(SW₂)를 통하여 접속되고, 액정 패널의 소스 라인(Y₁ 내지 Y_P)에 접속된 각 액정 셀들의 전하가 방전 스위치(SW₃)를 통하여 접지로 방전된다.

[0030] 도 7b를 참조하면, 차지 쉐어링 스위치(SW₂) 및 방전 스위치(SW₃)는 로우 레벨의 스위칭 제어 신호(SW_CON)에 응답하여 오프(Off)되고, 출력 스위치(SW₁)는 로우 레벨의 스위칭 제어 신호(SW_CON)에 응답하여 온(On)되므로 각 출력 앰프(AMP)는 스펙에 상응하는 특성을 가지고 소정의 전하를 액정 패널의 소스 라인(Y₁ 내지 Y_P)에 접속된 액정 셀에 충전한다.

[0031] 도 8은 도 5에 개시된 스위칭 제어부의 블록도이다. 도 8을 참조하면, 스위칭 제어부(530)는 전원 감지부(810) 및 스위칭 제어 신호 생성부(820)를 구비한다. 전원 감지부(810)는 전원이 인가되었는지 또는 전원이 차단되었는지 여부를 체크하여 스위칭 제어 신호 생성부(820)로 오프 감지 신호(POFF)와 리셋 신호(RST)를 전송한다. 리셋 신호(RST)는 전원이 인가된 경우 또는 전원이 차단된 경우에 1회 토글링(Toggling)될 수 있다. 오프 감지 신호(POFF)는 전원이 차단된 경우에 1회 토글링(Toggling)될 수 있다.

[0032] 스위칭 제어 신호 생성부(820)는 전원 감지부(810)에서 전달된 오프 감지 신호(POFF) 및 리셋 신호(RST)를 수신하고, 타이밍 컨트롤러(미도시)로부터 전송되는 클럭 신호(HCLK), 수평 시작 신호(DIO) 및 출력 제어 신호(CLK₁)에 응답하여 스위칭 제어 신호(SW_CON)를 생성한다.

[0033] 도 9는 도 8에 개시된 스위칭 제어부(530)의 일실시예를 나타내는 블록도이다. 도 8을 참조하면, 스위칭 제어부(530)는 전원 감지부(810) 및 스위칭 제어 신호 생성부(820)를 구비한다.

[0034] 전원 감지부(810)는 전원이 인가되었는지 또는 전원이 차단되었는지 여부를 체크하여 스위칭 제어 신호 생성부(820)로 오프 감지 신호(POFF)와 리셋 신호(RST)를 전송한다. 구체적으로 전원 감지부(810)는 제 2 전원(VDD₁)으로 구동되는 파워-오프 감지부(812), 제 1 전원(VDD₁)으로 구동되는 파워-온 감지부(814), 제 1 레벨 변환부(816) 및 제 1 전원(VDD₁)으로 구동되는 노어 게이트(NR)를 구비할 수 있다. 파워-온 감지부(814)는 제 1 전원(VDD₁) 전압의 레벨-업(level-up)에 응답하여 온 감지 신호(PON)를 생성한다. 전원이 인가되어 액정 표시 장치(미도시)가 파워-온 상태에 진입하는 경우, 제 2 전원(VDD₂)은 제 1 전원(VDD₁)을 이용하여 생성되므로 제 1 전원(VDD₁)의 전압 레벨이 먼저 상승하게 된다. 따라서, 파워-온 감지부(814)는 제 1 전원(VDD₁)의 레벨-업(level-up)을 감지하여 하이 레벨의 온 감지 신호(PON)를 생성한다. 파워-오프 감지부(812)는 제 2 전원(VDD₂) 전압의 레벨-다운(level-down)에 응답하여 오프 감지 신호(POFF)를 생성한다. 액정 표시 장치(미도시)가 파워-오프 상태에 진입하는 경우, 제 2 전원(VDD₂)의 레벨-다운(level-down)을 감지하여 하이 레벨의 오프 감지 신호(POFF)를 생성한다. 파워-오프 감지부(812)는 제 2 전원(VDD₂)으로 구동되므로 오프 감지 신호(POFF)의 전압 레벨은 제 1 전원으로 구동되는 파워-온 감지부(814)의 온 감지 신호(PON)의 전압 레벨 보다 높다. 제 1 레벨 변환부(816)는 오프 감지 신호(POFF)의 전압 레벨을 온 감지 신호(PON)의 전압 레벨로 낮춘다. 노어 게이트(NR)는

레벨 변환된 오프 감지 신호(POFF)와 온 감지 신호(PON)를 부정 논리 합하여 리셋 신호(RST)를 출력한다. 따라서, 전원 감지부(810)는 액정 표시 장치(미도시)가 파워-온 상태에 진입하는 경우 및 액정 표시 장치(미도시)가 파워-오프 상태에 진입하는 경우에 로우 레벨의 리셋 신호(RST)를 출력한다.

[0035] 스위칭 제어 신호 생성부(820)는 전원 감지부(810)에서 전달된 오프 감지 신호(POFF) 및 리셋 신호(RST)를 수신하고, 타이밍 컨트롤러(미도시)로부터 전송되는 출력 제어 신호(CLK1)에 응답하여 스위칭 제어 신호(SW_CON)를 생성한다. 구체적으로 스위칭 제어 신호 생성부(820)는 검출부(822), 제 2 레벨 변환부(828) 및 오어 게이트(OR)를 구비할 수 있다. 검출부(822)는 전원 감지부(810)에서 출력되는 리셋 신호(RST)에 응답하여 초기화되고, 출력 제어 신호(CLK1)가 미리 정해진 회수만큼 토글링(Toggling)되면 검출 신호(CLK1_EN)의 레벨을 반전한다. 예를 들어 출력 제어 신호(CLK1)가 16회 토글링(Toggling)한 후에 검출 신호(CLK1_EN)를 출력하도록 설정하면, 검출 신호(CLK1_EN)는 리셋 신호(RST)에 응답하여 로우 레벨로 초기화된 후, 출력 제어 신호(CLK1)의 토글링(Toggling)이 16까지 카운트되면 하이 레벨의 검출 신호(CLK1_EN)를 출력한다. 검출부(822)는 분주기(824) 및 플립-플롭(826)을 구비할 수 있다. 분주기(824)는 로우 레벨의 리셋 신호(RST)에 응답하여 초기화되고, 입력 신호의 토글링(Toggling) 횟수를 카운트하여 미리 정해진 회수만큼 토글링(Toggling)되면 이전 출력 레벨을 반전시킨다. 플립-플롭(826)은 로우 레벨의 리셋 신호(RST)에 응답하여 초기화되고, 클럭 단자로 입력되는 분주기(824)의 출력에 응답하여 데이터 입력 단자에 인가되는 값을 래치(Latch)한다. 플립-플롭(826)은 분주기(824) 출력의 레벨 천이에 응답하여 이전 출력 레벨을 반전시키도록 구성될 수 있다. 따라서, 도 9의 플립-플롭(826)은 토글링(Toggling) 하는 출력 제어 신호(CLK1)가 데이터 입력 단자에 인가되는 것으로 도시되어 있으나, 셋업(set-up) 타임 및 홀드(hold) 타임의 마진을 충분히 확보하기 위해 제 1 전원(VDD1)이 데이터 입력 단자에 인가되는 것으로 할 수 있다. 제 2 레벨 변환부(828)는 검출 신호(CLK1_EN)의 전압 레벨을 변환하여 출력한다. 검출부(822)는 제 1 전원(VDD1)으로 구동되므로 검출 신호(CLK1_EN)의 전압 레벨은 제 2 전원(VDD2)의 전압 레벨보다 낮다. 스위칭 제어 신호(SW_CON)에 의해 제어되는 도 5의 스위칭부(526)는 제 2 전원(VDD2)으로 구동되는 아날로그 계조 신호 출력부(520)에 포함되므로, 검출 신호(CLK1_EN)의 전압 레벨을 제 2 전원(VDD2)의 전압 레벨로 승압할 필요가 있다. 오어 게이트(OR)는 파워-오프 감지부(812)에서 생성된 오프 감지 신호(POFF)와 제 2 레벨 변환부(828)의 출력을 논리 합하여 스위칭 제어 신호(SW_CON)를 생성한다. 예를 들어, 액정 표시 장치(미도시)가 파워-오프 상태에 진입하거나 또는 파워-온 상태에 진입한 후 출력 제어 신호(CLK1)가 미리 지정된 횟수만큼 토글링(Toggling)되면 로우 레벨의 스위칭 제어 신호(SW_CON)를 출력한다.

[0036] 도 9의 스위칭 제어부(820)는 설명의 편의를 위해 소스 드라이버를 제어하기 위해 타이밍 컨트롤러가 생성한 복수 개의 제어 신호들 중 출력 제어 신호(CLK1)의 토글링을 카운트하는 것으로 도시되어 있으나 카운트 대상인 제어 신호의 종류나 개수가 반드시 하나의 출력 제어 신호(CLK1)에 한정되는 것은 아니라 할 것이다.

[0037] 도 10은 도 8에 개시된 스위칭 제어부(530)의 일실시예를 나타내는 블록도이다. 도 10을 참조하면, 스위칭 제어부(530)는 전원 감지부(810) 및 스위칭 제어 신호 생성부(820)를 구비한다. 도 9의 스위칭 제어부(530)와 달리 3개의 제어 신호들(CLK1, DIO, HCLK)의 토글링(Toggling) 횟수를 카운트하는 구성이다. 구체적으로, 리셋 신호(RST)에 응답하여 하이 레벨의 스위칭 제어 신호(SW_CON)를 출력하고, 출력 제어 신호(CLK1), 수평 시작 신호(DIO) 및 클럭 신호(HCLK)들 각각의 토글링(Toggling) 횟수를 카운트하여 제 1 검출 신호(CLK1_EN), 제 2 검출 신호(DIO_EN) 및 제 3 검출 신호(HCLK_EN)가 모두 하이 레벨이면 로우 레벨의 스위칭 제어 신호(SW_CON)를 출력한다.

[0038] 도 10의 스위칭 제어부는 설명의 편의를 위해 소스 드라이버를 제어하기 위해 타이밍 컨트롤러가 생성한 복수 개의 제어 신호들 중 출력 제어 신호(CLK1), 수평 시작 신호(DIO) 및 클럭 신호(HCLK)의 토글링(Toggling) 횟수를 카운트하는 것으로 도시되어 있으나, 카운트 대상인 제어 신호의 종류나 개수가 반드시 하나의 출력 제어 신호(CLK1)에 한정되는 것은 아니라 할 것이다.

[0039] 도 11a는 도 9 및 도 10에 개시된 파워-온 감지부(812)의 일실시예를 나타내는 회로도이다. 도 11a를 참조하면, 파워-온 감지부(812)는 제 1 커패시터(C1), 제 1 및 제 2 PMOS 트랜지스터(MP1, MP2), 제 1 내지 제 3 NMOS 트랜지스터(MN1 내지 MN3), 제 1 및 제 2 인버터(IV1, IV2)를 구비한다.

[0040] 제 1 커패시터(C1)는 제 1 단자가 제 1 전원 전압(VDD1)에 연결되고, 제 2 단자가 제 1 노드(N1)에 연결된다. 제 3 NMOS 트랜지스터(MN3)는 제 1 단자가 제 1 노드(N1)에 연결되고, 제 2 단자가 접지에 연결되고, 게이트 단

자가 제 2 노드(N2)에 연결된다. 제 1 PMOS 트랜지스터(MP1)는 제 1 단자가 제 1 전원 전압(VDD1)에 연결되고, 게이트 단자와 연결된 제 2 단자는 제 2 PMOS 트랜지스터(MP2)의 제 1 단자에 연결된다. 제 2 PMOS 트랜지스터(MP2)는 제 1 단자가 제 1 PMOS 트랜지스터(MP1)의 제 2 단자에 연결되고, 제 2 단자가 제 2 NMOS 트랜지스터(MN2)의 제 1 단자에 연결되고, 게이트 단자는 제 2 노드(N2)에 연결된다. 제 2 NMOS 트랜지스터(MN2)는 게이트 단자와 연결된 제 1 단자가 제 2 PMOS 트랜지스터(MP2)의 제 2 단자에 연결되고, 제 2 단자는 접지에 연결된다. 제 1 NMOS 트랜지스터(MN1)는 제 1 단자가 제 1 노드(N1)에 연결되고, 제 2 단자는 접지에 연결되고, 게이트 단자는 제 2 NMOS 트랜지스터(MN2)의 게이트 단자와 연결된다. 제 1 인버터(IV1)는 제 1 노드(N1)의 신호를 반전하여 출력한다. 제 2 인버터(IV2)는 제 2 노드(N2)의 신호를 반전하여 출력한다.

[0041] 도 11b는 도 11a에 도시된 회로(814)에 대한 시뮬레이션 결과를 나타내는 그래프이다. 도 11b를 참조하면, 제 1 전원(VDD1)의 전압 레벨이 상승하는 구간이 두 곳이 있다. A 구간은 제 1 전원(VDD1)이 접지 레벨에서부터 상승하는 구간으로 액정 표시 장치가 초기 파워-온 상태에 진입하는 구간을 나타낸다. B 구간은 제 1 전원(VDD1) 전압이 제 1 임계치보다 높은 레벨에서부터 상승하는 구간이다. 예를 들어 액정 표시 장치가 파워-오프 된 후 바로 파워-온 시킬 때 생길 수 있는 구간을 나타낸다.

[0042] 구체적인 동작을 살펴보면, 액정 표시 장치가 초기 파워-온 상태에 진입하여 제 1 전원 전압(VDD1)의 전압 레벨이 상승하게 되면 제 1 노드(N1)의 전압도 상승하게 된다. 제 1 노드(N1)의 전압이 상승함에 따라 제 2 노드(N2)의 전압은 하강하게 된다. 제 2 노드(N2)의 전압이 낮아짐에 따라 제 3 NMOS 트랜지스터(MN3)는 온 상태에서 오프 상태를 향해 변화하게 된다. 제 2 노드(N2)의 전압이 낮아 짐에 따라 제 2 PMOS 트랜지스터(MP2)는 오프 상태에서 온 상태로 변화하게 되므로 제 2 NMOS 트랜지스터(MN2)에 흐르는 전류는 증가하게 된다. 전류 미러링(Mirroring)에 의하여 제 1 NMOS 트랜지스터(MN1)에도 같은 양의 전류가 흐르게 되고, 이로 인해 상승하고 있던 제 1 노드(N1)의 전압은 다시 접지 레벨을 향하여 하강하게 된다. 따라서, 액정 표시 장치가 초기 파워-온 상태에 진입하면, 제 1 노드(N1)의 전압은 제 1 전원 전압(VDD1)이 상승함에 따라 상승하다가 제 2 임계치에 이르면 다시 하강하는 삼각파 형태의 펄스 형태가 된다. 이러한 제 1 노드(N1)의 전압은 제 1 인버터 및 제 2 인버터를 통해 버퍼링되어 도 11b에서 보는 바와 같이 사다리꼴 형태의 펄스가 출력된다. 따라서, 액정 표시 장치가 초기 파워-온 상태에 진입하면 출력 신호(PON)가 한 번 토글링(Toggling) 된다. 그러나, B 구간의 경우와 같이 제 1 전원(VDD1)이 제 1 임계치 이하에서부터 상승하지 않는 한 파워-온 상태에 진입하는 것으로 인식하지 않아 출력 신호(PON)가 토글링(Toggling)되지 않는다. 도 11a에 도시된 파워-온 감지부(814)의 구성은 하나의 예시로서, 요구되는 조건에 따라 다양하게 설계될 수 있다.

[0043] 도 12a는 도 9 및 도 10에 개시된 파워-오프 감지부의 일실시예를 나타내는 회로도이다. 도 12a를 참조하면, 파워-오프 감지부(812)는 구동 전압 생성부(1220), 전원 전압 감지부(1240), 및 레벨 변환부(1260)를 구비한다. 구동 전압 생성부(1220)는 제 2 전원 전압(VDD2)를 이용하여 전원 전압 감지부(1240)를 구동하기 위한 제 3 전원 전압(VDD3)을 생성한다. 구체적으로, 제 1 저항(R1), 제 2 저항(R2) 및 제 5 NMOS 트랜지스터(MN5)를 구비한다. 제 2 전원 전압(VDD2)의 레벨-다운(level-down)을 감지하는 전원 전압 감지부(1240)는 제 1 커패시터(C1), 제 1 내지 제 4 PMOS 트랜지스터(MP1 내지 MP4), 제 1 내지 제 4 NMOS 트랜지스터(MN1 내지 MN4)를 구비한다. 또한, 레벨 변환부(1260)는 제 5 내지 제 8 PMOS 트랜지스터(MP5 내지 MP8), 제 6 및 제 7 NMOS 트랜지스터(MN6, MN7)를 포함한다. 도 12a에 도시된 파워-오프 감지부(812)의 구성은 하나의 예시로서, 요구되는 조건에 따라 다양하게 설계될 수 있다.

[0044] 구동 전압 생성부(1220)에 관하여 살펴보면, 제 1 저항(R1)은 제 1 단자가 제 2 전원 전압(VDD2)에 연결되고, 제 2 단자가 제 2 저항(R2)의 제 1 단자에 연결된다. 제 2 저항(R2)은 제 1 단자가 제 1 저항(R1)의 제 2 단자에 연결되고, 제 2 단자가 제 5 NMOS 트랜지스터(MN5)의 제 1 단자에 연결된다. 제 5 NMOS 트랜지스터(MN5)는 제 1 단자가 제 2 저항(R2)의 제 2 단자에 연결되고, 제 2 단자가 접지(GND)에 연결되며, 게이트 단자가 제 2 전원 전압(VDD2)에 연결된다. 이와 같이, 제 3 전원 전압(VDD3)은 제 2 전원 전압(VDD2)을 제 1 저항(R1)과 제 2 저항(R2)에 의한 전압 분배로 생성될 수 있다.

[0045] 전원 전압 감지부(1240)에 관하여 살펴보면, 제 1 PMOS 트랜지스터(MP1) 및 제 1 NMOS 트랜지스터(MN1)는 하나의 인버터를 구성하며, 제 1 노드(N1)의 전압을 반전하여 제 2 노드(N2)로 출력한다. 제 1 커패시터(C1)는 제 1 단자가 제 2 전원 전압(VDD2)에 연결되고, 제 2 단자가 제 1 노드(N1)에 연결된다. 제 2 PMOS 트랜지스터(MP2)는 제 1 단자가 제 3 전원 전압(VDD3)에 연결되고, 제 2 단자가 제 1 노드(N1)에 연결되며, 게이트 단자가 제 2

노드(N2)에 연결된다. 제 2 NMOS 트랜지스터(MN2)는 제 1 단자가 제 1 노드(N1)에 연결되고, 제 2 단자가 접지(GND)에 연결되며, 게이트 단자가 제 2 노드(N2)에 연결된다.

[0046] 제 3 및 제 4 PMOS 트랜지스터(MP3, MP4)는 전류 미러(Current Mirror)를 구성하는데, 제 3 PMOS 트랜지스터(MP3)는 제 1 단자가 제 3 전원 전압(VDD3)에 연결되고, 제 2 단자가 제 1 노드(N1)에 연결되며, 게이트 단자가 제 4 PMOS 트랜지스터(MP4)의 게이트 단자에 연결된다. 제 4 PMOS 트랜지스터(MP4)는 제 1 단자가 제 3 전원 전압(VDD3)에 연결되고, 제 2 단자가 제 3 NMOS 트랜지스터(MN3)의 제 1 단자에 연결되며, 게이트 단자가 자신의 제 2 단자에 연결된다. 제 3 NMOS 트랜지스터(MN3)는 제 1 단자가 제 4 PMOS 트랜지스터(MP4)의 제 2 단자에 연결되고, 제 2 단자가 제 4 NMOS 트랜지스터(MN4)의 제 1 단자에 연결되며, 게이트 단자가 제 2 노드(N2)에 연결된다. 제 4 NMOS 트랜지스터(MN4)는 제 1 단자 및 게이트 단자가 제 3 NMOS 트랜지스터(MN3)의 제 2 단자에 연결되고, 제 2 단자가 접지(GND)에 연결된다.

[0047] 구체적으로, 소스 드라이버 회로를 구동하는 제 2 전원 전압(VDD2)이 차단되는 경우에는 제 1 커패시터(C1)에 의하여 제 1 노드(N1)는 논리 로우 레벨의 전압을 갖게 된다. 그 결과, 제 1 PMOS 트랜지스터(MP1) 및 제 1 NMOS 트랜지스터(MN1)로 구현된 인버터에 의하여 제 2 노드(N2)는 논리 하이 레벨의 전압을 갖게 된다. 따라서, 제 2 NMOS 트랜지스터(MN2) 및 제 3 NMOS 트랜지스터(MN3)가 턴-온 되고, 제 3 PMOS 트랜지스터(MP3) 및 제 4 PMOS 트랜지스터(MP4)가 턴-온 됨으로써 제 1 노드(N1)가 접지(GND)보다 낮은 전압으로 떨어지지 않도록 제어될 수 있다. 이와 같이, 액정 표시 장치가 파워-오프 상태에 진입함에 따라 소스 드라이버 회로를 구동하는 제 2 전원 전압(VDD2)이 차단되는 경우에, 전원 전압 감지부(1240)는 제 1 노드(N1)가 접지(GND)보다 낮은 전압으로 떨어지지 않도록 함으로써 제 1 PMOS 트랜지스터(MP1) 및 제 2 NMOS 트랜지스터(MN1)의 게이트 단자에 음의 전압이 가해지지 않도록 할 수 있다. 따라서, 제 1 PMOS 트랜지스터(MP1) 및 제 2 NMOS 트랜지스터(MN1)는 음의 전압에 의한 데미지(damage)를 받지 않는다.

[0048] 반면에, 소스 드라이버 회로를 구동하는 제 2 전원 전압(VDD2)이 공급되는 경우에는 제 1 커패시터(C1)에 의하여 제 1 노드(N1)는 논리 하이 레벨의 전압을 갖게 된다. 그 결과, 제 1 PMOS 트랜지스터(MP1) 및 제 1 NMOS 트랜지스터(MN1)로 구현된 인버터에 의하여 제 2 노드(N2)는 논리 로우 레벨의 전압을 갖게 된다. 따라서, 제 1 NMOS 트랜지스터(MN1) 및 제 2 PMOS 트랜지스터(MP2)가 턴-온 됨으로써 제 1 노드(N1)가 제 2 전원 전압(VDD2)보다 높은 전압으로 올라가지 않도록 제어될 수 있다. 이와 같이, 액정 표시 장치가 파워-온 상태에 있어 소스 드라이버 회로를 구동하는 제 2 전원 전압(VDD2)이 공급되는 경우에, 전원 전압 감지부(1260)는 제 1 노드(N1)가 제 3 전원 전압(VDD3)보다 높은 전압으로 올라가지 않도록 함으로써 디스플레이 장치의 오동작을 방지할 수 있다.

[0049] 레벨 변환부(1260)에 관하여 구체적으로 살펴보면, 제 5 PMOS 트랜지스터(MP5)는 제 1 단자가 제 2 전원 전압(VDD2)에 연결되고, 제 2 단자가 제 7 PMOS 트랜지스터(MP7)의 제 1 단자에 연결되며, 게이트 단자가 제 1 노드(N1)에 연결된다. 제 6 PMOS 트랜지스터(MP6)는 제 1 단자가 제 2 전원 전압(VDD2)에 연결되고, 제 2 단자가 제 8 PMOS 트랜지스터(MP8)의 제 1 단자에 연결되며, 게이트 단자가 제 2 노드(N2)에 연결된다. 제 7 PMOS 트랜지스터(MP7)는 제 1 단자가 제 5 PMOS 트랜지스터(MP5)의 제 2 단자에 연결되고, 제 2 단자가 제 3 노드(N3)에 연결되며, 게이트 단자가 제 4 노드(N4)에 연결된다. 제 8 PMOS 트랜지스터(MP8)는 제 1 단자가 제 6 PMOS 트랜지스터(MP6)의 제 2 단자에 연결되고, 제 2 단자가 제 4 노드(N4)에 연결되며, 게이트 단자가 제 3 노드(N3)에 연결된다. 제 6 NMOS 트랜지스터(MN6)는 제 1 단자가 제 3 노드(N3)에 연결되고, 제 2 단자가 접지(GND)에 연결되며, 게이트 단자가 제 1 노드(N1)에 연결된다. 제 7 NMOS 트랜지스터(MN7)는 제 1 단자가 제 4 노드(N4)에 연결되고, 제 2 단자가 접지(GND)에 연결되며, 게이트 단자가 제 2 노드(N2)에 연결된다.

[0050] 구체적으로, 액정 표시 장치가 파워-오프 상태에 진입함에 따라 소스 드라이버 회로를 구동하는 제 2 전원 전압(VDD2)이 차단되는 경우 즉, 제 1 노드(N1)가 논리 로우 레벨의 전압을 갖고 제 2 노드(N2)가 논리 하이 레벨의 전압을 갖는 경우에는 제 5 PMOS 트랜지스터(MP5), 제 7 NMOS 트랜지스터(MN7) 및 제 7 PMOS 트랜지스터(MP7)가 턴-온 됨으로써 제 3 노드(N3)는 제 2 전원 전압(VDD2)에 상응하는 논리 하이 레벨의 전압을 갖고, 제 4 노드(N4)는 접지(GND)에 상응하는 논리 로우 레벨의 전압을 갖는다. 따라서, 레벨 변환부(1260)는 제 2 전원 전압(VDD2)에 상응하는 논리 하이 레벨의 승압된 스위칭 제어 신호(POFF)를 출력한다. 반면에, 액정 표시 장치가 파워-온 상태에 있어 소스 드라이버 회로를 구동하는 제 2 전원 전압(VDD2)이 공급되는 경우 즉, 제 1 노드(N1)가 논리 하이 레벨의 전압을 갖고 제 2 노드(N2)가 논리 로우 레벨의 전압을 갖는 경우에는 제 6 PMOS 트랜지스터(MP6), 제 6 NMOS 트랜지스터(MN6) 및 제 8 PMOS 트랜지스터(MP8)가 턴-온 됨으로써 제 3 노드(N3)는 접지 전압(GND)에 상응하는 논리 로우 레벨의 전압을 갖고, 제 4 노드(N4)는 제 2 전원 전압(VDD2)에 상응하는 논리 하이 레벨의 전압을 갖는다. 따라서, 레벨 변환부(1260)는 접지 전압(GND)에 상응하는 논리 로우 레벨의 승압된

스위칭 제어 신호(POFF)를 출력한다.

- [0051] 상술한 바와 같이, 액정 표시 장치가 파워-오프 상태에 진입함에 따라 소스 드라이버 회로를 구동하는 제 2 전원 전압(VDD1)이 차단되는 경우에, 제 2 전원 전압(VDD2)의 전압 레벨이 낮아지면서 전원 전압 감지부(1240)를 구동하는 제 3 전원 전압(VDD3)도 함께 낮아지게 된다. 그러나 제 2 전원 전압(VDD2)보다 상대적으로 낮은 전압 레벨을 갖는 제 3 전원 전압(VDD2)에 의하여 생성되는 제 1 노드(N1)의 신호(POFF_LV)는 소스 드라이버의 스위칭부(미도시) 내부의 스위치들을 제어할 수 있는 충분한 전압 레벨을 갖지 못할 수 있다. 따라서, 레벨 변환부(1260)는 제 1 노드(N1)의 신호(POFF_LV)의 전압 레벨을 제 2 전원 전압(VDD2)에 기초하여 레벨 변환함으로써 스위칭부(미도시)를 제어할 수 있는 충분한 전압 레벨을 갖는 스위칭 제어 신호(POFF)를 생성할 수 있다.

- [0052] 도 12b는 도 12a에 개시된 회로에 대한 시뮬레이션 결과를 나타내는 그래프이다. 도 12b를 참조하면, 액정 표시 장치가 파워-온 상태에 있어 소스 드라이버 회로를 구동하는 제 2 전원 전압(VDD2)이 공급되는 구간(PA)에서는 제 1 노드(N1)가 논리 하이 레벨의 전압을 갖고, 제 3 노드(N3)가 논리 로우 레벨의 승압된 오프 감지 신호(POFF)를 생성한다. 또한, 액정 표시 장치가 파워-오프 상태에 진입하여 소스 드라이버 회로를 구동하는 제 2 전원 전압(VDD2)이 차단되는 경우에도 제 2 전원 전압(VDD2)의 전압 레벨이 떨어지기 시작하는 제 1 시점(A)부터 제 2 전원 전압(VDD2)의 전압 레벨이 미리 설정된 전압 레벨에 도달하는 제 2 시점(B)까지 즉, 제 2 구간(PB)에서는 승압된 오프 감지 신호(POFF)가 논리 로우 레벨을 유지하게 된다.

- [0053] 이후, 제 2 전원 전압(VDD1)의 전압 레벨이 미리 설정된 전압 레벨에 도달하는 제 2 시점(B)에서 승압된 오프 감지 신호(POFF)가 논리 하이 레벨로 전환된다. 제 3 구간(PC)에서 제 1 노드(N1)의 전압은 전원 전압 감지부(1240)에 의하여 음의 전압 이하로 떨어지지 않으므로, 파워 오프 감지부(812)가 논리 하이 레벨의 오프 감지 신호(POFF)를 출력하는 동안에도 전원 전압 감지부(1220)의 제 1 PMOS 트랜지스터(MP1) 및 제 1 NMOS 트랜지스터(MN1)는 데미지를 입지 않는다. 또한, 제 3 구간(PC)에서 오프 감지 신호(POFF)는 제 2 전원 전압(VDD2)과 유사한 파형을 갖는데, 이는 전원 전압 감지부(1240)에서 출력된 신호(POFF_LV)의 전압 레벨을 레벨 변환부(1260)가 제 2 전원 전압(VDD2)에 기초하여 레벨 변환하여 승압된 오프 감지 신호(POFF)를 생성하기 때문이다.

- [0054] 도 13은 본 발명의 일실시예에 따른 액정 표시 장치의 블록도이다. 도 13을 참조하면, 액정 표시 장치(1300)는 소스 드라이버(1310), 게이트 드라이버(1330), 타이밍 컨트롤러(1320), 액정 패널(1340) 및 구동 전압 생성부(1350)를 구비한다.

- [0055] 액정 패널(1340)은 일 방향으로 연장된 복수의 게이트 라인(G1 내지 GQ) 및 이와 직교하는 방향으로 연장된 복수의 소스 라인(Y1 내지 YP)을 포함하고, 게이트 라인(G1 내지 Gn)과 소스 라인(Y1 내지 YP)의 교차 영역에 마련된 화소 영역(1342)을 포함한다. 화소 영역(1342)에는 박막 트랜지스터(TFT), 액정 캐패시터(C_{LC}) 및 스토리지 캐패시터(C_{st}) 등을 포함하는 화소가 마련된다. 이를 통해 박막 트랜지스터(TFT)는 게이트 라인(G1 내지 GQ)에 인가되는 게이트 구동 신호에 따라 동작하여 소스 라인(Y1 내지 YP)을 통해 공급되는 아날로그 계조 신호를 화소 전극에 공급하여 액정 캐패시터(C_{LC}) 양단의 전계를 변화시킨다. 이를 통해 액정(미도시)의 배열을 변화시켜 백라이트(미도시)로부터 공급된 광의 투과율을 조절할 수 있다.

- [0056] 타이밍 컨트롤러(1320)는 외부의 그래픽 제어기(미도시)로부터 입력되는 화상 신호, 즉 화소 데이터 및 제어 신호, 예를 들면 수평 동기 신호(Hsync)와 수직 동기 신호(Vsync), 메인 클럭(CLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 또한, 타이밍 컨트롤러(1320)는 화소 데이터(R, G, B)를 액정 표시 패널(1340)의 동작 조건에 맞게 처리하고, 게이트 제어 신호 및 소스 제어 신호를 생성하여 각각 게이트 드라이버(1330) 및 소스 드라이버(1310)에 전송한다. 여기서, 게이트 제어 신호는 게이트 턴온 전압(Von)의 출력 시작을 지시하는 수직 시작 신호(STV), 게이트 클럭 신호(GCLK) 및 게이트 턴온 전압(Von)의 지속 시간을 제어하는 출력 인에이블 신호(OE) 등을 포함한다. 또한, 소스 제어 신호는 화소 데이터의 전송 시작을 알리는 수평 시작 신호(DIO), 해당 소스 라인에 아날로그 계조 신호를 인가하라는 출력 제어 신호(CLK1) 및 클럭 신호(HCLK) 등을 포함한다.

- [0057] 구동 전압 생성부(1350)는 외부 전원 장치로부터 입력되는 외부전원을 이용하여 액정 패널(1340) 구동에 필요한 다양한 구동 전압들을 생성한다. 구동 전압 생성부(1350)는 외부에서 제 1 전원(VDD1)을 입력받고, 소스 드라이버(1310)에 제공되는 제 2 전원(VDD2), 게이트 드라이버(1330)에 제공되는 게이트 턴-온 전압(Gon) 및 게이트 턴-오프 전압(Goff), 액정 패널에 제공되는 공통 전압(Vcom) 등을 생성한다.

- [0058] 게이트 드라이버(1330)는 타이밍 컨트롤러(1320)로부터의 수직 스타트 신호(STV), 게이트 클럭 신호(GCLK) 및 출력 인에이블 신호(OE)에 응답하여 게이트 온/오프 전압(GON/GOFF)을 게이트 라인(G1 내지 GQ)에 인가한다. 이를 통해 소스 드라이버(1310)에서 출력되는 아날로그 게조 전압이 해당 화소에 인가되도록 해당 박막 트랜지스터(TFT)를 제어한다.
- [0059] 소스 드라이버(1310)는 타이밍 컨트롤러(1320)로부터의 소스 제어 신호에 응답하여 디지털 화상 데이터에 상응하는 아날로그 게조 신호를 생성하여 액정 패널의 소스 라인(S1 내지 SP)에 인가한다. 소스 드라이버(1310)는 스위칭부(1314) 및 스위칭 제어부(1312)를 구비한다. 소스 드라이버(1310)의 일실시예가 도 5에 도시되어 있다.
- [0060] 도 14는 본 발명의 일실시예에 따른 액정 표시 장치의 블록도이다. 도 14를 참조하면, 액정 표시 장치(1400)는 소스 드라이버(1410), 게이트 드라이버(1430), 타이밍 컨트롤러(1420), 액정 패널(1440) 및 구동 전압 생성부(1450)를 구비한다. 소스 드라이버(1410)는 스위칭부(1412)를 구비한다. 타이밍 컨트롤러(1420)는 스위칭 제어부(1422)를 구비한다. 따라서, 도 13의 액정 표시 장치(1300)와 달리 소스 드라이버(1410)는 타이밍 컨트롤러(1420)로부터 스위칭 제어 신호(SW_CON)를 입력 받아 동작한다.
- [0061] 도 15는 본 발명의 일실시예에 따른 액정 표시 장치의 동작을 나타내는 타이밍도이다. 도 13 내지 15를 참조하면, t1 시점에서 전원(VDD1)이 인가되고, t3 시점에서 전원(VDD1)이 차단된다. 전원(VDD1)은 t4 시점에서 다시 인가되는데 이때는 t1 시점에서와는 달리 전원(VDD1)이 차단된 후 전원(VDD1)의 전압 레벨이 접지 레벨로 완전히 떨어지기 전에 다시 전원(VDD1)이 인가되는 시점이다. t2 시점과 t5 시점은 타이밍 컨트롤러(1320, 1420)에서 전달받은 디지털 화상 데이터(DATA)를 액정 패널(1340, 1440)에 디스플레이하는 시점이다.
- [0062] 먼저, t1 시점에서 전원이 인가되는 경우를 살펴보면 파워-온 감지부(미도시)가 전원(VDD1)의 레벨-업(level-up)을 감지하여 하이 펄스의 온 감지 신호(PON)를 출력한다. 전원(VDD1)이 인가되는 파워-온의 경우이므로 파워-오프 감지부의 오프 감지 신호(POFF)는 생성되지 않는다. 따라서 상기 온-감지 신호(PON)에 응답하여 로우 펄스의 리셋 신호(RST)가 생성된다. 전원(VDD1)이 인가되고 나면 타이밍 컨트롤러(1320, 1420)로부터 수평 시작 신호(DIO), 클럭 신호(HCLK) 및 출력 제어 신호(CLK1) 등이 전달된다. 그러나, 전원(VDD1)이 인가되더라도 디지털 화상 데이터(DATA)가 전달되는 시점은 타이밍 컨트롤러(1320, 1420)의 종류마다 다르다. 따라서, 타이밍 컨트롤러(1320, 1420)의 종류에 무관하게 정상적으로 디지털 화상 데이터(DATA)가 전달되는 시점을 확인하기 위해 수평 시작 신호(DIO), 클럭 신호(HCLK) 및 출력 제어 신호(CLK1)를 모두 모니터링 한다. 구체적으로 상기 3개의 제어 신호들은 모두 토글링(Toggling)하는 신호들이므로 상기 3개의 제어 신호의 토글링(Toggling) 횟수를 체크한다. 그러나, 타이밍 컨트롤러(1320, 1420)의 종류에 따라서는 상기 제어 신호들 중에 토글링(Toggling)하지 않는 제어 신호가 존재할 수 있다. 예를 들어 수평 시작 신호(DIO)가 토글링(Toggling)하지 않는 경우에는 클럭 신호(HCLK)에 동기 되어 토글링(Toggling)되는 수평 시작 신호(DIO)를 내부적으로 생성하고 토글링 횟수를 체크할 수 있다. 이 경우에는 내부적으로 생성된 수평 시작 신호(DIO)가 클럭 신호(HCLK)에 동기 되어 있으므로 내부적으로 생성된 수평 시작 신호(DIO) 하나로 클럭 신호(HCLK)까지 모니터링하는 효과가 있다. 토글링 횟수를 체크하는 검출부(미도시)는 상기 로우 펄스의 리셋 신호(RST)에 응답하여 초기화된다. 이후, 상기 3개의 토글링(Toggling)하는 제어 신호들(DIO, HCLK, CLK1) 각각이 16번 토글링 하게 되면 하이 레벨의 검출 신호(DIO_EN, HCLK_EN, CLK1_EN)를 출력한다. 상기 리셋 신호(RST)에 응답하여 하이 레벨로 초기화된 스위칭 제어 신호(SW_CON)는 상기 3개의 제어 신호(DIO, HCLK, CLK1)가 모두 16번 토글링한 것이 감지되면 로우 레벨로 변화한다. 따라서, 전원이 인가된 t1 시점부터 상기 3개의 제어 신호들 모두가 16번 토글링이 감지된 t2 시점까지의 구간에서는 스위칭 제어 신호(SW_CON)가 하이 레벨이므로 소스 드라이버의 스위칭부(미도시)의 출력 스위치는 턴-오프, 차지 셰어링 스위치 및 방전 스위치는 턴-온 되어 불분명한(Unknown) 데이터가 액정 패널(1340, 1440)에 인가되는 것을 방지하고, 액정 패널(1340, 1440)에 잔존하는 전하를 신속히 방전시킴으로써 비정상적인 데이터가 디스플레이되는 것이 방지된다. 타이밍 컨트롤러(1320, 1420)에서 정상적인 데이터가 전송되는 t2 시점부터는 스위칭 제어 신호(SW_CON)가 로우 레벨로 바뀐다. 따라서, 소스 드라이버의 스위칭부의 출력 스위치는 턴-오프, 차지 셰어링 스위치 및 방전 스위치는 턴-온 되어 타이밍 컨트롤러(1320, 1420)에서 전달된 디지털 화상 데이터(DATA)가 액정 패널(1340, 1440)에 디스플레이 된다.
- [0063] 다음 t3 시점에서 전원이 차단되는 경우를 살펴보면, 파워-오프 감지부(미도시)가 전원(VDD1)의 레벨-다운(level-down)을 감지하여 하이 펄스의 오프 감지 신호(POFF)를 출력한다. 전원(VDD1)이 차단되는 파워-오프의 경우이므로 파워-온 감지부의 온 감지 신호(PON)는 생성되지 않는다. 따라서 하이 펄스의 상기 오프-감지 신호

(POFF)에 응답하여 로우 펄스의 리셋 신호(RST)가 생성된다. 이때, 토글링 횟수를 체크하는 검출부는 상기 로우 펄스의 리셋 신호(RST)에 응답하여 로우 레벨의 검출 신호를 출력(초기화)한다. 스위칭 제어 신호(SW_CON)는 하이 레벨로 셋팅 된다. 따라서, 스위칭부의 출력 스위치는 턴-오프, 차지 셰어링 스위치 및 방전 스위치는 턴-온 되어 불분명한(Unknown) 데이터가 액정 패널에 인가되는 것을 방지하고, 액정 패널에 잔존하는 전하를 신속히 방전시킴으로써 비정상적인 데이터가 디스플레이되는 것이 방지된다.

[0064] 다음 t4 시점에서 전원이 인가되는 경우를 살펴보면, 이 경우에는 전원이 차단되어 소스 드라이버(1310, 1410)의 구동 전압 레벨이 접지 레벨로 떨어지기 전에 다시 전원이 인가되는 경우를 나타낸다. 파워-온 감지부가 도 11에 개시된 실시예로 구성되는 경우에는 전원이 인가되는 경우임에도 t1 시점에서와는 온 감지 신호(PON)가 생성되지 않을 수 있다. 전원(VDD1)이 인가되는 파워-온의 경우이므로 파워-오프 감지부의 오프 감지 신호(POFF)는 생성되지 않는다. 따라서, 온 감지 신호(PON)가 생성되지 않으면 리셋 신호(RST)도 생성되지 않게 된다. 이 경우에는 스위칭 제어 신호(SW_CON)가 로우 레벨로 초기화되지 않는다. 또한 제어 신호의 토글링(Toggling) 횟수를 카운트하는 카운터가 초기화되지 않는다. 이는 제어 신호의 토글링(Toggling) 횟수를 잘못 체크 하여 오동작을 유발시킬 수 있다. 그러나, 본 발명의 일실시예에 따른 액정 표시 장치는 t3 시점에서 전원이 차단될 때 생성된 리셋 신호(RST)에 의해 이미 제어 신호의 토글링(Toggling) 횟수를 카운트하는 카운터를 초기화시키므로, 토글링(Toggling) 횟수를 잘못 체크 하는 오동작이 방지된다. 또한 t4 시점에서의 스위칭 제어 신호(SW_CON)는 t3 시점에서 이미 하이 레벨로 초기화되므로 스위칭부 역시 정상적으로 동작한다. t4-t5 구간에서의 동작은 t1-t2 구간에서의 동작과 유사하므로 반복 설명하지 않는다.

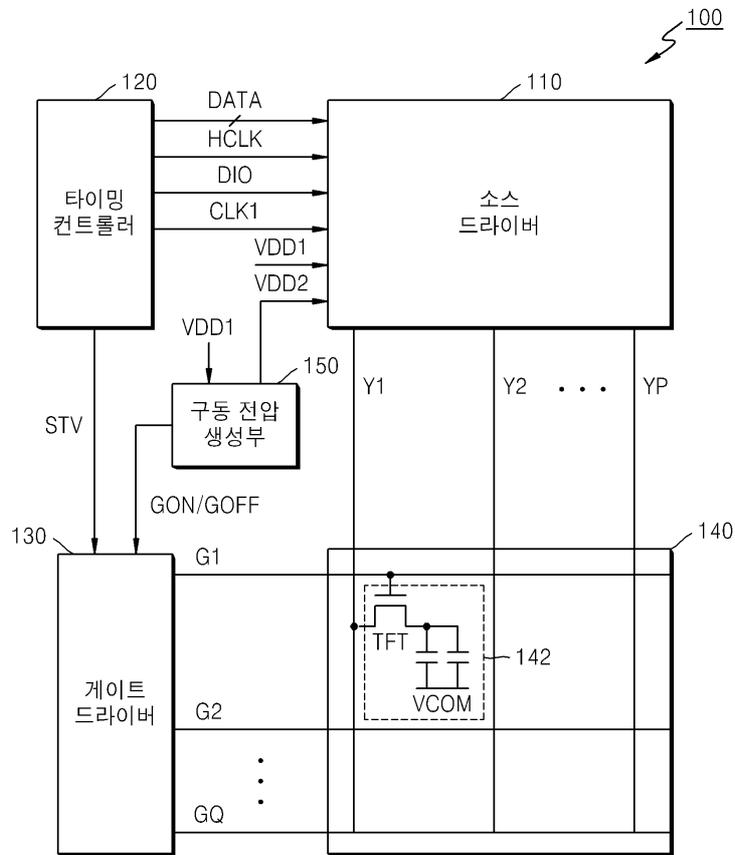
[0065] 도 16은 전원 인가(파워-온)시 본 발명의 일실시예에 따른 액정 패널 구동 방법의 순서도이다. 도 16을 참조하면, 먼저, 파워-온 상태 진입 여부를 알기 위해 전원 전압의 레벨-업(level-up)을 체크 한다(S1510). 전원 전압의 레벨-업(level-up)이 감지되면 리셋 신호를 생성한다(S1520). 상기 리셋 신호에 응답하여 제어 신호의 토글링(Toggling) 횟수를 카운트하기 위한 카운터를 초기화한다(S1530). 상기 리셋 신호에 응답하여 소스 드라이버의 출력 스위치를 턴-오프 시켜서 상기 액정 패널의 소스 라인들과 상기 소스 드라이버의 출력 버퍼의 출력 단자들과의 연결을 차단한다. 또한, 차지 셰어링 스위치 및 방전 스위치를 턴-온 시켜서 상기 소스 라인들을 서로 연결하고, 상기 소스 라인들로부터 접지로의 전류 경로를 형성시킨다(S1540). 소스 드라이버를 제어하기 위해 타이밍 컨트롤러가 생성한 복수 개의 제어 신호 중 적어도 하나의 제어 신호의 토글링(Toggling)을 카운트한다(S1550). 적어도 하나의 제어 신호의 토글링(Toggling)이 n회 카운트 되었다면 소스 드라이버의 출력 스위치들을 턴-온 시켜서 상기 액정 패널의 소스 라인들과 상기 소스 드라이버의 출력 버퍼의 출력 단자들을 연결한다. 또한, 차지 셰어링 스위치 및 방전 스위치를 턴-오프 시켜서 상기 소스 라인들간의 연결을 차단하고, 상기 소스 라인들로부터 접지로의 전류 경로를 차단한다(S1560).

[0066] 도 17은 전원 차단(파워-오프)시 본 발명의 일실시예에 따른 액정 패널 구동 방법의 순서도이다. 도 17을 참조하면, 먼저, 파워-오프 상태 여부를 알기 위해 전원 전압의 레벨-다운(level-down) 여부를 체크 한다(S1610). 전원 전압의 레벨-다운(level-down)이 감지되면 리셋 신호를 생성한다(S1620). 상기 리셋 신호에 응답하여 제어 신호의 토글링 횟수를 카운트하기 위한 카운터를 초기화한다(S1630). 상기 리셋 신호에 응답하여 소스 드라이버의 출력 스위치를 턴-오프 시켜서 상기 액정 패널의 소스 라인들과 상기 소스 드라이버의 출력 버퍼의 출력 단자들과의 연결을 차단한다. 또한, 차지 셰어링 스위치 및 방전 스위치를 턴-온 시켜서 상기 소스 라인들을 서로 연결하고, 상기 소스 라인들로부터 접지로의 전류 경로를 형성시킨다(S1640).

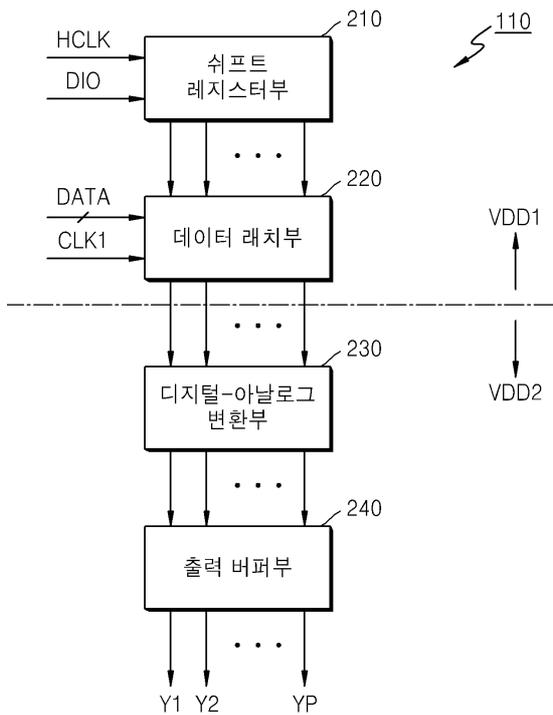
[0067] 이상에서와 같이 도면과 명세서에서 최적 실시 예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

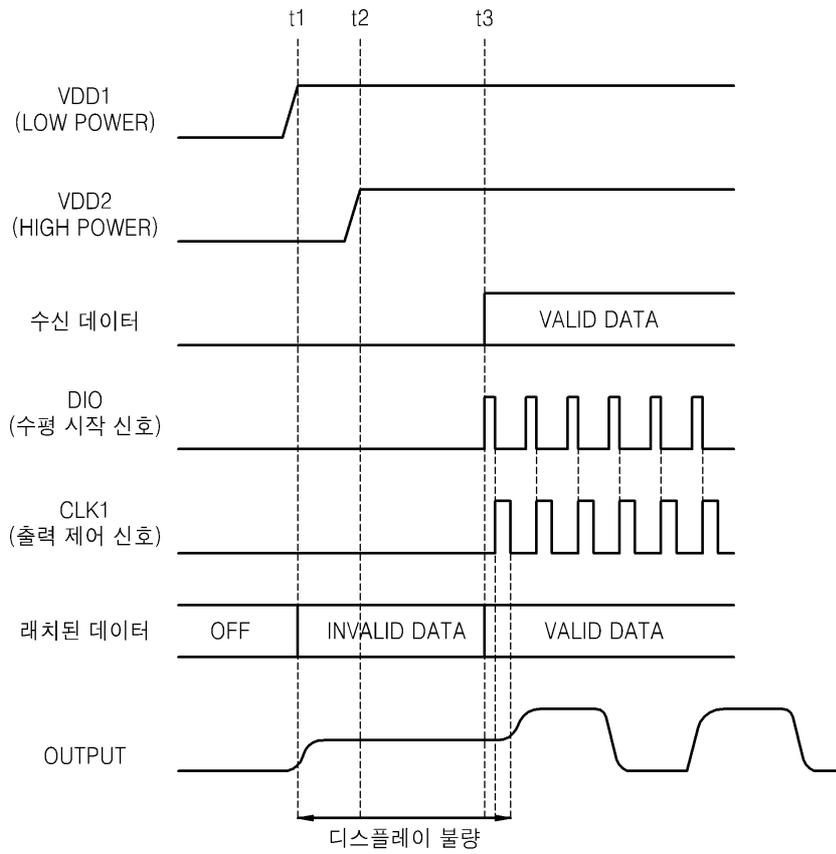
도면1



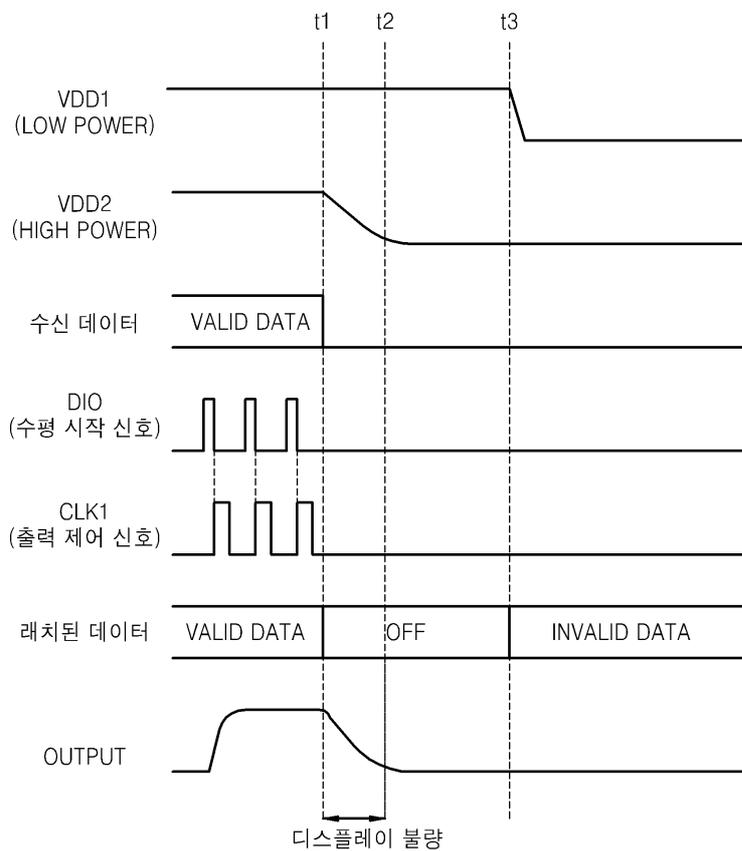
도면2



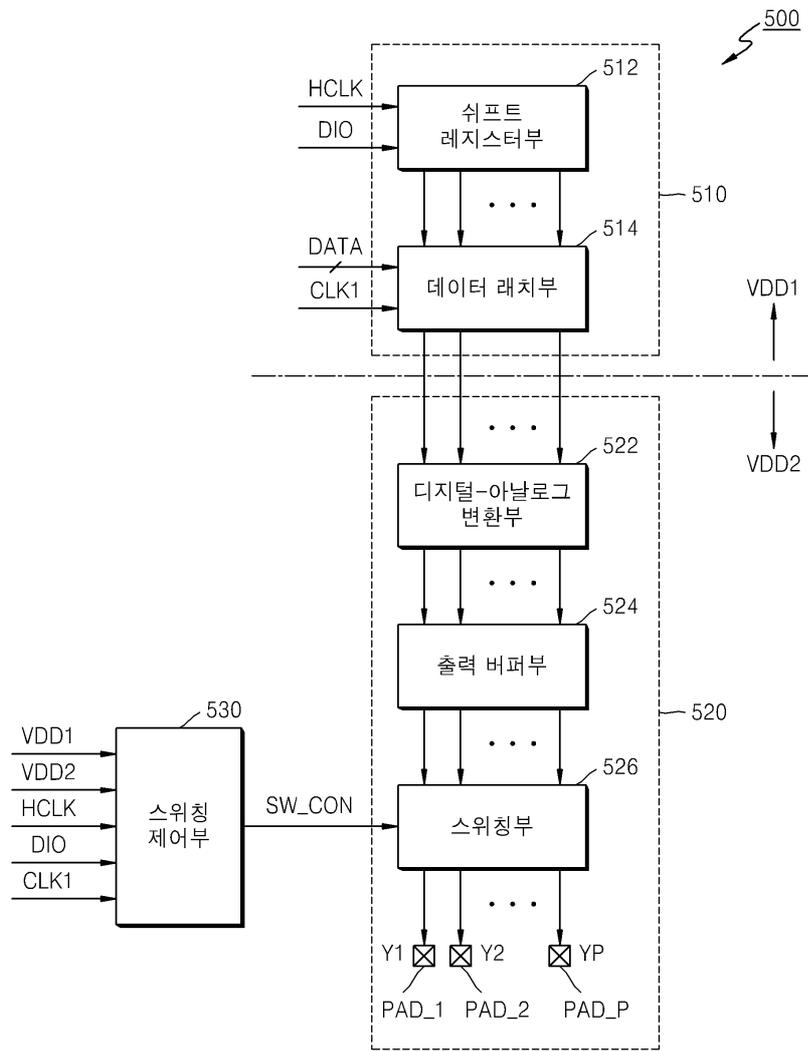
도면3



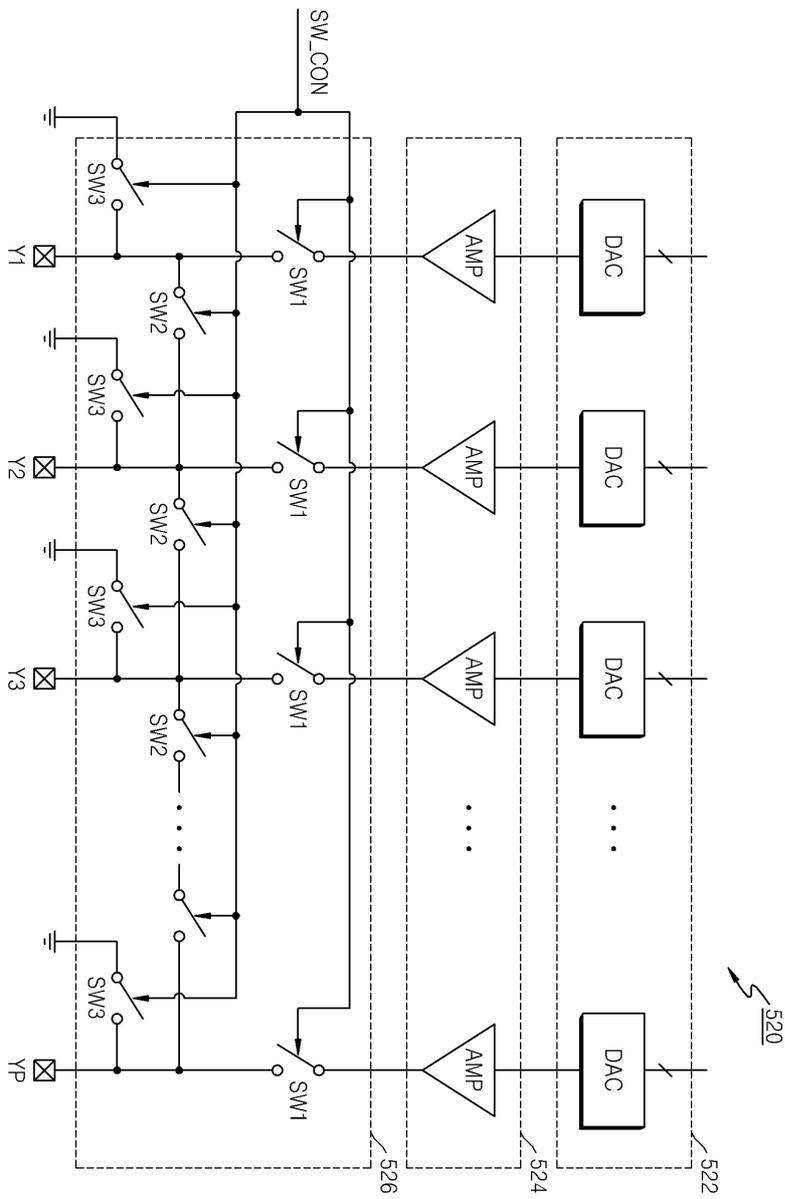
도면4



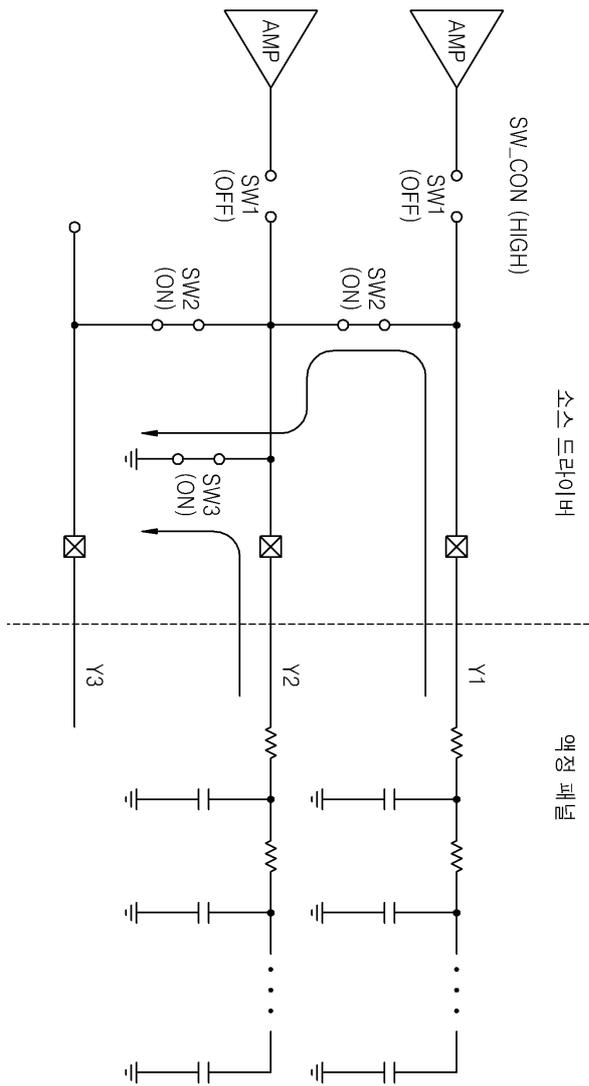
도면5



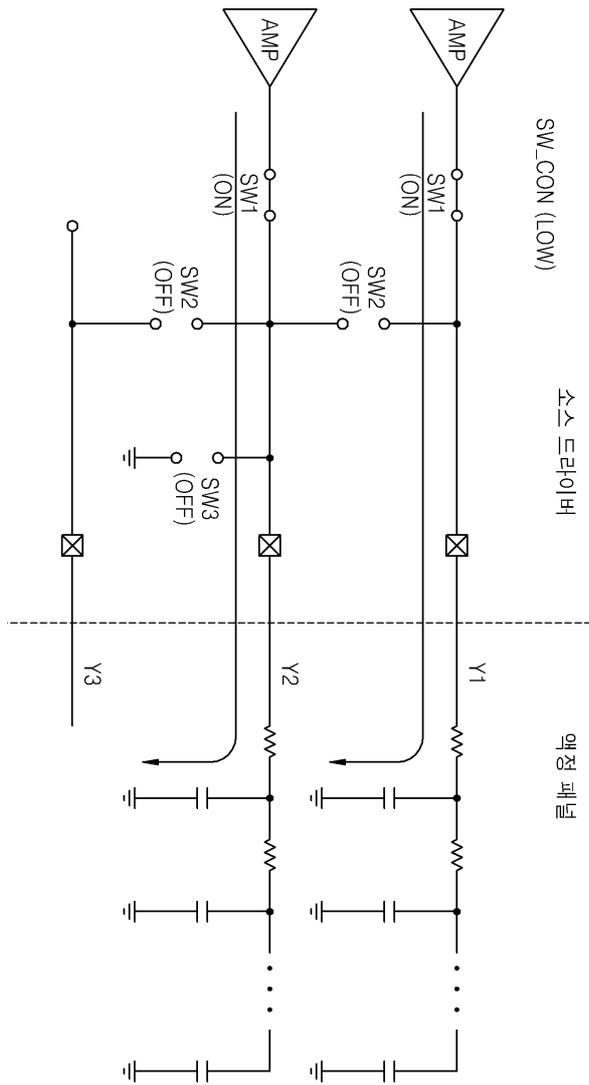
도면6



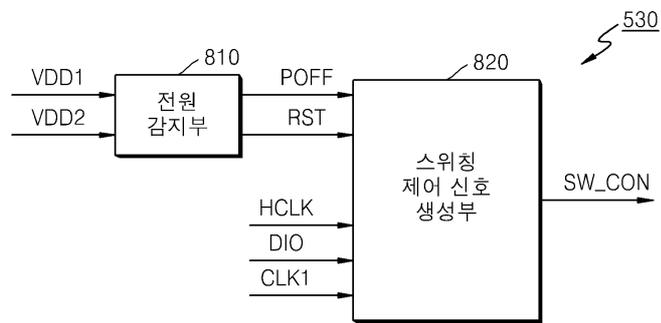
도면7a



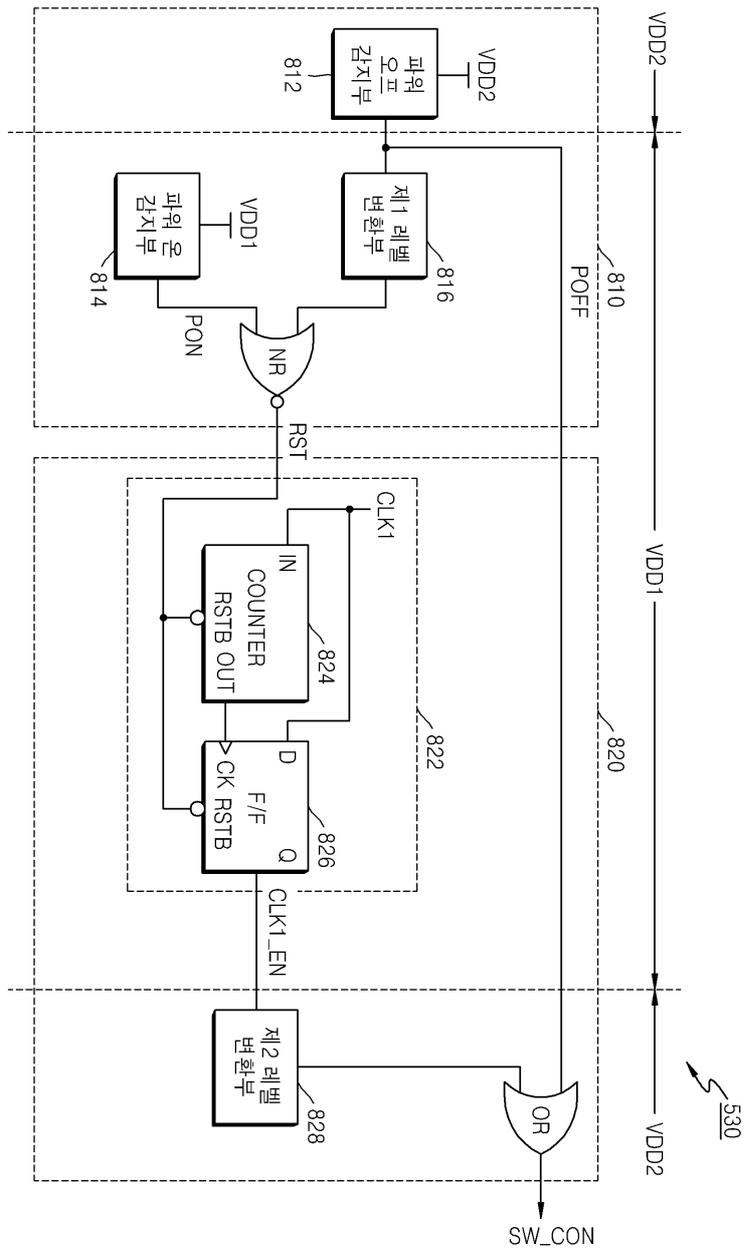
도면7b



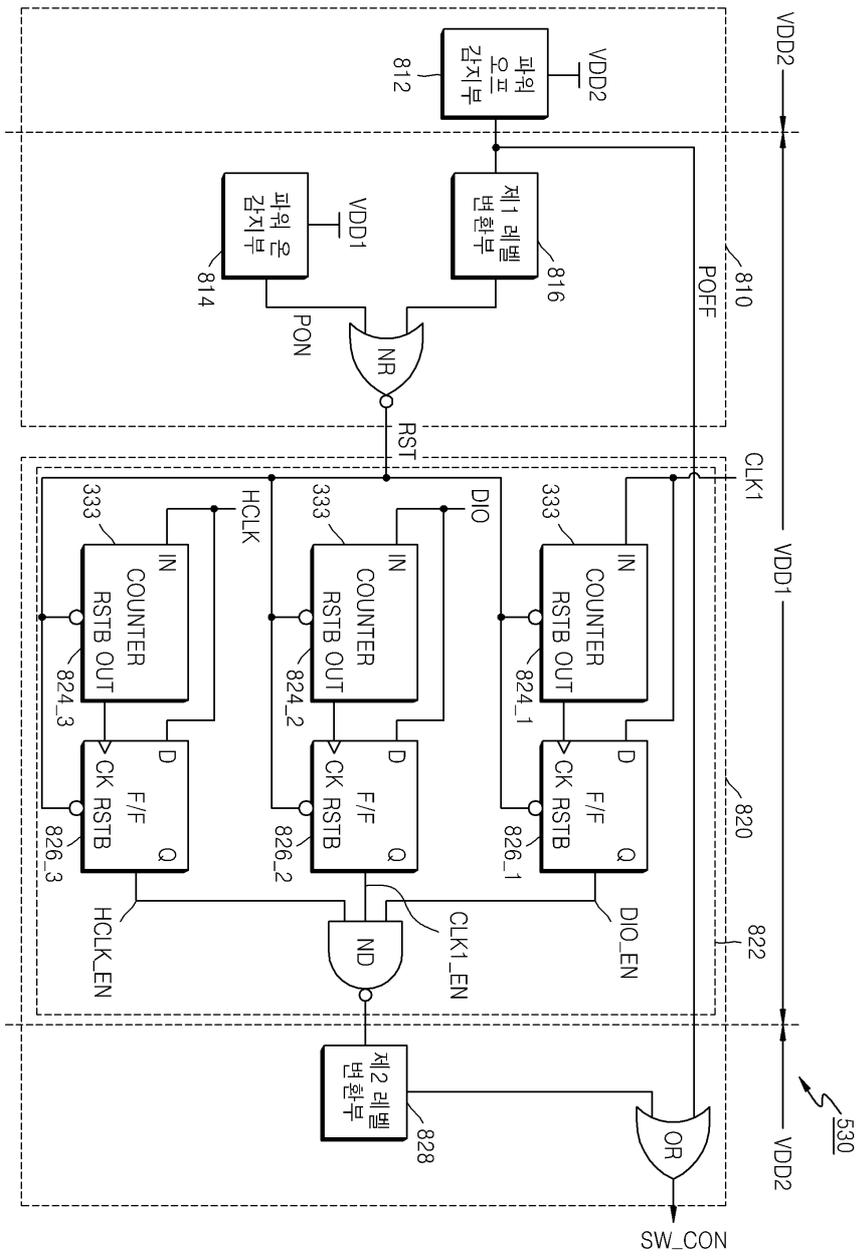
도면8



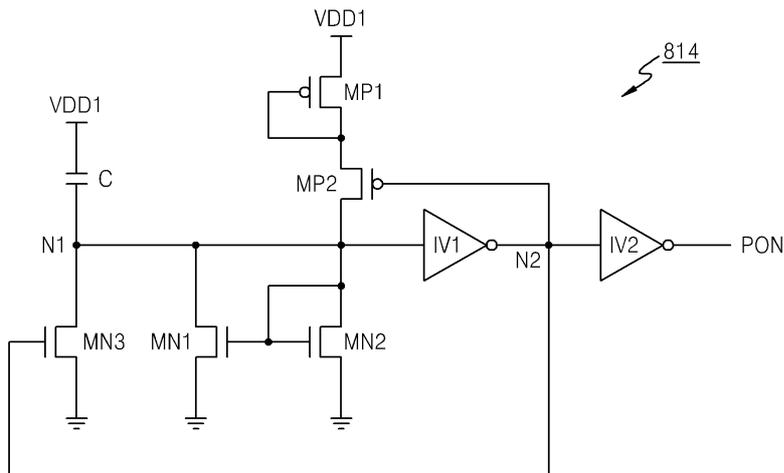
도면9



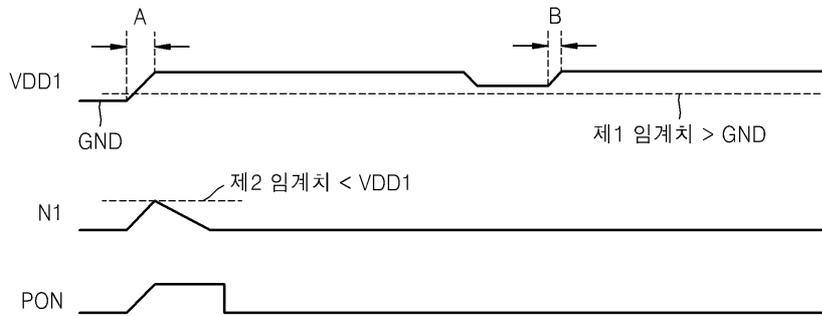
도면10



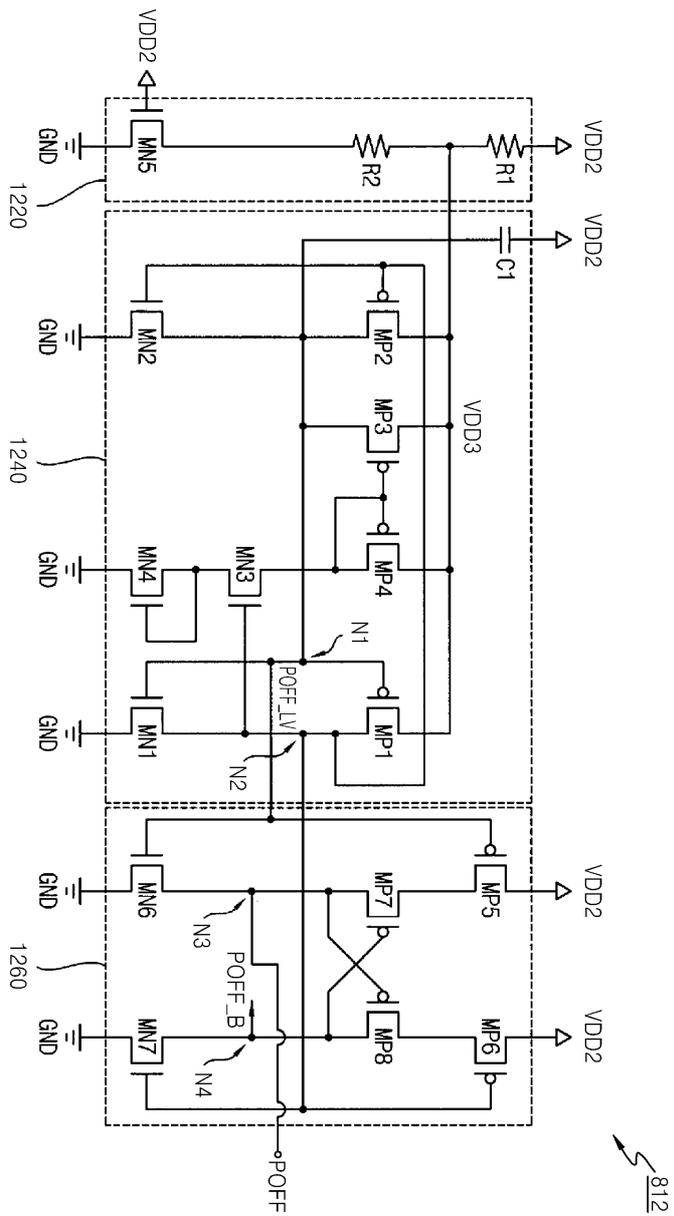
도면11a



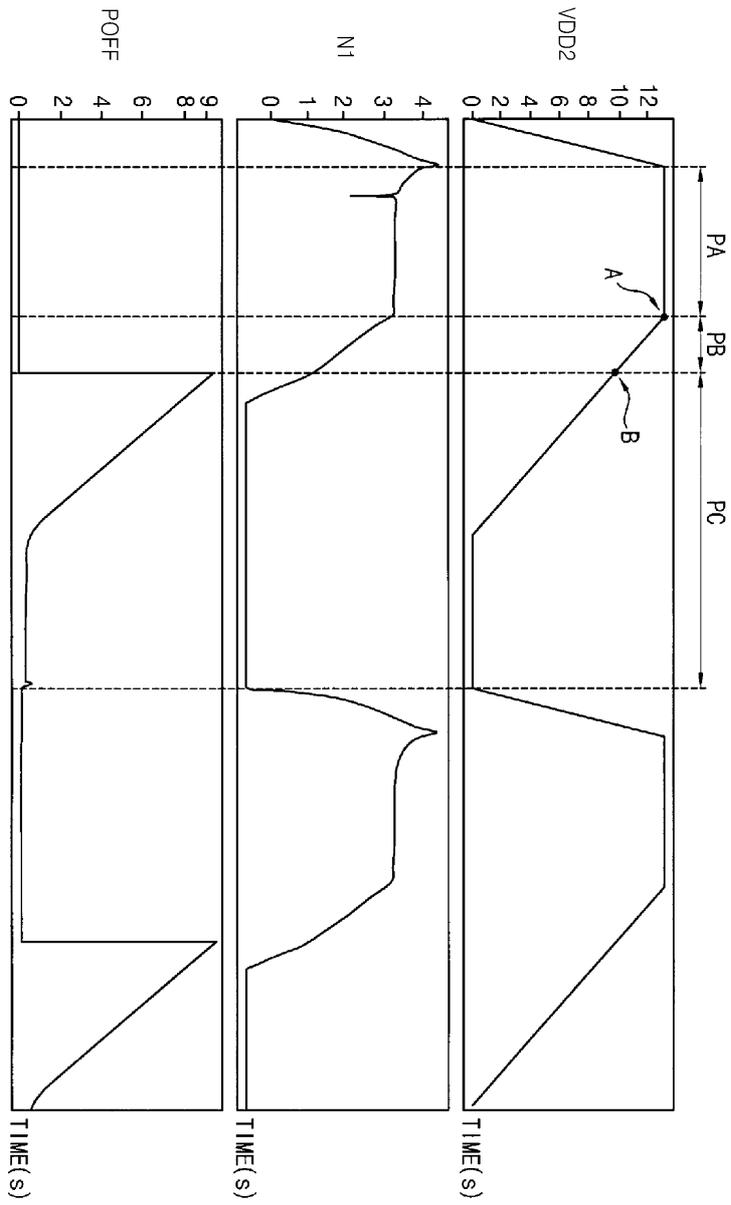
도면11b



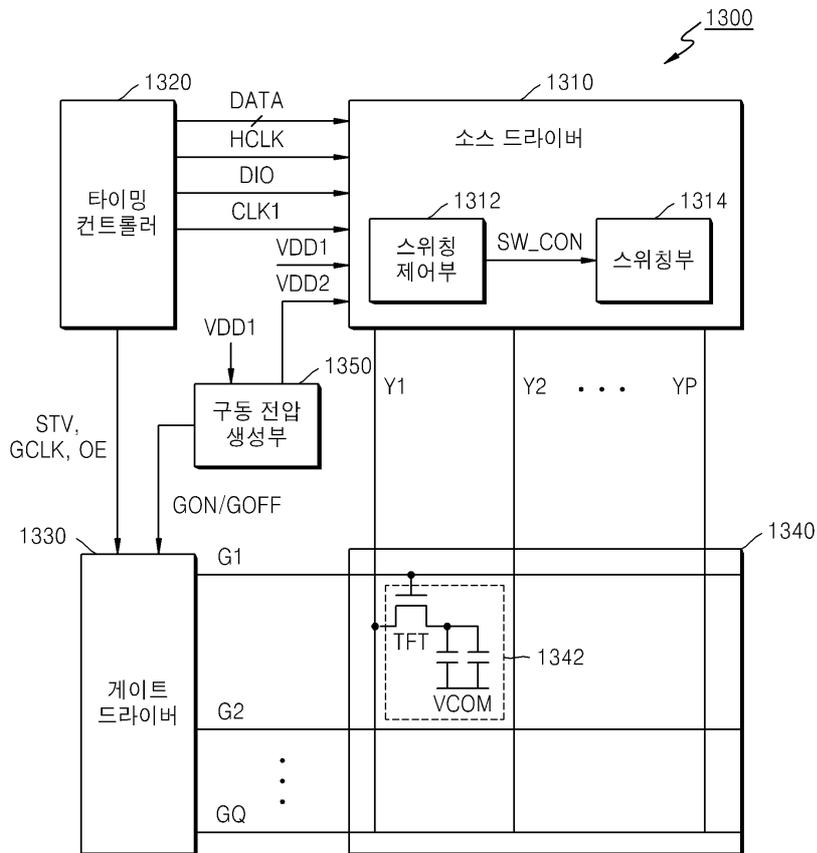
도면12a



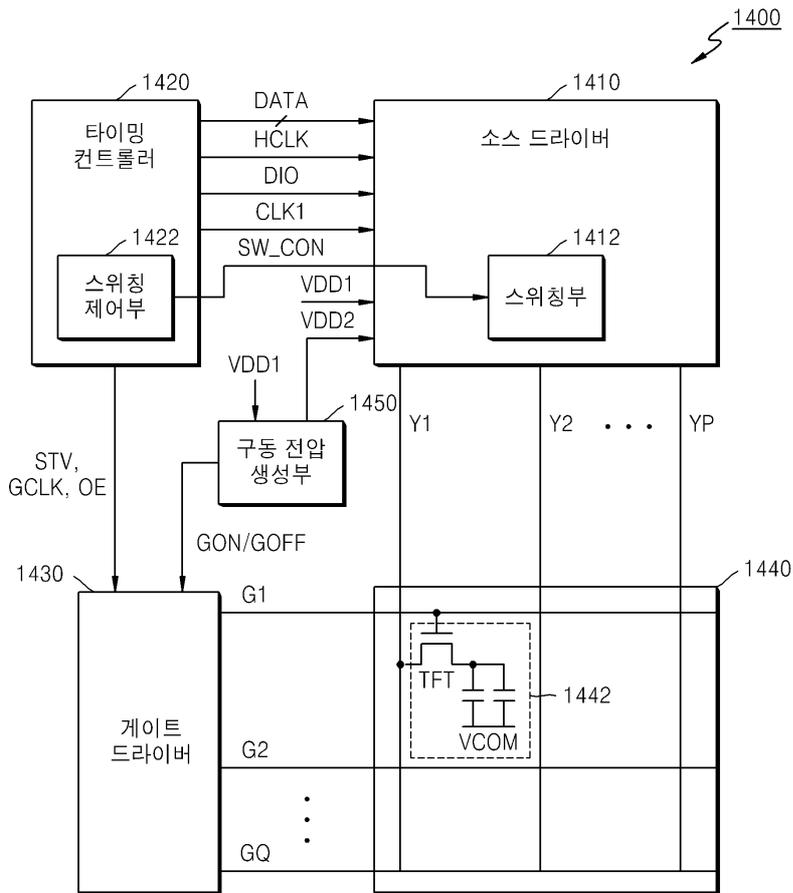
도면12b



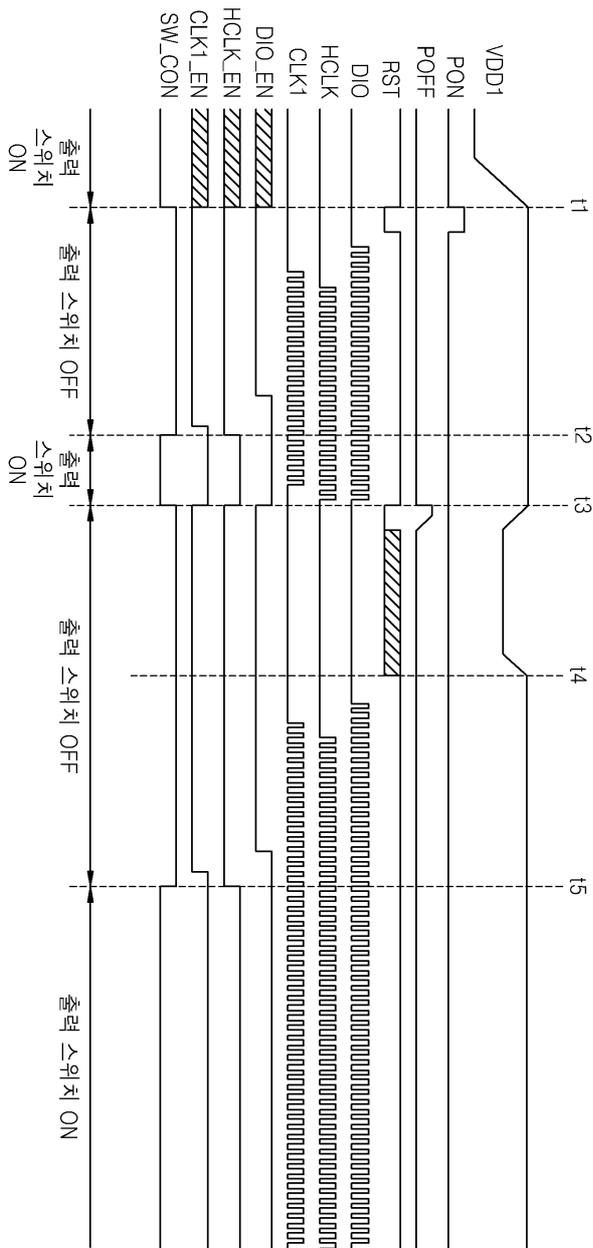
도면13



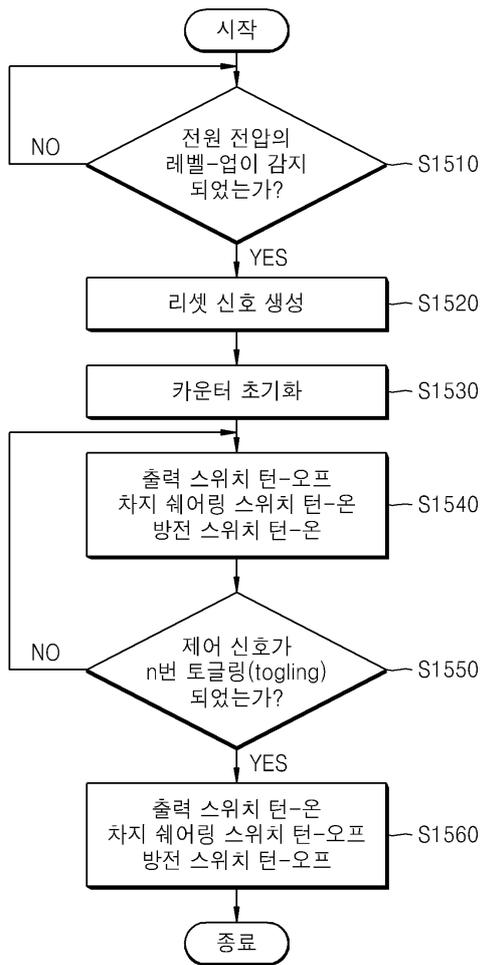
도면14



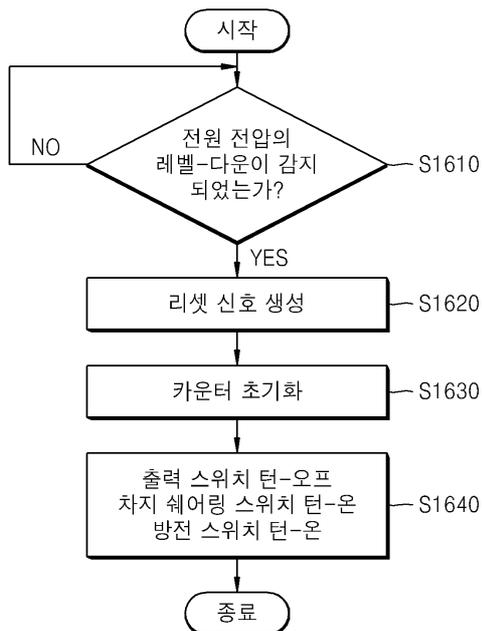
도면15



도면16



도면17



专利名称(译)	液晶面板驱动方法，源极驱动器和实现该方法的液晶显示装置		
公开(公告)号	KR1020110094967A	公开(公告)日	2011-08-24
申请号	KR1020100014728	申请日	2010-02-18
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KO JAE HONG 고재홍 KIM DO YOUN 김도윤 RHO HO HAK 노호학 CHUN KEE MOON 전기문 YU JAE SUK 유재석		
发明人	고재홍 김도윤 노호학 전기문 유재석		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3688 G09G2310/0245 G09G2330/02 G09G2330/023 G09G2330/026 G09G2330/027		
其他公开文献	KR101651548B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种用于驱动液晶面板的方法，源极驱动器和使用该方法的液晶显示系统，以通过防止所需图像显示在屏幕上来实现高功率和高质量的显示装置。

