



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년03월06일
(11) 등록번호 10-1835155
(24) 등록일자 2018년02월27일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) G02F 1/133 (2006.01)
H01L 29/786 (2006.01)
(21) 출원번호 10-2012-7006895
(22) 출원일자(국제) 2010년09월28일
심사청구일자 2015년09월10일
(85) 번역문제출일자 2012년03월16일
(65) 공개번호 10-2012-0106936
(43) 공개일자 2012년09월27일
(86) 국제출원번호 PCT/JP2010/067323
(87) 국제공개번호 WO 2011/052344
국제공개일자 2011년05월05일
(30) 우선권주장
JP-P-2009-250517 2009년10월30일 일본(JP)
JP-P-2009-279000 2009년12월08일 일본(JP)
(56) 선행기술조사문헌
JP2007250983 A*
KR1020080071515 A*
JP05224626 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자끼 슌페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
고야마 준
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
장수길, 박충범, 이중희

전체 청구항 수 : 총 13 항

심사관 : 신창우

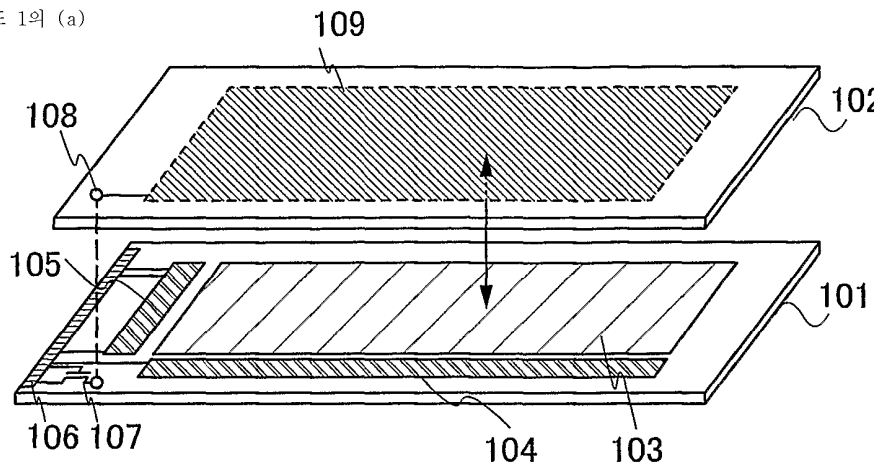
(54) 발명의 명칭 액정 표시 장치, 액정 표시 장치의 구동 방법 및 액정 표시 장치를 포함하는 전자 기기

(57) 요약

저소비 전력화를 이룰 수 있는 액정 표시 장치를 제공하는 것이 목적이다. 단자부, 스위칭 트랜지스터, 및 화소 전극을 포함하는 화소 회로를 포함하는 제1 기판이 구비되어 있다. 제2 기판은 대향 전극을 포함한다. 화소 전극과 대향 전극 사이에는 액정 소자가 개재되어 있다. 대향 전극에 입력되는 전위는 스위칭 트랜지스터를 통해서 단자부로부터 공급된다. 스위칭 트랜지스터에 포함되는 반도체층은 산화물 반도체층이다.

대표도

도 1의 (a)



명세서

청구범위

청구항 1

액정 표시 장치로서,

단자부;

스위칭 트랜지스터; 및

각각이 화소 트랜지스터, 및 상기 화소 트랜지스터에 전기적으로 접속된 화소 전극을 포함하는 액정 소자를 포함하는 복수의 화소를 포함하는 화소 회로

가 제공되어 있는 제1 기관;

대향 전극이 제공되어 있는 제2 기관; 및

상기 화소 전극과 상기 대향 전극 사이에 개재되어 있는 액정

을 포함하고,

상기 단자부와 상기 제2 기관은 서로 중첩되지 않고,

상기 대향 전극은 상기 스위칭 트랜지스터를 통하여 상기 단자부와 전기적으로 접속되고,

상기 화소 트랜지스터 및 상기 스위칭 트랜지스터 각각은 산화물 반도체층을 포함하고,

상기 스위칭 트랜지스터는, 동화상을 표시하는 제1 기간에 공통 전위가 상기 대향 전극에 공급되도록 도통 상태에 있고,

상기 스위칭 트랜지스터는, 정지 화상을 표시하는 제2 기간에 상기 대향 전극이 전기적으로 부유 상태(floating state)에 있도록 비도통 상태에 있고,

상기 스위칭 트랜지스터가 모든 상기 액정 소자에 대해 공통으로 사용되는 상기 대향 전극에 전기적으로 접속되도록 상기 스위칭 트랜지스터는 모든 상기 복수의 화소에 대해 공통으로 사용되는, 액정 표시 장치.

청구항 2

액정 표시 장치로서,

제1 접속 단자 및 제2 접속 단자를 포함하는 단자부;

스위칭 트랜지스터; 및

각각이 화소 트랜지스터, 및 상기 화소 트랜지스터에 전기적으로 접속된 화소 전극을 포함하는 액정 소자를 포함하는 복수의 화소를 포함하는 화소 회로

가 제공되어 있는 제1 기관;

대향 전극이 제공되어 있는 제2 기관; 및

상기 화소 전극과 상기 대향 전극 사이에 개재되어 있는 액정

을 포함하고,

상기 단자부와 상기 제2 기관은 서로 중첩되지 않고,

상기 대향 전극은 상기 스위칭 트랜지스터의 소스 및 드레인 중 하나와 전기적으로 접속되고,

상기 화소 트랜지스터 및 상기 스위칭 트랜지스터 각각은 산화물 반도체층을 포함하고,

상기 스위칭 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제1 접속 단자에 전기적으로 접속되고,

상기 스위칭 트랜지스터의 게이트는 상기 제2 접속 단자에 전기적으로 접속되고,

상기 스위칭 트랜지스터는, 동화상을 표시하는 제1 기간에 공통 전위가 상기 대향 전극에 공급되도록 도통 상태에 있고,

상기 스위칭 트랜지스터는, 정지 화상을 표시하는 제2 기간에 상기 대향 전극이 전기적으로 부유 상태에 있도록 비도통 상태에 있고,

상기 스위칭 트랜지스터가 모든 상기 액정 소자에 대해 공통으로 사용되는 상기 대향 전극에 전기적으로 접속되도록 상기 스위칭 트랜지스터는 모든 상기 복수의 화소에 대해 공통으로 사용되는, 액정 표시 장치.

청구항 3

제1항 또는 제2항에 있어서,

상기 제1 기간 위의 게이트선 구동 회로 및 상기 제1 기간 위의 신호선 구동 회로를 더 포함하는, 액정 표시 장치.

청구항 4

제1항 또는 제2항에 있어서,

상기 산화물 반도체층의 수소 농도는 $1 \times 10^{16} / \text{cm}^3$ 이하인, 액정 표시 장치.

청구항 5

제1항 또는 제2항에 있어서,

상기 산화물 반도체층의 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만인, 액정 표시 장치.

청구항 6

전자 기기로서,

제1항 또는 제2항에 따른 액정 표시 장치를 포함하는, 전자 기기.

청구항 7

제1항 또는 제2항에 있어서,

상기 산화물 반도체층은 In, Ga, 및 Zn을 포함하는, 액정 표시 장치.

청구항 8

제1항 또는 제2항에 있어서,

상기 산화물 반도체층의 두께는 50nm 이하인, 액정 표시 장치.

청구항 9

제1항 또는 제2항에 있어서,

상기 대향 전극은 도전 입자를 통하여 상기 스위칭 트랜지스터와 전기적으로 접속되는, 액정 표시 장치.

청구항 10

제9항에 있어서,

상기 액정과 접하며 상기 액정을 둘러싸는 시일(sealing) 재료; 및

상기 시일 재료와 접하는 수지층

을 더 포함하고,

상기 도전 입자는 상기 수지층에 제공되어 있는, 액정 표시 장치.

청구항 11

제1항 또는 제2항에 있어서,

상기 화소 트랜지스터 및 상기 스위칭 트랜지스터 각각은 보텀 게이트(bottom-gate) 구조를 갖는, 액정 표시 장치.

청구항 12

제1항 또는 제2항에 있어서,

상기 화소 트랜지스터 및 상기 스위칭 트랜지스터 각각의 채널 폭 $1\mu\text{m}$ 당 오프 전류(off-state current)는 $10\text{aA}/\mu\text{m}$ 이하인, 액정 표시 장치.

청구항 13

제1항 또는 제2항에 있어서,

상기 단자부는 상기 화소 회로의 외측에 위치되는, 액정 표시 장치.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다. 또한, 본 발명은 액정 표시 장치의 구동 방법에 관한 것이다. 또한, 본 발명은 액정 표시 장치를 포함하는 전자 기기에 관한 것이다.

배경 기술

[0002] 통상 액정 표시 장치로 나타나는 바와 같이, 글래스 기판 등의 평판 위에 형성되는 박막 트랜지스터는 아몰퍼스 실리콘이나 다결정 실리콘을 이용하여 제조된다. 아몰퍼스 실리콘을 이용하여 제조되는 박막 트랜지스터는 전

계 효과 이동도가 낮지만 대면적의 글래스 기판 위에 형성될 수 있다. 한편, 결정 실리콘을 이용하여 제조되는 박막 트랜지스터는 전계 효과 이동도가 높지만, 레이저 어닐링 등의 결정화 공정에 기인하여, 대면적의 글래스 기판 위에 형성되기에 언제나 적절하지는 않다는 특성을 갖는다.

- [0003] 이것에 대하여, 산화물 반도체를 이용하여 박막 트랜지스터를 제조하고, 전자 디바이스나 광 디바이스에 응용하는 기술이 주목받고 있다. 예를 들면, 산화물 반도체막으로서 산화 아연, 또는 In-Ga-Zn-O계 산화물 반도체를 이용하여 박막 트랜지스터를 제조하고, 액정 표시 장치의 스위칭 소자 등에 이용하는 기술이 특허 문헌 1에 개시되어 있다.

선행기술문헌

특허문헌

- [0004] (특허문헌 0001) [특허 문헌 1]일본 특허 공개 제2006-165528호 공보

발명의 내용

해결하려는 과제

- [0005] 산화물 반도체를 채널 영역에 이용한 박막 트랜지스터의 전계 효과 이동도는 아몰퍼스 실리콘을 채널 영역에 이용한 박막 트랜지스터보다 높다. 이러한 산화물 반도체를 이용하여 형성한 박막 트랜지스터를 포함하는 화소는 액정 표시 장치 등의 표시 장치에 대한 응용이 기대된다.
- [0006] 액정 표시 장치는, 액정 재료를 개재하는 양단 전극의 전위를 소정 기간 유지하는 축적 커패시터가 각 화소에 구비되어 있다. 액정 재료를 개재하는 양단 전극의 전위를 유지하기 위해서는, 액정 재료를 개재하는 양단 전극의 전하의 누설(leakage)을 저감시킬 필요가 있다. 따라서, 각 화소의 화소 전극에 접속되어 있는 박막 트랜지스터의 오프-상태 전류를 저감시키는 것이 중요하다. 박막 트랜지스터의 오프-상태 전류를 저감시키면, 화소의 전압 유지 기간을 연장할 수 있다. 따라서, 정지 화상 등의 표시 시에 저소비 전력화를 도모하는데 있어서 오프-상태 전류를 저감하는 것이 중요하다.
- [0007] 본 명세서에서, 오프-상태 전류는 박막 트랜지스터가 오프 상태(비도통(non-conductive) 상태라고도 한다)일 때에, 소스와 드레인 사이에 흐르는 전류임에 주목한다. n채널형의 박막 트랜지스터(예를 들면, 임계값 전압이 0 내지 2V 정도)의 경우에, 오프-상태 전류는 게이트와 소스 사이에 인가되는 전압이 마이너스 전압일 때 소스와 드레인 사이를 흐르는 전류이다.
- [0008] 액정 재료를 개재하는 한 쌍의 전극은 화소 전극 이외에 대향 전극(counter electrode)를 포함한다. 대향 전극 측에서도 전하의 누설이 저감되면, 화소의 전압 유지 기간이 연장될 수 있다. 대향 전극 측에서도 전하의 누설을 저감시키고, 전압 유지 기간을 연장시키는 것은 정지 화상 등의 표시 시에 저소비 전력화를 도모하는데 있어서 중요하다.
- [0009] 본 발명의 일 실시 형태의 목적은, 액정 재료를 개재하는 전극으로부터의 전하의 누설을 저감하기 위해서, 박막 트랜지스터의 오프-상태 전류를 저감시켜 저소비 전력화할 수 있는 액정 표시 장치, 그 액정 표시 장치의 구동 방법을 제공하는 것이다.

과제의 해결 수단

- [0010] 제1 기판 위의 화소 전극과 제2 기판 위의 대향 전극의 사이에 액정 소자를 개재하는 액정 표시 장치가 제공되며, 대향 전극에 공급하는 공통 전위를, 제1 기판의 단자부로부터 산화물 반도체를 이용하여 형성된 반도체층을 포함하는 스위칭 트랜지스터를 통하여 입력하는 것을 요지로 한다.
- [0011] 본 발명의 일 실시 형태는, 단자부, 스위칭 트랜지스터, 및 화소 트랜지스터 및 화소 트랜지스터에 전기적으로 접속된 화소 전극을 갖는 화소를 포함하는 화소 회로가 구비되어 있는 제1 기판과, 대향 전극이 구비되어 있는 제2 기판과, 화소 전극과 대향 전극 사이에 개재되어 있는 액정을 포함하는 액정 표시 장치이다. 액정 표시 장치에서, 대향 전극은 스위칭 트랜지스터를 통해서 단자부와 전기적으로 접속되어 있고, 화소 트랜지스터 및 스위칭 트랜지스터가 각각 산화물 반도체층을 포함한다.

- [0012] 본 발명의 일 실시 형태에 따르면, 액정 표시 장치에서는, 제1 기판 위에 게이트선 구동 회로 및 신호선 구동 회로가 구비될 수 있다.
- [0013] 본 발명의 일 실시 형태에 따르면, 액정 표시 장치에서의 산화물 반도체층의 2차 이온 질량 분석법에 의해 검출되는 수소 농도는 $1 \times 10^{16} / \text{cm}^3$ 이하일 수 있다.
- [0014] 본 발명의 일 실시 형태에 따르면, 액정 표시 장치에서의 반도체층의 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만일 수 있다.
- [0015] 본 발명의 일 실시 형태는, 단자부, 산화물 반도체층을 갖는 스위칭 트랜지스터, 및 산화물 반도체층을 갖는 화소 트랜지스터 및 화소 트랜지스터에 전기적으로 접속된 화소 전극을 갖는 화소를 포함하는 화소 회로가 구비되어 있는 제1 기판과, 스위칭 트랜지스터를 통해서 단자부와 전기적으로 접속되는 대향 전극이 구비된 제2 기판과, 화소 전극과 대향 전극의 사이에 개재되어 있는 액정을 포함하는 액정 표시 장치의 구동 방법이다. 구동 방법은, 동화상을 표시하는 기간에, 스위칭 트랜지스터의 제1 단자와 스위칭 트랜지스터의 제2 단자를 도통 상태(conduction state)로 해서 대향 전극에는 공통 전위가 공급되고, 정지 화상을 표시하는 기간에, 스위칭 트랜지스터의 제1 단자와 제2 단자를 비도통 상태로 해서 대향 전극을 전기적으로 부유 상태(floating state)로 하는 단계를 포함한다.
- [0016] 본 발명의 일 실시 형태에 따르면, 동화상을 표시하는 기간에, 게이트선 구동 회로로부터 화소 트랜지스터를 구동하기 위한 제1 신호를 화소 트랜지스터에, 신호선 구동 회로로부터 제2 신호를 화소 트랜지스터에 공급하고, 정지 화상을 표시하는 기간에, 제1 신호 및 제2 신호가 정지되는 단계를 더 포함한다.
- [0017] 본 발명의 일 실시 형태에 따르면, 액정 표시 장치의 구동 방법은, 스위칭 트랜지스터에 의해, 단자부로부터 스위칭 트랜지스터의 게이트 단자에 공급되는 신호에 따라, 대향 전극과 공통 전위가 공급되는 단자부 사이의 도통 상태 또는 비도통 상태를 제어하는 방법일 수 있다.

발명의 효과

- [0018] 본 발명의 일 실시 형태에 의해, 박막 트랜지스터의 오프-상태 전류를 저감하여, 저소비 전력화할 수 있는 액정 표시 장치를 제공할 수 있다.

도면의 간단한 설명

- [0019] 도 1의 (a) 내지 (c)는 실시 형태 1의 액정 표시 장치를 나타낸다.
- 도 2는 실시 형태 1의 액정 표시 장치를 나타낸다.
- 도 3은 실시 형태 1의 액정 표시 장치를 나타낸다.
- 도 4의 (a) 내지 (c)는 실시 형태 2의 액정 표시 장치를 나타낸다.
- 도 5의 (a) 내지 (e)는 실시 형태 3의 박막 트랜지스터의 단면을 나타낸다.
- 도 6의 (a) 내지 (e)는 실시 형태 4의 박막 트랜지스터의 단면을 나타낸다.
- 도 7은 실시 형태 5의 박막 트랜지스터의 단면을 나타낸다.
- 도 8의 (a) 내지 (c)는 전자 기기를 나타낸다.
- 도 9의 (a) 내지 (c)는 전자 기기를 나타낸다.
- 도 10은 실시 형태 7을 설명하기 위한 도면이다.
- 도 11의 (a) 및 (b)는 실시 형태 7을 설명하기 위한 도면이다.
- 도 12의 (a) 및 (b)는 실시 형태 7을 설명하기 위한 도면이다.
- 도 13은 실시 형태 7을 설명하기 위한 도면이다.
- 도 14는 실시 형태 8을 설명하기 위한 그래프이다.
- 도 15의 (a) 및 (b)는 실시 형태 8을 설명하기 위한 도면이다.

도 16의 (a) 및 (b)는 실시 형태 8을 설명하기 위한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 본 발명의 실시 형태에 대해서 도면을 참조하면서 설명한다. 단, 본 발명은 많은 다른 양태로 실시하는 것이 가능해서, 본 발명의 목적 및 범위로부터 벗어나지 않고 모드 및 상세를 여러가지로 변경할 수 있는 것은 당업자이면 용이하게 이해된다. 따라서 본 실시 형태의 기재 내용에 한정해서 해석되는 것은 아니다. 이하에 설명하는 본 발명의 구성에서, 동일한 부분 및 동일한 기능을 갖는 부분은 동일한 참조 부호로서 나타냄에 주목한다.
- [0021] 각 실시 형태의 도면 등에서 나타내는 각 구성의 크기, 층의 두께, 또는 영역은, 명료화를 위해 과장해서 표기하고 있는 경우가 있음에 주목한다. 따라서, 본 발명은 반드시 그 스케일에 한정되지 않는다.
- [0022] 본 명세서에서 나타낸 제1, 제2, 제3, 내지 제N(N은 자연수)이라고 하는 용어는, 구성 요소 간의 혼동을 피하기 위해서 사용되며, 수적으로 한정하는 것은 아님에 주목한다.
- [0023] (실시 형태 1)
- [0024] 본 실시 형태에서는, 액정 표시 장치의 개략도, 회로도, 타이밍차트 등에 대해서 설명하고, 본 실시 형태의 효과에 대해서 설명한다. 우선, 도 1의 (a)를 참조하여, 액정 표시 장치의 개략도에 대해서 설명한다.
- [0025] 도 1의 (a)에서 나타내는 액정 표시 장치는, 제1 기관(101) 및 제2 기관(102)을 포함한다. 제1 기관(101)은 화소 회로(103), 게이트선 구동 회로(104), 신호선 구동 회로(105), 단자부(106) 및 스위칭 트랜지스터(107)를 포함한다. 제2 기관(102)은 공통 접속부(108)(커먼 콘택트라고도 한다) 및 대향 전극(109)을 포함한다.
- [0026] 제1 기관(101) 및 제2 기관(102)은 후에 행해지는 가열 처리에 견딜 수 있도록 충분한 내열성을 가질 필요가 있다. 또한, 제1 기관 및 제2 기관 중 적어도 하나는 투광성을 가질 필요가 있다. 제1 기관 및 제2 기관으로서, 알루미늄 실리케이트 글래스 기관, 알루미늄 붕규산(borosilicate) 글래스 기관, 또는 바륨 붕규산 글래스 기관 등의 전자 공업용으로 사용되는 글래스 기관("무알카리 글래스 기관"이라고도 불린다), 석영 기관, 세라믹 기관, 플라스틱 기관 등을 이용할 수 있다.
- [0027] 도 1의 (a)의 화소 회로(103), 게이트선 구동 회로(104), 신호선 구동 회로(105) 및 스위칭 트랜지스터(107)는, 제1 기관(101) 위에 형성되는 박막 트랜지스터를 이용하여 형성됨에 주목한다. 도 1의 (a)의 게이트선 구동 회로(104) 및 신호선 구동 회로(105)는, 제1 기관(101) 위에 형성되는 박막 트랜지스터를 이용하여 형성할 필요는 없고, 제1 기관(101) 밖의 다른 기관 등 위에 형성될 수 있음에 주목한다. 일례로서 도 2에 도시된 바와 같이, 화상 표시용 신호를 단자부(106)로부터 연장되는 배선을 통하여 화소 회로(103)에 입력할 수 있다.
- [0028] 화소 회로(103)에는, 복수의 게이트선 및 복수의 신호선이 게이트선 구동 회로(104) 및 신호선 구동 회로(105)로부터 연장되어, 화소가 게이트선 및 신호선에 둘러싸이게 됨에 주목한다. 복수의 신호선에는 화소의 화소 전극에 공급되는 화상 신호가 공급된다. 복수의 게이트선에 의해, 신호선으로부터 공급되는 화상 신호를 선택해서 화소의 화소 전극에 공급하도록 화소 트랜지스터를 제어한다. 게이트선 구동 회로(104)는 게이트선에 공급하는 신호를 생성해서 출력하기 위한 회로이고, 신호선 구동 회로(105)는 신호선에 공급하는 신호를 생성해서 출력하기 위한 회로이다.
- [0029] 화소 회로(103)에서의 화상의 표시 방식은, 프로그레시브(progressive) 방식이나 인터레이스(interlace) 방식 등을 채용할 수 있음에 주목한다. 색 표시 시에 화소에서 제어되는 색 요소는, R, G 및 B(R, G 및 B는 적, 녹, 청에 각각 대응한다)의 3색에 한정되지 않고, 예를 들면, R, G, B 및 W(W는 백에 대응한다), 또는 R, G, B, 및 옐로우(yellow), 시안(cyan), 마젠타(magenta) 등 중 1색 이상 추가한 것을 채용할 수 있다. 또한, 색 요소의 각 도트간에 표시 영역의 크기가 상이할 수 있다. 단, 본 발명의 일 실시 형태는 색 표시의 액정 표시 장치에 한정되는 것은 아니고, 모노크롬 표시의 액정 표시 장치에 적용될 수도 있다.
- [0030] 본 명세서의 스위칭 트랜지스터는 게이트에 인가되는 전위에 따라서, 양단자, 즉 소스 단자와 드레인 단자 사이의 도통 또는 비도통을 선택하여 스위칭 동작을 실현하는 박막 트랜지스터임에 주목한다. 예를 들면, 박막 트랜지스터가 선형 영역에서 동작하도록 박막 트랜지스터의 게이트 단자에 인가하는 전위를 제어할 수 있다. 스위칭 트랜지스터(107)의 게이트에 인가하는 전위는 단자부(106)로부터 공급될 수 있음에 주목한다. 스위칭 트랜지스터(107)의, 단자부(106)에 접속되는 소스 단자 및 드레인 단자 중 한쪽 단자를 제1 단자라 한다. 스위칭 트랜지스터(107)의, 공통 접속부(108)를 통해 대향 전극에 접속되는 소스 단자 및 드레인 단자 중 다른 쪽 단자

를 제2 단자로 한다. 스위칭 트랜지스터(107)의 제1 단자로부터 대향 전극(109)의 공통 전위가 공급되고, 게이트 단자에 스위칭 트랜지스터(107)의 도통 또는 비도통을 제어하는 신호가 공급됨에 주목한다.

- [0031] 스위칭 트랜지스터의 구조에 대해서는, 역스태거형의 구조나 순스태거형의 구조 중 하나; 또는 채널 영역이 복수의 영역으로 분리되어 분리된 채널 영역이 직렬로 접속된 더블 게이트형의 구조; 또는 게이트 전극이 채널 영역의 위 아래에 구비된 듀얼 게이트형의 구조 중 임의의 것일 수 있다. 또한, 스위칭 트랜지스터를 형성하는 반도체층을 복수의 섬 형상의 반도체층으로 나누어 형성하여 스위칭 동작을 실현할 수 있는 트랜지스터 소자를 사용할 수 있다.
- [0032] 또한, 단자부(106)에는 스타트 펄스 SP 및 클럭 신호 등의 게이트선 구동 회로(104) 및 신호선 구동 회로(105)로부터 출력되는 펄스 신호를 제어하기 위한 신호; 화상 신호(비디오 전압, 비디오 신호, 또는 비디오 데이터라 한다); 전원 전압인 고전원 전위 V_{dd} 및 저전원 전위 V_{ss} ; 대향 전극(109)에 공급하는 공통 전위; 스위칭 트랜지스터(107)를 동작시키기 위한 신호 등이 공급된다.
- [0033] 고전원 전위 V_{dd} 는 기준 전위보다 높은 전위이고, 저전원 전위 V_{ss} 는 기준 전위 이하의 전위임에 주목한다. 고전원 전위 및 저전원 전위 각각은 트랜지스터를 동작할 수 있는 정도의 전위인 것이 바람직함에 주목한다.
- [0034] 전압은 주어진 전위(given potential)와, 기준 전위(예를 들면, 그라운드 전위) 사이의 전위차를 나타낼 경우가 많음에 주목한다. 따라서, 전압, 전위 및 전위차를, 각각, 전위, 전압 및 전압차라고도 할 수 있다.
- [0035] 공통 전위는 화소 전극에 공급되는 화상 신호의 전위에 대하여 기준으로 기능하는 한 어떤 전위여도 좋다. 예를 들어, 공통 전위는 그라운드 전위일 수 있다.
- [0036] 공통 접속부(108)는 제1 기판(101)의 스위칭 트랜지스터(107)의 제2 단자와, 제2 기판(102)의 대향 전극 사이의 전기적인 접속을 얻기 위해 구비된다. 공통 전위가 스위칭 트랜지스터(107) 및 공통 접속부(108)를 통해 단자부(106)로부터 대향 전극에 공급된다. 공통 접속부(108)의 구체적인 일례로서는, 절연성 구체에 금속 박막이 코팅된 도전 입자를 사용하여 전기적인 접속을 이룰 수 있다. 제1 기판(101)과 제2 기판(102) 사이에 두개 이상의 공통 접속부(108)가 구비될 수 있음에 주목한다.
- [0037] 대향 전극(109)은 화소 회로(103)에 포함된 화소 전극과 중첩되는 것이 바람직하다. 또한, 대향 전극(109) 및 화소 회로(103)에 포함된 화소 전극은, 다양한 개구 패턴을 가질 수 있다.
- [0038] 화소 회로(103), 게이트선 구동 회로(104), 신호선 구동 회로(105), 및 스위칭 트랜지스터(107)를 제1 기판(101) 위에 형성하는 경우, 또는 화소 회로(103) 및 스위칭 트랜지스터(107)를 제1 기판(101)에 형성하는 경우, 각 회로 소자는 산화물 반도체층을 이용하여 형성된 반도체층을 갖는 n 채널형의 박막 트랜지스터를 이용하여 형성된다.
- [0039] 이어서, 본 실시 형태의 구성에서, 박막 트랜지스터의 반도체층에 이용하는 산화물 반도체층에 대해서 설명한다.
- [0040] 본 실시 형태에서 이용하는 산화물 반도체로서는, 산화물 반도체 내에 수소가 $1 \times 10^{16}/\text{cm}^3$ 이하로 포함되어, 산화물 반도체에 포함되는 수소를 가능한 한 제로에 가까울 만큼 제거한다. $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 이하인 캐리어 농도를 갖는 산화물 반도체막을 이용하여 박막 트랜지스터의 채널 영역을 형성한다. 본 실시 형태에서, 산화물 반도체층 내의 수소 농도는 2차 이온 질량 분석법(SIMS)으로 측정할 수 있다.
- [0041] 산화물 반도체층의 에너지 갭은 2eV 이상, 바람직하게는 2.5eV 이상, 보다 바람직하게는 3eV 이상으로 설정하고, 도너의 일부를 형성하는 수소 등의 불순물을 가능한 한 저감하여, 캐리어 농도를 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 이하가 되도록 한다. 즉, 산화물 반도체층의 캐리어 농도를 가능한 한 완전히 제로에 가깝도록 저감한다.
- [0042] 이렇게 산화물 반도체층에 포함되는 수소 등의 불순물을 가능한 한 제거함으로써 고순도화된 산화물 반도체를 박막 트랜지스터의 채널 형성 영역에 이용함으로써, 채널 폭이 10mm인 경우에도, 드레인 전압이 1V 및 10V이고, 게이트 전압이 -5V 내지 -20V의 범위일 때, 드레인 전류는 1×10^{-13} A 이하가 될 수 있다.
- [0043] 이렇게 오프-상태 전류가 극히 작은 박막 트랜지스터를 이용하여 스위칭 소자 등을 제조한 경우, 오프-상태 전류가 작고, 누설이 거의 없으므로, 스위칭 소자에 접속되는 노드에서의 전하의 누설을 가능한 한 저감할 수 있

다. 따라서, 노드에서의 전위의 유지 기간을 연장할 수 있다.

- [0044] 전술한 산화물 반도체층을 포함하는 박막 트랜지스터로서는, 채널 폭 $1\mu\text{m}$ 당 오프-상태 전류를 $10\text{aA}/\mu\text{m}(1\times 10^{-17}\text{A}/\mu\text{m})$ 이하로 할 수 있고, 나아가 $1\text{aA}/\mu\text{m}(1\times 10^{-18}\text{A}/\mu\text{m})$ 이하로 하는 것이 가능하다. 한편, 저온 폴리실리콘을 포함하는 박막 트랜지스터의 설계 등은 오프-상태 전류가 대략 $1\times 10^{-12}\text{A}$ 라 상정하여 행해진다. 그 때문에, 산화물 반도체를 포함하는 박막 트랜지스터를 이용하면, 저온 폴리실리콘을 포함하는 박막 트랜지스터의 이용 시의 전위의 유지 기간에 비해 전위 유지 기간을 10000배로 늘릴 수 있다. 아몰퍼스 실리콘을 포함하는 박막 트랜지스터의 경우, 채널 폭 $1\mu\text{m}$ 당 오프-상태 전류는 $1\times 10^{-13}\text{A}/\mu\text{m}$ 이상이다. 따라서, 축적 커패시터가 아몰퍼스 실리콘을 갖는 박막 트랜지스터를 포함하는 화소와 동일(0.1pF 정도)할 때, 고순도의 산화물 반도체를 갖는 트랜지스터를 포함하는 화소의 경우가, 아몰퍼스 실리콘을 갖는 박막 트랜지스터를 포함하는 화소의 전압 유지 기간에 비해 전압 유지 기간을 10^4 배 이상으로 늘릴 수 있다.
- [0045] 구체적으로, 산화물 반도체층을 포함하는 박막 트랜지스터를 사용하는 경우, 각 화소에서의 화상 신호의 유지 시간을 연장할 수 있기 때문에, 예를 들면, 정지 화상을 표시할 때의 기입 간의 간격을 10초 이상, 바람직하게는 30초 이상, 더욱 바람직하게는 1분 이상 10분 미만으로 할 수 있다. 즉, 유지 기간을 연장함으로써, 특히 정지 화상을 표시할 때, 화소 전극 및 대향 전극에 대한 화상 신호 및 공통 전위의 공급을 행하는 빈도를 저감할 수 있다. 그 때문에, 저소비 전력화할 수 있다.
- [0046] 정지 화상 표시에서, 유지 기간 동안의 액정 소자에 인가되는 전압의 유지율을 고려하여 적절히 리프레시 동작을 행할 수 있음에 주목한다. 예를 들면, 액정 소자의 화소 전극에 신호를 기입한 직후의 전압 값(초기값)에 대하여 소정의 레벨까지 전압이 내려간 타이밍에서 리프레시 동작을 행하면 좋다. 소정의 레벨은 초기값에 대하여 깜박거림(flicker)이 감지되지 않는 전압으로 설정하는 것이 바람직하다. 구체적으로, 표시 대상이 영상인 경우, 전압이 초기값보다 1.0% 낮은 상태, 바람직하게는 0.3% 낮은 상태가 될 때마다, 리프레시 동작(재기입)을 행하는 것이 바람직하다. 또한, 표시 대상이 텍스트인 경우, 전압이 초기값보다 10% 낮은 상태, 바람직하게는 3% 낮은 상태가 될 때마다, 리프레시 동작(재기입)을 행하는 것이 바람직하다.
- [0047] 예를 들어, 통상적으로, 저온 폴리실리콘을 이용하여 형성된 트랜지스터를 포함하는 화소의 경우, 표시는 일반적으로 60프레임/초(1프레임당 16msec)로 행해진다. 이것은 정지 화상의 경우에도 동일하게 적용될 수 있으며, 레이트를 저하시키면(기입 간의 간격을 늘리면), 화소의 전압이 저하해서 화상 표시에 부정적 영향을 초래하기 때문이다. 한편, 전술한 산화물 반도체층을 포함하는 트랜지스터를 이용하는 경우, 오프-상태 전류가 작기 때문에, 1회의 신호 기입당 유지 기간을 저온 폴리실리콘을 이용하여 형성된 트랜지스터의 유지 기간의 10^4 배 정도인 160초로 연장할 수 있다.
- [0048] 이러한 방식으로, 화상 신호의 기입 빈도를 적게 하더라도, 표시부 상에서의 정지 화상의 표시를 행할 수 있다. 유지 기간을 연장할 수 있기 때문에, 특히 정지 화상을 표시할 때, 신호의 기입을 행하는 빈도를 저감할 수 있다. 예를 들면, 하나의 정지 화상의 표시 기간에 신호 기입의 횟수는 1회 또는 n 회(n 은 2 이상 10^3 이하이다)로 할 수 있다. 이렇게 해서, 표시 장치의 저소비 전력화를 이룰 수 있다.
- [0049] 트랜지스터의 오프-상태 전류의 흐름에 대한 저항은 오프-상태 저항율(resistivity)로서 나타낼 수 있다. 오프 저항율은 트랜지스터가 오프일 때의 채널 형성 영역의 저항율이며, 이는 오프-상태 전류로부터 산출할 수 있다.
- [0050] 구체적으로는, 오프-상태 전류와 드레인 전압으로부터 옴의 법칙을 이용하여 트랜지스터가 오프일 때의 저항값(오프-상태 저항 R)을 산출할 수 있고, 이로써 채널 형성 영역의 단면적 A 와 채널 형성 영역의 길이(소스 전극과 드레인 전극 사이의 거리에 대응한다) L 로부터 $\rho=RA/L$ 의 식(R 은 오프-상태 저항이다)을 이용하여 오프 저항율 ρ 를 산출할 수 있게 된다.
- [0051] 단면적 A 는 채널 형성 영역의 두께가 d 이고 채널 폭이 W 일 때, $A=dW$ 로부터 산출할 수 있다. 채널 형성 영역의 길이 L 은 채널 길이 L 이다. 이상과 같이, 오프-상태 전류로부터 오프 저항율을 산출할 수 있다.
- [0052] 본 실시 형태의 산화물 반도체층을 포함하는 트랜지스터의 오프-상태 저항율은 $1\times 10^9\Omega\cdot\text{m}$ 이상이 바람직하고, $1\times 10^{10}\Omega\cdot\text{m}$ 이상이 보다 바람직하다.

- [0053] 정지 화상과 동화상이 전환됨으로써 표시를 행하는 액정 표시 장치의 경우에는, 게이트선 구동 회로(104) 및 신호선 구동 회로(105)로부터 출력되는 펄스 신호를 제어하기 위한 신호의 공급 또는 정지를 반복적으로 전환함에 주목한다. 이에 따라, 저소비 전력화를 이룰 수 있다.
- [0054] 동화상은 복수의 프레임으로 시분할된 복수의 화상을 고속으로 전환함으로써 인간의 눈에 동화상으로서 인식되는 화상을 칭한다. 구체적으로, 1초당 적어도 60회(60프레임)로 화상을 전환함으로써, 인간의 눈에는 깜박거림이 적은 동화상으로 인식되는, 일련의 화상 신호인 것이다. 정지 화상은 동화상과 달리, 복수의 프레임 기간으로 시분할된 복수의 화상을 고속으로 전환해서 동작시키지만, 일련의 프레임 기간, 예를 들면 n번째 프레임과 (n+1)번째 프레임에서 화상 신호가 변화하지 않는 화상 신호를 칭한다.
- [0055] 정지 화상과 동화상이 전환됨으로써 표시를 행하는 액정 표시 장치의 경우, 화상이 동화상인지 정지 화상인지는, 다른 기관 등에서 프레임의 화상 간의 비교에 의해 판정될 수 있다. 예를 들어, 기억 회로 및 비교 회로를 구비하여, 프레임마다 화상 신호를 기억하기 위해서 별도로 구비된 기억 회로로부터 일련의 프레임 기간의 화상 신호를 선택적으로 판독하고, 비교 회로에 의해 화상 신호를 비교할 수 있다. 또한, 비교에 의해 차분이 검출된 때는 화상을 동화상으로 판정하고, 비교에 의해 차분이 검출되지 않은 때는 화상을 정지 화상으로 판정하는 회로를 구비할 수 있다. 구체적으로, 비교 회로에 의해 화상이 동화상으로 판정되었을 때, 즉 일련의 프레임에서의 화상 신호의 차분이 검출되었을 때에는, 화상 신호와 공통 전위가 화소 회로(103)의 각 화소와 대향 전극에 공급된다. 한편, 비교 회로에 의해 정지 화상이라고 판정되었을 때, 즉 일련의 프레임에서의 화상 신호의 차분이 검출되지 않았을 경우에는, 화소 회로(103)의 각 화소와 대향 전극에 대한 화상 신호와 공통 전위를 정지한다. 화상이 정지 화상으로 판정된 경우에 화상 신호를 정지함과 함께, 또한 고전원 전위 V_{dd} 및 저전원 전위 V_{ss} 등의 전원 전압을 정지한다. 이에 따라, 한층 더 저소비 전력화를 이룰 수 있다.
- [0056] 화상 신호, 전원 전위 및 공통 전위의 공급은 배선에 소정의 전위를 공급하는 것이다. 전원 전위의 정지는 배선에 대한 소정 전위의 공급을 정지하고, 소정의 고정 전위가 공급되는 배선, 예를 들면 저전원 전위 V_{ss} 가 공급되는 배선에 접속하는 것이다. 화상 신호와 공통 전위의 정지는 또한, 소정의 전위가 공급되고 있는 배선과의 전기적인 접속을 단절하여, 배선을 전기적으로 부유 상태로 하는 것이다.
- [0057] 화상 신호와 공통 전위의 정지는 화소 회로(103)의 각 화소에서 화상 신호를 유지하는 기간 전체에 걸쳐 행하는 것이 바람직하고, 각 화소의 유지 기간 후에 다시 화상 신호와 공통 전위를 공급할 수 있다.
- [0058] 도 1의 (b)는 도 1의 (a)에서의 액정 표시 장치의 개략도에서, 특히 화소 회로(103)의 구성을 상세하게 도시한 회로도이다.
- [0059] 도 1의 (b)에 도시된 액정 표시 장치는 도 1의 (a)와 같이 제1 기관(101)과 제2 기관(102)을 포함한다. 제1 기관(101)은 화소 회로(103), 게이트선 구동 회로(104), 신호선 구동 회로(105), 단자부(106) 및 스위칭 트랜지스터(107)를 갖는다. 제2 기관(102)은 공통 접속부(108)와 대향 전극(109)을 갖는다.
- [0060] 도 1의 (b)에는, 화소 회로(103)에서 복수의 게이트선(111) 및 복수의 신호선(112)이 매트릭스 형상으로 배치되어 있고, 게이트선(111) 및 신호선(112)의 교차부에, 화소 트랜지스터(114) 및 제1 전극과 제2 전극의 사이에 액정이 개재되어 형성되는 액정 소자(115)를 각각 포함하는 화소(113)가 구비되어 있는 모습을 나타낸다. 도 1의 (b)에서, 화소 트랜지스터(114)의 소스 단자와 드레인 단자 중 한쪽 단자를 제1 단자라 하고, 소스 단자와 드레인 단자 중 다른 쪽 단자를 제2 단자라 한다. 화소 트랜지스터(114)의 제1 단자는 신호선(112) 중 하나에 접속되고, 화소 트랜지스터(114)의 게이트 단자는 게이트선(111) 중 하나에 접속되고, 화소 트랜지스터(114)의 제2 단자는 액정 소자(115)의 제1 전극에 접속된다. 액정 소자(115)의 제1 전극은 화소 전극에 대응하고, 액정 소자(115)의 제2 전극은 대향 전극(109)에 대응함에 주목한다.
- [0061] 화소에 포함되는 화소 트랜지스터(114)의 반도체층은 스위칭 트랜지스터(107)에서와 마찬가지로, 산화물 반도체층을 이용하여 형성된다. 화소 트랜지스터에 산화물 반도체를 이용함으로써, 화소 트랜지스터를 통해 흐르는 오프-상태 전류를 대폭 저감할 수 있고, 화소 전극에 공급되는 화상 신호에 대응하는 전위의 유지 기간을 연장할 수 있다.
- [0062] 도 1의 (c)는 화소 전극을 포함하는 화소의 1화소에 대한 회로도이다. 도 1의 (c)에 도시된 회로도에는 화소 트랜지스터(114) 및 스위칭 트랜지스터(107)에 주목한다. 화소 트랜지스터(114)의 게이트 단자는 게이트선(111)에 접속되고, 화소 트랜지스터(114)의 제1 단자는 신호선(112)에 접속되고, 화소 트랜지스터(114)의 제2 단자는 화소 전극(121)에 접속된다. 스위칭 트랜지스터(107)의 게이트 단자는 단자부(106)의 단자(106A)에 접속되고,

스위칭 트랜지스터(107)의 제1 단자는 단자부(106)의 단자(106B)에 접속되고, 스위칭 트랜지스터(107)의 제2 단자는 공통 접속부(108)를 통해 전기적으로 대향 전극(122)에 접속된다. 화소 전극(121)과 대향 전극(122) 사이에는 액정(123)이 개재됨에 주목한다. 화소 전극(121), 대향 전극(122) 및 액정(123)을 통합적으로 액정 소자라 할 수 있다.

[0063] 도 1의 (c)에서, 액정 소자에 축적 커패시터를 병렬로 접속할 수 있음에 주목한다. 축적 커패시터의 커패시턴스는 화소부에 구비되는 박막 트랜지스터의 누설 전류 등을 고려하여, 소정의 기간 동안 전하를 유지할 수 있도록 설정될 수 있다. 축적 커패시터의 커패시턴스는 박막 트랜지스터의 오프-상태 전류 등을 고려해서 설정될 수 있다. 본 실시 형태에서는, 박막 트랜지스터로서 고순도의 산화물 반도체층을 포함하는 트랜지스터를 이용하기 때문에, 각 화소에서의 액정 커패시턴스의 1/3 이하, 바람직하게는 1/5 이하인 축적 커패시턴스를 구비하면 충분하다.

[0064] 액정(123)으로서는, 씨머트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 이용한다. 이러한 액정 재료는 조건에 따라, 콜레스테릭 상, 스멕틱 상, 큐빅 상, 키랄 네마틱 상, 등방상 등을 나타낸다.

[0065] 액정(123)의 고유 저항(specific resistivity)은 $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상이며, 바람직하게는 $1 \times 10^{13} \Omega \cdot \text{cm}$ 을 초과하는 것이며, 더욱 바람직하게는 $1 \times 10^{14} \Omega \cdot \text{cm}$ 을 초과하는 것이다. 본 명세서에서의 고유 저항은 20℃에서 측정됨에 주목한다. 액정이 전극 사이에 개재되어 있는 액정 소자(액정 셀이라고도 한다)를 이용하는 경우에, 액정의 고유 저항은 액정에 배향막, 실란트(sealant) 등으로부터 불순물이 혼입될 경우가 있기 때문에, $1 \times 10^{11} \Omega \cdot \text{cm}$ 이상, 보다 바람직하게는 $1 \times 10^{12} \Omega \cdot \text{cm}$ 을 초과할 수 있다.

[0066] 액정 재료의 고유 저항이 클수록 액정 재료를 통해 누설되는 전하량을 줄일 수 있어, 액정 소자의 동작 상태를 유지하는 전압이 경시적으로 저하되는 것을 억제할 수 있다. 그 결과, 유지 기간을 연장할 수 있고, 신호의 기입을 행하는 빈도를 저감할 수 있고, 액정 표시 장치의 저소비 전력화를 이룰 수 있다.

[0067] 또한, 액정(123)으로서 블루 상을 나타내는 액정 재료를 이용할 수 있다. 블루 상은 액정 상 중 하나이며, 콜레스테릭 액정을 승온시키는 동안, 콜레스테릭 상으로부터 등방 상으로 전이하기 직전에 발현되는 상이다. 블루 상은 좁은 온도 범위에서만 발현되기 때문에, 온도 범위를 개선하기 위해서 5wt.% 이상의 키랄제를 혼합시킨 액정 조성물(crystal composition)을 액정층에 이용한다. 블루 상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은, 응답 속도가 1msec 이하로 짧고, 광학적 등방성을 가지므로, 배향 처리(alignment process)가 불필요하고, 시야각 의존성이 작다. 또한, 배향막을 구비할 필요가 없고 러빙 처리도 불필요하기 때문에, 러빙 처리에 의해 야기되는 정전 파괴를 방지할 수 있고, 제조 공정 중의 액정 표시 장치의 불량이나 파손을 경감할 수 있다. 따라서, 액정 표시 장치의 생산성을 향상시키는 것이 가능하다. 산화물 반도체층을 이용하는 박막 트랜지스터는, 정전기의 영향에 의해 박막 트랜지스터의 전기적인 특성이 현저하게 변동하여 설계 범위를 일탈할 가능성이 있다. 따라서, 산화물 반도체층을 이용하는 박막 트랜지스터를 포함하는 액정 표시 장치에 블루 상의 액정 재료를 이용하는 것이 보다 효과적이다.

[0068] 본 실시 형태의 구성은 액정 표시 장치에 한정되지 않고, 표시 소자로서 일렉트로루미네센스 소자(EL 소자라고도 한다) 등의 발광 소자를 이용한 EL 표시 장치일 수 있다.

[0069] 도 3은 도 1의 (c)의 회로도에서의 단자, 게이트선 구동 회로(104) 및 신호선 구동 회로(105)에 공급되는 신호의 상태에 대해서 나타내는 타이밍 차트이다. 타이밍 차트의 일례를 설명을 하기 위해서, 도 3의 기간(301)은 동화상 기입 기간에 대응하고, 도 3의 기간(302)은 정지 화상 표시 기간에 대응함에 주목한다. 화상이 동화상이거나 정지 화상인지의 판정의 결과에 따라, 동화상 기입 기간 또는 정지 화상 기입 기간 중 하나로 도 3의 기간을 결정할 수 있다. 도 3에서, GCK는 게이트선 구동 회로(104)에 공급되는 클럭 신호이며, GSP는 게이트선 구동 회로(104)에 공급되는 스타트 펄스이며, SCK는 신호선 구동 회로(105)에 공급되는 클럭 신호이며, SSP는 신호선 구동 회로(105)에 공급되는 스타트 펄스이다. 또한, 도 3에는, 화소 전극(121)의 전위, 단자(106A)의 전위, 단자(106B)의 전위 및 대향 전극(122)의 전위에 대해서도 나타낸다.

[0070] 기간(301)의 동화상 기입 기간은 일련의 프레임 기간의 화상 신호의 비교에 의해 차분을 검출했을 때의 기간에 대응하고, 기간(302)의 정지 화상 기입 기간은 일련의 프레임 기간의 화상 신호의 비교에 의해 차분을 검출하지 않을 때의 기간에 대응함에 주목한다. 따라서, 기간(301)에서는, 화상 신호와 공통 전위가 화소 회로(103)의 각 화소와 대향 전극에 공급되도록 동작이 행해진다. 한편, 기간(302)에서는, 화소 회로(103)의 각 화소와 대

향 전극에 대한 화상 신호와 공통 전위의 정지가 행해진다.

- [0071] 구체적으로는, 기간(301)에서, 도 3에 도시된 바와 같이 클럭 신호(GCK)로서 상시 클럭 신호를 공급하고, 도 3에 도시된 바와 같이 스타트 펄스(GSP)로서 수직 동기 주파수에 따라 펄스를 공급한다. 기간(301)에서, 도 3에 도시된 바와 같이 클럭 신호(SCK)로서 상시 클럭 신호를 공급하고, 도 3에 도시된 바와 같이 스타트 펄스(SSP)로서 1게이트 선택 기간에 따라 펄스를 공급하고, 도 3에 도시된 바와 같이 신호선(112)에는 각 행의 화소에 공급하기 위한 화상 신호 "data"가 공급되고, 게이트선 (111)의 전위에 따라 화소 내의 화소 전극(121)에 신호선(112)의 전위가 공급되고, 도 3에 도시된 바와 같이 스위칭 트랜지스터(107)의 게이트 단자에 대응하는 단자(106A)는 스위칭 트랜지스터(107)를 턴온 상태로 하는 전위를 공급하여 단자(106B)의 전위인 공통 전위가 대향 전극(122)에 공급된다.
- [0072] 기간(302)에서, 도 3에 도시된 바와 같이 클럭 신호(GCK) 및 스타트 펄스(GSP)는 모두 정지하고, 도 3에 도시된 바와 같이 클럭 신호(SCK) 및 스타트 펄스(SSP)도 모두 정지하고, 도 3에 도시된 바와 같이 신호선(112)에 공급되고 있던 화상 신호 "data"도 정지한다. 도 3에 도시된 바와 같이, 클럭 신호(GCK) 및 스타트 펄스(GSP)가 모두 정지하여, 화소 트랜지스터(114)가 턴오프되어 화상 신호 "data"의 공급이 정지되고, 화소 전극(121)이 부유 상태가 된다. 또한, 스위칭 트랜지스터(107)의 게이트 단자에 대응하는 단자(106A)는 스위칭 트랜지스터(107)를 턴오프로 하는 전위를 공급하므로, 단자(106B)의 전위인 공통 전위의 공급이 정지된다. 이에 따라, 대향 전극(122)의 전위가 부유 상태로 된다.
- [0073] 즉, 기간(302)에서는, 액정(123)의 양단 전극, 즉 화소 전극(121) 및 대향 전극(122)을 부유 상태로 함으로써 기간(302)에 새롭게 전위를 공급하지 않고, 정지 화상의 표시를 행할 수 있다. 게이트선 구동 회로(104) 및 신호선 구동 회로(105)에 공급하는 클럭 신호 및 스타트 펄스를 정지하는 것에 의해 저소비 전력화를 이룰 수 있다. 산화물 반도체층을 이용하여 형성된 반도체층을 포함하는 박막 트랜지스터를 이용하여, 액정 소자의 양단이 비도통 상태 시에 오프-상태 전류를 저감할 수 있다. 각각이 이러한 박막 트랜지스터를 이용하여 형성된 화소 트랜지스터(114) 및 스위칭 트랜지스터(107)를 형성함으로써, 액정 소자를 통하여 흐르는 전류를 저감할 수 있다.
- [0074] 전술된 바와 같이, 산화물 반도체층을 포함하는 박막 트랜지스터에서는, 오프-상태 전류를 $10\text{aA}/\mu\text{m}$ 이하로 저감할 수 있으므로, 비정질규소 등을 이용하여 형성된 반도체층을 포함하는 박막 트랜지스터에 비해, 화소 전극(121) 및 대향 전극(122)을 부유 상태로 하는 기간인 유지 기간을 연장할 수 있다. 그 때문에, 본 실시 형태에서의 정지 화상을 표시할 때에 저소비 전력화를 이루는 데에 있어서 상승 효과를 예상할 수 있다.
- [0075] 도 1의 (c)에서의 액정(123)의 저항율은, 대략 $1 \times 10^{12} \Omega \cdot \text{cm}$ 내지 $1 \times 10^{13} \Omega \cdot \text{cm}$ 임에 주목한다. 도 3에서의 기간(302)에서는, 액정(123)의 양단 전극, 즉 화소 전극(121) 및 대향 전극(122)을, 오프-상태 전류가 거의 없는 박막 트랜지스터를 이용하여 부유 상태로 할 수 있다. 그 때문에, 액정(123)의 양단에 인가되는 전압에 의한 액정(123)을 통하여 흐르는 오프-상태 전류를 저감할 수 있다.
- [0076] 그 결과, 정지 화상을 표시할 때, 저소비 전력화를 이루면서, 화상의 왜곡(distortion)이 저감된 액정 표시 장치를 제공할 수 있다.
- [0077] 본 실시 형태는 다른 실시 형태에 기재된 임의의 구성과 적절히 조합해서 실시할 수 있다.
- [0078] (실시 형태 2)
- [0079] 상기 실시 형태 1의 액정 표시 장치의 구성에 대해서, 도 4의 (a) 내지 (c)의 구체적인 상면도 및 단면도를 참조하여 설명한다.
- [0080] 도 4의 (a)는 본 발명의 액정 표시 장치의 상면도이다. 도 4의 (a)는 제1 기판(1210)에 플렉서블 프린트 회로, FPC를 접착하지 않았을 때의 액정 표시 장치의 상면도이다. 도 4의 (b)는 도전 입자와 접속 배선의 접속 영역을 도시하는 도 4의 (a)의 G-H에 따른 단면도를 나타낸다. 도 4의 (c)는 화소 회로와 접속 배선의 접속 영역을 도시하는 도 4의 (a)의 E-F에 따른 단면도를 나타낸다.
- [0081] 도 4의 (a) 내지 도 4의 (c)는 투과형의 액정 표시 장치의 예이지만, 본 실시 형태는 반투과형 및 반사형의 액정 표시 장치에도 적용할 수 있다.
- [0082] 화소 전극이 구비된 액티브 매트릭스 기판으로서 기능하는 제1 기판(1210)과 대향 전극(1291)이 구비된 제2 기판(1204)이 시일(sealing) 재료(1205)에 의해 서로 접합되어 있고, 시일 재료(1205)에 의해 둘러싸인 내측 공간

은 액정(1280)으로 매립되어 있다. 제1 기관(1210) 위에는 신호선 구동 회로(1200), 주사선 구동 회로(1201) 및 화소 전극이 매트릭스 형상으로 형성된 화소 회로(1202)가 형성되어 있다.

- [0083] 대향 전극(1291)은 단자부(1240)로부터 연장되는 접속 배선(1208), 스위칭 트랜지스터(1261) 및 한 쌍의 기관 사이에 배치되는 도전 입자가 구비되는 수지층(1235)를 통하여 단자부(1240)와 전기적으로 접속된다. 대향 전극과 단자부 사이의 접속의 개수는, 적어도 하나여도 좋고 둘 이상이어도 좋다.
- [0084] 구동 회로부로서, 제1 기관(1210) 위에, 구동 회로 박막 트랜지스터(1223)를 포함하는 회로를 구비한 신호선 구동 회로(1200)를 나타낸다. 또한, 제1 기관 위에, 구동 회로 박막 트랜지스터를 포함하는 주사선 구동 회로(1201)를 구비한다.
- [0085] 화소 회로(1202)는 화소 트랜지스터(1211)를 포함한다. 또한, 절연층(1214) 위 및 내에는 화소 트랜지스터(1211)에 접속하는 화소 전극(1250)이 형성된다.
- [0086] 화소 트랜지스터(1211), 구동 회로 박막 트랜지스터(1223) 및 스위칭 트랜지스터(1261)는, 각각, 산화물 반도체층, 게이트 절연층 및 게이트 전극층을 이용하여 형성된다. 구동 회로 박막 트랜지스터(1223) 위에는, 절연층(1214)을 개재하여 게이트 전극층 및 산화물 반도체층과 중첩되는 도전층(1293)이 구비되어 있다. 스위칭 트랜지스터(1261)는 수지층(1235)의 도전 입자(1270)를 통하여 대향 전극(1291)과 전기적으로 접속되어 있다.
- [0087] 도 4의 (a)에서, 스위칭 트랜지스터(1261)는 시일 재료(1205)의 외측에 구비되었지만, 시일 재료(1205)의 내측에 구비될 수 있다. 예를 들면, 일례로서는 신호선 구동 회로(1200)가 구비되는 영역에 스위칭 트랜지스터(1261)를 구비할 수 있다. 시일 재료(1205)의 내측에 구비된 스위칭 트랜지스터(1261)는 외부 소스로부터의 충격 등으로부터의 보호될 수 있다. 따라서, 스위칭 트랜지스터(1261)의 수명을 길게 할 수 있다.
- [0088] 구동 회로 박막 트랜지스터(1223)에서, 산화물 반도체층은 게이트 전극층과 도전층(1293) 사이에 개재되어 있다. 이러한 구성으로써, 구동 회로 박막 트랜지스터(1223)의 임계값 변동을 저감시켜, 안정한 전기 특성을 갖는 구동 회로 박막 트랜지스터(1223)를 구비하는 액정 표시 장치를 제공할 수 있다. 도전층(1293)은 게이트 전극층과 동일한 전위일 수 있고, 또는 플로팅 전위나, GND 전위나 0V 등의 고정 전위일 수 있다. 도전층(1293)의 전위를 적절한 값으로 설정함으로써, 구동 회로 박막 트랜지스터(1223)의 임계 전압을 제어할 수 있다.
- [0089] 각각의 제1 기관(1210) 및 제2 기관(1204)으로서, 알루미늄 실리케이트 글래스 기관, 알루미늄 붕규산 글래스 기관, 또는 바륨 붕규산 글래스 기관과 같은 전자 공업용으로 사용되는 글래스 기관("무알카리 글래스 기관"이라고도 불린다), 석영 기관, 세라믹 기관, 플라스틱 기관 등을 적절히 이용할 수 있다. 각각의 제1 기관(1210) 및 제2 기관(1204)으로서, 플렉서블 플라스틱 기관을 이용함으로써, 플렉서블 액정 표시 장치를 제조할 수 있다.
- [0090] 시일 재료(1205)는 스크린 인쇄법이나, 잉크젯 장치 또는 디스펜스 장치를 이용하여 제1 기관 또는 제2 기관 위에 도포된다. 시일 재료(1205)로서, 대표적으로, 가시광 경화성 수지, 자외선 경화성 수지 또는 열경화성 수지를 포함하는 재료를 이용할 수 있다. 예를 들면, 비스페놀-A형 액상 수지, 비스페놀-A형 고형 수지, 브롬 함유 에폭시 수지, 비스페놀-F형 수지, 비스페놀-AD형 수지, 페놀형 수지, 크레졸형 수지, 노볼락형 수지, 환상지방족 에폭시 수지, 에피택셀 비스형 에폭시 수지, 글리시딜 에스테르 수지, 글리시딜 아민 수지, 복소환식 에폭시 수지, 또는 변성 에폭시 수지 등의 에폭시 수지를 이용할 수 있다. 시일 재료(1205)로서는, 점도가 40Pa·s 내지 400Pa·s인 재료를 이용한다. 또한, 필터(직경 1 μ m 내지 24 μ m)를 포함할 수 있다. 시일 재료로서는, 후에 접하는 액정에 용해되지 않는 시일 재료를 선택하는 것이 바람직함에 주목한다.
- [0091] 도전 입자(1270)로서, 절연성 구체에 금속 박막이 피복된 도전 입자를 이용할 수 있다. 절연성 구체는 실리카 글래스, 경질 수지 등으로 형성된다. 금속 박막은, 금, 은, 팔라듐, 니켈, IT0 및/또는 IZO의 단층 또는 적층 구조를 이용하여 형성될 수 있다. 예를 들면, 금속 박막으로서 금 박막이나, 니켈 박막 및 금 박막의 적층 등을 이용할 수 있다. 절연성 구체를 중심에 포함하는 도전 입자를 이용함으로써, 탄성이 높아져서, 외부 소스로부터의 압력에 의한 파괴를 저감할 수 있다.
- [0092] 화소 전극(1250)의 종류는 투과형의 액정 표시 장치와 반사형의 액정 표시 장치에서 서로 상이하다. 투과형 액정 표시 장치의 경우, 화소 전극(1250)은 투광성 재료를 이용하여 형성된다. 투광성 재료의 예시로서, 산화 인듐 주석(ITO), 산화 아연(ZnO), 산화 인듐 아연(IZO), 갈륨 도핑된 산화 아연(GZO) 등을 들 수 있다.
- [0093] 또한, 화소 전극(1250)은 도전성 폴리머를 또한 포함하는 도전성 조성물을 이용하여 형성될 수 있다. 도전성

조성물을 이용하여 형성된 화소 전극은, 시트 저항이 $10000\Omega/\square$ 이하, 파장 550nm에서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율은 $0.1\Omega \cdot \text{cm}$ 이하인 것이 바람직하다.

- [0094] 도전성 폴리머로서는, 소위 π -전자공액계 도전성 고분자를 이용할 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 혹은 이들의 2종 이상의 공중합체 등을 들 수 있다.
- [0095] 한편, 반사형의 액정 표시 장치의 경우, 화소 전극으로서 반사율이 높은 금속 전극이 이용된다. 구체적으로는, 알루미늄, 은 등이 이용된다. 또한, 화소 전극의 표면을 거칠게 함으로써, 반사율이 높아진다. 이 때문에, 화소 전극의 기초막은 거친 상태일 수 있다.
- [0096] 또한, 반투과형의 액정 표시 장치의 경우에, 화소 전극에는 투과형의 재료와 반사형의 재료가 이용된다.
- [0097] 또한, 제1 기판(1210)의 단부에는 단자부(1240)가 형성된다. 단자부(1240)에는, 접속 배선(1208) 위에 접속 단자(1241)가 형성된다.
- [0098] 도 4의 (b)는 도전 입자(1270)와 접속 단자가 서로 접속되는 영역의 단면도이다. 제1 기판(1210) 위에 접속 배선(1208) 및 스위칭 트랜지스터(1261)가 형성된다. 접속 배선(1208) 위에는 화소 전극(1250)과 동시에 형성되는 접속 단자(1241)가 형성된다. 접속 단자(1241)는, 접속 배선(1208), 스위칭 트랜지스터(1261) 및 도전 입자(1270)를 개재하여 대향 전극(1291)과 전기적으로 접속된다. 또한, 접속 단자(1241)는 FPC(도시되지 않음)와 접속된다. 도 4의 (b)에서, 도전 입자(1270)는 수지층(1235)에 의해 고정되어 있다. 수지층(1235)은 시일 재료(1205)로 이용되는 것과 같은 유기 수지 재료를 이용하여 형성될 수 있다.
- [0099] 도 4의 (c)는 화소 전극과 접속 단자가 서로 접속되는 영역의 단면도이다. 제1 기판(1210) 위에, 박막 트랜지스터의 소스 전극층 및 드레인 전극층과 동시에 형성되는 접속 배선(1242)이 형성된다. 접속 배선(1242) 위에, 화소 전극(1250)과 동시에 형성되는 접속 단자(1243)가 형성된다. 접속 단자(1243)는 접속 배선(1242)을 통하여 화소 전극(1250)과 전기적으로 접속된다. 본 실시 형태에서는, 액티브 매트릭스형의 액정 표시 장치를 이용하고 있기 때문에, 화소 전극(1250)과 접속 배선(1242)은 직접 접속되지 않고, 화소 트랜지스터(1211) 또는 신호선 구동 회로(1200)를 통하여 접속된다.
- [0100] 화소 전극(1250) 위에 배향막(1206)이 구비되고, 러빙 처리가 실시된다. 배향막(1206) 및 러빙 처리는 사용하는 액정의 모드에 따라 꼭 필요한 것만은 아니다.
- [0101] 대향 기판으로 기능하는 제2 기판(1204)에는, 신호선 구동 회로(1200)와 중첩되는 위치에 블랙 매트릭스, 화소 회로(1202)와 중첩되는 위치에 색 필터, 보호층 등을 구비할 수 있다. 대향 전극(1291)이 형성되고, 대향 전극(1291) 상에 배향막(1207)이 구비되고, 러빙 처리가 실시된다. 제2 기판(1204)도 제1 기판(1210)의 경우와 마찬가지로, 사용하는 액정의 모드에 따라 배향막 및 러빙 처리가 꼭 필요한 것만은 아니다.
- [0102] 대향 전극(1291)이 구비되어 있는 제2 기판(1204) 또는 화소 전극(1250)이 구비되어 있는 제1 기판(1210)에, 주상(pillar) 스페이서(1255)가 더 구비된다. 주상 스페이서(1255)는 제1 기판(1210)과 제2 기판(1204) 사이의 거리를 유지하기 위해 구비되는 것이다. 본 실시 형태에서는, 제2 기판(1204) 측에 구비된 주상 스페이서(1255)를 예시로서 설명한다. 주상 스페이서는 포토리스 스페이서, 포스트 스페이서, 조개관자 스페이서 또는 컬럼 스페이서라고도 하며, 본 실시 형태에서는, 주상 스페이서라고 한다. 대안으로서, 구형의 스페이서를 이용해도 좋다. 본 실시 형태에서는, 주상 스페이서를 이용한다. 주상 스페이서(1255)의 형성 방법으로서, 감광성 아크릴 등의 유기 절연 재료를 기판의 전체 면에 스핀 코팅법에 의해 도포하고, 일련의 포토리스그래피의 공정을 행함으로써, 기판 위에 남은 감광성 아크릴이 스페이서로서 기능한다. 이러한 방법에 의해, 노광 시의 마스크 패턴에 따라 스페이서를 배치하고 싶은 장소에서 노광을 할 수 있다. 액정이 구동하지 않는 위치에 배치된 주상 스페이서는 상하 기판 사이의 거리를 유지할 뿐만 아니라, 액정을 투과하는 광의 누설도 방지할 수 있다. 또한, 주상 스페이서(1255)는 잉크젯법에 의해 유기 절연 재료를 포함하는 조성물을 토출하고(discharging) 그것을 소성함으로써(baking) 형성될 수 있다.
- [0103] 도전 입자(1270) 주위는 도전성 폴리머로 매립될 수 있다. 도전성 폴리머의 대표적인 예시로서는, 도전성 폴리아닐린, 도전성 폴리피롤, 도전성 폴리티오펜, 폴리(3,4-에틸렌디옥시티오펜)(PEDOT)과 폴리(스티렌술폰산)(PSS)의 복합체 등을 들 수 있다. 또한, 화소 전극(1250)에 이용하는 것이 가능한 도전성 폴리머로서 전술된 예시들을 적절히 이용할 수 있다. 도전성 폴리머는 잉크젯 장치, 디스펜서 장치 등으로 도전성 폴리머를 도포함으로써 형성된다. 즉, 대향 전극 또는 접속 배선에 도전성 폴리머가 접하여, 도전 입자(1270) 및 도전성

폴리머가 대향 전극 및 접속 배선과 접합으로써, 대향 전극과 접속 배선 사이의 접속 저항을 저감하는 것이 가능하다.

- [0104] 또한, 접속 배선(1208)과, 제2 기관(1204) 위에 형성되는 대향 전극(1291)이 도전 입자(1270)를 통하여 서로 전기적으로 접속된다.
- [0105] 시일 재료(1205) 및 도전 입자(1270)를, 제1 기관(1210) 위에 또는 제2 기관(1204) 위에 토출하고, 그 후, 시일 재료(1205)를 둘러싸는 공간에 액정을 토출한다. 이 후, 제1 기관(1210) 및 제2 기관(1204)을 감압 분위기에서 서로 접합하고, UV광을 조사하여 시일 재료(1205)를 경화한 후, 가열 처리하여 시일 재료(1205)를 더욱 경화하여, 제1 기관(1210) 및 제2 기관(1204)을 고착한다. 또한, 가열 처리에 의해 액정의 배향을 균일하게 한다.
- [0106] 그 결과, 제1 기관(1210)과 제2 기관(1204)을 서로 접합할 수 있다.
- [0107] 그 후, 제1 기관(1210)과 제2 기관(1204)이 패널형으로 분단된다. 또한, 콘트라스트를 높이기 위해서, 제1 기관(1210)과 제2 기관(1204)의 외측에 각각 제1 편광판(1290)과 제2 편광판(1295)이 구비되어 있다. 또한, 반사형의 표시 장치의 경우에는 제1 편광판(1290)이 꼭 구비될 필요는 없음에 주목한다.
- [0108] 본 실시 형태에서는 도시하지 않지만, 블랙 매트릭스(차광층), 편광 부재, 위상차 부재(retardation member), 반사 방지 부재 등의 광학 부재(광학 기관) 등을 적절히 구비할 수 있다. 예를 들면, 편광 기관 및 위상차 기관에 의해 원편광을 얻을 수 있다. 또한, 광원으로서 백라이트, 사이드 라이트 등을 이용할 수 있다.
- [0109] 액티브 매트릭스형의 액정 표시 장치에서는, 매트릭스 형상으로 배치된 화소 전극을 구동함으로써, 화면 위에 표시 패턴이 형성된다. 구체적으로, 선택된 화소 전극과 화소 전극에 대응하는 대향 전극의 사이에 전압이 인가됨으로써, 화소 전극과 대향 전극 사이에 구비된 액정층의 광학 변조가 행해지고, 이 광학 변조가 표시 패턴으로서 관찰자에 의해 인식된다.
- [0110] 산화물 반도체층을 이용하여 형성된 박막 트랜지스터를 포함하는 액정 표시 장치의 구성에서는, 실시 형태 1과 마찬가지로, 정지 화상을 표시할 때, 저소비 전력화를 이루면서, 화상의 왜곡이 저감될 수 있다.
- [0111] 본 실시 형태는 다른 실시 형태에 기재된 임의의 구성과 적절히 조합해서 실시할 수 있다.
- [0112] (실시 형태 3)
- [0113] 본 실시 형태는, 본 명세서에서 개시하는 액정 표시 장치에 적용할 수 있는 박막 트랜지스터의 예시를 나타낸다. 본 실시 형태에서 나타내는 박막 트랜지스터(410) 및 박막 트랜지스터(420)는 각각 실시 형태 2의 스위칭 트랜지스터(1261) 및 화소 트랜지스터(1211)로서 이용할 수 있다.
- [0114] 본 실시 형태의 액정 표시 장치 및 액정 표시 장치의 제조 방법의 일 형태를 도 5의 (a) 내지 (e)를 이용하여 설명한다.
- [0115] 도 5의 (a) 내지 (e)는 액정 표시 장치의 단면 구조의 일례를 나타낸다. 도 5의 (a) 내지 (e)의 박막 트랜지스터(410 및 420)는 채널 에치형이라 불리는 보텀 게이트(bottom-gate) 구조의 하나이며 역스태거형(inverted-staggered) 박막 트랜지스터라고도 한다. 도 5의 (a) 내지 (e)에서, 박막 트랜지스터(410)는 스위칭 트랜지스터이며, 박막 트랜지스터(420)는 화소 트랜지스터이다.
- [0116] 박막 트랜지스터(410 및 420)로서 싱글 게이트 구조의 박막 트랜지스터를 이용하여 설명했지만, 필요에 따라서, 채널 형성 영역을 각각 포함하는 멀티 게이트 구조의 박막 트랜지스터로도 형성할 수 있다.
- [0117] 이하, 도 5의 (a) 내지 (e)를 참조하여, 기관(400) 위에 박막 트랜지스터(410 및 420)를 제조하는 공정을 설명한다.
- [0118] 우선, 절연 표면을 갖는 기관(400) 위에 도전막을 형성한 후, 제1 포토리소그래피 공정에 의해 게이트 전극층(411 및 421)을 형성한다. 또한, 레지스트 마스크를 잉크젯법으로 형성할 수 있음에 주목한다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 필요로 하지 않기 때문에, 제조 코스트를 저감할 수 있다.
- [0119] 절연 표면을 갖는 기관(400)으로서 사용할 수 있는 기관에 큰 제한은 없지만, 기관은 적어도 후에 행해지는 가열 처리에 견딜 수 있는 정도의 내열성을 충분히 가질 필요가 있다. 바륨 붕규산 글래스나 알루미늄 붕규산 글래스 등의 글래스 기관으로 형성할 수 있다.
- [0120] 글래스 기관을 이용하면서 후의 가열 처리의 온도가 높을 경우에는, 왜곡점이 730℃ 이상인 글래스 기관을 이용하는 것이 바람직하다. 글래스 기관으로서, 예를 들어, 알루미늄실리케이트 글래스, 알루미늄붕규산 글래스 또

는 바륨 붕규산 글래스 등의 글래스 재료가 이용된다. 산화 붕소(B_2O_3)에 비해 더 많은 양의 산화 바륨(BaO)을 포함시킴으로써, 보다 실용적인 내열 글래스 기판이 얻어짐에 주목한다. 이 때문에, 더 많은 양의 B_2O_3 보다 BaO 를 포함하는 글래스 기판을 이용하는 것이 바람직하다.

- [0121] 상기의 글래스 기판 대신에, 세라믹 기판, 석영 기판 또는 사파이어 기판 등의 절연체를 이용하여 형성되는 기판을 이용할 수 있음에 주목한다. 대안적으로, 결정화 글래스 기판 등을 이용할 수 있다.
- [0122] 기초막으로 기능하는 절연막을 기판(400)과 게이트 전극층(411) 사이 및 기판(400)과 게이트 전극층(421) 사이에 구비할 수 있다. 기초막은 기판(400)으로부터의 불순물 원소의 확산을 방지하는 기능을 갖고, 질화 규소막, 산화 규소막, 질화 산화 규소막 및 산화 질화 규소막 중 하나 이상의 막을 이용하여 단층으로 또는 적층 구조에 의해 형성될 수 있다.
- [0123] 게이트 전극층(411 및 421)은 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴 및 스칸듐 등의 금속 재료 또는 이들 재료 중 임의 것을 주성분으로 하는 합금 재료를 이용하여 단층으로 또는 적층 구조에 의해 각각 형성될 수 있다.
- [0124] 각각의 게이트 전극층(411 및 421)의 2층 적층 구조로서는, 예를 들면, 알루미늄층 위에 몰리브덴층이 적층된 2층 적층 구조, 구리층 위에 몰리브덴층을 적층한 2층 구조, 구리층 위에 질화 티타늄층 혹은 질화 탄탈을 적층한 2층 구조, 또는 질화 티타늄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 3층의 적층 구조로서는, 텅스텐 또는 질화 텅스텐과, 알루미늄과 규소의 합금 또는 알루미늄과 티타늄의 합금과, 질화 티타늄 또는 티타늄을 적층한 적층 구조로 하는 것이 바람직하다.
- [0125] 다음으로, 게이트 전극층(411 및 421) 위에 게이트 절연층(402)을 형성한다.
- [0126] 게이트 절연층(402)은 플라즈마 CVD이나 스퍼터링법 등에 의해, 산화 규소층, 질화 규소층, 산화 질화 규소층, 질화 산화 규소층 또는 산화 알루미늄층을 단층으로 또는 적층해서 형성할 수 있다. 예를 들면, 성막 가스로서, SiH_4 , 산소 및 질소를 이용하여 플라즈마 CVD법에 의해 산화 질화 규소층을 형성할 수 있다. 또한, 게이트 절연층으로서 산화 하프늄(HfO_x)이나 산화 탄탈(TaO_x) 등의 high-k 재료를 이용할 수 있다. 게이트 절연층(402)의 막 두께는 100nm 내지 500nm로 형성하고, 게이트 절연층(402)이 적층 구조로 형성되는 경우에는, 예를 들면, 막 두께 50nm 내지 200nm의 제1 게이트 절연층과 제1 게이트 절연층 위에 막 두께 5nm 내지 300nm의 제2 게이트 절연층을 적층한다.
- [0127] 본 실시 형태에서는, 게이트 절연층(402)으로서 플라즈마 CVD법에 의해 막 두께 100nm 이하의 산화 질화 규소층을 형성한다.
- [0128] 또한, 게이트 절연층(402)으로서, 고밀도 플라즈마 장치를 이용하여 산화 질화 규소막의 형성할 수 있다. 여기서, 고밀도 플라즈마 장치는 $1 \times 10^{11}/cm^3$ 이상의 플라즈마 밀도를 실현할 수 있는 장치를 가리킨다. 예를 들면, 3kW 내지 6kW의 마이크로파 전력을 인가하여 플라즈마를 발생시켜서 절연막을 형성한다.
- [0129] 챔버에 소스 가스로서 모노실란 가스(SiH_4)와 산화 질소(N_2O)와 희가스를 도입하고, 10Pa 내지 30Pa의 압력 하에서 고밀도 플라즈마를 발생시켜서 글래스 기판 등의 절연 표면을 갖는 기판 위에 절연막을 형성한다. 그 후, 모노실란 가스의 공급을 정지하고, 대기에 노출시키지 않고 산화 질소(N_2O)와 희가스를 도입하여 절연막 표면에 플라즈마 처리를 행할 수 있다. 적어도 산화 질소(N_2O)와 희가스를 도입함으로써 절연막 표면에 행해지는 플라즈마 처리는 절연막의 성막보다 후에 행한다. 상기 프로세스 순서를 거쳐 형성된 절연막은, 막 두께가 얇고, 예를 들면 100nm 미만이어도 신뢰성을 확보할 수 있는 절연막에 대응한다.
- [0130] 게이트 절연층(402)의 형성 시, 챔버에 도입되는 모노실란 가스(SiH_4)와 산화 질소(N_2O)와의 유량비는 1:10 내지 1:200이다. 또한, 챔버에 도입하는 희가스로서는, 헬륨, 아르곤, 크립톤, 크세논 등을 이용할 수 있다. 특히, 저렴한 아르곤을 이용하는 것이 바람직하다.
- [0131] 또한, 고밀도 플라즈마 장치를 이용하여 형성된 절연막은 일정한 두께를 갖기 때문에 절연막의 단차 피복성이 우수하다. 또한, 고밀도 플라즈마 장치에 형성된 얇은 절연막은 두께를 정밀하게 제어할 수 있다.
- [0132] 상기 프로세스 순서를 거쳐 형성된 절연막은 종래의 평행 평판형의 플라즈마 CVD 장치를 이용하여 형성되는 절연막과는 크게 다르다. 같은 에칭제를 이용하여 에칭 속도를 서로 비교한 경우에, 상기 프로세스 순서를 거쳐

형성된 절연막의 속도는 종래의 평행 평판형의 플라즈마 CVD를 이용하여 형성된 절연막의 에칭 속도보다 10% 이상 또는 20% 이상 느리다. 따라서, 고밀도 플라즈마 장치를 이용하여 형성된 절연막은 치밀한 막이라고 할 수 있다.

[0133] 후의 공정에서 I 형화 또는 실질적으로 I 형화되는 산화물 반도체(고순도화된(purified) 산화물 반도체)는 계면 준위 또는 계면 전하에 대하여 매우 민감하기 때문에, 게이트 절연막과의 계면은 중요하다. 그 때문에, 고순도화된 산화물 반도체에 접하는 게이트 절연막(GI)은 고품질화가 요구된다. 따라서, 마이크로파(2.45GHz)를 이용한 고밀도 플라즈마 CVD는 치밀하고 절연 내압의 높은 고품질 절연막을 형성할 수 있으므로 바람직하다. 고순도화된 산화물 반도체와 고품질 게이트 절연막이 서로 가까이 접촉하면, 계면 준위 밀도가 저감되고 양호한 계면 특성을 얻을 수 있다. 절연막에 있어서는, 게이트 절연막으로서 막질이 양호한 것은 물론, 저감된 산화물 반도체와의 계면 준위 밀도를 갖고, 양호한 계면을 형성할 수 있는 것이 중요하다.

[0134] 다음으로, 게이트 절연층(402) 위에, 막 두께 2nm 내지 200nm의 산화물 반도체막(430)을 형성한다. 산화물 반도체막(430)의 형성 후에 탈수화 또는 탈수소화를 위한 가열 처리를 행하여도 산화물 반도체막(430)을 비정질한 상태로 유지하기 위해서, 막 두께를 50nm 이하로 하는 것이 바람직하다. 산화물 반도체막의 막 두께를 얇게 함으로써 산화물 반도체층의 형성 후 가열 처리했을 경우에, 산화물 반도체막이 결정화되는 것을 방지할 수 있다.

[0135] 산화물 반도체막(430)을 스퍼터링법에 의해 형성하기 전에, 아르곤 가스를 도입해서 플라즈마를 발생시키는 역 스퍼터링을 행함으로써, 게이트 절연층(402)의 표면에 부착되어 있는 먼지를 제거하는 것이 바람직함에 주목한다. 역스퍼터링은 타깃 측에 전압을 인가하지 않고, 아르곤 분위기하에서 기판 측에 RF 전원을 이용하여 전압을 인가해서 기판을 개질하는 방법이다. 아르곤 분위기 대신에 질소 분위기, 헬륨 분위기, 산소 분위기 등을 이용할 수 있음에 주목한다.

[0136] 산화물 반도체막(430)으로서, In-Ga-Zn-O계 산화물 반도체막, In-Sn-O계 산화물 반도체막, In-Sn-Zn-O계 산화물 반도체막, In-Al-Zn-O계 산화물 반도체막, Sn-Ga-Zn-O계 산화물 반도체막, Al-Ga-Zn-O계 산화물 반도체막, Sn-Al-Zn-O계 산화물 반도체막, In-Zn-O계 산화물 반도체막, Sn-Zn-O계 산화물 반도체막, Al-Zn-O계 산화물 반도체막, In-O계 산화물 반도체막, Sn-O계 산화물 반도체막, 또는 Zn-O계 산화물 반도체막을 이용한다. 본 실시 형태에서는, 산화물 반도체막(430)을 In-Ga-Zn-O계 산화물 반도체 타깃을 이용하여 스퍼터링법에 의해 성막한다. 이 단계에서의 단면도가 도 5의 (a)에 대응한다. 대안으로서, 산화물 반도체막(430)은 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 또는 희가스(대표적으로는 아르곤) 및 산소를 포함하는 분위기에서 스퍼터링법에 의해 형성할 수 있다. 또한, 스퍼터링법을 이용할 경우, SiO₂를 2wt% 내지 10wt% 포함하는 타깃을 이용하여 산화물 반도체막을 형성하여, 산화물 반도체막(430)에 결정화를 저해하는 SiO_x(x>0)를 포함시켜, 후에 행하는 탈수화 또는 탈수소화를 위한 가열 처리 시에 산화물 반도체막이 결정화되는 것을 억제하는 것이 바람직하다.

[0137] 본 실시 형태에서는, In, Ga 및 Zn을 포함하는 산화물 반도체 타깃(In₂O₃:Ga₂O₃:ZnO=1:1:1[mol%], 즉 In:Ga:Zn=1:1:0.5[at%])을 이용하여 성막한다. 성막 조건은, 기판과 타깃 사이의 거리는 100mm이고, 압력은 0.2Pa이고, 직류(DC) 전원은 0.5kW이고, 분위기는 아르곤 및 산소(아르곤:산소=30sccm:20sccm, 산소 유량 비율 40%)가 혼합된 분위기인 조건으로 설정된다. 펄스 직류(DC) 전원을 이용하면, 성막 시에 발생하는 분말형 물질(파티클, 먼지라고도 한다)을 경감할 수 있고, 막 두께가 균일하게 됨에 주목한다. In-Ga-Zn-O계 막의 막 두께는, 5nm 내지 200nm로 형성된다. 본 실시 형태에서는, 산화물 반도체막으로서, In-Ga-Zn-O계 산화물 반도체 타깃을 이용하여 스퍼터링법에 의해 막 두께 20nm의 In-Ga-Zn-O계 막을 형성한다. 대안으로서, In, Ga 및 Zn을 포함하는 산화물 반도체 타깃으로서, In:Ga:Zn=1:1:1[at%] 또는 In:Ga:Zn=1:1:2[at%]의 조성비를 갖는 타깃을 이용할 수 있다.

[0138] 스퍼터링법의 예시로는, 스퍼터링 전원으로서 고주파 전원을 이용하는 RF 스퍼터링법과, DC 전원을 이용하는 DC 스퍼터링법과, 펄스적으로 바이어스를 부여하는 펄스 DC 스퍼터링법이 있다. RF 스퍼터링법은 주로 절연막을 형성하는 경우에 이용되고, DC 스퍼터링법은 주로 금속막을 형성하는 경우에 이용된다.

[0139] 또한, 복수의 다른 재료의 타깃을 설정할 수 있는 다원 스퍼터링 장치도 있다. 다원 스퍼터링 장치는 동일 챔버에서 다른 재료의 막을 적층하여 형성하거나, 동일 챔버에서 복수 종류의 재료를 동시에 전기적으로 방전시켜서 형성할 수 있다.

[0140] 또한, 챔버 내부에 마그넷 시스템을 구비하여 마그네트론 스퍼터링법을 이용하는 스퍼터링 장치 및 글로우 방전을 사용하지 않고 마이크로파를 이용하여 발생시킨 플라즈마를 이용하는 ECR 스퍼터링법을 이용하는 스퍼터링

장치가 있다.

- [0141] 또한, 스퍼터링법에 의한 성막 방법으로서, 성막 중에 타깃 물질과 스퍼터 가스 성분을 화학 반응시켜서 그들의 화합물 박막을 형성하는 반응성 스퍼터링법 및 성막 중에 기판에도 전압을 인가하는 바이어스 스퍼터링법도 있다.
- [0142] 다음으로, 산화물 반도체막(430)을 제2 포토리소그래피 공정에서 섬 형상의 산화물 반도체층으로 가공한다. 섬 형상의 산화물 반도체층을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크가 필요하지 않기 때문에, 제조 코스트를 저감할 수 있다.
- [0143] 다음으로, 산화물 반도체층의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 행하는 제1 가열 처리 온도는, 400℃ 내지 750℃, 바람직하게는 400℃ 이상 기판의 왜곡점 미만으로 한다. 본 실시 형태에서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대하여 질소 분위기하 450℃에서 1시간의 가열 처리를 행한다. 그 후, 산화물 반도체층을 대기에 노출시키지 않도록 하여, 산화물 반도체층에 물과 수소가 혼입하는 것을 방지한다. 이로써, 산화물 반도체층(431 및 432)을 얻는다(도 5의 (b) 참조).
- [0144] 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 구비할 수 있다. 예를 들면, GRTA(Gas Rapid Thermal Annealing) 장치, LRTA(Lamp Rapid Thermal Annealing) 장치 등의 RTA(Rapid Thermal Annealing) 장치를 이용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈 할로겐 램프, 크세논 아쿠아램프, 카본 아쿠아램프, 고압 나트륨램프 또는 고압 수은램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 이용하여 가열 처리를 행하는 장치이다. 기체로서는, 질소 또는 아르곤 등의 회가스와 같은, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다.
- [0145] 예를 들면, 제1 가열 처리로서, 기판을 650℃ 내지 700℃만큼의 고온으로 가열한 불활성 가스 중으로 이동시켜, 몇 분간 가열한 후, 고온으로 가열된 불활성 가스 중으로부터 꺼내는 GRTA를 행할 수 있다. GRTA를 이용하면 단시간 동안의 고온 가열 처리가 가능하게 된다.
- [0146] 제1 가열 처리에서는, 질소나, 헬륨, 네온 또는 아르곤 등의 회가스에 물, 수소 등이 포함되지 않는 것이 바람직함에 주목한다. 가열 처리 장치에 도입하는 질소나, 헬륨, 네온 또는 아르곤 등의 회가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)로 설정하는 것이 바람직하다.
- [0147] 제1 가열 처리의 조건 또는 산화물 반도체층의 재료에 따라, 산화물 반도체막이 결정화되어, 미결정막(microcrystalline film) 또는 다결정막(polycrystalline film)으로 될 경우도 있다. 예를 들면, 산화물 반도체층이 결정화되어 결정화율이 90% 이상, 또는 80% 이상의 미결정 산화물 반도체막이 될 경우도 있다. 대안으로서, 제1 가열 처리의 조건 또는 산화물 반도체층의 재료에 따라, 결정 성분을 포함하지 않는 비정질의 산화물 반도체막이 될 수 있다. 산화물 반도체층은 미결정부(입경 1nm 내지 20nm(대표적으로는 2nm 내지 4nm))가 비정질의 산화물 반도체 중에 혼합되어 있는 산화물 반도체막이 될 수 있다. RTA(예를 들면, GRTA나 LRTA)를 이용하여 고온의 가열 처리를 행하는 경우, 산화물 반도체막의 표면 측에 세로 방향(막 두께 방향)의 침상 결정이 생길 수 있다.
- [0148] 산화물 반도체층의 제1 가열 처리는 섬 형상의 산화물 반도체층으로 가공하기 전의 산화물 반도체막(430) 상에서 행할 수 있다. 그 경우에는, 제1 가열 처리 후에, 가열 장치로부터 기판을 꺼낸 후, 포토리소그래피 공정을 행한다.
- [0149] 산화물 반도체층의 탈수화 또는 탈수소화의 가열 처리는 산화물 반도체층을 형성한 후, 산화물 반도체층 위에 소스 전극 및 드레인 전극을 형성한 후, 소스 전극 및 드레인 전극 위에 보호 절연막을 형성한 후 중 어느 때 행해도 좋다.
- [0150] 또한, 게이트 절연층(402)에 개구부를 형성할 경우, 개구부의 형성 공정은 산화물 반도체막(430)에 탈수화 또는 탈수소화 처리를 행하기 전에 행해도 좋고, 행한 후에 행할 수 있다.
- [0151] 산화물 반도체막의 에칭은 웨트 에칭에 한정되지 않고 드라이 에칭을 이용해도 됨에 주목한다.
- [0152] 드라이 에칭에 이용하는 스퍼터 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들면 염소(Cl_2), 염화붕소(BCl_3), 염화규소(SiCl_4), 사염화탄소(CCl_4) 등)를 이용하는 것이 바람직하다.

- [0153] 대안으로서, 불소를 포함하는 가스(불소계 가스, 예를 들면 4불화탄소(CF₄), 불화황(SF₆), 불화질소(NF₃), 트리플루오로메탄(CHF₃) 등), 브롬화수소(HBr), 산소(O₂), 이들의 가스 중 임의의 것에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 이용할 수 있다.
- [0154] 드라이 에칭법으로서, 평행 평판형 RIE(Reactive Ion Etching)이나 ICP(Inductively Coupled Plasma)에칭법을 이용할 수 있다. 막을 원하는 형상으로 에칭할 수 있도록 에칭 조건(코일형의 전극에 인가되는 전력량, 기판 측의 전극에 인가되는 전력량, 기판 측의 전극온도 등)을 적절히 조절한다.
- [0155] 웨트 에칭에 이용하는 에천트로서는, 인산과 아세트산과 질산을 혼합하여 얻어진 용액, 암모니아 과산화 혼합물(31wt%의 과산화수소수:28wt%의 암모니아수:물=5:2:2) 등을 이용할 수 있다. 또한, IT007N(간토 화학사 제조)을 이용할 수 있다.
- [0156] 웨트 에칭에 사용되는 에천트는 에칭된 재료와 함께 세정에 의해 제거된다. 에천트와 에치-오프된 재료를 포함하는 폐액을 정제하여, 재료를 재이용할 수 있다. 해당 에칭 후의 폐액으로부터 산화물 반도체층에 포함되는 인듐 등의 재료를 회수해서 재이용함으로써, 자원을 효과적으로 활용하여 코스트를 저감할 수 있다.
- [0157] 재료를 원하는 형상으로 에칭할 수 있도록 재료에 따라 에칭 조건(에천트, 에칭 시간 및 온도 등)을 적절히 조절한다.
- [0158] 다음으로, 게이트 절연층(402) 및 산화물 반도체층(431 및 432) 위에, 금속 도전막을 형성한다. 금속 도전막을 스퍼터링법이나 진공 증착법에 의해 형성할 수 있다. 금속 도전막의 재료로서는, Al, Cr, Cu, Ta, Ti, Mo 및 W로부터 선택된 원소, 또는 상술한 원소 중 임의의 것을 포함하는 합금이나, 상술한 원소 중 임의의 것을 조합한 합금 등을 들 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨 및 토륨으로부터 선택된 하나 또는 복수의 재료를 이용할 수 있다. 또한, 금속 도전막은 단층 구조이어도, 2층 이상의 적층 구조이어도 좋다. 예를 들면, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 타타늄막을 적층하는 2층 구조, Ti막, 알루미늄막 및 Ti막을 이 순서로 적층한 3층 구조 등을 들 수 있다. 대안으로서, Al에, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴) 및 Sc(스칸듐)로부터 선택된 하나 이상의 원소를 조합한 막, 합금막, 혹은 질화막을 이용할 수 있다.
- [0159] 금속 도전막 형성 후에 가열 처리를 행하면, 이 가열 처리에 견디기에 충분한 내열성을 금속 도전막에 갖게 하는 것이 바람직하다.
- [0160] 제3 포토리소그래피 공정을 행한다. 금속 도전막 위에 레지스트 마스크를 형성하고, 선택적으로 에칭을 행함으로써, 소스 전극층(415a), 드레인 전극층(415b), 소스 전극층(425a) 및 드레인 전극층(425b)을 형성한다. 그 후, 레지스트 마스크를 제거한다(도 5의 (c) 참조).
- [0161] 금속 도전막의 에칭에 의해, 산화물 반도체층(431 및 432)은 제거되지 않도록 각각의 재료 및 에칭 조건을 적절히 조절함에 주목한다.
- [0162] 본 실시 형태에서는, 금속 도전막으로서 Ti막을 이용하고, 산화물 반도체층(431 및 432)으로서 In-Ga-Zn-O계 산화물을 이용하고, 에천트로서 암모니아 과산화 혼합물(31wt%의 과산화수소수:28wt%의 암모니아수:물=5:2:2)을 이용한다.
- [0163] 제3 포토리소그래피 공정에서는, 산화물 반도체층(431 및 432)의 일부만이 에칭됨으로써, 흠부(오목부)를 갖는 산화물 반도체층이 형성되는 경우도 있음에 주목한다. 소스 전극층(415a), 드레인 전극층(415b), 소스 전극층(425a) 및 드레인 전극층(425b)을 형성하기 위한 레지스트 마스크를 잉크젯법에 의해 형성해도 좋다. 레지스트 마스크를 잉크젯법에 의해 형성하면 포토마스크를 필요로 하지 않기 때문에, 제조 코스트를 저감할 수 있다.
- [0164] 포토리소그래피 공정에서 이용하는 포토마스크수를 삭감하고 포토리소그래피의 공정수를 삭감하기 위해서, 투과한 광이 복수의 강도를 갖는 노광 마스크인 다계조 마스크를 이용하여 형성된 레지스트 마스크를 이용하여 에칭 공정을 행할 수 있다. 다계조 마스크를 이용하여 형성한 레지스트 마스크는 복수의 막 두께를 갖고, 에칭을 행함으로써 형상을 더 변형할 수 있기 때문에, 레지스트 마스크를 다른 패턴으로 가공하는 복수의 에칭 공정에 이용할 수 있다. 따라서, 한 장의 다계조 마스크에 의해, 적어도 2종류 이상의 다른 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서, 노광 마스크수를 삭감할 수 있고, 대응하는 포토리소그래피 공정도 삭감할 수 있기 때문에, 공정의 간략화가 가능하게 된다.

- [0165] 다음으로, N_2O , N_2 , 또는 Ar 등의 가스를 이용한 플라즈마 처리를 행한다. 이 플라즈마 처리에 의해 노출되어 있는 산화물 반도체층의 표면에 부착된 흡착물 등을 제거한다. 또한, 산소와 아르곤의 혼합 가스를 이용하여 플라즈마 처리를 행할 수 있다.
- [0166] 플라즈마 처리를 행한 후, 대기에 노출시키지 않고, 산화물 반도체층의 일부에 접하며 보호 절연막으로서 기능하는 산화물 절연층(416)을 형성한다.
- [0167] 산화물 절연층(416)은, 적어도 1nm 이상의 막 두께를 갖고, 스퍼터링법 등, 산화물 절연층(416)에 물, 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 이용하여 형성될 수 있다. 산화물 절연층(416)에 수소가 포함되면, 수소가 산화물 반도체층에 혼입하거나, 또는 수소가 산화물 반도체층 중의 산소를 추출하여, 산화물 반도체층의 백채널(backchannel)이 저저항화(n형 도전성을 가짐)되어 기생 채널이 형성된다. 따라서, 가능한한 수소를 포함하지 않는 산화물 절연층(416)을 형성하도록, 수소를 이용하지 않는 성막 방법을 채용하는 것이 중요하다.
- [0168] 본 실시 형태에서는, 산화물 절연층(416)으로서 막 두께 200nm의 산화 규소막을 스퍼터링법에 의해 형성한다. 성막 시의 기판온도는, 실온 이상 300℃ 이하로 하면 되고, 본 실시 형태에서는 100℃로 한다. 산화 규소막의 스퍼터링법에 의한 형성은, 회가스(대표적으로는 아르곤) 분위기, 산소 분위기, 또는 회가스(대표적으로는 아르곤)와 산소의 분위기에서 행할 수 있다. 타깃으로서 산화 규소 타깃 또는 규소 타깃을 이용할 수 있다. 예를 들면, 규소 타깃을 이용하고, 산소 및 질소 분위기하에서 스퍼터링법에 의해 산화 규소를 형성할 수 있다. 저저항화한 산화물 반도체층에 접해서 형성되는 산화물 절연층(416)로서, 수분, 수소 이온, 및 OH^- 등의 불순물을 포함하지 않고, 이것들이 외부로부터 혼입하는 것을 차단하는 무기 절연막을 이용한다. 대표적으로는 산화 규소막, 질화 산화 규소막, 산화 알루미늄막, 또는 산화 질화 알루미늄 등을 이용한다.
- [0169] 다음으로, 불활성 가스 분위기 또는 산소 가스 분위기에서 제2 가열 처리 (바람직하게는 200℃ 내지 400℃, 예를 들면 250℃ 내지 350℃)를 행한다. 예를 들면, 질소 분위기에서 250℃, 1시간의 제2 가열 처리를 행한다. 제2 가열 처리에서, 산화물 반도체층의 일부(채널 형성 영역)가 산화물 절연층(416)에 접한 상태에서 가열된다.
- [0170] 이상의 공정을 거치는 것에 의해, 성막된 산화물 반도체막에 대하여 탈수화 또는 탈수소화를 위한 가열 처리를 행하여 산화물 반도체막을 저저항화한 후, 산화물 반도체막의 일부를 선택적으로 산소 과잉인 상태로 한다. 그 결과, 게이트 전극층(411)과 중첩되는 채널 형성 영역(413)은 i형이 되고, 소스 전극층(415a)에 중첩되는 고저항 소스 영역(414a)과, 드레인 전극층(415b)에 중첩되는 고저항 드레인 영역(414b)이 자기 정합적으로 형성된다. 이에 따라, 박막 트랜지스터(410)가 형성된다. 마찬가지로, 게이트 전극층(421)과 중첩되는 채널 형성 영역(423)은 i형이 되고, 소스 전극층(425a)에 중첩되는 고저항 소스 영역(424a)과, 드레인 전극층(425b)에 중첩되는 고저항 드레인 영역(424b)이 자기 정합적으로 형성된다. 이상의 공정을 통하여, 박막 트랜지스터(420)가 형성된다.
- [0171] 85℃, 2×10^6 V/cm, 12시간의 게이트 바이어스·열 스트레스 시험(BT시험)에서는, 불순물이 산화물 반도체에 첨가되어 있으면, 불순물과 산화물 반도체의 주성분 사이의 결합이 강전계(B:바이어스)와 고온(T:온도)에 의해 절단되고, 생성된 미결합(dangling bond) 수가 임계값 전압(V_{th})의 드리프트를 유발하게 된다. 한편, 산화물 반도체에서 불순물, 특히 수소나 물 등을 제거하고 전술된 바와 같은 절연막과 산화물 반도체 사이의 계면 특성을 양호하게 함으로써, BT시험에 대하여도 안정된 트랜지스터를 얻을 수 있다.
- [0172] 대기 중, 100℃ 내지 200℃, 1시간 내지 30시간에서의 가열 처리를 더 행할 수 있다. 본 실시 형태에서는 150℃로 10시간 가열 처리를 행한다. 이 가열 처리는 일정한 가열 온도로 가열할 수 있다. 대안으로서, 가열 온도를 실온으로부터 100℃ 내지 200℃의 승온한 후 실온까지 감온하는 가열 온도에 대한 변경을 복수 회 반복해서 행할 수 있다. 또한, 이 가열 처리를 산화물 절연막의 형성 전에 감압 하에서 행할 수 있다. 감압 하에서 가열 처리를 행하면, 가열 시간을 단축할 수 있다. 이 가열 처리에 의해, 산화물 반도체층으로부터 산화물 절연층 중에 수소가 도입되어, 상시 오프인 박막 트랜지스터를 얻을 수 있다. 따라서, 액정 표시 장치의 신뢰성을 향상할 수 있다.
- [0173] 드레인 전극층(415b 및 425b)(및 소스 전극층(415a 및 425a))과 중첩되어 있는 산화물 반도체층에서 고저항 드레인 영역(414b 및 424b)(또는 고저항 소스 영역(414a 및 424a))을 형성함으로써, 박막 트랜지스터의 신뢰성의 향상을 이룰 수 있음에 주목한다. 구체적으로는, 고저항 드레인 영역(414b 및 424b)을 형성함으로써, 드레인

전극층(415b 및 425b), 고저항 드레인 영역(414b 및 424b) 및 채널 형성 영역(413 및 423)의 도전성을 단계적으로 변화시킬 수 있는 구조로 할 수 있다. 그 때문에, 드레인 전극층(415b 및 425b)에 고전원 전위(V_{dd})를 공급하는 배선에 접속해서 동작시킬 경우, 게이트 전극층(411)과 드레인 전극층(415b) 사이 및 게이트 전극층(421)과 드레인 전극층(425b) 사이에 고전압이 인가되어도 고저항 드레인 영역이 버퍼로 기능하여 국소적인 전계 집중이 생기기 어렵고, 트랜지스터의 내압을 향상시킬 수 있다.

[0174] 또한, 산화물 반도체층에서의 고저항 소스 영역 또는 고저항 드레인 영역은, 산화물 반도체층의 막 두께가 15nm 이하인 경우에는 막 두께 방향 전체에 걸쳐 형성된다. 산화물 반도체층의 막 두께가 30nm 내지 50nm인 경우에는, 산화물 반도체층의 일부, 즉, 소스 전극층 또는 드레인 전극층에 접하는 영역 및 그 근방이 저저항화되어 고저항 소스 영역 또는 고저항 드레인 영역이 형성되고, 산화물 반도체층에서 게이트 절연막에 가까운 영역은 I 형으로 할 수도 있다.

[0175] 산화물 절연층(416) 위에 보호 절연층을 더 형성할 수 있다. 예를 들면, RF 스퍼터링법에 의해 질화 규소막을 형성한다. RF 스퍼터링법은 양산성이 좋기 때문에 보호 절연층의 성막 방법으로서 사용되기에 바람직하다. 보호 절연층으로서, 수분, 수소 이온 또는 OH^- 등의 불순물을 포함하지 않고, 이것들이 외부로부터 혼입하는 것을 차단하는 무기 절연막을 이용한다. 구체적으로, 질화 규소막, 질화 알루미늄막, 질화 산화 규소막, 산화 질화 알루미늄 등을 이용한다. 본 실시 형태에서는, 보호 절연층으로서 보호 절연층(403)을 질화 규소막을 이용하여 형성한다(도 5의 (d) 참조).

[0176] 보호 절연층(403) 위에 평탄화를 위한 평탄화 절연층을 구비할 수 있다. 도 5의 (e)에 도시된 바와 같이, 박막 트랜지스터(420) 위의 보호 절연층(403) 위에 평탄화 절연층(404)을 형성한다.

[0177] 평탄화 절연층(404)은 폴리이미드, 아크릴, 벤조시클로부텐, 폴리이미드 또는 에폭시 등의 내열성을 갖는 유기 재료로 형성할 수 있다. 상기 유기 재료의 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophospho silicate glass) 등을 이용할 수 있다. 이들 재료를 이용하여 형성되는 절연막을 복수 적층시킴으로써 평탄화 절연층(404)을 형성해도 좋다.

[0178] 실록산계 수지는 실록산계 재료를 출발 재료로 이용하여 형성된 Si-O-Si 결합을 포함하는 수지에 대응함에 주목한다. 실록산계 수지는 치환기로서 게임기(예를 들면 알킬기나 아릴기)나 플루오로기를 포함해도 좋다. 또한, 게임기는 플루오로기를 포함해도 좋다.

[0179] 평탄화 절연층(404)의 형성법은 특별히 한정되지 않고, 그 재료에 따라 스퍼터링법, SOG법, 스핀 코팅법, 디프법, 스프레이 도포법 또는 액적도출법(잉크젯법, 스크린 인쇄, 오프셋 등) 등을 이용할 수 있다. 또한, 평탄화 절연층(404)은 닥터 나이프, 롤 코터, 커튼 코터 또는 나이프 코터 등으로 형성될 수 있다.

[0180] 다음으로, 제4 포토리소그래피 공정을 행한다. 레지스트 마스크를 형성하고, 선택적으로 에칭을 행하여 산화물 절연층(416), 보호 절연층(403)의 일부 및 평탄화 절연층(404)의 일부를 제거하여, 드레인 전극층(425b)에 달하는 개구를 형성한다.

[0181] 다음으로, 투광성을 갖는 도전막을 형성한다. 투광성을 갖는 도전막은 스퍼터링법이나 진공 증착법 등에 의해 산화 인듐(In_2O_3)이나, 산화 인듐과 산화 주석의 합금($In_2O_3-SnO_2$, ITO로 약기한다) 등을 이용하여 형성된다. 투광성을 갖는 도전막의 다른 재료로서, 질소를 포함시킨 Al-Zn-O계 비단결정막, 예를 들어 Al-Zn-O-N계 막, 질소를 포함시킨 Zn-O계 막 및 질소를 포함시킨 Sn-Zn-O계 막을 이용할 수 있다. Al-Zn-O-N계 막의 아연 조성비(원자%)는 47원자% 이하이며 막 내의 알루미늄 조성비(원자%)보다 크고, 막 내의 알루미늄 조성비(원자%)는 막 내의 질소 조성비(원자%)보다 크다는 것에 주목한다. 이러한 재료의 에칭 처리는 염산계 용액에 의해 행한다. 그러나, 특히 ITO의 에칭은 잔사가 발생하기 쉬우므로, 에칭 가공성을 개선하기 위해서 산화 인듐-산화 아연 합금(In_2O_3-ZnO)을 이용할 수 있다.

[0182] 투광성을 갖는 도전막의 조성 퍼센트의 단위는 원자%로 하고, EPMA(Electron Probe X-ray Microanalyzer)를 이용한 분석을 이용하여 조성 퍼센트를 평가함에 주목한다.

[0183] 다음으로, 제5 포토리소그래피 공정을 행한다. 레지스트 마스크를 형성하고, 에칭에 의해 투광성을 갖는 도전막의 불필요한 부분을 제거하여 화소 전극(427)을 형성한다. 그 후, 레지스터 마스크를 제거한다(도 5의 (e) 참조).

[0184] 본 실시 형태에서는, 게이트 절연층의 개구 공정은 도면에서는 도시하지 않고 있지만, 게이트 절연층의 개구는

산화물 절연층 및 보호 절연층의 개구와 동일한 포토리소그래피 공정으로 행하거나, 다른 포토리소그래피 공정으로 행해도 좋다. 다른 공정으로 개구를 형성할 경우, 포토리소그래피 공정의 수가 6이 된다.

- [0185] 본 실시 형태에서 설명된 산화물 반도체층을 이용하여 형성된 박막 트랜지스터를 포함하는 액정 표시 장치는 실시 형태 1의 구성과 조합함으로써, 정지 화상을 표시할 때, 저소비 전력화를 이룰 수 있고 화상의 왜곡을 저감할 수 있다.
- [0186] 본 실시 형태는 다른 실시 형태들 중 임의의 것과 적절히 조합해서 실시할 수 있다.
- [0187] (실시 형태 4)
- [0188] 본 실시 형태는 본 명세서에서 개시하는 액정 표시 장치에 적용할 수 있는 박막 트랜지스터의 다른 예시를 나타낸다. 본 실시 형태에서 나타내는 박막 트랜지스터(240) 및 박막 트랜지스터(260)는 실시 형태 2의 스위칭 트랜지스터(1261) 및 화소 트랜지스터(1211)로서 이용될 수 있다.
- [0189] 본 실시 형태의 액정 표시 장치 및 액정 표시 장치의 제조 방법의 일 실시 형태를 도 6의 (a) 내지 (e)를 참조하여 설명한다.
- [0190] 박막 트랜지스터(240 및 260)로서 싱글 게이트 구조의 박막 트랜지스터를 이용하여 설명했지만, 필요에 따라, 복수의 채널 형성 영역을 각각 포함하는 멀티 게이트 구조의 박막 트랜지스터를 형성할 수 있다.
- [0191] 도 6의 (a) 내지 (e)를 참조하여, 기판(290) 위에 박막 트랜지스터(240 및 260)를 제조하는 공정을 설명한다.
- [0192] 우선, 절연 표면을 갖는 기판(290) 위에 도전막을 형성한 후, 제1 포토리소그래피 공정에서 형성된 게이트 전극층(241 및 261)을 형성한다. 본 실시 형태에서는, 게이트 전극층(241 및 261)에 대하여 막 두께 150nm의 텅스텐 막을 스퍼터링법에 의해 형성한다.
- [0193] 다음으로, 게이트 전극층(241 및 261) 위에 게이트 절연층(292)을 형성한다. 본 실시 형태에서는, 게이트 절연층(292)으로서 플라즈마 CVD법에 의해 막 두께 100nm 이하의 산화 질화 규소층을 형성한다.
- [0194] 다음으로, 게이트 절연층(292)에 금속 도전막을 형성하고, 제2 포토리소그래피 공정을 행한다. 금속 도전막 위에 레지스트 마스크를 형성하고, 선택적으로 에칭을 행하여 소스 전극층(245a 및 265a) 및 드레인 전극층(245b 및 265b)을 형성한다. 그 후, 레지스트 마스크를 제거한다(도 6의 (a) 참조).
- [0195] 다음으로, 산화물 반도체막(295)을 형성한다(도 6의 (b) 참조). 본 실시 형태에서는, 산화물 반도체막(295)은 In-Ga-Zn-O계 산화물 반도체 타깃을 이용하여 스퍼터링법에 의해 형성된다. 산화물 반도체막(295)을 제3 포토리소그래피 공정에 의해 섬 형상의 산화물 반도체층으로 가공한다.
- [0196] 다음으로, 산화물 반도체층의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 위한 제1 가열 처리의 온도는, 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기판의 왜곡점 미만으로 한다. 본 실시 형태에서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대하여 질소 분위기에서 450℃로 1시간의 가열 처리를 행한다. 그 후, 산화물 반도체층을 대기에 노출시키지 않음으로써, 산화물 반도체층에 대한 물 및 수소의 혼입을 방지한다. 이로써, 산화물 반도체층(296 및 297)을 얻는다(도 6의 (c) 참조).
- [0197] 예를 들면, 제1 가열 처리로서, 기판을 650℃ 내지 700℃의 고온으로 가열한 불활성 가스 중에 이동시키고, 몇 분간 가열한 후, 고온으로 가열한 불활성 가스 중에서 꺼내는 GRTA를 행할 수 있다. GRTA를 이용하면 단시간의 고온 가열 처리가 가능하게 된다.
- [0198] 산화물 반도체층(296 및 297)에 접하는 보호 절연막이 되는 산화물 절연층(246)을 형성한다.
- [0199] 산화물 절연층(246)은 적어도 1nm의 막 두께를 갖고, 스퍼터링법 등, 산화물 절연층(246)에 물이나 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 이용하여 형성할 수 있다. 산화물 절연층(246)에 수소가 포함되면, 수소가 산화물 반도체층에 혼입되거나, 또는 수소가 산화물 반도체층 중의 산소를 인출하여, 산화물 반도체층의 산화물 절연층(246)에 접하는 영역이 저저항화(n형 도전성을 가짐)되어, 기생 채널이 형성된다. 따라서, 산화물 절연층(246)이 가능한한 수소를 포함하지 않도록, 수소를 이용하지 않는 성막 방법을 채용하는 것이 중요하다.
- [0200] 본 실시 형태에서는, 산화물 절연층(246)은 막 두께 200nm의 산화 규소막을 스퍼터링법에 의해 형성된다. 성막시의 기판 온도는 실온 이상 300℃ 이하일 수 있고, 본 실시 형태에서는 100℃로 한다. 산화 규소막의 스퍼터

링법에 의한 형성은, 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 또는 희가스(대표적으로는 아르곤)와 산소의 분위기에서 행할 수 있다. 타깃으로서 산화 규소 타깃이나 규소 타깃을 이용할 수 있다. 예를 들면, 규소 타깃을 이용하여, 산소 및 질소 분위기하에서 스퍼터링법에 의해 산화 규소를 형성할 수 있다. 저저항화된 산화물 반도체층에 접해서 형성하는 산화물 절연층(246)으로서, 수분, 수소 이온 및 OH^- 등의 불순물을 포함하지 않고, 이것들이 외부로부터 혼입하는 것을 차단하는 무기 절연막을 이용한다. 대표적으로는, 산화 규소막, 질화 산화 규소막, 산화 알루미늄막, 또는 산화 질화 알루미늄막 등을 이용한다.

- [0201] 다음으로, 불활성 가스 분위기, 또는 산소 가스 분위기에서 제2 가열 처리 (바람직하게는 200℃ 내지 400℃, 예를 들면 250℃ 내지 350℃)를 행한다. 예를 들면, 질소 분위기에서 250℃, 1시간의 제2 가열 처리를 행한다. 제2 가열 처리에서, 산화물 반도체층의 일부(채널 형성 영역)가 산화물 절연층(246)에 접한 상태로 가열된다.
- [0202] 이상의 공정을 통해, 성막된 산화물 반도체막에 대하여 탈수화 또는 탈수소화를 위한 가열 처리를 행하여 산화물 반도체 막을 저저항화한 후, 산화물 반도체막을 선택적으로 산소 과잉인 상태로 한다. 그 결과, i형의 산화물 반도체층(242 및 262)이 형성된다. 이로써, 박막 트랜지스터(240 및 260)가 형성된다.
- [0203] 대기 중, 100℃ 내지 200℃, 1시간 내지 30시간의 가열 처리를 더 행할 수 있다. 본 실시 형태에서는, 150℃로 10시간 가열 처리를 행한다. 이 가열 처리는 일정한 가열 온도로 행할 수 있다. 대안으로서, 가열 온도를 실온으로부터 100℃ 내지 200℃의 승온한 후 실온까지 감온하는 가열 온도에 대한 변경을 복수 회 반복해서 행할 수 있다. 또한, 이 가열 처리를, 산화물 절연막의 형성 전에 감압 하에서 행할 수 있다. 감압 하에서 가열 처리를 행하면, 가열 시간을 단축할 수 있다. 이러한 가열 처리에 의해, 산화물 반도체층으로부터 산화물 절연층에 수소가 도입되어, 상시-오프인 박막 트랜지스터를 얻을 수 있다. 따라서, 액정 표시 장치의 신뢰성을 향상할 수 있다.
- [0204] 산화물 절연층(246) 위에 보호 절연층을 더 형성할 수 있다. 예를 들면, RF 스퍼터링법에 의해 질화 규소막을 형성한다. 본 실시 형태에서는, 보호 절연층(293)을 질화 규소막을 이용하여 형성한다(도 6의 (d) 참조).
- [0205] 보호 절연층(293) 위에 평탄화를 위한 평탄화 절연층을 구비할 수 있다. 본 실시 형태에서는, 도 6의 (e)에 도시된 바와 같이, 박막 트랜지스터(260) 위의 보호 절연층(293) 위에 평탄화 절연층(294)을 형성한다.
- [0206] 다음으로, 제4 포토리소그래피 공정을 행한다. 레지스트 마스크를 형성하고, 선택적으로 에칭을 행하여 평탄화 절연층(294), 보호 절연층(293) 및 산화물 절연층(246)의 일부를 제거하여, 드레인 전극층(265b)에 달하는 개구를 형성한다.
- [0207] 다음으로, 투광성을 갖는 도전막을 형성하고, 제5 포토리소그래피 공정을 행한다. 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여 화소 전극(267)을 형성한다. 그 후, 레지스트 마스크를 제거한다(도 6의 (e) 참조).
- [0208] 본 실시 형태에서, 게이트 절연층의 개구 형성 공정은 도면에서 도시하지 않았지만, 게이트 절연층의 개구 형성 공정은 산화물 절연층 및 보호 절연층의 개구와 동일한 포토리소그래피 공정으로 행하거나, 다른 공정으로 행할 수 있다. 다른 공정으로 행할 경우, 포토리소그래피 공정의 수가 6이 된다.
- [0209] 본 실시 형태에서 설명한 산화물 반도체층을 이용하여 형성된 박막 트랜지스터를 포함하는 액정 표시 장치는 실시 형태 1의 구성과 조합하여, 정지 화상을 표시할 때, 저소비 전력화를 이룰 수 있고, 화상의 왜곡을 저감할 수 있다.
- [0210] 본 실시 형태는, 다른 실시 형태와 적절히 조합해서 실시할 수 있다.
- [0211] (실시 형태 5)
- [0212] 본 실시 형태는, 본 명세서에서 개시하는 액정 표시 장치에 적용할 수 있는 박막 트랜지스터의 예시를 나타낸다. 본 실시 형태에서 나타내는 박막 트랜지스터(470 및 480)는 각각 실시 형태 2의 스위칭 트랜지스터(1261) 및 화소 트랜지스터(1211)로서 이용할 수 있다.
- [0213] 본 실시 형태에서는, 박막 트랜지스터의 제조 공정이 실시 형태 3과 다른 예시를 도 7에 나타낸다. 도 7에 나타낸 공정 부분이 일부 공정을 제외하면 도 5의 (a) 내지 (e)와 동일하기 때문에, 동일한 부분은 같은 참조 부호를 이용하고, 동일한 부분의 상세한 설명은 생략한다.

- [0214] 실시 형태 1에 따라, 기판(400) 위에 게이트 전극층(471 및 481)을 형성하고, 게이트 절연층(402)을 적층한다.
- [0215] 다음으로, 산화물 반도체막의 형성하고, 산화물 반도체막을 포토리소그래피 공정에서 섬 형상의 산화물 반도체층으로 가공한다.
- [0216] 다음으로, 산화물 반도체층의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 위한 제1 가열 처리의 온도는, 400℃ 이상, 바람직하게는 425℃ 이상으로 설정한다. 온도가 425℃ 이상일 경우에 가열 처리 시간은 1시간 이하로 하고, 온도가 425℃ 미만일 경우에 가열 처리 시간은 1시간보다 장시간으로 함에 주목한다. 본 실시 형태에서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대하여 질소 분위기에서 가열 처리를 행한다. 그 후, 산화물 반도체층 대기에 노출시키지 않음으로써, 산화물 반도체층에 대한 물 및 수소의 혼입을 방지한다. 이로써, 산화물 반도체층을 얻는다. 그 후, 동일한 전로에 고순도의 산소 가스, 고순도의 N₂O 가스, 또는 조건조 에어(노점이 -40℃ 이하, 바람직하게는 -60℃ 이하)를 도입해서 냉각을 행한다. 산소 가스 및 N₂O 가스에, 물 및 수소 등이 포함되지 않는 것이 바람직하다. 또한, 가열 처리 장치에 도입되는 산소 가스 또는 N₂O 가스의 순도를, 6N(99.9999%) 이상, 더 바람직하게는 7N(99.99999%) 이상(즉, 산소 가스 또는 N₂O 가스의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0217] 가열 처리 장치는 전기로에 한정되지 않고, 예를 들면, GRTA(Gas Rapid Thermal Annealing) 장치 또는 LRTA(Lamp Rapid Thermal Annealing) 장치 등의 RTA(Rapid Thermal Annealing) 장치를 이용할 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프 또는 고압 수은 램프 등의 램프로부터 방출되는 광(전자파)의 복사에 의해 피처리물을 가열하는 장치이다. 또한, LRTA 장치는 램프뿐만 아니라, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치도 구비할 수 있다. GRTA는 고온의 가스를 이용하여 가열 처리를 행하는 방법이다. 가스로서는, 질소나 아르곤 등의 회가스 등의, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다. RTA법을 이용하여 600℃ 내지 750℃로 몇 분간 가열 처리를 행할 수 있다.
- [0218] 또한, 탈수화 또는 탈수소화를 위한 제1 가열 처리 후에 200℃ 내지 400℃, 바람직하게는 200℃ 내지 300℃의 온도에서 산소 가스 또는 N₂O 가스 분위기에서의 가열 처리를 행할 수 있다.
- [0219] 산화물 반도체층의 제1 가열 처리는 섬 형상의 산화물 반도체층으로 가공하기 전의 산화물 반도체막 상에서 행할 수 있다. 그 경우에는, 제1 가열 처리 후에, 가열 장치로부터 기판을 추출한 후, 포토리소그래피 공정을 행한다.
- [0220] 이상의 공정을 통하여 산화물 반도체막 전체를 산소 과잉인 상태로 함으로써, 산소 반도체막은 고저항화, 즉 i형화된다. 따라서, 전체 영역이 i형화된 산화물 반도체층(472 및 482)이 형성된다.
- [0221] 다음으로, 산화물 반도체층(472 및 482) 위에, 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 선택적으로 에칭을 행하여 소스 전극층(475a 및 485a) 및 드레인 전극층(475b 및 485b)을 형성한 후, 스퍼터링법에 의해 산화물 절연층(416)을 형성한다. 이로써, 박막 트랜지스터(470 및 480)를 형성할 수 있다.
- [0222] 다음으로, 박막 트랜지스터의 전기적 특성의 변동을 경감하기 위해서, 불활성 가스 분위기나 질소 가스 분위기에서 가열 처리(바람직하게는 150℃ 이상 350℃ 미만)를 행할 수 있다. 예를 들면, 질소 분위기에서 250℃, 1시간의 가열 처리를 행한다.
- [0223] 대기 중, 100℃ 내지 200℃, 1시간 내지 30시간에서의 가열 처리를 더 행할 수 있다. 본 실시 형태에서는 150℃로 10시간 가열 처리를 행한다. 이 가열 처리는 일정한 가열 온도로 행할 수 있다. 대안으로서, 가열 온도를 실온으로부터 100℃ 내지 200℃의 승온한 후 실온까지 감온하는 가열 온도에 대한 변경을 복수 회 반복해서 행할 수 있다. 또한, 이 가열 처리를 산화물 절연막의 형성 전에 감압 하에서 행할 수 있다. 감압 하에서 가열 처리를 행하면, 가열 시간을 단축할 수 있다. 이 가열 처리에 의해, 산화물 반도체층으로부터 산화물 절연층에 수소가 도입되어, 상시-오프인 박막 트랜지스터를 얻을 수 있다. 따라서 액정 표시 장치의 신뢰성을 향상할 수 있다.
- [0224] 산화물 절연층(416) 위에 보호 절연층(403)을 형성한다. 본 실시 형태에서는, 보호 절연층으로서 보호 절연층(403)을 질화 규소막을 이용하여 형성한다.
- [0225] 보호 절연층(403) 위에 평탄화를 위한 평탄화 절연층을 구비할 수 있다. 본 실시 형태에서는, 도 7에 도시된

박와 같이, 박막 트랜지스터(480) 위의 보호 절연층(403) 위에 평탄화 절연층(404)을 형성한다.

- [0226] 다음으로, 포토리소그래피 공정을 행한다. 레지스트 마스크를 형성하고, 선택적으로 에칭을 행하여 평탄화 절연층(404), 보호 절연층(403) 및 산화물 절연층(416)의 일부를 제거하고, 드레인 전극층(485b)에 달하는 개구를 형성한다.
- [0227] 다음으로, 투광성을 갖는 도전막을 형성하고, 포토리소그래피 공정을 행한다. 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여 화소 전극(487)을 형성한다. 그 후, 레지스트 마스크를 제거한다(도 7 참조).
- [0228] 본 실시 형태에서 설명된 산화물 반도체층을 이용하는 박막 트랜지스터를 포함하는 액정 표시 장치는 실시 형태 1에 나타낸 구성과 조합하여, 정지 화상을 표시할 때, 저소비 전력화를 이룰 수 있고, 화상의 왜곡의 저감할 수 있다.
- [0229] 본 실시 형태는 다른 실시 형태 중 임의의 것과 적절히 조합해서 실시할 수 있다.
- [0230] (실시 형태 6)
- [0231] 본 실시 형태에서는, 상기 실시 형태 중 임의의 것에서 설명된 액정 표시 장치를 각각 포함하는 전자 기기의 예시에 대해서 설명한다.
- [0232] 도 8의 (a)는 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636) 및 기록 매체 판독부(9672) 등을 포함할 수 있는 휴대형 게임기를 나타낸다. 도 8의 (a)에 도시된 휴대형 게임기는, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하여 표시부 상에 표시하는 기능 및 다른 휴대형 게임기와 무선 통신을 행해서 정보를 공유하는 기능 등을 가질 수 있다. 도 8의 (a)의 휴대형 게임기가 갖는 기능은 상기에 한정되지 않고 다양한 기능을 가질 수 있다.
- [0233] 도 8의 (b)는 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636), 셔터 버튼(9676) 및 수상부(9677) 등을 포함할 수 있는 디지털 카메라를 나타낸다. 도 8의 (b)에 도시된 텔레비전 수신 기능을 갖는 디지털 카메라는, 정지 화상 및 동화상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 조정하는 기능, 안테나로부터 다양한 정보를 취득하는 기능, 촬영한 화상 또는 안테나로부터 취득한 정보를 기억하는 기능 및 촬영한 화상 또는 안테나로부터 취득한 정보를 표시부 상에 표시하는 기능 등의 다양한 기능을 가질 수 있다. 도 8의 (b)에 도시된 텔레비전 수신 기능을 갖는 디지털 카메라가 갖는 기능은 이것에 한정되지 않고, 텔레비전 수신 기능을 갖는 디지털 카메라는 다른 다양한 기능을 가질 수 있음에 주목한다.
- [0234] 도 8의 (c)는 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635) 및 접속 단자(9636) 등을 포함할 수 있는 텔레비전 수신기이다. 도 8의 (c)에 도시된 텔레비전 세트는 텔레비전용 전파를 처리하고 전파를 화상 신호로 변환하는 기능, 화상 신호를 처리하여 화상 신호를 표시에 적합한 신호로 변환하는 기능 및 화상 신호의 프레임 주파수를 변환하는 기능 등을 가질 수 있다. 또한, 도 8의 (c)에 도시된 텔레비전 세트가 갖는 기능은 이것에 한정되지 않고 다양한 기능을 가질 수 있음에 주목한다.
- [0235] 도 9의 (a)는 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636) 및 포인팅 디바이스(9681) 등을 포함할 수 있는 컴퓨터를 나타낸다. 도 9의 (a)에 도시된 컴퓨터는 다양한 정보(예를 들면, 정지 화상, 동화상 및 텍스트 화상)를 표시부 상에 표시하는 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 무선 통신 또는 유선 통신 등의 통신 기능, 통신 기능을 이용하여 다양한 컴퓨터 네트워크에 접속하는 기능 및 통신 기능을 이용하여 다양한 데이터의 송신 또는 수신을 행하는 기능 등을 가질 수 있다. 도 9의 (a)에 도시된 컴퓨터가 갖는 기능은 이것에 한정되지 않고, 컴퓨터는 다양한 기능을 가질 수 있음에 주목한다.
- [0236] 도 9의 (b)는 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 마이크론(9638) 및 외부 접속 포트(9680) 등을 포함할 수 있는 휴대 전화를 나타낸다. 도 9의 (b)에 도시된 휴대 전화는 다양한 정보(예를 들면, 정지 화상, 동화상 및 텍스트 화상)를 표시부 상에 표시하는 기능, 캘린더, 날짜 및 시각 등을 표시부 상에 표시하는 기능, 표시부에 표시한 정보를 조작 또는 편집하는 기능 및 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능 등을 가질 수 있다. 도 9의 (b)에 도시된 휴대 전화가 갖는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있음에 주목한다.
- [0237] 도 9의 (c)는 하우징(9630), 표시부(9631) 및 조작 키(9635) 등을 포함할 수 있는 전자 페이퍼(eBook 또는 e-book 리더라고도 한다)를 포함할 수 있는 장치를 나타낸다. 도 9의 (c)에 도시된 e-book 리더는 다양한 정보

(예를 들면, 정지 화상, 동화상 및 텍스트 화상)를 표시부 상에 표시하는 기능, 캘린더, 날짜 및 시각 등을 표시부 상에 표시하는 기능, 표시부에 표시한 정보를 조작 또는 편집하는 기능 및 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능 등을 가질 수 있다. 도 9의 (c)에 도시된 전자 페이퍼가 갖는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있음에 주목한다.

- [0238] 본 실시 형태에서 설명된 전자 기기는, 정지 화상을 표시할 때, 저소비 전력화를 이룰 수 있고, 화상의 왜곡을 저감할 수 있다.
- [0239] 본 실시 형태는 다른 실시 형태에 기재된 임의의 구성과 적절히 조합해서 실시할 수 있다.
- [0240] (실시 형태 7)
- [0241] 본 실시 형태에서는, 산화물 반도체를 이용한 보텀 게이트형 트랜지스터의 동작 원리에 대해서 설명한다.
- [0242] 도 10은 산화물 반도체를 포함하는 역스태거형의 절연 게이트형 트랜지스터의 단면도이다. 게이트 전극(GE1) 위에 게이트 절연막(GI)을 개재해서 산화물 반도체층(OS)이 구비되고, 그 위에 소스 전극(S) 및 드레인 전극(D)이 구비되어 있다.
- [0243] 도 11의 (a) 및 (b)는 도 10에 나타난 A-A' 단면을 따르는 에너지 밴드도(개략도)이다. 도 11의 (a)는 소스에 인가되는 전압의 전위와 드레인에 인가되는 전압의 전위가 동일($V_D=0V$)할 경우를 나타내고, 도 11의 (b)는 소스에 대하여 드레인에 플러스 전위($V_D>0$)를 가했을 경우를 나타낸다.
- [0244] 도 12의 (a) 및 (b)는 도 10에 나타난 B-B'의 단면을 따르는 에너지 밴드도(개략도)이다. 도 12의 (a)는 게이트(G1)에 플러스의 전위(+VG)가 인가되며, 소스와 드레인 사이에 캐리어(전자)가 흐르는 온 상태를 나타낸다. 도 12의 (b)는 게이트(G1)에 마이너스의 전위(-VG)가 인가되며, 소수 캐리어는 흐르지 않는 오프 상태를 나타낸다.
- [0245] 도 13은 진공 준위와 금속의 일함수(ϕ_M) 사이 및 진공 준위와 산화물 반도체의 전자 친화력(χ) 사이의 관계를 나타낸다.
- [0246] 상온에서 금속 중의 전자는 축퇴되어(degenerated), 페르미 준위는 전도 대역 내에 위치한다. 대조적으로, 종래의 산화물 반도체는 일반적으로 n형이며, 그 경우의 페르미 준위(E_F)는 밴드갭 중앙에 위치하는 진성 페르미 준위(E_i)로부터 떨어져서 전도 대역 부근에 위치하고 있다. 산화물 반도체에서 수소의 일부는 도너로서 기능하고, 산화물 반도체가 n형화되게 하는 하나의 요인인 것으로 알려져 있다.
- [0247] 한편, 본 발명의 산화물 반도체는, n형 불순물인 수소를 산화물 반도체로부터 제거하고, 산화물 반도체의 주성분 이외의 불순물이 포함되는 것을 가능한한 방지하도록 산화물 반도체를 고순도화함으로써 진성(i형) 또는 실질적으로 진성인 산화물 반도체이다. 즉, 불순물을 첨가하는 것이 아니라, 수소나 물 등의 불순물을 가능한한 제거하는 것에 의해, 고순도화된 i형(진성) 반도체 또는 그것에 가까운 반도체를 얻는 것을 특징으로 한다. 그렇게 함으로써, 페르미 준위(E_F)를 진성 페르미 준위(E_i)와 동일한 레벨로까지 할 수 있다.
- [0248] 산화물 반도체의 밴드갭(E_g)이 3.15eV일 경우, 전자 친화력(χ)은 4.3eV이라고 한다. 소스 전극 및 드레인 전극에 포함되는 티타늄(Ti)의 일함수는 산화물 반도체의 전자 친화력(χ)과 실질적으로 동일하다. 이 경우, 금속과 산화물 반도체의 계면에서, 전자에 대하여 쇼트키형의 장벽은 형성되지 않는다.
- [0249] 즉, 금속의 일함수(ϕ_M)와 산화물 반도체의 전자 친화력(χ)이 서로 동일하고, 금속과 산화물 반도체가 서로 접촉할 경우, 도 11의 (a)에 도시된 바와 같은 에너지 밴드도(개략도)를 얻을 수 있다.
- [0250] 도 11의 (b)에서, 검은 동그라미(●)는 전자를 나타내고, 드레인에 플러스의 전위가 인가되고, 전자는 배리어(h)를 넘어 산화물 반도체에 주입되어 드레인을 향해서 흐른다. 그 경우, 배리어(h)의 높이는 게이트 전압과 드레인 전압에 따라 변화하고, 플러스의 드레인 전압이 인가되었을 경우에는, 전압 인가가 없는 도 11의 (a)의 배리어 높이, 즉 밴드갭(E_g)의 1/2보다 배리어의 높이(h)가 작은 값이 된다.
- [0251] 이때 산화물 반도체에 주입된 전자는, 도 12의 (a)에 나타난 바와 같이 산화물 반도체 중을 흐른다. 또한, 도 12의 (b)에서, 게이트 전극(G1)에 마이너스 전위가 인가되면, 소수 캐리어인 홀은 실질적으로 제로이기 때문에, 전류는 완전히 제로에 가까운 값이 된다.
- [0252] 예를 들면, 상기된 바와 같은 절연 게이트형 트랜지스터의 채널 폭(W)이 $1 \times 10^4 \mu m$ 이고 채널 길이가 $3 \mu m$ 여도,

오프-상태 전류가 10^{-13} A 이하이며, 서브 임계 스윙(subthreshold swing)(S값)이 0.1V/dec(게이트 절연막 두께:100nm)이 된다.

[0253] 실리콘 반도체의 진성 캐리어 밀도는 $1.45 \times 10^{10}/\text{cm}^3$ (300K)이며, 실온에서도 캐리어가 존재함에 주목한다. 이것은 실온에서도 열여기 캐리어가 존재하고 있다는 것을 뜻한다. 실용적으로는 인 또는 붕소 등의 불순물이 첨가된 실리콘 웨이퍼가 사용된다. 또한, 소위 진성 실리콘 웨이퍼라고 해도, 제어할 수 없는 불순물이 존재한다. 따라서, 실제로는 $1 \times 10^{14}/\text{cm}^3$ 이상의 캐리어가 실리콘 반도체에 존재하고, 이것이 소스와 드레인 사이의 전도에 기여한다. 또한, 실리콘 반도체의 밴드갭은 1.12eV이므로, 실리콘 반도체를 포함하는 트랜지스터는 온도에 따라 오프-상태 전류가 크게 변동한다.

[0254] 따라서, 간단히 밴드갭이 넓은 산화물 반도체를 트랜지스터로 이용하는 것이 아니고, 주성분 이외의 불순물이 포함되는 것을 가능한한 방지하도록 산화물 반도체를 고순도화함으로써, 캐리어 농도를 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 이하로 되도록 하여, 실용적인 동작 온도에서 열적으로 여기되는 캐리어를 배제할 수 있고, 소스측에서 주입되는 캐리어만에 의해 트랜지스터를 동작시킬 수 있다. 이에 따라, 오프-상태 전류를 1×10^{-17} [A] 이하로까지 감소시키고, 온도 변화에 따라 오프-상태 전류가 거의 변화하지 않는 매우 안정적으로 동작하는 트랜지스터를 얻을 수 있다.

[0255] 본 발명의 기술 사상은 산화물 반도체에 불순물을 추가하지 않고 본의 아니게 존재하는 물이나 수소 등의 불순물을 제거함으로써 산화물 반도체 자체를 고순도화하는 것에 있다. 즉, 도너 준위를 형성하는 물이나 수소를 제거함으로써, 또한 산소 결손을 제거하기 위해 산소를 충분히 공급함으로써, 산화물 반도체 자체를 고순도화하는 것을 특징으로 한다.

[0256] 산화물 반도체에서는, 성막 직후라도, $10^{20}/\text{cm}^3$ 정도의 수소가 2차 이온 질량 분석(SIMS)에 의해 관찰된다. 도너 준위를 형성하는 물이나 수소 등의 불순물을 의도적으로 제거하고, 또한 물이나 수소를 제거함과 동시에 감소하는 산소(산화물 반도체의 성분의 하나)를 산화물 반도체에 추가함으로써, 산화물 반도체를 고순도화하고, 전기적으로 i 형(진성) 반도체를 얻는 것이 본 발명의 기술 사상 중 하나이다.

[0257] 그 결과, 수소의 양은 적으면 적을수록 바람직하고, 산화물 반도체 중의 캐리어 수도 적으면 적을수록 바람직하다. 산화물 반도체는, 절연 게이트형 트랜지스터에 이용할 경우에, 반도체로서의 캐리어를 의도적으로 포함하기 보다는, 반대로 캐리어를 제거하여, 반도체로서 캐리어의 통로로서의 의미를 부여받은, 고순도화된 i 형(진성) 반도체이다.

[0258] 그 결과, 산화물 반도체로부터 캐리어를 완전히 제거하거나, 캐리어를 매우 적게 감소시키는 것에 의해, 절연 게이트형 트랜지스터에서는 오프-상태 전류가 감소된다는 것이 본 발명의 일 실시 형태에서의 기술 사상이다. 즉, 그 지표로서 수소 농도는 $1 \times 10^{16}/\text{cm}^3$ 이하, 캐리어 밀도는 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 이하이어야 한다. 본 발명의 기술 사상에 따르면, 수소 농도와 캐리어 농도는 제로 또는 제로에 가까운 것이 이상적이다.

[0259] 또한, 결과로서, 산화물 반도체는 통로로서 기능하고, 산화물 반도체 자체가 캐리어를 포함하지 않거나 캐리어를 매우 적게 포함하도록 고순도화된 i 형(진성) 반도체이고, 캐리어는 소스 측의 전극에 의해 공급된다. 공급의 정도는, 산화물 반도체의 전자 친화력 χ , 이상적으로는 진성 페르미 레벨에 대응하는 페르미 레벨 및 소스나 드레인의 전극의 일함수로부터 얻어지는 장벽 높이에 의해 결정될 수 있다.

[0260] 이 때문에, 오프-상태 전류는 적으면 적을수록 바람직하고, 1 내지 10V의 사이의 드레인 전압이 인가되는 절연 게이트형 트랜지스터 특성에서, 10aA/ μm (채널 폭 W당) 이하, 바람직하게는 1aA/ μm 이하인 것을 본 발명의 일 실시 형태의 특징의 하나로 한다.

[0261] (실시 형태 8)

[0262] 본 실시 형태에서는, 평가용 소자 그룹(TEG라고도 부른다)에서의 오프-상태 전류의 측정값에 대해서 이하에 설명한다.

[0263] 도 14는 각각 L/W=3 μm /50 μm 인 박막 트랜지스터를 200개 병렬로 접속하여 이루어진, L/W=3 μm /10000 μm 의 박막 트랜지스터의 초기 특성을 나타낸다. 또한, 상면도를 도 15의 (a)에 도시하고, 그 일부를 확대한 상면도를 도

15의 (b)에 도시한다. 도 15의 (b)의 점선으로 둘러싸인 영역은 $L/W=3\mu\text{m}/50\mu\text{m}$ 및 $L_{ov}=1.5\mu\text{m}$ 인 1단분의 박막 트랜지스터이다. 박막 트랜지스터의 초기 특성을 측정하기 위해서, 기판 온도를 실온으로 설정하고, 소스와 드레인 사이의 전압(이하, 드레인 전압 또는 V_d 라 한다)을 10V로 설정하고, 소스와 게이트 사이의 전압(이하, 게이트 전압 또는 V_g 라 한다)을 -20V 내지 +20V로 변화시키는 조건하에서의 소스-드레인 전류(이하, 드레인 전류 또는 I_d 라 한다)의 변화 특성, 즉 V_g - I_d 특성을 측정했다. 도 14는 V_g 를 -20V 내지 +5V의 범위로 나타내고 있음에 주목한다.

[0264] 도 14에 도시된 바와 같이, $10000\mu\text{m}$ 의 채널 폭 W 을 갖는 박막 트랜지스터는 V_d 가 1V 및 10V에서 오프-상태 전류는 1×10^{-12} A 이하가 되고, 이는 측정기(반도체 파라미터 애널라이저, Agilent 4156C; Agilent Technologies사 제조)의 분해능(resolution)(100fA) 이하이다.

[0265] 측정을 위해 사용되는 박막 트랜지스터의 제조 방법에 대해서 설명한다.

[0266] 우선, 글래스 기판 위에 기초층으로서, CVD법에 의해 질화 규소층을 형성하고, 질화 규소층 위에 산화 질화 규소층을 형성했다. 산화 질화 규소층 위에 게이트 전극층으로서 스퍼터링법에 의해 텅스텐층을 형성했다. 여기에서, 텅스텐층을 선택적으로 에칭하여 게이트 전극층을 형성했다.

[0267] 다음으로, 게이트 전극층 위에 게이트 절연층으로서 CVD법에 의해 두께 100nm의 산화 질화 규소층을 형성했다.

[0268] 다음으로, 게이트 절연층 위에, 스퍼터링법에 의해 In-Ga-Zn-O계 산화물 반도체 타깃($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ 의 몰수 비로)을 이용하여 두께 50nm의 산화물 반도체층을 형성했다. 여기에서, 산화물 반도체층을 선택적으로 에칭하여 섬 형상의 산화물 반도체층을 형성했다.

[0269] 다음으로, 산화물 반도체층을 클린 오븐에서 질소 분위기에서, 450°C , 1시간의 제1 열처리를 행하였다.

[0270] 다음으로, 산화물 반도체층 위에 소스 전극층 및 드레인 전극층으로서 티타늄층(두께 150nm)을 스퍼터링법에 의해 형성했다. 여기에서, 소스 전극층 및 드레인 전극층을, 각각의 채널 길이(L)가 $3\mu\text{m}$, 채널 폭(W)이 $50\mu\text{m}$ 인 200개의 박막 트랜지스터가 병렬로 접속되도록 선택적으로 에칭하여 형성함으로써, $L/W=3\mu\text{m}/10000\mu\text{m}$ 의 박막 트랜지스터를 얻었다.

[0271] 다음으로, 산화물 반도체층에 접하도록 보호 절연층으로서 반응성 스퍼터링법에 의해 산화 규소층을 막 두께 300nm로 형성했다. 여기에서, 보호층인 산화 규소층을 선택적으로 에칭하고, 게이트 전극층, 소스 전극층 및 드레인 전극층 위에 개구부를 형성했다. 그 후, 질소 분위기에서, 250°C 로 1시간, 제2 열처리를 행하였다.

[0272] 그리고, V_g - I_d 특성을 측정하기 전에 150°C , 10시간의 가열을 행하였다.

[0273] 이상의 공정을 통해, 보텀 게이트형 박막 트랜지스터를 제조했다.

[0274] 도 14에 도시된 바와 같이 박막 트랜지스터가 1×10^{-12} [A] 정도의 오프-상태 전류를 갖는 이유는, 상기 제조 공정에서 산화물 반도체층에서의 수소 농도를 충분히 저감할 수 있었기 때문이다. 산화물 반도체층에서의 수소 농도는, 1×10^{16} atoms/ cm^3 이하이다. 산화물 반도체층에서의 수소 농도 측정은 2차 이온 질량 분석법(SIMS)에 의해 행함에 주목한다.

[0275] In-Ga-Zn-O계 산화물 반도체를 이용하는 예시를 나타냈지만, 본 실시 형태는 그에 특별히 한정되지 않는다. 다른 산화물 반도체 재료로서, 예를 들면, In-Sn-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체, In-Zn-O계 산화물 반도체, In-Sn-O 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, In-O 산화물 반도체, Sn-O계 산화물 반도체 또는 Zn-O계 산화물 반도체를 이용할 수 있다. 또한, 산화물 반도체 재료로서, AlO_x 를 2.5 내지 10wt%로 혼입한 In-Al-Zn-O계 산화물 반도체나 SiO_x 를 2.5 내지 10wt%로 혼입한 In-Zn-O계 산화물 반도체를 이용할 수 있다.

[0276] 캐리어 측정기에 의해 측정되는 산화물 반도체층의 캐리어 농도는 실리콘의 캐리어 농도 $1\times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1\times 10^{12}/\text{cm}^3$ 이하이다. 즉, 산화물 반도체층의 캐리어 농도는 가능한한 제로에 가깝게 할 수 있다.

[0277] 박막 트랜지스터의 채널 길이(L)를 10nm 내지 1000nm로 하는 것도 가능해서, 회로의 동작 속도를 고속화할 수 있고, 오프-상태 전류값이 극히 작기 때문에, 또한 저소비 전력화도 이룰 수 있다.

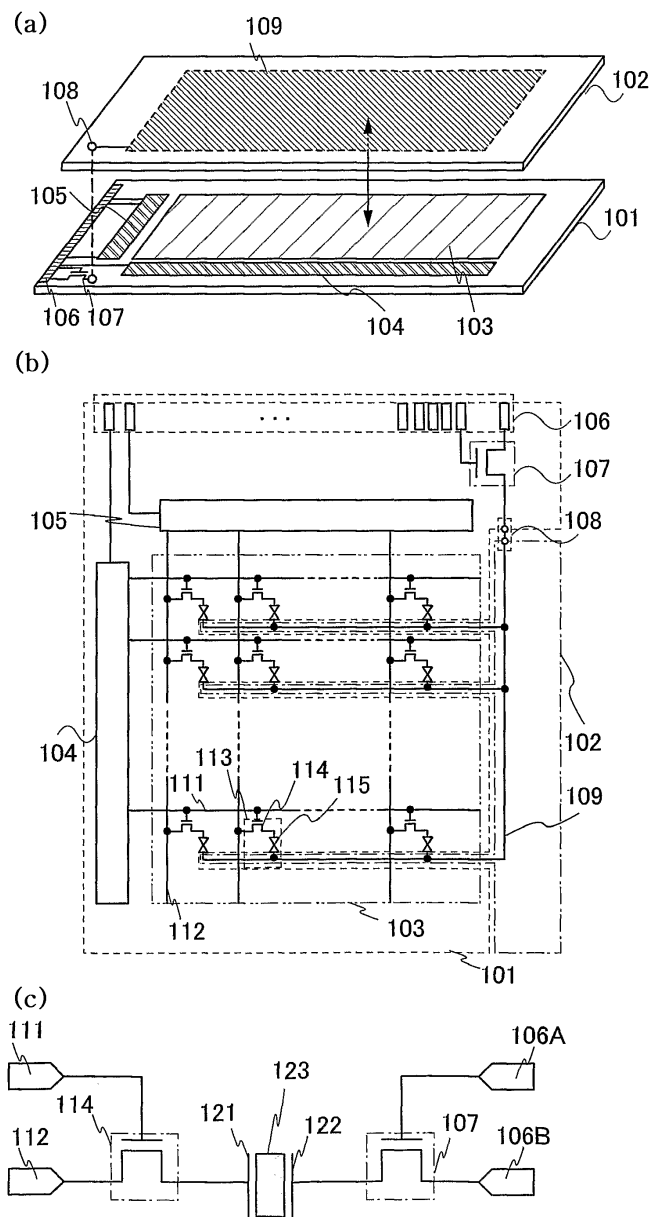
- [0278] 또한, 회로 설계에 있어서, 박막 트랜지스터가 오프 상태일 때, 산화물 반도체층은 절연체로 간주될 수 있다.
- [0279] 이어서, 본 실시 형태로 제조한 박막 트랜지스터에 대하여 오프-상태 전류의 온도 특성을 평가했다. 온도 특성은 박막 트랜지스터가 사용되는 최종 제품의 내환경성이나 성능의 유지 등을 고려하는 데 있어서 중요하다. 변화량이 작을수록 바람직하고, 제품 설계의 자유도가 증가함이 당연하다.
- [0280] 온도 특성에 대하여, 항온 챔버를 이용하여, 박막 트랜지스터에 구비된 기판을 -30°C , 0°C , 25°C , 40°C , 60°C , 80°C , 100°C 및 120°C 각각의 일정한 온도로 유지하고, 드레인 전압을 6V로 설정하고, 게이트 전압을 -20V 내지 +20V로 변화시키는 조건하에서 V_g - I_d 특성을 취득했다.
- [0281] 도 16의 (a)는 상기 온도에서 측정한 V_g - I_d 특성을 서로 겹쳐 쓴 것이며, 도 16의 (b)는 도 16의 (a)의 점선으로 둘러싸인 오프-상태 전류의 범위를 확대한 확대도이다. 도면 중의 화살표로 나타내는 오른쪽 끝의 곡선이 -30°C 에서 취득한 곡선이고, 왼쪽 끝의 곡선이 120°C 에서 취득한 곡선이고, 그 밖의 온도에서 취득한 곡선은 그 사이에 위치한다. 온-상태 전류의 온도 의존성은 거의 보이지 않는다. 한편, 오프-상태 전류는, 확대도의 도 16의 (b)에서도 명백한 바와 같이, -20V의 게이트 전압의 근방을 제외하고 모든 온도에서, 측정기의 분해능 근방인 1×10^{-12} A 이하이고, 그 온도 의존성은 보이지 않는다. 즉, 120°C 의 고온에서도, 오프-상태 전류는 1×10^{-12} A 이하를 유지하고 있고, 채널 폭(W)이 10000 μm 인 것을 고려하면, 오프-상태 전류가 매우 작은 것을 알 수 있다.
- [0282] 상기된 바와 같은 고순도화된 산화물 반도체(purified OS)를 포함하는 박막 트랜지스터는, 오프-상태 전류의 온도 의존성이 대부분 나타나지 않는다. 이것은, 도 10의 밴드도에서 나타난 바와 같이, 산화물 반도체가 고순도화되면, 도전형이 완전히 진성형에 근접하고, 페르미 준위가 밴드갭의 중앙에 위치하기 때문에, 온도 의존성을 나타내지 않는다고 말할 수 있다. 또한, 이것은 산화물 반도체의 에너지 갭이 3eV 이상이며, 열여기 캐리어를 극히 적게 포함하는 것에도 기인한다. 또한, 소스 영역 및 드레인 영역이 축퇴된 상태라는 것도 온도 의존성이 나타나지 않는 요인이다. 박막 트랜지스터의 동작은 축퇴된 소스 영역으로부터 산화물 반도체에 주입된 캐리어로 동작되는 것이 대부분이며, 캐리어 밀도의 온도에 대한 의존성이 없다는 것에 의해 상기 특성(오프-상태 전류의 온도 의존성 없음)을 설명할 수 있다.
- [0283] 이렇게 오프-상태 전류값이 극히 작은 박막 트랜지스터를 이용하여, 기억 회로(기억 소자) 등을 제조했을 경우, 누설이 거의 없다. 이 때문에, 화상 신호 및 공통 전위를 유지하는 시간을 보다 길게 유지할 수 있다.
- [0284] 본 출원은 2009년 10월 30일자로 일본 특허청에 출원된 일본 특허 공개 제2009-250517호 공보 및 2009년 12월 8일자로 일본 특허청에 출원된 일본 특허 공개 제2009-279000호 공보에 기초하며, 그 전체 내용은 참조로서 본원에 인용된다.

부호의 설명

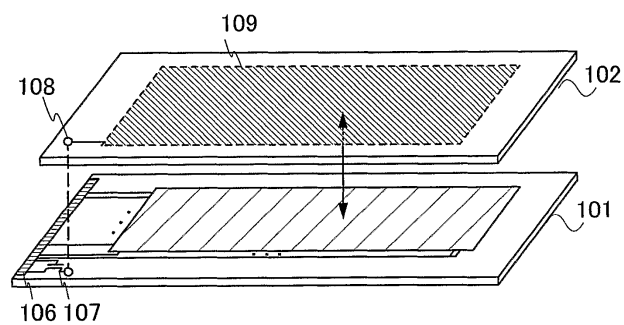
- [0285]
- 101 기판
 - 102 기판
 - 103 화소 회로
 - 104 게이트선 구동 회로
 - 105 신호선 구동 회로
 - 106 단자부
 - 107 스위칭 트랜지스터
 - 108 공통 접속부
 - 109 대향 전극

도면

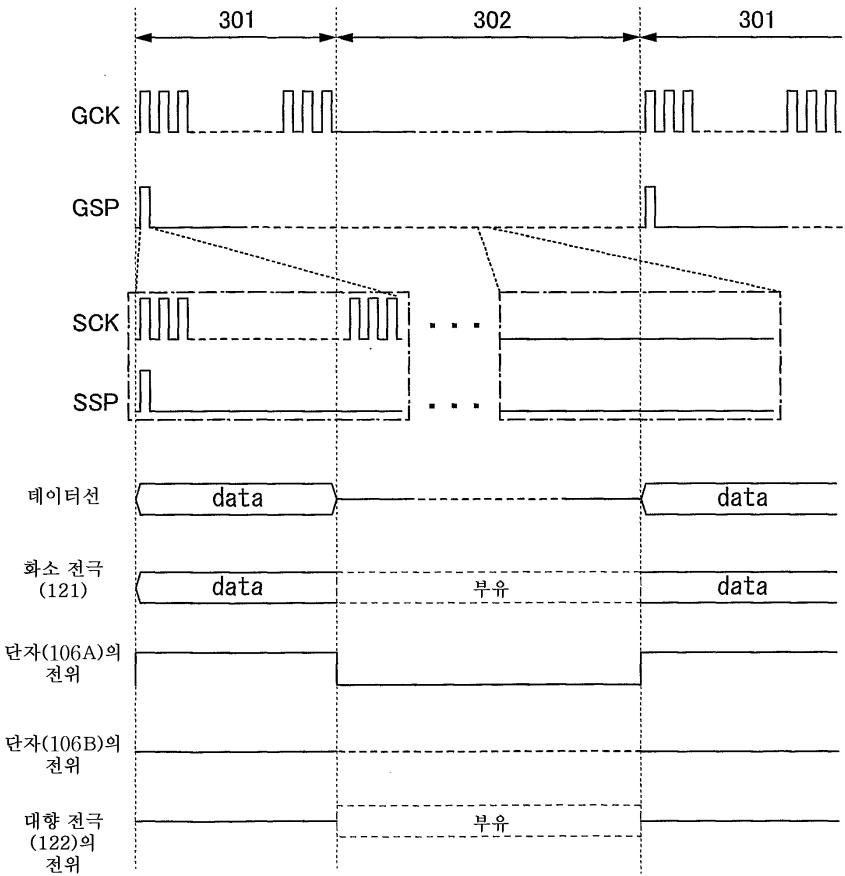
도면1



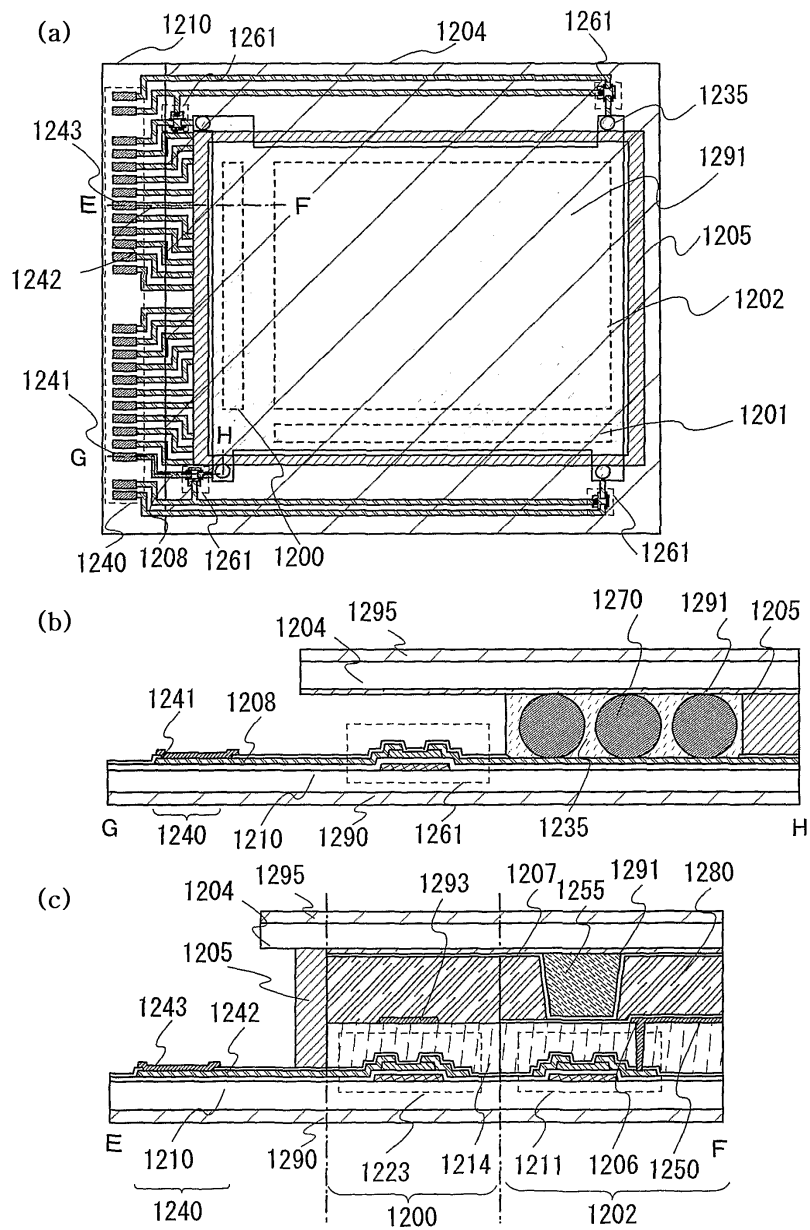
도면2



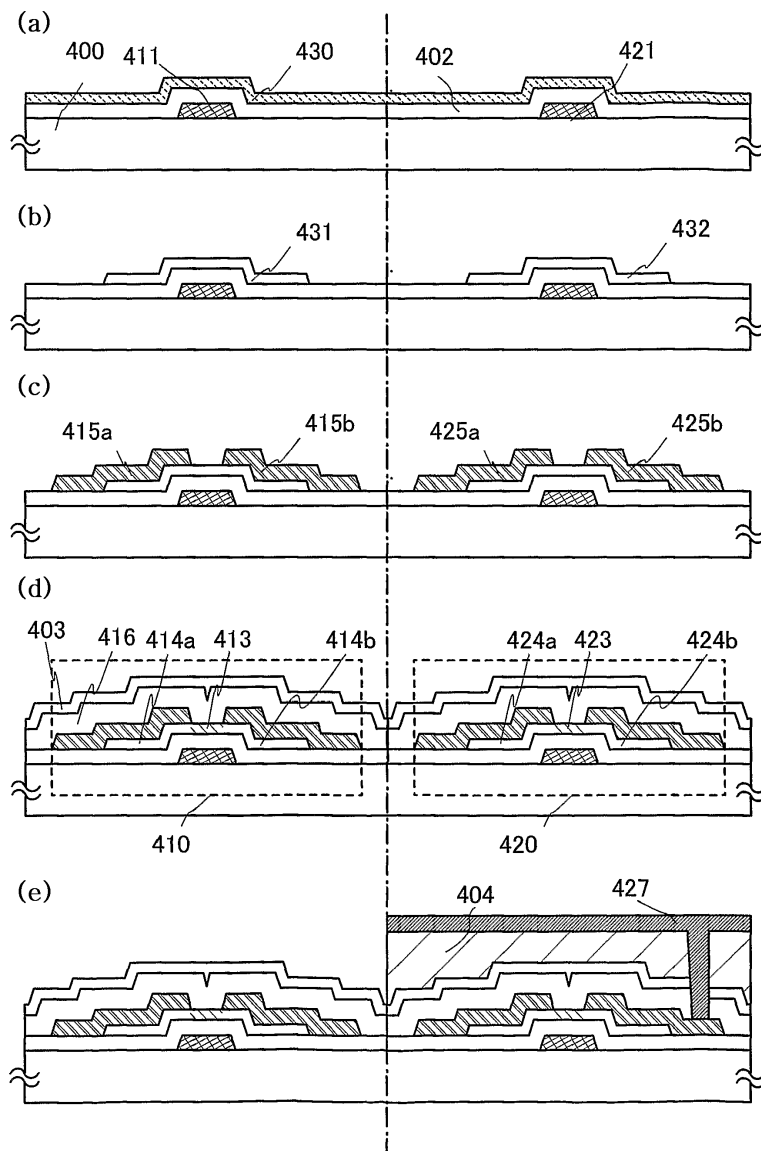
도면3



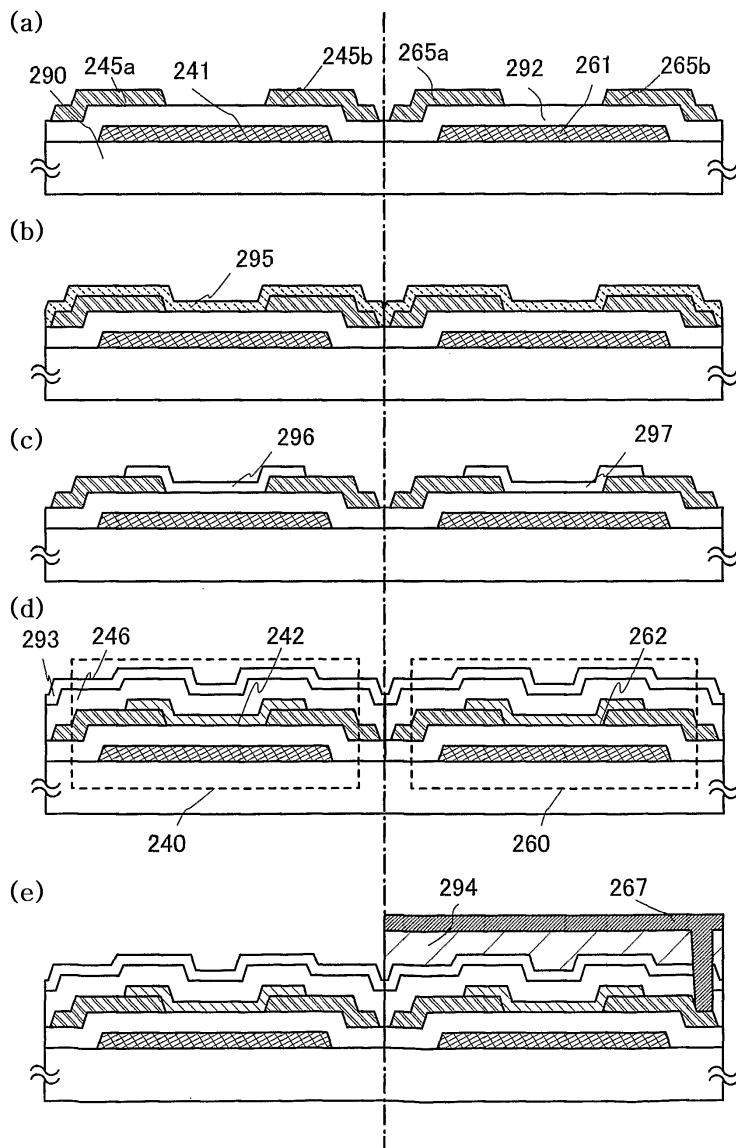
도면4



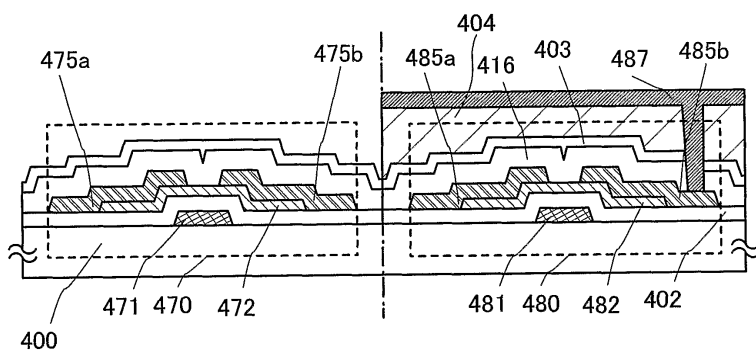
도면5



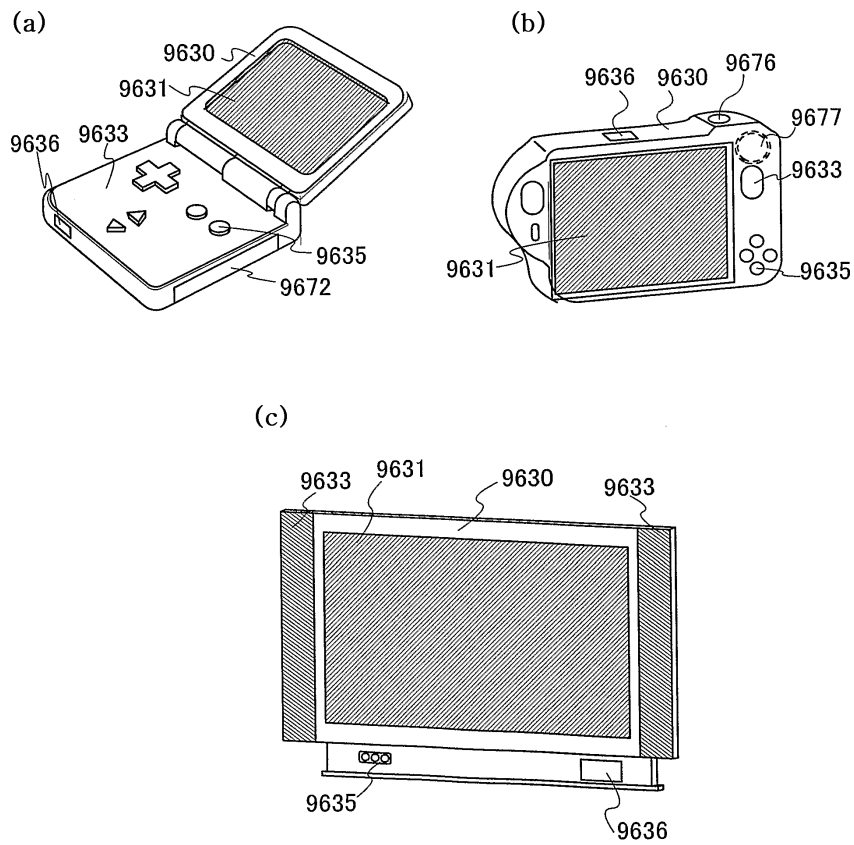
도면6



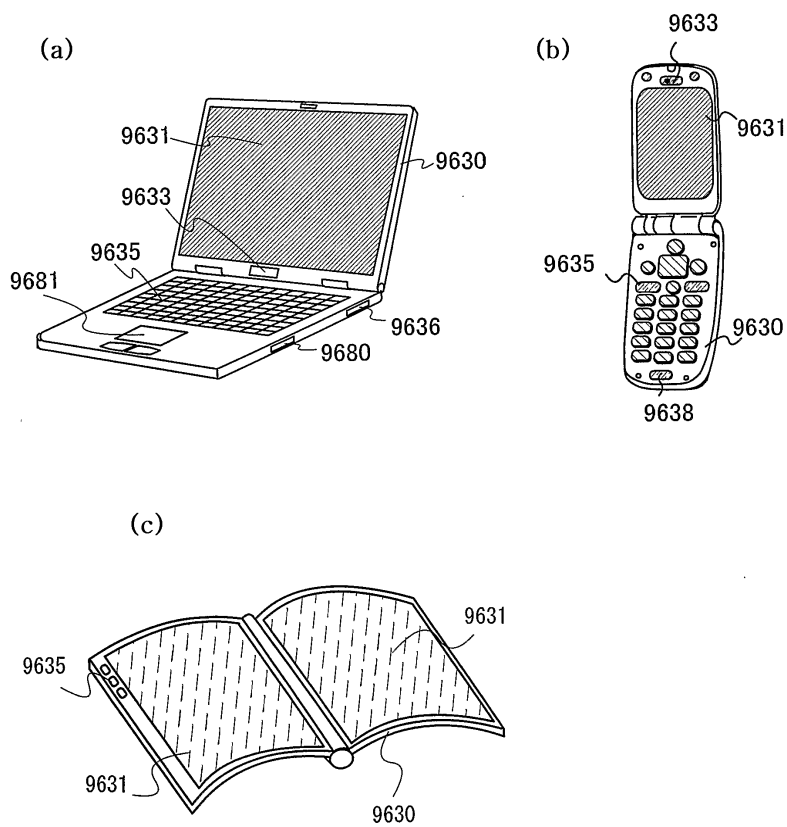
도면7



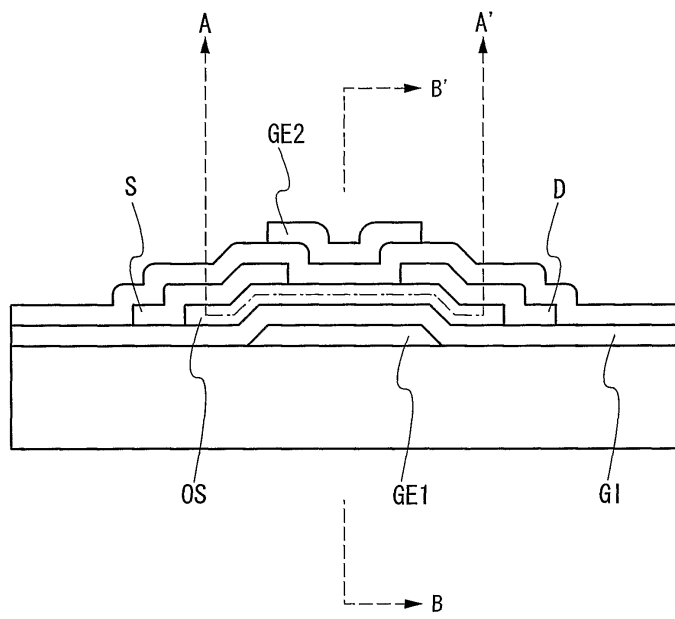
도면8



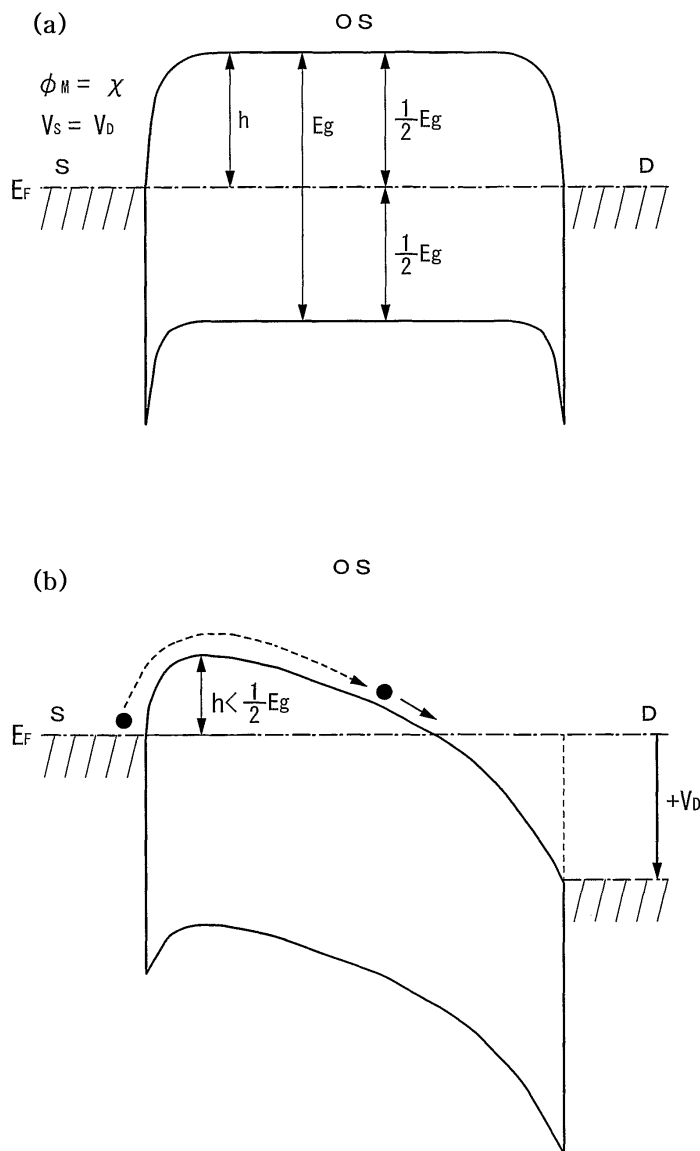
도면9



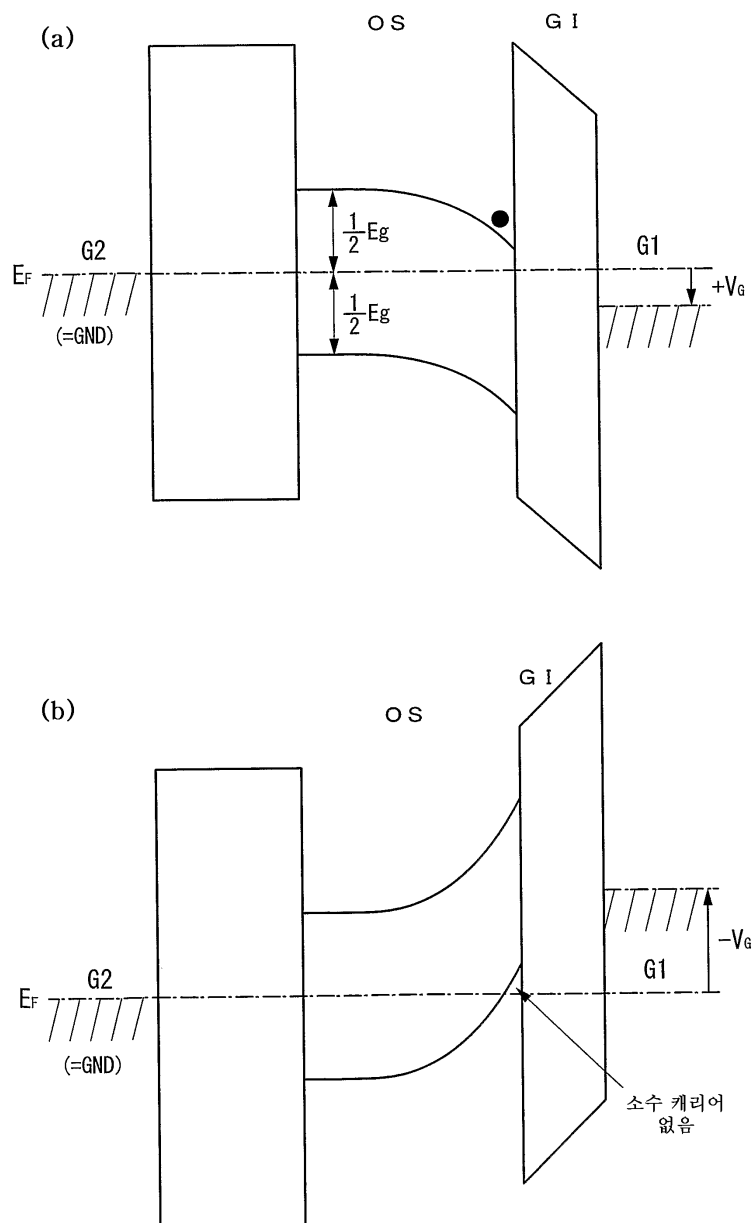
도면10



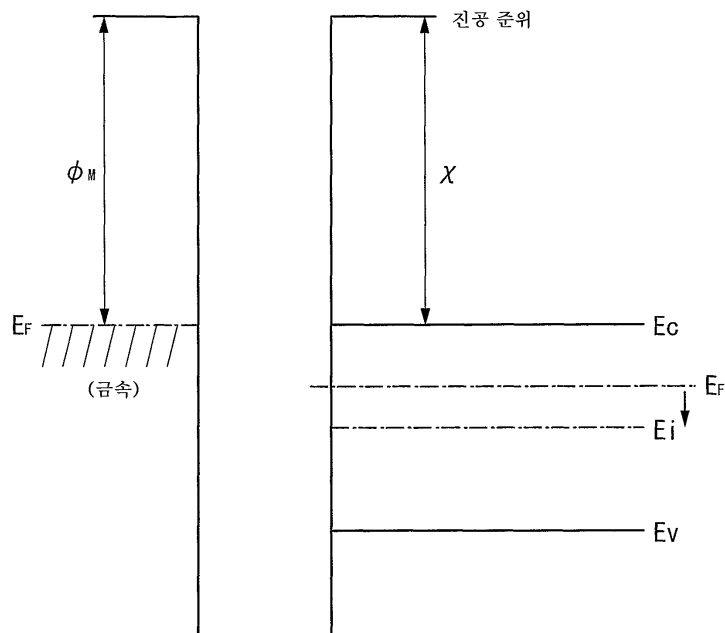
도면11



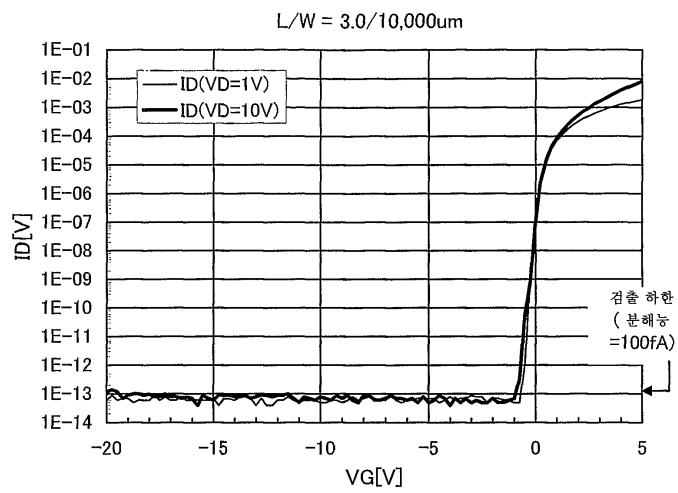
도면12



도면13

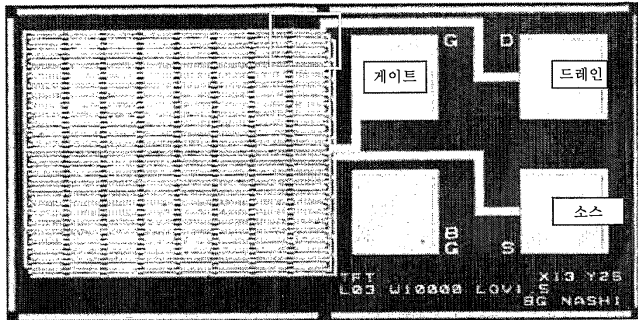


도면14

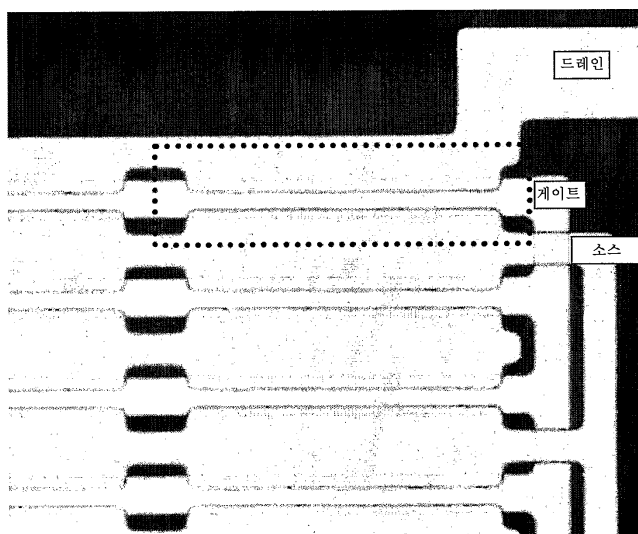


도면15

(a)

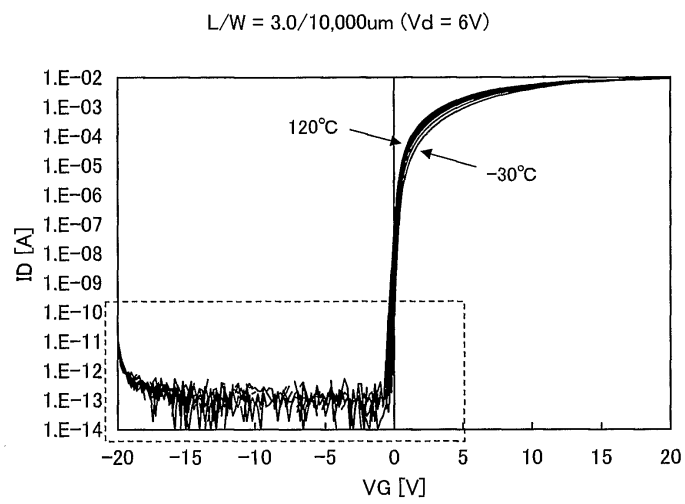


(b)

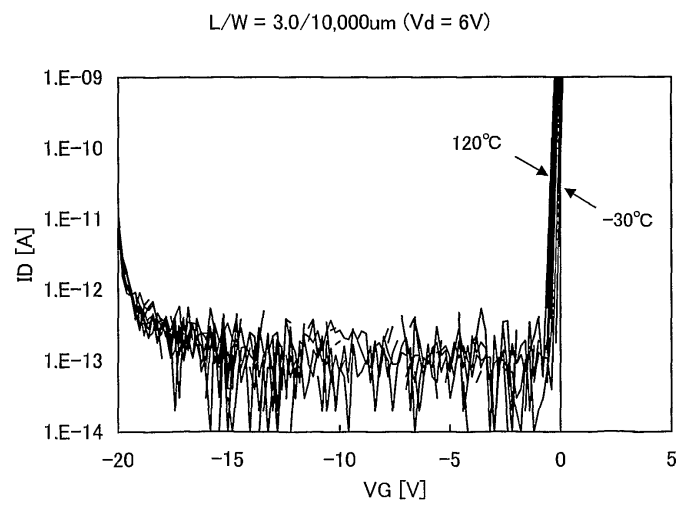


도면16

(a)



(b)



专利名称(译)	液晶显示器，驱动液晶显示器的方法和包括液晶显示器的电子设备		
公开(公告)号	KR101835155B1	公开(公告)日	2018-03-06
申请号	KR1020127006895	申请日	2010-09-28
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YAMAZAKI SHUNPEI 야마자끼순페이 KOYAMA JUN 고야마준		
发明人	야마자끼순페이 고야마준		
IPC分类号	G02F1/1368 G02F1/133 H01L29/786		
CPC分类号	G02F1/1368 G02F1/13458 H01L27/1225 H01L29/7869 H01L29/06 G09G3/36		
代理人(译)	Jangsugil Bakchungbeom Yijunghui		
优先权	2009250517 2009-10-30 JP 2009279000 2009-12-08 JP		
其他公开文献	KR1020120106936A		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种能够实现低功耗的液晶显示装置。第一基板包括端子部分，开关晶体管和包括像素电极的像素电路。第二基板包括相对电极。液晶元件介于像素电极和对电极之间。通过开关晶体管从端子部分提供对对电极的电位输入。包括在开关晶体管中的半导体层是氧化物半导体层。

