



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년01월15일
(11) 등록번호 10-1818244
(24) 등록일자 2018년01월08일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2011-0031900

(22) 출원일자 2011년04월06일

심사청구일자 2016년03월28일

(65) 공개번호 10-2012-0114107

(43) 공개일자 2012년10월16일

(56) 선행기술조사문헌

KR1020070070727 A*

KR1020070121122 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김정환

경기도 파주시 청암로 28, 월드메르디앙2차아파트
219동 1403호 (다율동)

박병현

경기도 파주시 가온로 245, 가람마을10단지동양엔
파트월드메르디앙 1004동 2003호 (와동동)

(뒷면에 계속)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 5 항

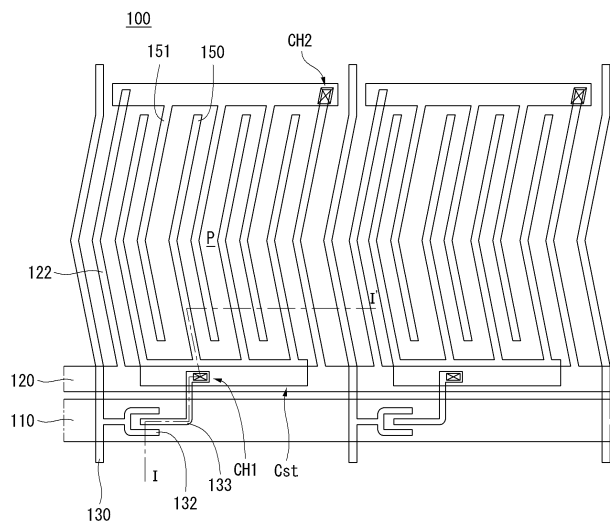
심사관 : 이수환

(54) 발명의 명칭 **횡전계형 액정표시장치**

(57) 요약

본 발명의 일 실시 예에 따른 횡전계형 액정표시장치는 기판, 상기 기판 상에 형성되며, 금속층 및 투명도전층을 포함하는 게이트 라인, 게이트 전극 및 공통 배선, 상기 게이트 라인, 게이트 전극 및 공통 배선 상에 위치하는 게이트 절연막, 상기 게이트 절연막 상에 형성되며, 상기 게이트 전극에 대응되는 영역에 형성된 활성층, 상기 활성층과 동일층 상에 위치하며, 상기 활성층과 접속된 소스 전극과 드레인 전극 및 상기 게이트 라인과 교차하는 데이터 라인, 상기 소스 전극, 드레인 전극 및 데이터 라인 상에 위치하는 보호막 및 상기 보호막 상에 위치하며, 상기 공통 배선과 접속하는 공통 전극 및 상기 드레인 전극과 접속하는 화소 전극을 포함할 수 있다.

대표도 - 도3



(72) 발명자

이섭

경기도 광명시 오리로 801 202동 1303호 (하안동,
e편한세상센트레빌아파트)

송지원

경기도 과주시 월롱면 엘씨디로 201 105동 202호
(덕은리, 정다운마을)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 형성되며, 금속층 및 투명도전층을 포함하는 게이트 라인 및 게이트 전극과, 공통 배선 및 공통 보조배선;

상기 게이트 라인, 게이트 전극, 공통 배선 및 공통 보조배선 상에 위치하는 게이트 절연막;

상기 게이트 절연막 상에 형성되며, 상기 게이트 전극에 대응되는 영역에 형성된 활성층;

상기 활성층과 동일층 상에 위치하며, 상기 활성층과 접속된 소스 전극과 드레인 전극 및 상기 게이트 라인과 교차하는 데이터 라인;

상기 소스 전극, 드레인 전극 및 데이터 라인 상에 위치하는 보호막; 및

상기 보호막 상에 위치하며, 상기 공통 보조배선을 통해 상기 공통 배선과 접속하는 공통 전극 및 상기 드레인 전극과 접속하는 화소 전극을 포함하고,

상기 공통 보조배선의 투명 도전층은 상기 공통배선의 투명 도전층으로부터 연장되는 제 1 폭을 가지며, 상기 공통 보조배선의 금속층은 상기 공통배선의 금속층으로부터 연장되며 상기 제1 폭보다 작은 제 2 폭을 가지며,

상기 제 1 폭은 평면 상에서 상기 데이터 라인과 상기 화소전극 사이의 간격보다 작고,

상기 공통배선의 투명 도전층의 폭과 상기 공통배선의 금속층의 폭은 동일하며,

상기 게이트 전극의 투명 도전층의 폭과 상기 게이트 전극의 금속층의 폭은 동일한 횡전계형 액정표시장치.

청구항 2

제 1항에 있어서,

상기 공통 보조배선은 상기 데이터 라인과 인접하며 나란하게 배열된 횡전계형 액정표시장치.

청구항 3

삭제

청구항 4

제 1항에 있어서,

상기 공통 보조배선의 투명도전층은 상기 공통 보조배선의 금속층의 상부 또는 하부에 위치하는 횡전계형 액정표시장치.

청구항 5

제 1항에 있어서,

상기 게이트 라인 및 게이트 전극과, 공통 배선 및 공통 보조배선의 투명도전층은 ITO, IZO 및 ITZO 중 선택된 어느 하나인 횡전계형 액정표시장치.

청구항 6

제 1항에 있어서,

상기 화소 전극은 상기 보호막을 관통하는 제 2 콘택홀을 통해 상기 드레인 전극과 접속되는 횡전계형 액정표시장치.

청구항 7

삭제

발명의 설명

기술 분야

[0001] 본 발명은 횡전계형 액정표시장치에 관한 것으로, 데이터 라인과 최외곽 전극 간의 커플링 캐패시턴스를 감소시켜 크로스토크를 개선할 수 있는 횡전계형 액정표시장치에 관한 것이다.

배경 기술

[0002] 일반적으로 액정표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 구동된다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다. 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0003] 현재는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다. 상기 액정표시장치는 공통 전극이 형성된 컬러필터 기판과 화소 전극이 형성된 어레이 기판과, 상기 두 기판 사이에 개재된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통 전극과 화소 전극이 상하로 걸리는 전기장에 의해 액정을 구동하는 방식으로 투과율과 개구율 등의 특성이 우수하다.

[0004] 그러나, 상하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 가지고 있다. 따라서, 상기의 단점을 극복하기 위해 시야각 특성이 우수한 횡전계형 액정표시장치가 제안되었다.

[0005] 도 1은 종래 횡전계형 액정표시장치의 서브픽셀을 나타낸 단면도이고, 도 2는 횡전계형 액정표시장치의 크로스토크가 발생한 현상을 나타낸 도면이다.

[0006] 도 1을 참조하면, 제 1 기판(5) 상에 게이트 전극(10)과 게이트 절연막(15)이 형성되고, 활성층(20)이 게이트 전극(10) 상에 형성된다. 활성층(20)에는 소스 전극(25a)과 드레인 전극(25b)이 접속되어 스위칭 박막트랜지스터를 구성하고, 서브픽셀의 가장자리에 데이터 라인(25c)이 형성된다. 그리고, 제 1 기판(5) 상에 형성된 소자를 보호하는 보호막(30)이 형성되고, 드레인 전극(25b)과 연결된 화소 전극(41)과 공통 배선(미도시)과 연결된 공통 전극(42)이 교번하여 형성된다.

[0007] 그리고, 제 2 기판(50) 상에 블랙매트릭스(55)와 컬러필터(60)가 형성되고, 이들을 덮는 오버코트층(70)이 형성된다. 제 1 기판(5)과 제 2 기판(50) 사이에 액정(80)이 개재되어 종래 횡전계형 액정표시장치를 구성한다.

[0008] 상기와 같은 구성으로 이루어진 종래 횡전계형 액정표시장치는 데이터 라인(25c)과 인접하는 공통 전극(42) 또는 화소 전극(41)의 커플링 캐패시턴스(coupling capacitance)에 의한 임의의 전위차가 형성되어, 서브픽셀의 최외곽에 이상 전계가 형성된다. 이에 따라, 도 2에 도시된 바와 같이, 횡전계형 액정표시장치의 전체 표시면에서 중심 부분은 백색을 구현하고 외곽 영역은 블랙을 구현할 때, 중심 부분의 상하 영역에서 크로스토크에 의해 밝은 블랙이 구현되는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0009] 본 발명은 데이터 라인과 최외곽 전극 간의 커플링 캐패시턴스를 감소시켜 크로스토크를 개선할 수 있는 횡전계형 액정표시장치를 제공한다.

과제의 해결 수단

- [0010] 상기한 목적을 달성하기 위해, 본 발명의 일 실시 예에 따른 횡전계형 액정표시장치는 기판, 상기 기판 상에 형성되며, 금속층 및 투명도전층을 포함하는 게이트 라인, 게이트 전극 및 공통 배선, 상기 게이트 라인, 게이트 전극 및 공통 배선 상에 위치하는 게이트 절연막, 상기 게이트 절연막 상에 형성되며, 상기 게이트 전극에 대응되는 영역에 형성된 활성층, 상기 활성층과 동일층 상에 위치하며, 상기 활성층과 접속된 소스 전극과 드레인 전극 및 상기 게이트 라인과 교차하는 데이터 라인, 상기 소스 전극, 드레인 전극 및 데이터 라인 상에 위치하는 보호막 및 상기 보호막 상에 위치하며, 상기 공통 배선과 접속하는 공통 전극 및 상기 드레인 전극과 접속하는 화소 전극을 포함할 수 있다.
- [0011] 상기 공통 배선으로부터 연장되는 공통 보조배선은 상기 데이터 라인과 인접하며 나란하게 배열될 수 있다.
- [0012] 상기 공통 보조배선의 투명도전층의 폭은 상기 공통 보조배선의 금속층의 폭보다 클 수 있다.
상기 공통 보조배선의 투명도전층은 상기 공통 보조배선의 금속층의 상부 또는 하부에 위치할 수 있다.
- [0013] 상기 게이트 라인, 게이트 전극, 공통 배선 및 공통 보조배선의 투명도전층은 IT0, IZO 및 ITZO 중 선택된 어느 하나일 수 있다.
- [0014] 삭제
- [0015] 상기 화소 전극은 상기 보호막을 관통하는 제 2 콘택홀을 통해 상기 드레인 전극과 접속될 수 있다.
- [0016] 상기 투명도전층의 폭은 평면 상에서 상기 데이터 라인과 상기 화소 전극 사이 거리보다 작을 수 있다.

발명의 효과

- [0017] 본 발명의 일 실시 예에 따른 횡전계형 액정표시장치는 데이터 라인과 인접한 공통 보조 배선에 투명도전층을 더 형성하고, 투명도전층의 폭을 넓게 형성함으로써, 데이터 라인과 화소 전극 간의 커플링 캐패시턴스를 감소시켜 크로스토크를 방지할 수 있는 이점이 있다. 또한, 투명도전층을 사용함으로써, 개구율이 감소하는 것을 방지할 수 있는 이점이 있다.

도면의 간단한 설명

- [0018] 도 1은 종래 횡전계형 액정표시장치의 서브픽셀을 나타낸 단면도.
도 2는 횡전계형 액정표시장치의 크로스토크가 발생한 현상을 나타낸 도면.
도 3은 본 발명의 일 실시 예에 따른 횡전계형 액정표시장치를 나타낸 평면도.
도 4는 도 3의 I-I'에 따라 절취한 부분의 단면도.
도 5는 도 4의 R영역을 확대하여 나타낸 도면.
도 6a 내지 도 6e는 본 발명의 횡전계형 액정표시장치의 제조방법을 공정별로 나타낸 도면.
도 7 및 도 8은 본 발명의 공통 보조 배선의 폭에 따라 횡전계형 액정표시장치의 크로스토크를 측정한 결과를 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 첨부한 도면을 참조하여 본 발명의 일 실시 예를 상세히 설명하면 다음과 같다.
- [0020] 도 3은 본 발명의 일 실시 예에 따른 횡전계형 액정표시장치를 나타낸 평면도이고, 도 4는 도 3의 I-I'에 따라 절취한 부분의 단면도이고, 도 5는 도 4의 R영역을 확대하여 나타낸 도면이다. 하기에서는 설명의 편의를 위해 액정표시장치의 어레이 기판과 서브픽셀들을 나타내고 설명하기로 한다.
- [0021] 도 3을 참조하면, 본 발명의 실시 예에 따른 횡전계형 액정표시장치(100)는 제 1 기판(105) 상에 일 방향으로 배열된 게이트 라인(105), 상기 게이트 라인(110)과 인접하여 나란하게 배열된 공통 배선(120) 및 상기 게이트 라인(110)과 교차하여 복수의 서브픽셀(P)을 구획하는 데이터 라인(130)이 위치한다. 그리고, 상기 각 서브픽셀(P)에서 상기 게이트 라인(110)과 데이터 라인(130)의 교차 영역에는 상기 게이트 라인(110)으로 이루어진 게이트 전극(112)이 위치하고, 데이터 라인(130)으로부터 연장된 소스 전극(132)과 소스 전극(132)으로부터 이격된 드레인 전극(133)이 위치한다.
- [0022] 그리고, 상기 각 서브픽셀(P) 내에 상기 드레인 전극(133)과 제 1 콘택홀(CH1)을 통해 연결되며, 상기 공통 배선(120)과 중첩하는 화소 전극(150)이 위치한다. 화소 전극(150)은 서브픽셀(P) 내에서 일정 간격 이격되어 분기되어 배열된다. 상기 공통 배선(120)과 중첩하는 화소 전극(150)은 공통 배선(120)과 스토리지 캐패시터(Cs t)를 이룬다.
- [0023] 그리고, 상기 서브픽셀(P)의 가장자리에는 상기 공통 배선(120)으로부터 분기된 공통 보조 배선(122)이 상기 데이터 라인(130)과 인접하여 나란하게 위치한다. 또한, 상기 공통 보조 배선(122) 사이에는 일정 간격 이격되게 배열된 공통 전극(151)이 제 2 콘택홀(CH2)을 통해 상기 공통 보조 배선(122)과 연결된다. 그리고, 공통 전극(151)은 상기 화소 전극(150)과 서로 교번하여 동일 평면 상에 배열된다. 또한, 상기 공통 전극(151), 화소 전극(150), 공통 보조 배선(122) 및 데이터 라인(130)은 각각 서로 나란하게 배열되며, 일정 각도로 꺾인 구조로 이루어진다.
- [0024] 보다 자세하게, 본 발명의 일 실시 예에 따른 횡전계형 액정표시장치의 구조를 도 4를 참조하여 설명하면 다음과 같다.
- [0025] 도 4를 참조하면, 본 발명에 일 실시 예에 따른 횡전계형 액정표시장치(100)는 스위칭 소자인 박막트랜지스터(TFT)와 화소 전극(150) 및 공통 전극(151)이 형성된 제 1 기판(105)과, 컬러필터(170) 및 블랙매트릭스(165)가 형성된 제 2 기판(160), 및 제 1 기판(105)과 제 2 기판(160) 사이에 개재된 액정층(180)으로 구성된다.
- [0026] 제 1 기판(105) 상에 게이트 전극(110), 공통 배선(120) 및 공통 보조 배선(122)이 위치한다. 게이트 전극(110), 공통 배선(120) 및 공통 보조 배선(122)은 각각 투명도전층(111a, 111b, 111c)과 금속층(112a, 112b, 112c)의 2층 구조로 이루어진다. 여기서, 투명도전층(111a, 111b, 111c)은 IT0, IZO 및 ITZO 중 선택된 어느 하나로 이루어지며, 금속층(112a, 112b, 112c)은 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo), 구리(Cu), 금(Au) 및 티타늄(Ti) 중 선택된 어느 하나로 이루어진다.
- [0027] 상기 게이트 전극(110), 공통 배선(120) 및 공통 보조 배선(122) 상에 이들을 절연시키는 게이트 절연막(125)이 위치하고, 게이트 절연막(125) 상에 활성층(129a)이 위치한다. 그리고, 활성층(129a)에 각각 접속되는 소스 전극(132) 및 드레인 전극(133)이 위치하고, 공통 보조 배선(122)과 인접한 영역에 데이터 라인(130)이 위치한다.
- [0028] 여기서, 데이터 라인(130)은 활성층(129a)과 동일한 물질로 이루어진 실리콘층(129b)과, 소스 전극(132) 및 드레인 전극(133)과 동일한 물질로 이루어진 도전층(134)으로 이루어진다. 따라서, 활성층(129a), 소스 전극(132), 드레인 전극(133) 및 게이트 전극(110)을 포함하는 박막트랜지스터(TFT)를 구성한다.
- [0029] 박막트랜지스터(TFT) 상에 보호막(140)이 위치하고, 보호막(140) 상에 보호막(140)을 관통하는 제 1 콘택홀(CH1)을 통해 드레인 전극(133)과 접속된 화소 전극(150)이 위치한다. 또한, 화소 전극(150)과 동일 평면 상에 공통 전극(150)이 상기 화소 전극(150)과 교번하여 위치한다.
- [0030] 제 1 기판(105)과 대향하는 제 2 기판(160)에는 적색, 녹색 및 청색의 컬러필터(160)가 위치하고, 컬러필터(160)마다 블랙매트릭스(165)가 위치한다. 블랙매트릭스(165)는 제 1 기판(105)의 공통 보조 배선(122) 및 데이터 라인(130)과 대응되는 영역에 위치하여 색의 혼색을 방지한다. 그리고, 컬러필터(160) 및 블랙매트릭스(165)를 덮는 오버코트층(175)이 위치한다. 상기 제 1 기판(105)과 제 2 기판(160) 사이에는 액정층(180)이 개재되어 본 발명의 일 실시 예에 따른 횡전계형 액정표시장치(100)를 구성한다.
- [0031] 한편, 본 발명은 공통 보조 배선(122)이 투명도전층(111c)과 금속층(112c)으로 이루어진 것을 특징으로 한다. 앞선 종래 기술에서 설명한 바와 같이, 데이터 라인(130)과 데이터 라인(130)과 인접한 화소 전극(150) 사이에

커패시터로 인해 크로스토크가 발생하는 문제점이 있다.

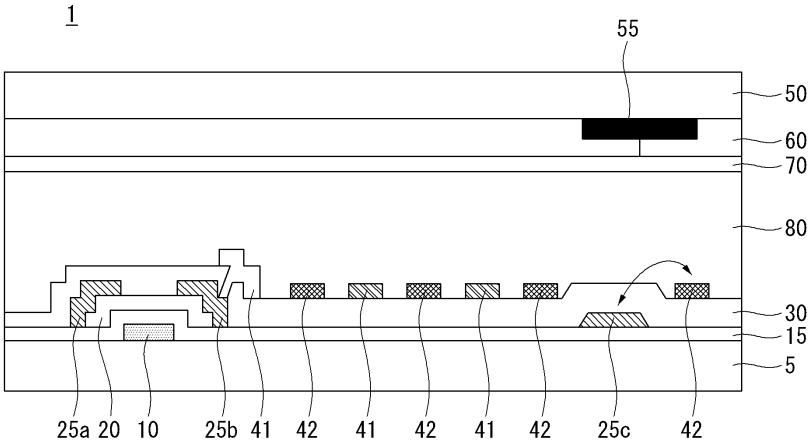
- [0032] 본 발명에서는 데이터 라인(130) 하부에 위치한 공통 보조 배선(122)을 투명도전층(111c)과 금속층(112c)의 2층 구조로 형성하고, 투명도전층(111c)의 폭(W1)을 금속층(112c)의 폭(W2)보다 크게 형성한다. 따라서, 공통 보조 배선(122)의 폭이 넓어짐에 따라 데이터 라인(130)과 공통 보조 배선(122)의 커패시턴스가 커지게 된다. 그러므로, 종래 데이터 라인(130)과 화소 전극(150) 사이의 커패시턴스가 데이터 라인(130)과 공통 보조 배선(122) 사이의 커패시턴스로 분산되게 되어, 데이터 라인(130)과 화소 전극(150) 사이의 커패시턴스를 감소시킬 수 있다.
- [0033] 또한, 본 발명에서는 공통 보조 배선(122)의 폭을 증가시키기 위해, 투명도전층(111c)을 형성하고, 투명도전층(111c)의 폭(W1)을 넓게 함으로써, 제 1 기판(105) 하부로부터 입사되는 광을 차단하지 않아 개구율이 저하되는 것을 방지할 수 있는 이점이 있다. 그리고, 투명도전층(111c)의 폭(W1)은 평면 상에서 데이터 라인(130)과 화소 전극(150) 사이의 간격보다 작게 이루어진다. 여기서, 투명도전층(111c)의 폭(W1)이 평면 상에서 데이터 라인(130)과 화소 전극(150) 사이의 간격보다 작게 이루어지면, 투명도전층(111c)이 화소 전극(150)과 가까워지는 것을 방지하여 화소 전극(150)과 투명도전층(111c)의 커패시턴스가 커지는 것을 방지할 수 있다.
- [0034] 한편, 본 발명의 공통 보조 배선(122)은 도 4에 도시된 바와 같이, 투명도전층(111c)이 하부에 위치하고 투명도전층(111c) 상에 금속층(112c)이 위치하도록 형성할 수 있다. 이와는 달리, 도 5에 도시된 바와 같이, 공통 보조 배선(122)은 금속층(112c)이 하부에 위치하고 금속층(112c) 상에 투명도전층(111c)이 위치하도록 형성할 수도 있다. 이와 같은 공통 보조 배선(122)의 적층 구조는 광을 투과하는 투명도전층(111c)으로 인해 자유롭게 형성할 수 있다.
- [0035] 이하, 본 발명의 일 실시 예에 따른 횡전계형 액정표시장치의 제조방법을 설명하면 다음과 같다. 하기에서는 전술한 도 4의 구조에 따른 횡전계형 액정표시장치의 제조방법을 예로 설명한다.
- [0036] 도 6a 내지 도 6e는 본 발명의 횡전계형 액정표시장치의 제조방법을 공정별로 나타낸 도면이다.
- [0037] 도 6a를 참조하면, 본 발명의 일 실시 예에 따른 횡전계형 액정표시장치의 제조방법은 제 1 기판(105) 상에 투명한 도전물질 예를 들어 ITO, IZO 및 ITZO 중 선택된 어느 하나를 증착하고, 저저항 특성을 갖는 금속물질 예를 들면 알루미늄(Al), 알루미늄 합금, 구리(Cu), 구리합금, 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti) 및 금(Au) 중 선택되는 하나의 금속물질을 증착한다. 그리고, 하프톤 마스크인 제 1 마스크를 이용하여 상기 투명도전물질 및 금속물질을 패터닝하여 게이트 전극(110), 공통 배선(120) 및 공통 보조 배선(122)을 형성한다.
- [0038] 이때, 투명도전물질 및 금속물질을 동일하게 패터닝하여 게이트 전극(110) 및 공통 배선(120)을 형성하고, 공통 보조 배선(122)의 경우, 투명도전층(111c)의 폭이 금속층(112c)의 폭보다 크게 형성한다. 따라서, 투명도전층(111a, 111b, 111c) 및 금속층(112a, 112b, 112c)을 포함하는 게이트 전극(110), 공통 배선(120) 및 공통 보조 배선(122)을 형성한다.
- [0039] 앞서 설명한 바와 같이, 본 발명에서는 데이터 라인(130) 하부에 위치한 공통 보조 배선(122)을 투명도전층(111c)과 금속층(112c)의 2층 구조로 형성하고, 투명도전층(111c)의 폭을 금속층(112c)의 폭보다 크게 형성한다. 따라서, 공통 보조 배선(122)의 폭이 넓어짐에 따라 데이터 라인(130)과 공통 보조 배선(122)의 커패시턴스가 커지게 된다. 그러므로, 종래 데이터 라인(130)과 화소 전극(150) 사이의 커패시턴스가 데이터 라인(130)과 공통 보조 배선(122) 사이의 커패시턴스로 분산되게 되어, 데이터 라인(130)과 화소 전극(150) 사이의 커패시턴스를 감소시킬 수 있다.
- [0040] 또한, 본 발명에서는 공통 보조 배선(122)의 폭을 증가시키기 위해, 투명도전층(111c)을 형성하고, 투명도전층(111c)의 폭을 넓게 함으로써, 제 1 기판(105) 하부로부터 입사되는 광을 차단하지 않아 개구율이 저하되는 것을 방지할 수 있는 이점이 있다. 그리고, 본 발명에서는 투명도전층(111c)의 폭을 평면 상에서 데이터 라인(130)과 화소 전극(150) 사이의 간격보다 작게 형성함으로써, 공통 보조 배선(112)이 화소 전극(150)과 가까워지는 것을 방지하여 화소 전극(150)과 공통 보조 배선(112)의 커패시턴스가 커지는 것을 방지할 수 있다.
- [0041] 본 실시 예에서는 투명도전층(111a, 111b, 111c)이 하부에 위치하고, 금속층(112a, 112b, 112c)이 상부에 위치하는 것으로 설명하였지만, 이와는 달리, 투명도전층(111a, 111b, 111c)이 상부에 위치하고, 금속층(112a, 112b, 112c)이 하부에 위치하게 형성할 수도 있다.
- [0042] 이어, 도 6b를 참조하면, 게이트 전극(110), 공통 배선(120) 및 공통 보조 배선(122)이 형성된 제 1 기판(105)

상에 무기 절연물질 예를 들면 산화실리콘(SiO_x) 또는 질화실리콘(SiN_x)을 증착하여 게이트 절연막(125)을 형성한다.

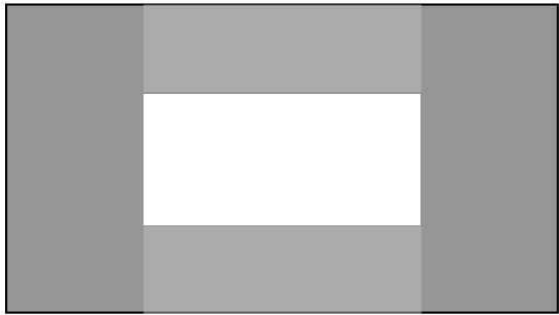
- [0043] 다음, 게이트 절연막(125)이 형성된 제 1 기판(105) 상에 비정질 실리콘 또는 비정질 실리콘을 결정화한 다결정 실리콘을 형성하고, 그 상부에 저저항 특성을 갖는 금속물질 예를 들면 알루미늄(Al), 알루미늄 합금, 구리(Cu), 구리 합금, 크롬(Cr), 몰리브덴(Mo) 및 티타늄(Ti) 중 선택되는 하나의 금속물질을 증착한다. 그리고, 하프톤 마스크인 제 2 마스크를 이용하여 이들을 동시에 패터닝하여, 활성층(129a), 소스 전극(132), 데이터 전극(133), 데이터 라인(130)을 형성한다.
- [0044] 이때, 활성층(129a), 소스 전극(132) 및 드레인 전극(133)은 회절노광되어 그 크기가 상이하나, 데이터 라인(130)은 크기가 동일한 실리콘층(129b) 및 도전층(134)을 포함하여 형성된다. 따라서, 게이트 전극(110), 활성층(129a), 소스 전극(132) 및 드레인 전극(133)을 포함하는 박막트랜지스터(TFT)가 형성된다.
- [0045] 다음, 도 6c를 참조하면, 상기 박막트랜지스터(TFT)가 형성된 제 1 기판(105) 전면에 무기절연물질 예를 들면 산화실리콘(SiO_x) 또는 질화실리콘(SiN_x)을 증착하고 제 3 마스크를 이용하여 패터닝하여 제 1 콘택홀(CH1)이 형성된 보호막(140)을 형성한다. 이때, 도시하지 않았지만, 공통 보조 배선(122)을 노출하는 제 2 콘택홀(미도시)도 형성된다.
- [0046] 이어, 도 6d를 참조하면, 상기 제 1 기판(105) 상에 투명한 도전 물질 예를 들면 ITO, IZO 및 ITZO 중 선택된 어느 하나를 증착하고 제 4 마스크를 이용하여 패터닝함으로써, 화소 전극(150) 및 공통 전극(151)을 형성한다. 이때, 화소 전극(150)은 제 1 콘택홀(CH1)을 통해 박막트랜지스터(TFT)의 드레인 전극(133)과 접속되고, 공통 전극(151)은 제 2 콘택홀(미도시)을 통해 공통 보조 배선(122)과 접속된다.
- [0047] 다음, 도 6e를 참조하면, 제 2 기판(160) 상에 카본블랙과 같은 물질을 도포하고 패터닝하여 블랙매트릭스(165)를 형성하고, 적색 컬러필터 물질, 녹색 컬러필터 물질 및 청색의 컬러필터물질을 순차적으로 형성하여 컬러필터(170)를 형성한다. 이어, 컬러필터(170) 상에 오버코트층(175)을 형성한다.
- [0048] 이어, 제 1 기판(105)과 제 2 기판(160) 사이에 액정층(180)을 개재하고 합착함으로써, 본 발명의 일 실시 예에 따른 횡전계형 액정표시장치(100)를 제조한다.
- [0049] 도 7 및 도 8은 본 발명의 공통 보조 배선의 폭에 따라 횡전계형 액정표시장치의 크로스토크를 측정한 결과를 나타낸 도면이다.
- [0050] 도 7을 참조하면, 좌측은 공통 보조 배선의 폭이 $2\mu\text{m}$ 였을 때의 크로스토크를 나타내고, 우측은 공통 보조 배선의 폭을 $3\mu\text{m}$ 로 넓혔을 때의 크로스토크를 나타낸다. 도 7에 나타나는 바와 같이, 공통 보조 배선의 폭이 $3\mu\text{m}$ 일 때가 $2\mu\text{m}$ 일 때보다 크로스토크가 1.8% 개선된 것을 알 수 있다.
- [0051] 또한, 도 8을 참조하면, 공통 보조 배선의 폭을 $2\mu\text{m}$, $2.5\mu\text{m}$ 및 $3\mu\text{m}$ 로 형성하였을 때, 크로스토크가 점점 감소하는 것을 알 수 있다.
- [0052] 상기와 같이, 본 발명의 일 실시 예에 따른 횡전계형 액정표시장치는 데이터 라인과 인접한 공통 보조 배선에 투명도전층을 더 형성하고, 투명도전층의 폭을 넓게 형성함으로써, 데이터 라인과 화소 전극 간의 커플링 캐패시턴스를 감소시켜 크로스토크를 방지할 수 있는 이점이 있다. 또한, 투명도전층을 사용함으로써, 개구율이 감소하는 것을 방지할 수 있는 이점이 있다.
- [0053] 이상 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

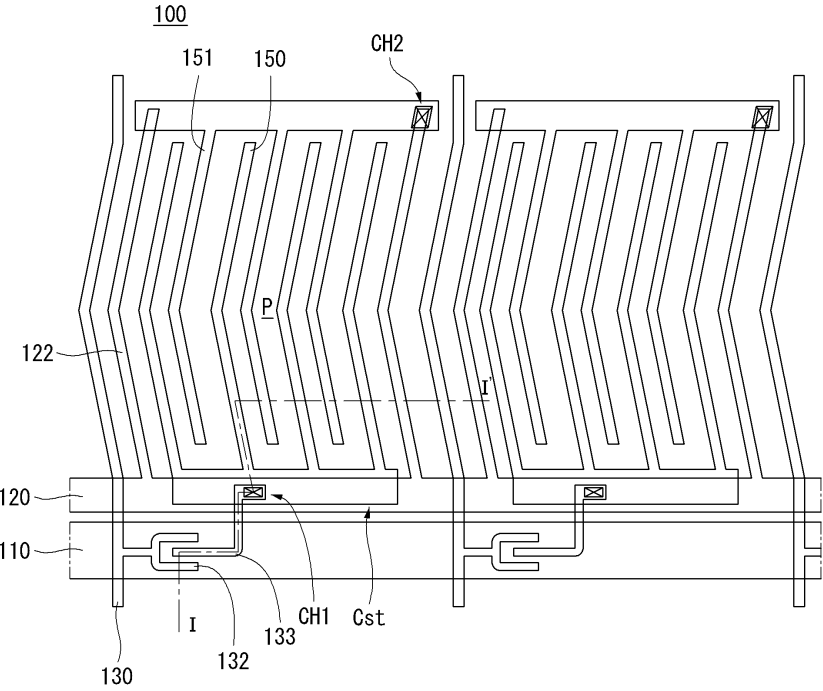
도면1



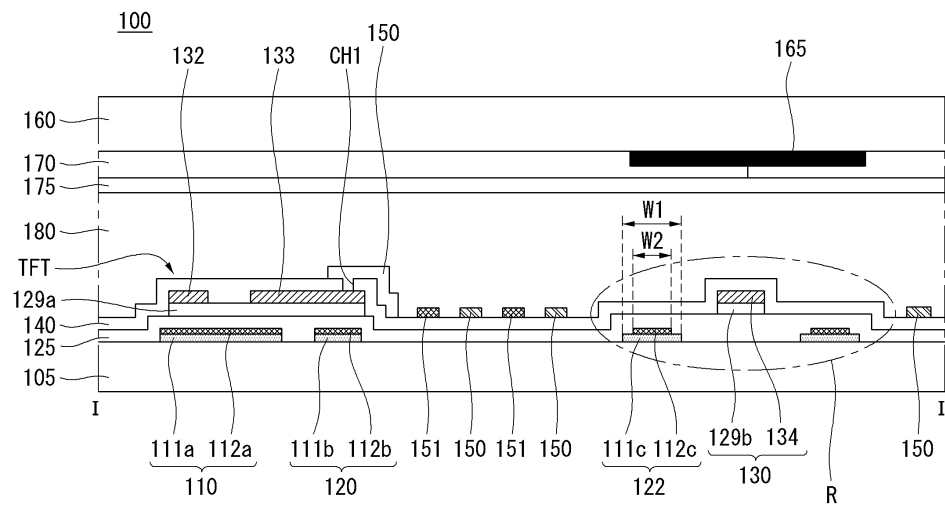
도면2



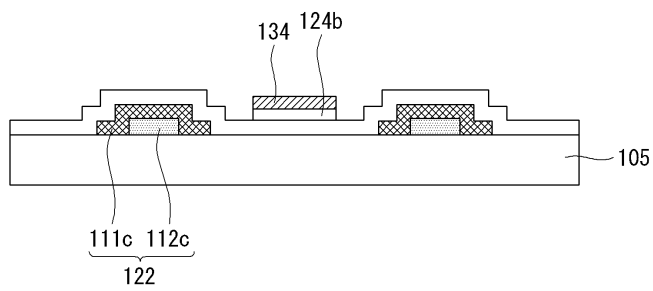
도면3



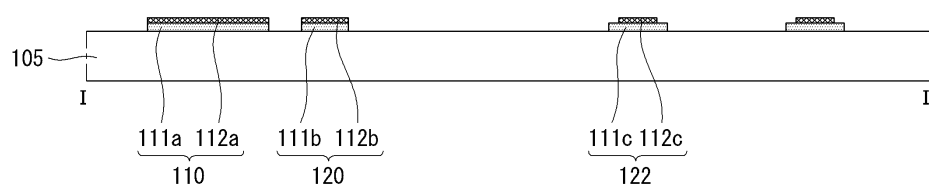
도면4



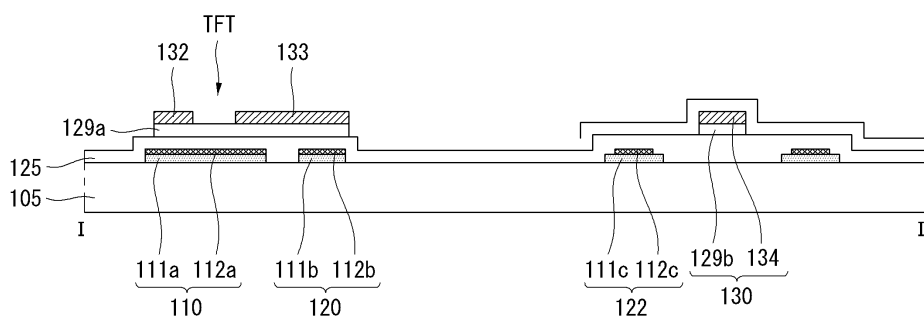
도면5



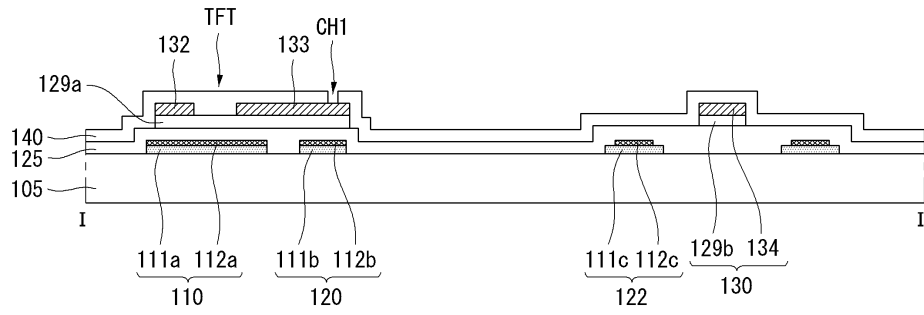
도면6a



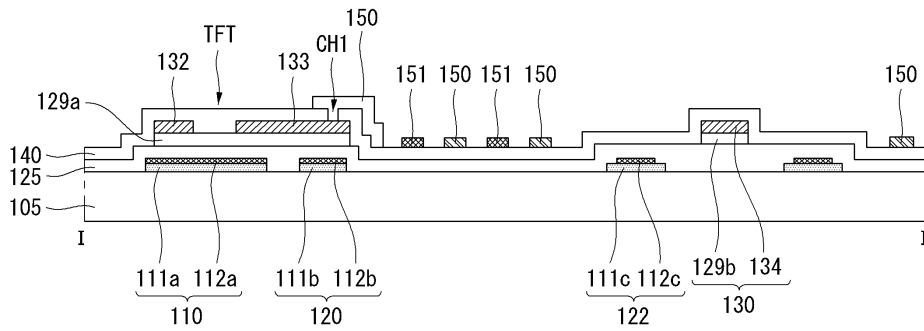
도면6b



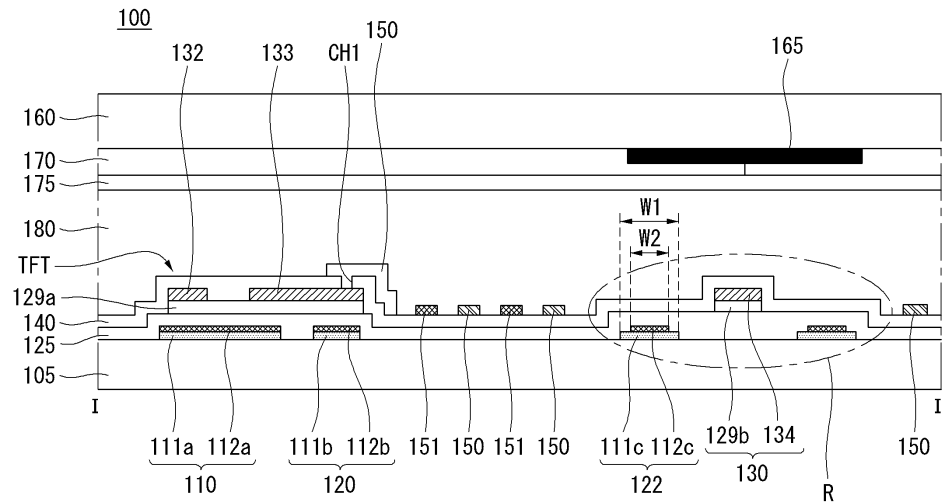
도면6c



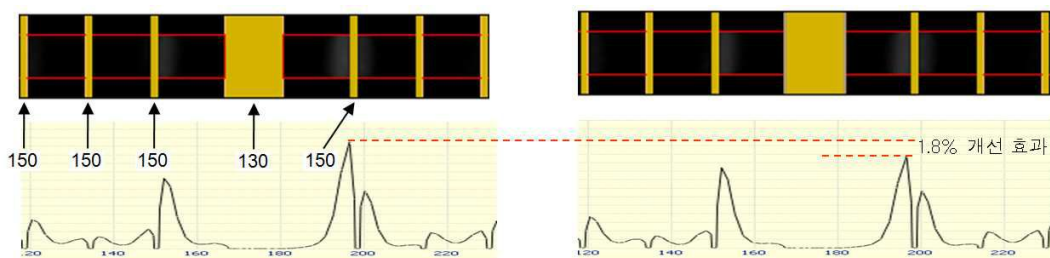
도면6d



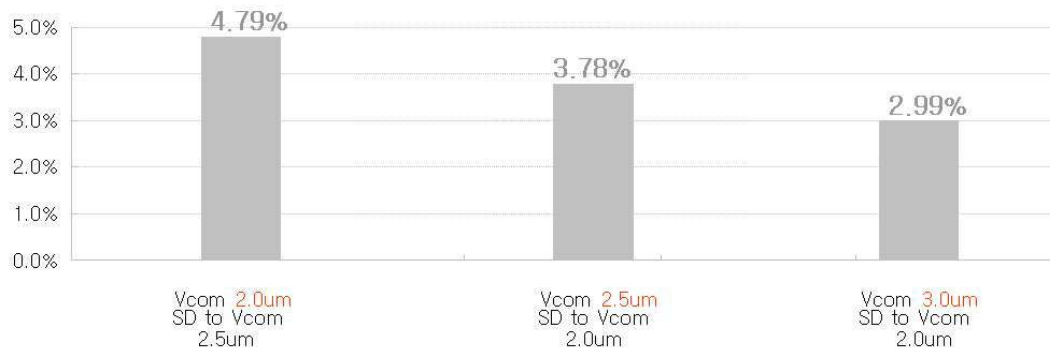
도면6e



도면7



도면8



专利名称(译)	横向电场型液晶显示装置		
公开(公告)号	KR101818244B1	公开(公告)日	2018-01-15
申请号	KR1020110031900	申请日	2011-04-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JEONG HWAN 김정환 PARK BYUNG HYUN 박병현 LEE SEOP 이섭 SONG JI WON 송지원		
发明人	김정환 박병현 이섭 송지원		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/134363 G02F1/136286 H01L29/78696 G09G2320/0209		
其他公开文献	KR1020120114107A		
外部链接	Espacenet		

摘要(译)

目的：提供一种面内切换模式液晶显示器，以减少数据线和最外面的电极之间的耦合电容，从而减少串扰。结构：数据线（130）位于有源层的同一层上。数据线穿过源电极，漏电极和栅极线。保护膜位于源电极，漏电极和数据线上。像素电极（150）位于保护膜上。像素电极连接到公共电极和漏电极。

