

금속막 및 도핑된 비정질 실리콘막을 순차적으로 형성한 다음, 회절마스크 또는 하프톤 마스크를 이용한 제 2 마스크 공정에 따라 제 1 게이트 전극 상부에 형성되는 소스/드레인 전극, 화소 전극, 데이터 배선 및 데이터 패드를 형성하는 단계와, 소스/드레인 전극 및 화소전극이 형성된 기판 상에 비정질 실리콘막 및 제 2 게이트 절연막을 순차적으로 형성한 다음, 제 3 마스크 공정을 진행하여 액티브층 및 공통배선 상부와 게이트 패드 상부에 콘택홀을 형성하는 단계 및 액티브층이 형성된 기판 상에 금속막을 형성한 다음, 제 4 마스크 공정을 진행하여 액티브층 상에 제 2 게이트 절연막을 사이에 두고 제 2 게이트 전극, 화소 영역과 이와 인접한 화소 영역에 형성된 공통 배선들을 서로 연결하기 위한 연결부 및 게이트 패드 전극을 형성하는 단계를 포함한다.

명세서

청구범위

청구항 1

기판 상에 금속막을 배치한 다음, 제 1 마스크 공정에 따라 제 1 게이트 전극, 공통 배선 및 게이트 패드를 배치하는 단계;

상기 제 1 게이트 전극 등이 배치된 기판 상에 제 1 게이트 절연막, 투명성 도전막, 소스/드레인 금속막 및 도핑된 비정질 실리콘막을 순차적으로 배치한 다음, 회절마스크 또는 하프톤 마스크를 이용한 제 2 마스크 공정에 따라 상기 제 1 게이트 전극 상부에 배치되는 소스/드레인 전극, 화소 전극, 데이터 배선 및 데이터 패드를 배치하는 단계;

상기 소스/드레인 전극 및 화소전극이 배치된 기판 상에 비정질 실리콘막 및 제 2 게이트 절연막을 순차적으로 배치한 다음, 제 3 마스크 공정을 진행하여 액티브층 및 상기 공통배선 상부와 게이트 패드 상부에 콘택홀을 배치하는 단계; 및

상기 액티브층이 배치된 기판 상에 금속막을 배치한 다음, 제 4 마스크 공정을 진행하여 상기 액티브층 상에 제 2 게이트 절연막을 사이에 두고 제 2 게이트 전극, 화소 영역과 이와 인접한 화소 영역에 배치된 공통 배선들을 서로 연결하기 위한 연결부 및 게이트 패드 전극을 배치하는 단계를 포함하는 액정표시장치 제조방법.

청구항 2

제 1 항에 있어서, 상기 제 2 마스크 공정은,

상기 도핑된 비정질 실리콘막을 건식각하고, 소스/드레인 금속막을 습식각하는 단계; 및

상기 투명성 도전막을 식각하는 단계를 포함하는 액정표시장치 제조방법.

청구항 3

제 1 항에 있어서, 상기 소스/드레인 전극은 상기 투명성 도전막, 소스/드레인 금속막 및 도핑된 비정질 실리콘막으로 배치되는 액정표시장치 제조방법.

청구항 4

제 1 항에 있어서, 상기 데이터 배선은 투명성 도전막과 소스/드레인 금속막으로된 2중층 구조인 액정표시장치 제조방법.

청구항 5

제 1 항에 있어서, 상기 제 2 게이트 전극, 연결부 및 게이트 패드 전극은 구리, 알루미늄, 크롬 또는 몰리브덴 중 어느 하나 또는 이들의 합금인 액정표시장치 제조방법.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

제 1 항에 있어서, 상기 투명성 도전막은 ITO 또는 IZO인 액정표시장치 제조방법.

청구항 11

제 1 항에 있어서, 상기 제1 게이트 전극은 제1 게이트 금속막과 제2 게이트 금속막으로된 이중층 구조인 액정표시장치 제조방법.

청구항 12

제 11 항에 있어서, 상기 제1 게이트 금속막은 구리, 알루미늄 및 크롬 중 어느 하나이고,
상기 제2 게이트 금속막은 몰리브덴인 액정표시장치 제조방법.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본원 발명은 박막 트랜지스터 액정표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 일반적으로 현대사회가 정보 사회화로 변해 감에 따라 정보표시장치의 하나인 액정표시장치 모듈의 중요성이 점차로 증가하여 가고 있다. 지금까지 가장 널리 사용되고 있는 CRT(cathode ray tube)는 성능이나 가격적인 측면에서 많은 장점을 갖고 있지만, 소형화 또는 휴대성 측면에서 많은 단점을 갖고 있다.

[0003] 반면에 액정표시장치는 가격 측면에서 다소 비싸지만 소형화, 경량화, 박형화, 저 전력, 소비화 등의 장점이 있어 CRT의 단점을 극복할 수 있는 대체수단으로 주목되고 있다.

[0004] 상기 액정표시장치는 박막 트랜지스터가 배열된 어레이 기관과, 레드(Red), 그린(Green), 블루(Blue) 컬러 필터층이 형성된 컬러 필터 기관이 액정을 사이에 두고 합착된 구조를 하고 있다.

[0005] 도 1a 내지 도 1d는 종래 기술에 따른 액정표시장치의 4 마스크 제조 공정을 도시한 도면이다.

[0006] 도 1a 내지 도 1d를 참조하면, 투명성 절연 기관(10) 상에 Al, Cr 계열의 금속막을 스퍼터링(sputtering) 방식에 의하여 증착한 다음, 상기 금속막 상에 포토레지스트를 도포하고 마스크를 사용하여 노광한다.

[0007] 상기 네가티브(negative) 포토레지스트는 마스크의 패턴을 따라 노광된 후 비투과영역을 통하여 노광되지 않는 부분의 포토레지스트 막이 식각시 현상액과 반응하여 제거되고, 상기 포지티브(positive) 포토레지스트는 정반대의 성질이 있는 것으로서, 마스크의 패턴을 따라 노광된 후 투과영역을 통하여 노광된 부분의 포토레지스트 막이 식각시 현상액과 반응하여 제거되는 성질을 가진다.

[0008] 여기서는 포지티브 포토레지스트를 사용하여 노광 및 식각을 진행하는 마스크 공정을 토대로 설명한다.

[0009] 상기와 같이 마스크 공정에 의하여 노광 공정을 진행한 후, 현상하면 식각될 영역에는 포토레지스트 막이 제거

되고, 식각 후 남게 되는 영역 상에는 포토레지스트가 존재하게 된다.

- [0010] 이렇게 하여 습식 식각을 진행하여 TFT(Thin Film Transistor: 이하, "TFT"라함) 영역에 게이트 전극(1)과 게이트 배선(미도시) 및 게이트 패드(11)를 형성한다.
- [0011] 상기와 같이 게이트 전극(1)이 절연 기판(10) 상에 형성되며, 게이트 절연막(3), 비정질 실리콘막, 도핑된 비정질 실리콘막 및 소스/드레인 금속막을 순차적으로 형성한 다음, 회절 마스크 또는 하프톤 마스크를 이용하여 TFT 영역의 게이트 전극(1) 상부에 액티브층(5)과 오믹콘택층(7) 및 소스/드레인 전극(9a, 9b)을 형성한다. 이때, 데이터 배선(data line) 영역에는 데이터 배선(12)이 형성되고, 데이터 패드 영역에는 데이터 패드(31)가 형성된다.
- [0012] 그런 다음, 상기 절연 기판(10) 상에 보호막(13)을 형성한 다음, 상기 드레인 전극(9b), 게이트 패드(11) 및 데이터 패드(31)를 노출하는 콘택홀 공정을 진행한다.
- [0013] 상기와 같이 보호막(13) 상에 콘택홀을 형성하는 공정이 완료되면, 도 1d에 도시한 바와 같이, 절연 기판(10) 상에 투명성 도전물질을 형성한 다음, 마스크 공정을 진행하여 화소 영역에 화소 전극(15)을 형성한다. 상기 화소 전극(15)은 상기 드레인 전극(9b)과 전기적으로 콘택되어 있다. 이때, 게이트 패드 영역과 데이터 패드 영역에는 상기 게이트 패드(11)와 전기적으로 콘택되는 게이트 패드 콘택부(25)와, 상기 데이터 패드(31)와 전기적으로 콘택되는 데이터 패드 콘택부(21)가 형성된다.
- [0014] 상기와 같이 4 마스크 공정에 따라 제조되는 액정표시장치는 다음과 같은 문제가 있다.
- [0015] 첫째, TFT의 액티브층이 노출되어 있어 TFT가 오프 상태일 때에도 누설 전류가 발생되고, TFT가 온 상태일 때에는 기판 상에 형성된 게이트 전극으로만 동작되기 때문에 흐르는 전류 값에 한계가 있다.
- [0016] 둘째, 4 마스크 제조 공정상 데이터 배선 하부에는 액티브층이 존재하는데, 액티브층의 폭이 데이터 배선의 폭보다 넓어 화소 개구율을 저하시킨다. 아울러, 이러한 구조는 웨이비 노이즈(wavy noise) 불량 및 수직 크로스토크(vertical cross talk) 불량이 발생하는 원인이 된다.

발명의 내용

해결 하고자하는 과제

- [0017] 본 발명은 박막 트랜지스터 액정표시장치의 TFT의 턴온 전류 특성을 개선하고, TFT의 턴오프시 누설 전류를 줄일 수 있는 박막 트랜지스터 액정표시장치 및 그 제조방법을 제공함에 있다.
- [0018] 또한, 본 발명은 데이터 배선의 하부에 액티브층이 존재하지 않아 데이터 배선과 화소 전극 사이의 기생 커패시턴스 증가로 발생하는 수직 크로스토크 불량 및 백라이트의 온/오프시 발생하는 웨이비 노이즈 불량을 제거할 수 있는 박막 트랜지스터 액정표시장치 및 그 제조방법을 제공하는 다른 목적이 있다.

과제 해결수단

- [0019] 상기와 같은 과제를 해결하기 위한 본 발명의 액정표시장치 제조방법은, 기판 상에 금속막을 형성한 다음, 제 1 마스크 공정에 따라 제 1 게이트 전극, 공통 배선 및 게이트 패드를 형성하는 단계; 상기 제 1 게이트 전극 등이 형성된 기판 상에 제 1 게이트 절연막, 투명성 도전막, 소스/드레인 금속막 및 도핑된 비정질 실리콘막을 순차적으로 형성한 다음, 회절마스크 또는 하프톤 마스크를 이용한 제 2 마스크 공정에 따라 상기 제 1 게이트 전극 상부에 형성되는 소스/드레인 전극, 화소 전극, 데이터 배선 및 데이터 패드를 형성하는 단계; 상기 소스/드레인 전극 및 화소전극이 형성된 기판 상에 비정질 실리콘막 및 제 2 게이트 절연막을 순차적으로 형성한 다음, 제 3 마스크 공정을 진행하여 액티브층 및 상기 공통배선 상부와 게이트 패드 상부에 콘택홀을 형성하는 단계; 및 상기 액티브층이 형성된 기판 상에 금속막을 형성한 다음, 제 4 마스크 공정을 진행하여 상기 액티브층 상에 제 2 게이트 절연막을 사이에 두고 제 2 게이트 전극, 화소 영역과 이와 인접한 화소 영역에 형성된 공통 배선들을 서로 연결하기 위한 연결부 및 게이트 패드 전극을 형성하는 단계를 포함한다.
- [0020] 또한, 본 발명의 액정표시장치는, 기판; 상기 기판 상에 교차 배열되어 화소 영역을 정의하는 데이터 배선과 게이트 배선; 상기 게이트 배선과 데이터 배선의 교차 영역에 배치된 스위칭 소자; 상기 화소 영역에 형성된 화소

전극; 상기 화소 전극과 스토리지 커패시턴스를 형성하기 위하여 상기 화소 영역에 형성된 공통 배선; 및 상기 화소 영역에 형성된 공통 배선과 상기 데이터 배선을 따라 인접한 화소 영역에 형성된 공통 배선을 전기적으로 연결하기 위해 배치된 연결부를 포함하는 것을 특징으로 한다.

효 과

- [0021] 본 발명의 박막 트랜지스터 액정표시장치는 TFT의 구조가 두개의 게이트 전극으로 구성되어 있어, TFT의 턴온 전류 특성을 개선하면서 TFT가 턴오프 상태일 때, TFT에서 누설되는 전류를 줄일 수 있는 효과가 있다.
- [0022] 또한, 본 발명은 4 마스크 공정으로 제조되지만 데이터 배선의 하부에 액티브층이 존재하지 않아 화소 영역의 개구율을 향상시킬 수 있는 효과가 있다.
- [0023] 또한, 본 발명은 데이터 배선 하측에 액티브층이 존재하지 않아 화소 전극과의 사이에서 발생하는 기생 커패시턴스를 줄일 수 있는 효과가 있다.
- [0024] 또한, 본 발명은 데이터 배선과 나란한 방향을 따라 형성된 화소 영역의 공통 배선들을 연결부에 의해 연결함으로써, 수직 크로스 토크 불량 등을 제거한 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0025] 이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0026] 도 2는 본 발명에 따른 박막 트랜지스터 액정표시장치의 화소 구조를 도시한 평면도이다.
- [0027] 도 2를 참조하면, 게이트 배선(104)과 데이터 배선(103)이 교차되어 화소 영역이 정의되어 있고, 그 교차 영역에 스위칭 소자인 박막 트랜지스터(TFT)가 배치되어 있다. 본 발명에서는 박막 트랜지스터의 게이트 전극을 액티브층을 사이에 두고 두 개로 형성하였다. 이에 대한 구체적인 구조 설명은 도 3a 내지 도 3d에서 한다.
- [0028] 상기 화소 영역에는 상기 게이트 배선(104)과 인접한 영역에는 상기 게이트 배선(104)과 평행한 방향으로 공통 배선(110)이 배치되어 있다. 상기 공통 배선(110)은 상기 데이터 배선(103)과 화소 영역의 중심에서 서로 교차되면서 화소 영역에서는 화소 영역의 가장자리를 둘레를 따라 사각형 형태로 형성되어 있다.
- [0029] 또한, 상기 공통 배선(110)은 상기 게이트 배선(104)의 인접 영역에서 폭을 넓게 형성하여 화소 전극(109)과의 스토리지 커패시턴스를 확보할 수 있도록 하였다.
- [0030] 본 발명에서는 데이터 배선(103)과 나란한 수직 방향으로 화소 영역의 공통 배선(110)과 인접한 화소영역의 공통 배선(210)을 연결부(120)에 의해 연결하였다. 특히, 본 발명에서는 박막 트랜지스터의 두 번째 게이트 전극과 동일한 물질로 공통배선들을 서로 연결하기 때문에 RC 딜레이를 줄일 수 있다.
- [0031] 상기 연결부(120)는 게이트 전극과 동일한 물질인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo) 등의 금속을 사용하거나 이들을 포함하는 합금을 사용하기 때문에 도전율이 높은 금속이다. 따라서, 화소 영역들의 수직 방향으로 발생하는 공통 배선의 리플(ripple) 딜레이를 줄일 수 있다.
- [0032] 상기 게이트 배선(104)의 가장자리에는 게이트 패드(115)가 형성되어 있고, 상기 게이트 패드(115) 상에는 게이트 패드 전극(140)이 형성되어 있다. 상기 데이터 배선(103)의 가장자리에는 데이터 패드(105)가 형성되어 있다. 본 발명에서는 데이터 패드(105)가 외부로 노출되어 있는 구조이므로 추가적으로 데이터 패드 전극을 형성하지 않는다.
- [0033] 본 발명에서는 화소 영역에 스위칭 소자로 사용되는 TFT의 게이트 전극 구조를 이중 게이트 전극 구조로 형성함으로써, TFT의 턴온 상태에서 전류 특성을 향상시키면서, TFT의 턴오프 상태에서 누설 전류를 줄일 수 있다. 왜

나하면, 본 발명의 TFT는 소스/드레인 전극 상부에 채널층 역할을 하는 액티브층이 형성되어 있기 때문에 외부 광 또는 백라이트에서 발생하는 광에 의해 누설 전류가 발생하는 것을 줄일 수 있기 때문이다.

- [0034] 또한, 본 발명의 액정표시장치는 4 마스크 공정에 의해 제조되지만 데이터 배선(103)의 하측에 액티브층이 존재하지 않아 화소 영역의 개구율을 향상시키면서 화소 전극(109)과 데이터 배선(103) 사이에서 발생하는 기생 커패시턴스를 줄일 수 있다.
- [0035] 도 3a 내지 도 3d는 상기 도 1의 박막 트랜지스터 액정표시장치 제조 공정을 도시한 도면이다.
- [0036] 도 3a 내지 도 3d를 참조하면, 기판(100) 상에 제 1 금속막과 제 2 금속막을 형성한 다음, 제 1 마스크 공정을 진행하여 TFT 영역 및 스토리지 영역(A-A'), 게이트 패드 영역(D-D') 상에 제 1 게이트 전극(112), 공통배선(110) 및 게이트 패드(115)를 형성한다. 상기 공통배선(110)은 화소 영역에 형성되는 화소 전극(109)과 오버랩되면서 스토리지 커패시턴스를 형성한다.
- [0037] 상기 제 1 게이트 전극(112)은 제 1 게이트 금속막(112a)과 제 2 게이트 금속막(112b)이 적층된 2중층 구조로 형성되었지만, 단일 금속층으로 형성할 수 있다. 상기 제 1 금속막은 구리(Cu), 알루미늄(Al), 크롬(Cr) 등을 사용하고, 제 2 금속막은 몰리브덴(Mo) 등을 사용한다.
- [0038] 상기 화소 영역에 형성되는 스토리지 커패시턴스의 스토리지 전극 역할을 하는 공통배선(110)도 제 1 공통 배선 금속막(110a)과 제 2 공통 배선 금속막(110b)으로 패터닝된다.
- [0039] 상기 게이트 패드(115)도 제 1 게이트 전극(112)과 일체로 형성되기 때문에 제 1 게이트 패드 금속막(115a)과 제 2 게이트 패드 금속막(115b)으로 패터닝되어 이중층 구조를 갖는다.
- [0040] 상기와 같이 기판(100) 상에 제 1 게이트 전극(112) 등이 형성되면, 기판(100)의 전면에 제 1 게이트 절연막(132), 투명성 도전막 및 소스/드레인 금속막을 연속하여 증착한다.
- [0041] 이때, 소스/드레인 금속막 상에 계속하여 n+ 도핑된 비정질 실리콘막 또는 p+ 도핑된 비정질 실리콘막을 연속하여 증착할 수 있다. 이것은 이후 채널층 역할을 하는 액티브층(142)과의 전기적 콘택 저항을 줄이기 위함이다.
- [0042] 그런 다음, 회절 마스크 또는 하프톤 마스크를 이용한 제 2 마스크 공정을 진행하여, 순차적으로 소스/드레인 금속막을 습식각하여 소스/드레인 전극(117a, 117b) 및 데이터 배선(103)을 형성하고, 이후 투명성 도전막을 습식각하여 화소 전극(109)을 형성한다.
- [0043] 만약, 소스/드레인 금속막 상에 도핑된 비정질 실리콘막을 형성한 경우에는 먼저 이를 패터닝하기 위한 건식각 공정이 진행되고, 이후 소스/드레인 금속막을 패터닝하기 위한 습식각 공정이 진행된다.
- [0044] 이후, 하프톤 패턴으로 형성된 감광막을 에칭(Ashing)한 다음, 두 번째 습식각 공정을 진행하여 소스/드레인 전극(117a, 117b) 사이에 남아 있는 투명성 도전막을 식각한다.
- [0045] 따라서, 본 발명에서는 소스/드레인 전극(117a, 117b)은 투명성 도전막과 소스/드레인 금속막으로된 2중층 구조로 형성된다. 또한, 데이터 배선 영역(B-B')과 데이터 패드 영역(C-C')에는 데이터 배선(103)과 데이터 패드(105)가 형성된다.
- [0046] 상기 데이터 배선(103)은 투명성 도전막(103a)과 소스/드레인 금속막(103b)으로 구성된 이중층 구조를 갖고, 상기 데이터 패드(105)도 투명성 도전막(105a)과 소스/드레인 금속막(103b)으로 형성된다.
- [0047] 상기 투명성 도전막과 소스/드레인 금속막은 각각 화소 전극(109)을 형성하기 위한 투명성 도전막과 소스/드레인 전극(117a, 117b)을 형성하기 위한 소스/드레인 금속막과 동일한 층의 금속막이다.
- [0048] 상기와 같이, 소스/드레인 전극(117a, 117b)과 화소 전극(109)이 기판(100) 상에 형성되면, 도 3c에 도시한 바와 같이, TFT의 채널층 역할을 하는 비정질 실리콘막과 제 2 게이트 절연막(152)을 순차적으로 형성한다.
- [0049] 그런 다음, 제 3 마스크 공정에 따라 건식각 공정을 진행하여 상기 소스/드레인 전극(117a, 117b) 사이와 소스/드레인 전극(117a, 117b)이 서로 마주하는 가장자리 영역에 액티브층(142)이 형성한다. 이때, 상기 액티브층(142) 상에는 제 2 게이트 절연막(152)이 패터닝되어 있다. 상기 액티브층(142)은 상기 비정질 실리콘막이 패터닝된 것이다.
- [0050] 또한, 각각의 화소 영역에 형성된 공통 배선(110)을 전기적으로 연결시키기 위하여 상기 화소 전극(109)과 오버랩

되는 공통 배선(110) 영역에 콘택홀을 형성한다. 그리고 상기 게이트 패드(115) 상에 적층되어 있는 제 1 게이트 절연막(132), 액티브층(142) 및 제 2 게이트 절연막(152)을 식각하여 상기 게이트 패드(115)를 노출시킨다.

[0051] 또한, 본 발명에서는 상기 데이터 배선(103)과 데이터 패드(105) 영역에 형성되는 액티브층(142)과 제 2 게이트 절연막(152)을 모두 제거하여 상기 데이터 배선(103)과 데이터 패드(105)를 외부에 노출시킨다.

[0052] 상기와 같이 TFT의 액티브층(142)이 형성되면, 도 3d에 도시한 바와 같이, 기판(100)의 전면에 금속막을 형성한 다음, 제 4 마스크 공정을 진행하여 상기 제 1 게이트 전극(112)과 오버랩되도록 TFT 영역의 액티브층(142) 및 제 2 게이트 절연막(152) 상에 제 2 게이트 전극(172)을 형성한다.

[0053] 이때, 도면에서는 도시하지 않았지만 금속막과 투명성 도전막(ITO, IZO)을 연속하여 형성할 수 있다. 이것은 제 2 게이트 전극(172)을 형성하기 위한 금속막이 도전율이 높은 금속을 사용하지만, 외부에 노출되는 경우 부식이 발생하는 것을 방지하기 위함이다.

[0054] 상기 제 2 게이트 전극(172)은 구리(Cu), 알루미늄(Al), 크롬(Cr) 및 몰리브덴(Mo)중 어느 하나 또는 이들의 합금을 사용한다.

[0055] 또한, 상기 화소전극(109)과 오버랩되는 공통배선(110) 영역에는 수직인 방향으로 각각의 화소 영역에 형성된 공통 배선(110)들을 전기적으로 연결시키기 위한 연결부(120)를 형성한다.

[0056] 상기 연결부(120)는 게이트 배선을 중심으로 상하로 분리되어 있는 화소 영역의 공통배선들을 전기적으로 연결하여 수직 방향으로 발생하는 크로스 토크 불량을 제거하기 위함이다.

[0057] 또한, 상기 연결부(120)는 화소전극(109)을 형성하기 위한 투명성 도전물질(ITO, IZO)를 사용하지 않고, 게이트 전극에 사용되는 도전율이 높은 금속을 사용하므로 신호 지연 불량을 최소화할 수 있다.

[0058] 상기 제 2 게이트 전극(172)이 형성되면서 게이트 패드 영역의 게이트 패드(115) 상에는 게이트 패드 전극(140)이 형성된다.

[0059] 제 3 마스크 공정을 진행한 다음, 금속막과 투명성 도전막을 연속하여 형성하는 경우에는 상기 제 2 게이트 전극(172), 연결부(120) 및 게이트 패드 전극(140)은 금속막과 투명성 도전막으로 구성된 이중막 구조를 갖게 된다.

[0060] 이와 같이, 본 발명에서는 4 마스크 공정을 진행하지만 데이터 배선 하측에 액티브층이 존재하지 않아 이로 인하여 발생하는 개구율 저하 및 웨이비 노이즈 불량을 줄일 수 있다.

[0061] 또한, 본 발명의 TFT의 구조는 기판 상에 형성된 제 1 게이트 전극과 소스/드레인 전극, 상기 소스/드레인 전극 상에 형성된 액티브층 및 액티브층 상에 형성된 제 2 게이트 전극 구조로 되어 있어 상기 액티브층이 외부에 노출되어 있지 않아 TFT 턴오프시 누설 전류 발생을 최소화할 수 있다.

[0062] 아울러, TFT의 구조가 액티브층을 사이에 두고 상하로 두개의 게이트 전극이 배치되어 있으므로 액티브층을 통하여 이동하는 전류량을 증가시킬 수 있는 이점이 있다.

도면의 간단한 설명

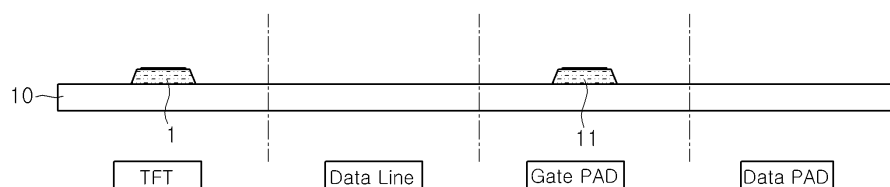
[0063] 도 1a 내지 도 1d는 종래 기술에 따른 액정표시장치의 4 마스크 제조 공정을 도시한 도면이다.

[0064] 도 2는 본 발명에 따른 박막 트랜지스터 액정표시장치의 화소 구조를 도시한 평면도이다.

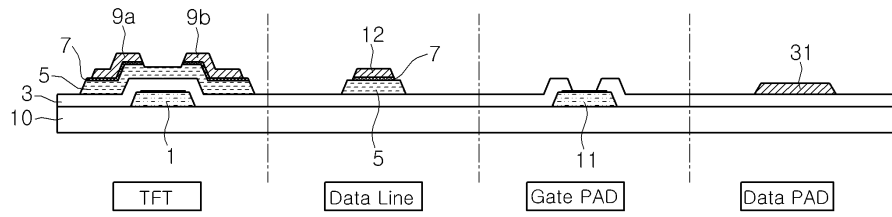
[0065] 도 3a 내지 도 3d는 상기 도 1의 박막 트랜지스터 액정표시장치 제조 공정을 도시한 도면이다.

도면

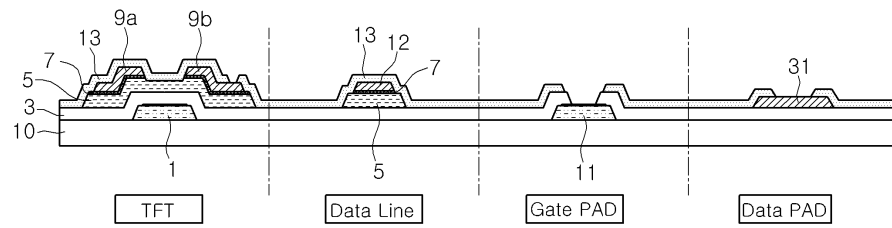
도면1a



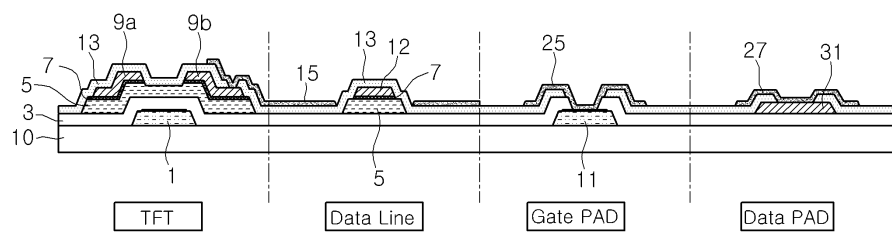
도면1b



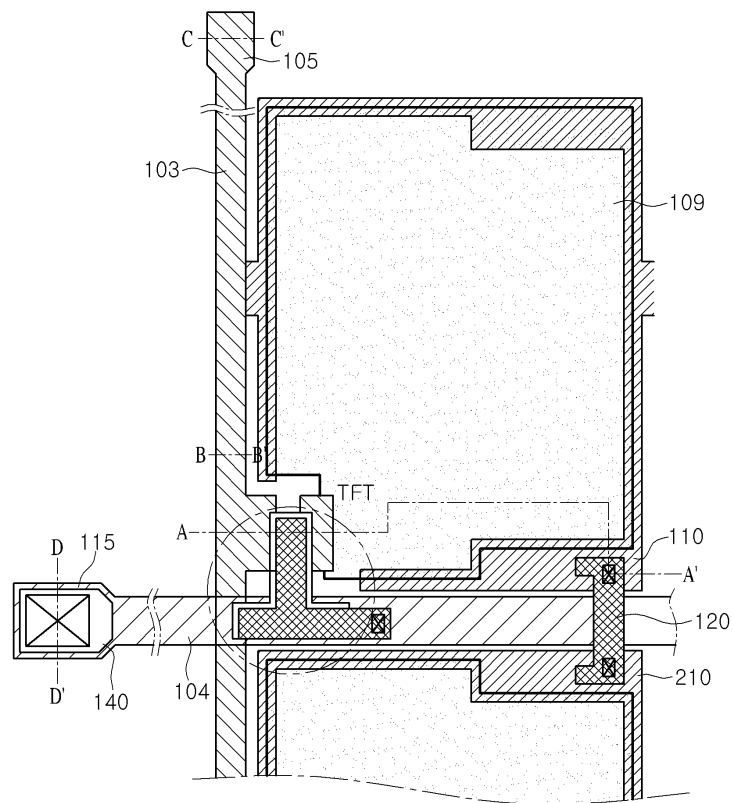
도면1c



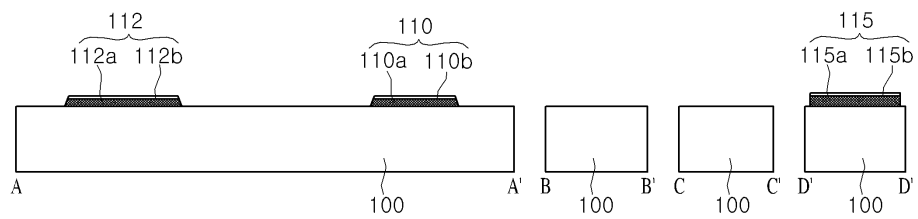
도면1d



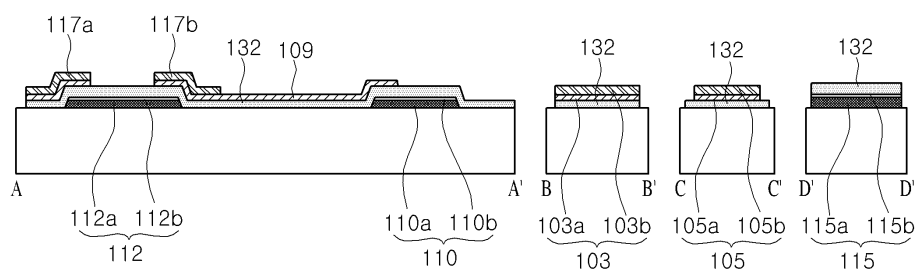
도면2



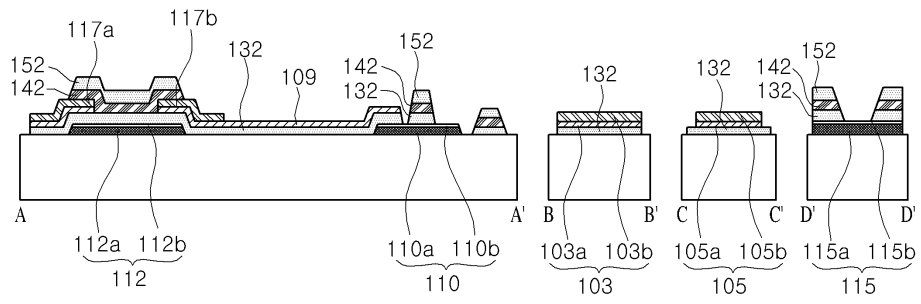
도면3a



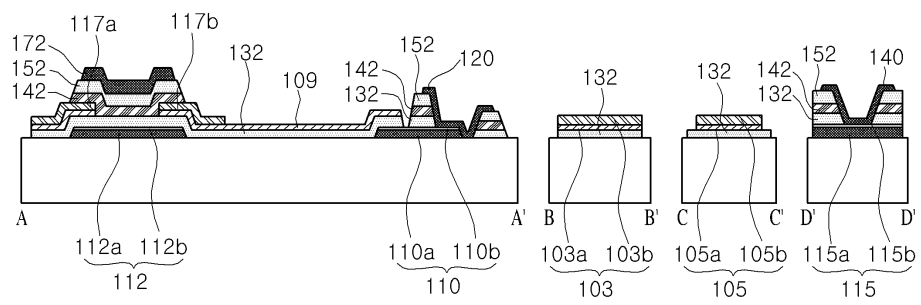
도면3b



도면3c



도면3d



专利名称(译)	标题：薄膜晶体管液晶显示装置及其制造方法		
公开(公告)号	KR101660912B1	公开(公告)日	2016-09-28
申请号	KR1020090120184	申请日	2009-12-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KANG JONG SEUK 강종석		
发明人	강종석		
IPC分类号	G02F1/136 H01L29/786		
CPC分类号	G02F1/136286 G02F1/13439 G02F1/13458 G02F1/1368		
其他公开文献	KR1020110063224A		
外部链接	Espacenet		

摘要(译)

用途：提供一种薄膜晶体管液晶显示器及其制造方法，以改善薄膜晶体管液晶显示器件的TFT的导通电流特性，并减少TFT转向时的漏电流。

