



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년04월20일

(11) 등록번호 10-1510904

(24) 등록일자 2015년04월03일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

G09G 3/20 (2006.01) H03K 19/00 (2006.01)

(21) 출원번호 10-2008-0131090

(22) 출원일자 2008년12월22일

심사청구일자 2013년12월09일

(65) 공개번호 10-2010-0072631

(43) 공개일자 2010년07월01일

(56) 선행기술조사문헌

JP11282431 A

JP2001350451 A

JP2005300948 A

JP2006011405 A

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김이영

서울특별시 관악구 죽고개로 118-8, 301호 (봉천동)

김범식

경기도 수원시 권선구 덕영대로1217번길 24, 109동 1002호 (권선동, 두산동아아파트)

구희우

경기 파주시 평화로 310, 101동 1003호 (검산동, 성원아파트)

(74) 대리인

서교준

전체 청구항 수 : 총 5 항

심사관 : 추장희

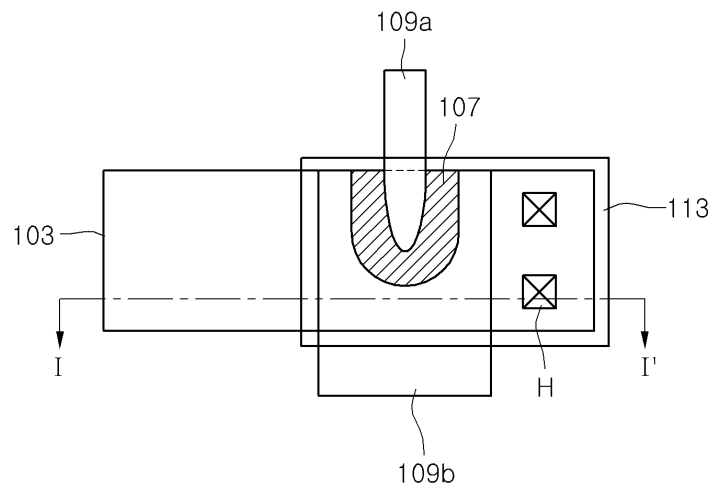
(54) 발명의 명칭 액정표시장치

(57) 요약

액정표시장치가 개시된다.

본 발명에 따른 액정표시장치는 게이트 전압이 출력되는 출력단에 용량이 큰 출력 트랜지스터를 구비하여 액정의 응답속도를 향상시킬 수 있다.

대표도 - 도5



명세서

청구범위

청구항 1

다수의 게이트라인과 다수의 데이터라인이 배열되어 화상을 표시하는 액정패널;

상기 액정패널에 내장되어 스타트 펄스에 시프트 되어 순차적으로 출력신호를 상기 다수의 게이트라인들에 공급하는 다수의 시프트 레지스터를 구비한 게이트 드라이버; 및

상기 액정패널의 데이터라인들에 상기 화상에 대응되는 데이터 신호를 공급하는 데이터 드라이버를 포함하고,

상기 각 시프트 레지스터는,

제1 노드 상의 전압에 응답하는 게이트 단자와, 클럭신호가 공급되는 소스 단자와, 상기 게이트라인과 접속되어 상기 제1 노드 상의 전압에 따라 상기 소스 단자의 클럭신호를 선택하여 상기 게이트 라인으로 출력하는 드레인 단자 및 최상층에 위치하며 상기 게이트 단자와 전기적으로 접속된 탭 전극부로 구성된 출력 트랜지스터를 포함하는 출력단; 및

상기 출력단을 제어하는 제어부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제1 항에 있어서,

상기 출력 트랜지스터는,

기관 상에 형성된 게이트 전극;

상기 게이트 전극이 형성된 기관 상에 형성된 게이트 절연막;

상기 게이트 절연막이 형성된 기관 상에 상기 게이트 전극에 대응되도록 형성된 반도체층;

상기 반도체층 상에 서로 이격된 소스 및 드레인 전극;

상기 소스 및 드레인 전극 상에 형성된 보호층; 및

상기 보호층 상에 상기 반도체층과 대응되도록 형성되며 상기 보호층 상의 컨택홀을 통해 상기 게이트 전극과 전기적으로 연결된 탭 전극부;를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제1 항에 있어서,

상기 탭 전극부는 투명한 금속 재질인 인듐 틴 옥사이드로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 4

제1 항에 있어서,

상기 탭 전극부는 상기 게이트 전극과 동일한 재질의 금속으로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 5

제1 항에 있어서,

상기 탭 전극부는 상기 소스 및 드레인 전극과 동일한 재질의 금속으로 형성되는 것을 특징으로 하는 액정표시장치.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 액정 응답속도를 향상시킬 수 있는 액정표시장치에 관한 것이다.

배경 기술

[0002] 일반적으로, 액정표시장치 또는 유기전계발광장치와 같이 액티브 매트릭스(matrix) 형태로 배열된 화소들을 구동하여 화상을 표시하는 장치가 활발하게 연구되어 왔다.

[0003] 특히, 액정표시장치는 액티브 매트릭스 형태로 배열된 화소들에 화상 정보에 따른 데이터 신호를 개별적으로 공급하여, 액정층의 광투과율을 조절함으로써, 원하는 화상을 표시할 수 있도록 한 표시장치이다. 이러한 액정표시장치는 화소들이 매트릭스 형태로 배열된 액정패널과 상기 액정패널을 구동하기 위한 구동회로를 구비한다.

[0004] 액정패널에는 게이트라인들과 데이터라인들이 교차하여 배열되게 되고, 그 게이트라인과 데이터라인들의 교차점에 화소영역들이 위치하게 된다. 이러한 화소영역에는 스위칭 소자인 박막트랜지스터(TFT)와, 상기 박막트랜지스터(TFT)에 연결된 화소전극이 구비되게 된다. 이때, 상기 박막트랜지스터(TFT)의 게이트단자는 상기 게이트라인에 연결되고, 소스단자는 상기 데이터라인에 연결되며, 드레인단자는 상기 화소전극에 연결되게 된다.

[0005] 구동회로는 게이트라인들에 스캔신호를 순차적으로 공급하기 위한 게이트 드라이버와, 데이터라인들에 데이터신호를 공급하기 위한 데이터 드라이버를 구비한다. 상기 게이트 드라이버는 스캔신호를 상기 게이트라인들에 순차적으로 공급하여 액정패널 상에 화소들이 1 라인분씩 선택 되도록 한다.

[0006] 상기 데이터 드라이버는 게이트라인들이 순차적으로 선택될 때마다, 상기 데이터라인들에 데이터 신호를 공급한다. 이에 따라, 액정표시장치는 화소별로 인가되는 비디오 신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 액정층의 광투과율을 조절함으로써 화상을 표시한다.

[0007] 최근들어, 제조단가를 낮추기 위해 상기 게이트 드라이버와 상기 데이터 드라이버를 상기 액정패널 상에 내장한 내장형 액정표시장치가 개발되고 있다. 이러한 내장형 액정표시장치에서는 박막트랜지스터를 제조할 때, 게이트 드라이버가 동시에 제조되게 된다. 이때, 데이터 드라이버는 내장될 수도 있고 내장되지 않을 수도 있다.

[0008] 한편, 상기 액정표시장치가 대형화될 수록 화면 크기의 증가에 따른 게이트라인들의 길이 증가로 인해 라인 저항이 증가하게 되고 이로 인해 박막트랜지스터(TFT)의 충전율 저하로 인해 액정의 응답속도가 저하되는 문제가 발생한다. 그리고 상기 게이트라인으로 공급되는 게이트 전압을 출력하는 출력단에 위치하는 출력 트랜지스터는 다수의 트랜지스터들과 연결된다. 상기 출력 트랜지스터가 다수의 트랜지스터와 연결됨에 따라 상기 다수의 트랜지스터 각각의 소자 내부적으로 가지고 있는 기생 캐패시터에 의해 상기 출력 트랜지스터에서 출력되는 게이트 신호가 영향을 받게 된다. 이로 인해 박막트랜지스터(TFT)의 충전율 저하가 발생하게 되고 액정의 응답속도가 저하되는 문제가 발생한다.

발명의 내용

해결 하고자하는 과제

[0009] 본 발명은 게이트 전압을 출력하는 출력 트랜지스터의 충/방전 시간을 빠르게 하여 액정의 응답속도를 향상시킬 수 있는 액정표시장치를 제공함에 그 목적이 있다.

과제 해결수단

[0010] 본 발명의 실시예에 따른 액정표시장치는 다수의 게이트라인과 다수의 데이터라인이 배열되어 화상을 표시하는 액정패널과, 상기 액정패널에 내장되어 스타트 펄스에 시프트 되어 순차적으로 출력신호를 상기 다수의 게이트라인들에 공급하는 다수의 시프트 레지스터를 구비한 게이트 드라이버 및 상기 표시패널의 데이터라인들에 상기 화상에 대응되는 데이터 신호를 공급하는 데이터 드라이버를 포함하고, 상기 각 시프트 레지스터는, 제1 노드 상의 전압에 응답하는 게이트 단자와, 클럭신호가 공급되는 소스 단자와, 상기 게이트라인과 접속되어 상기 제1 노드 상의 전압에 따라 상기 소스 단자의 클럭신호를 선택하여 상기 게이트 라인으로 출력하는 드레인 단자 및 최상층에 위치하며 상기 게이트 단자와 전기적으로 접속된 탐 전극부로 구성된 출력 트랜지스터를 포함하는 출

력단 및 상기 출력단을 제어하는 제어부를 구비한다.

효 과

[0011] 본 발명은 게이트 전압이 출력되는 출력단에 게이트 전극과 전기적으로 연결되며 최상위층에 위치하는 별도의 전극부를 갖는 출력 트랜지스터를 구비함으로써, 상기 출력 트랜지스터의 성능을 향상시켜 게이트 전압이 신속히 출력되도록 하여 액정의 응답속도를 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0012] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 설명하기로 한다.

[0013] 도 1은 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면이다.

[0014] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 액정표시장치는 다수의 게이트라인(GL1 ~ GLn)과 다수의 데이터라인(DL1 ~ DLm)이 배열되며 화상을 표시하는 액정패널(102)과, 상기 다수의 게이트라인(GL1 ~ GLn)을 구동하는 게이트 드라이버(104)와, 상기 다수의 데이터라인(DL1 ~ DLm)을 구동하는 데이터 드라이버(106)와, 상기 게이트 및 데이터 드라이버(104, 106)의 구동 타이밍을 제어하는 타이밍 컨트롤러(108)와, 상기 게이트 및 데이터 드라이버(104, 106)를 구동하는 구동전압과 상기 액정패널(102)에 제공하는 공통전압(Vcom)을 생성하는 전압 발생부(110)를 포함한다.

[0015] 상기 액정패널(102)은 다수의 게이트라인(GL1 ~ GLn)과 다수의 데이터라인(DL1 ~ DLm)에 의하여 구분되는 영역들에 각각 형성된 화소들을 구비한다. 이들 화소들 각각은, 대응하는 게이트라인(GL)과 대응하는 데이터라인(DL) 간의 교차부에 형성된 박막트랜지스터(TFT) 및 상기 박막트랜지스터(TFT)와 공통전압(Vcom) 사이에 접속된 액정셀(C1c)을 구비한다.

[0016] 상기 박막트랜지스터(TFT)는 대응하는 게이트라인(GL) 상의 게이트 스캔신호에 응답하여 대응하는 데이터라인(DL)으로부터 대응하는 액정셀(C1c)에 공급될 화소 데이터 전압을 절환한다.

[0017] 상기 게이트 드라이버(104)는 상기 타이밍 컨트롤러(108)로부터의 게이트 제어신호들(GCS)에 응답하여, 다수의 게이트라인(GL1 ~ GLn)에 다수의 스캔신호들을 대응되게 공급한다. 이들 다수의 스캔신호들은 다수의 게이트라인(GL1 ~ GLn)이 순차적으로 1 수평동기신호의 기간씩 인에이블(Enable) 되게 한다.

[0018] 상기 데이터 드라이버(106)는 상기 타이밍 컨트롤러(108)로부터의 데이터 제어신호(DCS)들에 응답하여, 다수의 게이트라인(GL1 ~ GLn) 중 어느 하나가 인에이블 될 때마다 다수의 화소 데이터 전압을 발생하여 상기 액정패널(102) 상의 다수의 데이터라인(DL1 ~ DLm)에 각각 공급한다.

[0019] 이를 위하여, 상기 데이터 드라이버(106)는 상기 타이밍 컨트롤러(108)로부터 화소 데이터를 1 라인분씩 입력하고, 감마전압 세트를 이용하여 입력된 1 라인분의 화소 데이터를 아날로그 형태의 화소 데이터 전압으로 변환한다.

[0020] 상기 타이밍 컨트롤러(108)는 외부의 시스템(예를 들면, 컴퓨터의 시스템의 그래픽 모듈 또는 텔레비전 수신 시스템의 영상 복조 모듈, 도시하지 않음)으로부터 공급된 동기신호들(Vsync, Hsync)과, 데이터 인에이블(DE) 신호 및 클럭신호(CLK)를 이용하여 상기 게이트 드라이버(104)를 제어하는 게이트 제어신호(GCS)와 상기 데이터 드라이버(106)를 제어하는 데이터 제어신호(DCS)를 생성한다.

[0021] 또한, 상기 타이밍 컨트롤러(108)는 외부의 시스템으로부터 공급된 데이터를 정렬하여 상기 데이터 드라이버(106)로 상기 정렬된 데이터를 공급한다.

[0022] 상기 전압 발생부(110)는 외부로부터 공급된 입력전압(Vin)을 이용해서 상기 게이트 및 데이터 드라이버(104, 106)를 구동하는 구동전압과, 상기 액정패널(102)에 형성된 공통전극으로 공급될 공통전압(Vcom)을 생성한다.

[0023] 도 2는 도 1의 게이트 드라이버를 상세히 나타낸 도면이다.

[0024] 도 1 및 도 2에 도시된 바와 같이, 게이트 드라이버(104)는 다수의 게이트라인(GL1 ~ GLn)과 대응되는 다수의 시프트 레지스터(ST1 ~ STn)를 포함한다.

[0025] 상기 다수의 시프트 레지스터(ST1 ~ STn)는 클럭신호(CLK) 입력라인과 다음단에 위치하는 시프트 레지스터(ST)의 출력신호 입력라인 및 전단에 위치하는 시프트 레지스터(ST)의 출력신호 입력라인에 각각 접속된다. 제1 시프트 레지스터(ST1)는 클럭신호(CLK) 입력라인과 제2 시프트 레지스터(ST2)의 출력신호 입력라인 및 스타트 펄스

스(SP) 입력라인과 각각 접속된다.

- [0026] 도 3은 도2에 도시된 제1 시프트 레지스터의 상세한 회로구성을 나타낸 도면이다.
- [0027] 도3에 도시된 바와 같이, 제1 시프트 레지스터(ST1)에는 스타트 펄스(SP)와 클럭신호(CLK) 및 다음단의 시프트 레지스터인 제2 시프트 레지스터(ST2)의 출력신호가 각각 입력된다. 또한, 상기 제1 시프트 레지스터(ST1)에는 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)이 각각 공급된다.
- [0028] 상기 제1 시프트 레지스터(ST1)는 제1 내지 제 7 트랜지스터(T1 ~ T7)를 포함하는 제어부와 제8 및 제9 트랜지스터(T8, T9)를 포함하는 출력부(100)로 구성된다.
- [0029] 상기 제1 시프트 레지스터(ST1)의 제어부는 스타트 펄스(SP)에 응답하며 게이트 하이 전압(VGH) 입력라인과 제1 노드(Q) 사이에 접속된 제1 트랜지스터(T1)와, 제2 시프트 레지스터(ST2)의 출력신호에 응답하며 상기 제1 노드(Q)와 게이트 로우 전압(VGL)의 입력라인 사이에 접속된 제2 트랜지스터(T2)와, 제2 노드(QB) 상의 전압에 응답하며 상기 제1 트랜지스터(T1)의 드레인 단자와 상기 게이트 로우 전압(VGL)의 입력라인 사이에 접속된 제3 트랜지스터(T3)를 포함한다.
- [0030] 또한, 상기 제1 시프트 레지스터(ST1)의 제어부는 상기 제2 시프트 레지스터(ST2)의 출력신호에 응답하며 상기 게이트 하이 전압(VGH) 입력라인과 제5 트랜지스터(T5)의 소스 단자 사이에 접속된 제 4 트랜지스터(T4)와, 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제4 트랜지스터(T4)의 드레인 단자와 게이트 로우 전압(VGL) 입력라인 사이에 접속된 제5 트랜지스터(T5)를 더 포함한다.
- [0031] 또한, 상기 제1 시프트 레지스터(ST1)의 제어부는 상기 게이트 하이 전압(VGH)에 응답하며 상기 게이트 하이 전압(VGH) 입력라인과 제2 노드(QB) 사이에 접속된 제6 트랜지스터(T6)와, 상기 스타트 펄스(SP)에 응답하며 상기 제2 노드(QB)와 게이트 로우 전압(VGL) 입력라인 사이에 접속된 제7 트랜지스터(T7)를 더 포함한다.
- [0032] 상기 제1 시프트 레지스터(ST1)의 출력부(100)는 상기 제1 노드(Q) 상의 전압에 따라 상기 클럭신호(CLK)를 선택하여 상기 제1 시프트 레지스터(ST1)와 대응되는 제1 게이트라인(GL1)으로 공급하는 제8 트랜지스터(T8)와, 상기 제2 노드(QB) 상의 전압에 따라 상기 제8 트랜지스터(T8)의 출력신호를 방전하는 제9 트랜지스터(T9)를 포함한다.
- [0033] 상기 제8 트랜지스터(T8)는 상기 제1 노드(Q)와 접속된 게이트 단자와, 상기 클럭신호(CLK) 입력라인과 접속된 소스 단자와, 제1 게이트라인(GL1)과 접속된 드레인 단자 및 상기 게이트 단자와 전기적으로 접속되는 탭 전극부로 구성된다.
- [0034] 마찬가지로, 상기 제9 트랜지스터(T9)는 상기 제2 노드(QB)와 접속된 게이트 단자와, 상기 제1 게이트라인(GL1)과 접속된 소스 단자와, 게이트 로우 전압(VGL) 입력라인과 접속된 드레인 단자 및 상기 게이트 단자와 접속된 탭 전극부로 구성된다.
- [0035] 도 4는 도 3의 제1 시프트 레지스터의 회로도의 구동전압을 나타낸 도면이다.
- [0036] 도 3 및 도 4에 도시된 바와 같이, 제1 시프트 레지스터(ST1)에는 일정한 주기를 갖고 하이(High) 및 로우(Low) 상태의 펄스를 갖는 클럭신호(CLK)와, 상기 클럭신호(CLK)의 제1 하이(High) 펄스의 라이징 타임(rising time)에 폴링 타임(falling time)을 갖는 스타트 펄스(SP) 및 상기 클럭신호(CLK)의 제1 로우(Low) 펄스에 동기되어 하이(High) 펄스를 갖는 제2 시프트 레지스터의 출력신호(Vg-next)가 각각 입력된다.
- [0037] 상기 하이(High) 상태의 스타트 펄스(SP)가 상기 제1 시프트 레지스터(ST1)에 입력되는 제1 구간에 상기 제1 시프트 레지스터(ST1)의 제1 트랜지스터(T1)가 턴-온(turn-on) 된다. 상기 제1 트랜지스터(T1)가 턴-온(turn-on) 되면, 게이트 하이 전압(VGH)이 상기 제1 트랜지스터(T1)의 소스 단자를 통해 제1 노드(Q1)로 공급된다.
- [0038] 이와 동시에, 하이(High) 상태의 스타트 펄스(SP)에 의해 제7 트랜지스터(T7)가 턴-온(turn-on) 된다. 상기 제7 트랜지스터(T7)가 턴-온(turn-on) 되면 게이트 로우 전압(VGL) 입력라인으로부터 게이트 로우 전압(VGL)이 제2 노드(QB)에 충전된다.
- [0039] 이어, 상기 스타트 펄스(SP)가 로우(Low) 상태가 되고 하이(High) 상태의 클럭신호(CLK)가 상기 제1 시프트 레지스터(ST1)에 입력되는 제2 구간에 상기 제1 시프트 레지스터(ST1)의 제8 트랜지스터(T8)는 턴-온(turn-on) 된다.
- [0040] 구체적으로, 상기 제8 트랜지스터(T8)는 상기 제1 구간에서 제1 노드(Q)에 충전된 게이트 하이 전압(VGH)에 의

해 상기 제2 구간에서 턴-온(turn-on) 된다. 상기 클럭신호(CLK)가 하이(High) 상태가 되면, 상기 제8 트랜지스터(T8)의 게이트와 소스 사이에 형성된 내부 캐패시터(Cgs) 등의 영향으로 부트스트래핑(Bootstrapping) 현상이 발생하여 상기 제1 노드(Q)는 상기 게이트 하이 전압(VGH)의 두배 정도까지의 전압을 충전하게 되어 확실한 하이(High) 상태가 된다.

- [0041] 이에 따라, 상기 제8 트랜지스터(T8)가 확실하게 턴-온(turn-on) 되어 하이(High) 상태의 클럭신호(CLK)를 상기 제1 시프트 레지스터(ST1)와 접속된 제1 게이트라인(GL1)의 출력신호(Vgout)로 상기 제1 게이트라인(GL1)으로 공급한다.
- [0042] 상기 제2 구간 동안에 상기 제8 트랜지스터(T8)가 턴-온(turn-on) 되어 상기 제1 게이트라인(GL1)으로 게이트 하이 전압(VGH)에 해당하는 출력신호(Vgout)가 공급된다.
- [0043] 이어서, 로우(Low) 상태의 클럭신호(CLK)와 상기 제1 시프트 레지스터(ST1)의 다음단인 제2 시프트 레지스터(ST2)의 하이(High) 상태의 출력신호(Vg-next)가 상기 제1 시프트 레지스터(ST1)에 입력되는 제3 구간에서 상기 제6 트랜지스터(T6)가 턴-온(turn-on) 된다.
- [0044] 상기 제6 트랜지스터(T6)가 턴-온(turn-on)되어 게이트 하이 전압(VGH)이 상기 제2 노드(QB)에 충전된다. 상기 제2 노드(QB)에 게이트 하이 전압(VGH)이 충전됨에 따라 상기 제2 노드(QB) 상의 전압에 응답하는 제9 트랜지스터(T9)가 턴-온(turn-on) 된다. 상기 제9 트랜지스터(T9)가 턴-온(turn-on) 됨에 따라, 상기 턴-온(turn-on)된 제9 트랜지스터(T9)를 경유하여 게이트 로우 전압(VGL)이 상기 제1 시프트 레지스터(ST1)와 접속된 제1 게이트라인(GL1)으로 공급된다. 이로 인해, 상기 제3 구간에서 상기 제1 게이트라인(GL1)은 게이트 로우 전압(VGL)으로 충전된다.
- [0045] 상기 제2 노드(QB)에 게이트 하이 전압(VGH)이 충전되면서 상기 제2 노드(QB)에 접속된 제3 트랜지스터(T3)가 턴-온(turn-on) 된다. 턴-온(turn-on)된 제3 트랜지스터(T3)에 의해 제1 노드(Q)에 충전된 전압은 게이트 로우 전압(VGL) 입력라인으로부터의 게이트 로우 전압(VGL)으로 바뀌게 된다.
- [0046] 이와 같이, 상기 제3 구간에서는 상기 제1 시프트 레지스터(ST1)의 제1 노드(Q)에는 게이트 로우 전압(VGL)이 공급되고, 제2 노드(QB)에는 게이트 하이 전압(VGH)이 공급되면서 상기 제9 트랜지스터(T9)를 경유하여 상기 제1 게이트라인(GL1)으로 게이트 로우 전압(VGL)이 공급된다.
- [0047] 앞서 서술한 바와 같이, 상기 제8 및 제9 트랜지스터(T8, T9)는 서로 전기적으로 접속된 게이트 전극과 탑 전극 부를 구비함으로써 게이트 전극만 구비한 일반적인 트랜지스터에 비해 충전 및 방전 시간이 빨라질 수 있다.
- [0048] 도 5는 도 3의 제8 트랜지스터를 개략적으로 나타낸 평면도이고, 도 6은 도 5의 제8 트랜지스터를 I ~ I'을 따라 절단한 단면을 나타낸 도면이다.
- [0049] 도 5 및 도 6에 도시된 바와 같이, 제8 트랜지스터(T8)는 기판(101) 상에 형성된 게이트 전극(103)과, 상기 게이트 전극(103)이 형성된 기판(101) 상에 형성된 게이트 절연막(105)과, 상기 게이트 절연막(105)이 형성된 기판(101) 상에 상기 게이트 전극(103)과 대응되게 형성된 반도체층(107)과, 상기 반도체층(107)이 형성된 기판(101) 상에 서로 이격된 소스 및 드레인 전극(109a, 109b)과, 상기 소스 및 드레인 전극(109a, 109b)이 형성된 기판(101) 전면에 형성된 보호층(111)을 포함한다. 또한, 상기 제8 트랜지스터(T8)는 상기 기판(101) 상에 형성된 게이트 전극(103)과 콘택홀(H)을 통해 전기적으로 접속된 탑 전극부(110)를 더 포함한다.
- [0050] 상기 반도체층(107)은 비정질 실리콘(a-Si:H)인 액티브층(107a)과, 불순물 비정질 실리콘(n+a-Si:H)층인 오믹 콘택층(107b)으로 구성된다.
- [0051] 상기 게이트 절연막(105)은 벤조사이클로부텐(BCB)과 아크릴(Acryl)계 수지(resin) 등이 포함된 유기절연물질 중 하나를 증착하여 형성할 수 있다.
- [0052] 상기 보호층(111)이 형성된 기판(101) 상에 상기 게이트 전극(103)의 일부가 노출되도록 콘택홀(H)을 형성한다. 상기 보호층(111) 상에 콘택홀(H)을 형성함으로써 상기 게이트 전극(103)의 일부분이 외부로 노출되게 된다. 이어서, 상기 콘택홀(H)을 포함한 보호층(111)이 형성된 기판(101) 상에 도전성 금속막이 형성된다. 상기 도전성 금속막은 상기 기판(101)의 전면에 형성되어 일부분이 노출된 상기 게이트 전극(103)과 전기적으로 접속된다. 상기 도전성 금속막이 탑 전극부(113)가 된다.
- [0053] 상기 탑 전극부(113)는 액정패널(도 1의 102)에 구비된 화소영역에 마련된 화소전극과 동일한 투명한 금속 재질인 인듐 틴 옥사이드(ITO)로 형성될 수 있으며, 상기 게이트 전극(103)과 동일한 금속 재질로 형성될 수 있다.

또한, 상기 탭 전극부(113)는 상기 소스 및 드레인 전극(109a, 109b)과 동일한 금속 재질로 형성될 수도 있다.

[0054] 상기 제8 트랜지스터(T8)의 게이트 전극(103)과 소스 및 드레인 전극(109a, 109b) 사이에서 제1 캐패시터(C1)가 발생되고, 상기 소스 및 드레인 전극(109a, 109b)과 탭 전극부(111) 사이에서 제2 캐패시터(C2)가 발생된다.

[0055] 상기 제8 트랜지스터(T8)의 게이트 전극(103)에 제공되는 제1 노드(Q)의 부스트(Boost) 특성(전압)은 다음과 같은 수학적식1을 통해 결정된다.

수학적식 1

$$V_Q = ((C_{drain} + C_{source}) / (C_x + C_{drain} + C_{source})) \times V_{CLK}$$

[0056]

[0057] 이때, C_{drain}과 C_{source}는 제8 트랜지스터(T8)의 캐패시터를 의미하고, C_x는 상기 제8 트랜지스터(T8)와 연결된 다른 트랜지스터들 사이에서 발생하는 기생 캐패시터를 의미한다.

[0058] 결국, 상기 제1 노드(Q)의 부스트(Boost) 특성은 상기 제8 트랜지스터(T8)에서 발생하는 캐패시터를 증가시키거나 다른 트랜지스터와의 사이에서 발생하는 기생 캐패시터를 감소시킴에 따라 향상될 수 있다. 상기 제1 노드(Q)의 부스트(Boost) 특성이 향상되게 되면, 상기 제8 트랜지스터(T8)의 응답속도도 향상될 수 있다.

[0059] 결국, 본 발명은 상기 제8 트랜지스터(T8)와 연결된 다른 트랜지스터와의 사이에서 발생하는 기생 캐패시터를 감소시키는 것 보다 상기 제8 트랜지스터(T8)의 자체내에서 발생하는 캐패시터를 증가시켜 상기 제1 노드(Q)의 부스트(Boost) 특성을 향상시키는 것이다.

[0060] 상기 제8 트랜지스터(T8)가 상기 게이트 전극(103)과 전기적으로 접속된 탭 전극부(113)를 포함하도록 구성됨에 따라 상기 제8 트랜지스터(T8)에서 제2 캐패시터(C2) 만큼의 추가 캐패시터가 발생한다. 상기 제8 트랜지스터(T8)에서 추가적으로 발생하는 제2 캐패시터(C2)로 인해 상기 제1 노드(Q)의 부스트(Boost) 특성이 향상될 수 있다.

[0061] 상기 제1 노드(Q)의 부스트(Boost) 특성이 향상됨에 따라 상기 제8 트랜지스터(T8)의 응답속도 또한 향상될 수 있다. 상기 제8 트랜지스터(T8)의 응답속도가 향상됨에 따라 액정패널(102)에 배열된 게이트라인(GL)으로 신속하게 출력신호를 공급할 수 있다. 상기 게이트라인(GL)으로 신속하게 출력신호가 공급됨에 따라 화소영역 상에서 상기 게이트라인(GL)과 전기적으로 접속된 박막트랜지스터(TFT)의 턴-온/오프(turn-on/off) 시간이 빨라져서 액정의 응답속도를 향상시킬 수 있다.

[0062] 도 7은 제8 트랜지스터에서 발생하는 캐패시터의 용량에 따라 제1 노드(Q)의 부스트(Boost) 특성(전압)을 나타낸 그래프이다.

[0063] 도 7의 (a)는 제8 트랜지스터(T8)에서 발생하는 제2 캐패시터(C2)의 용량 증가에 따라 제1 노드(Q)의 부스트(Boost) 특성을 나타낸 그래프이고, (b)는 (a)를 확대한 그래프이고, (c)는 제2 캐패시터(C2)의 용량을 증가시킴에 따라 출력단에서 발생하는 딜레이 타임을 나타낸 그래프이며, (d)는 제2 캐패시터(C2)의 용량을 증가시킴에 따라 제1 노드(Q)의 부스트(Boost) 특성을 나타낸 그래프이다.

[0064] 도 7의 (a) 및 (b)에 도시된 바와 같이, 제8 트랜지스터(T8)에서 발생하는 제2 캐패시터(C2)의 용량이 증가할수록 제1 노드(Q)의 부스트(Boost) 특성(전압)이 향상되는 것을 알 수 있다. 도 7의 (c)에 도시된 바와 같이, 상기 제8 트랜지스터(T8)에서 발생하는 제2 캐패시터(C2)의 용량을 증가시킴에 따라 제8 트랜지스터(T8)의 반응속도가 빨라지는 것을 알 수 있다. 즉, 상기 제2 캐패시터(C2)의 용량이 증가됨에 따라 상기 제8 트랜지스터(T8)에서 발생하는 딜레이 타임이 감소된다. 도 7의 (d)에 도시된 바와 같이, 상기 제8 트랜지스터(T8)에서 발생하는 제2 캐패시터(C2)의 용량이 증가됨에 따라 상기 제1 노드(Q)에서의 부스트(Boost) 특성(전압)이 향상되는 것을 알 수 있다.

[0065] 이와 같이, 게이트 신호가 출력되는 출력단에 게이트 전극과 전기적으로 접속되는 탭 전극부를 포함하는 출력 트랜지스터를 구비함으로써 제1 노드(Q)의 부스트(Boost) 특성을 향상시킬 수 있다. 상기 제1 노드(Q)의 부스트(Boost) 특성이 향상됨에 따라 상기 출력 트랜지스터의 응답속도 또한 향상될 수 있다. 상기 출력 트랜지스터의 응답속도가 향상됨에 따라 액정패널에 배열된 게이트라인(GL)으로 신속하게 출력신호를 공급할 수 있다. 상기 게이트라인(GL)으로 신속하게 출력신호가 공급됨에 따라 화소영역 상에서 상기 게이트라인(GL)과 전기적으로 접

속된 박막트랜지스터(TFT)의 턴-온/오프(turn-on/off) 시간이 짧아져서 액정의 응답속도를 향상시킬 수 있다.

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면.

도 2는 도 1의 게이트 드라이버를 상세히 나타낸 도면.

도 3은 도 2에 도시된 제1 시프트 레지스터의 상세한 회로구성을 나타낸 도면.

도 4는 도 3의 제1 시프트 레지스터의 회로도의 구동전압을 나타낸 도면.

도 5는 도 3의 제8 트랜지스터를 개략적으로 나타낸 평면도.

도 6은 도 5의 제8 트랜지스터를 I ~ I'을 따라 절단한 단면을 나타낸 도면.

도 7의 (a)는 제8 트랜지스터(T8)에서 발생하는 제2 캐패시터(C2)의 용량 증가에 따라 제1 노드(Q)의 부스트(Boost) 특성을 나타낸 그래프.

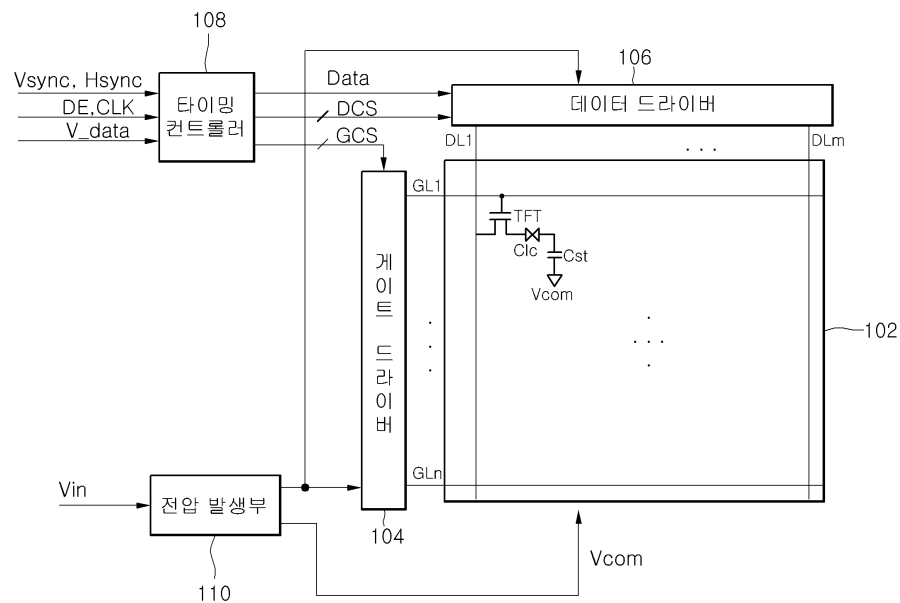
도 7의 (b)는 (a)를 확대한 그래프.

도 7의 (c)는 제2 캐패시터(C2)의 용량을 증가시키기에 따라 출력단에서 발생하는 딜레이 시간을 나타낸 그래프.

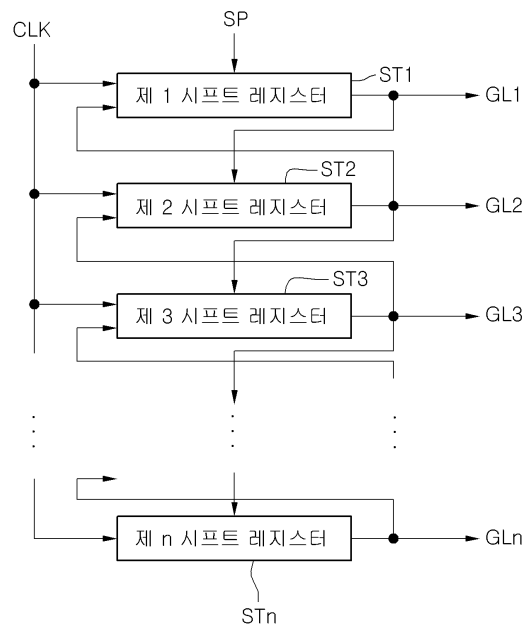
도 7의 (d)는 제2 캐패시터(C2)의 용량을 증가시키기에 따라 제1 노드(Q)의 부스트(Boost) 특성을 나타낸 그래프.

도면

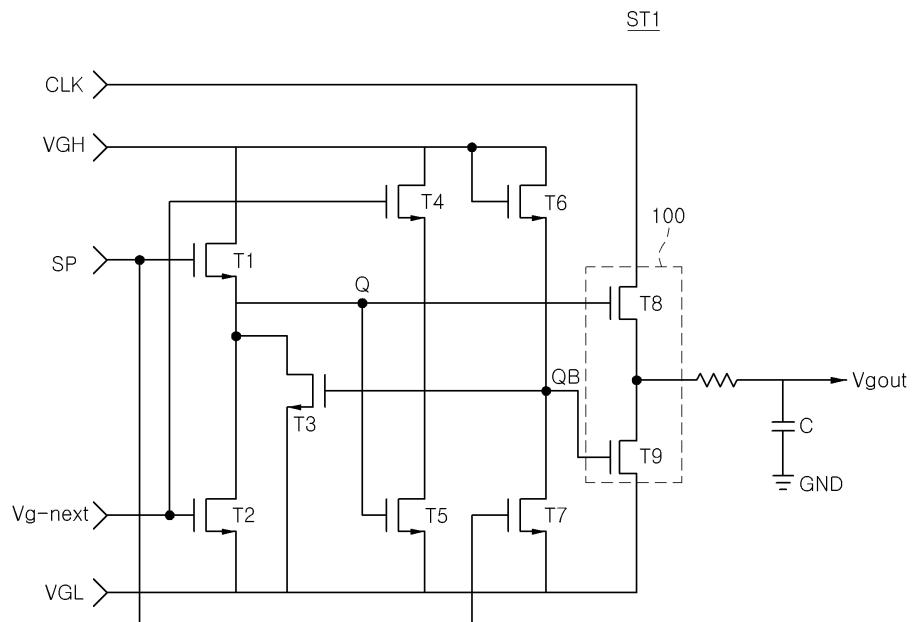
도면1



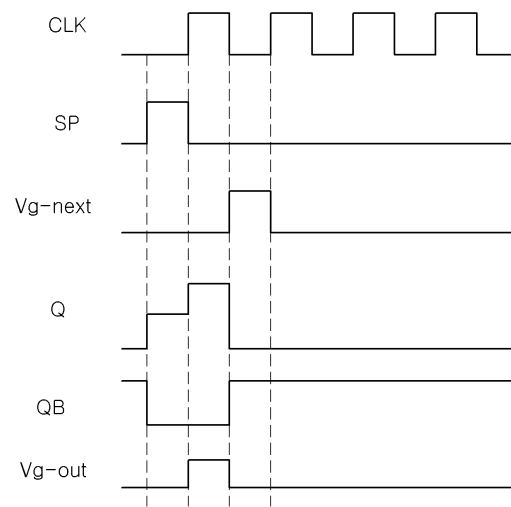
도면2



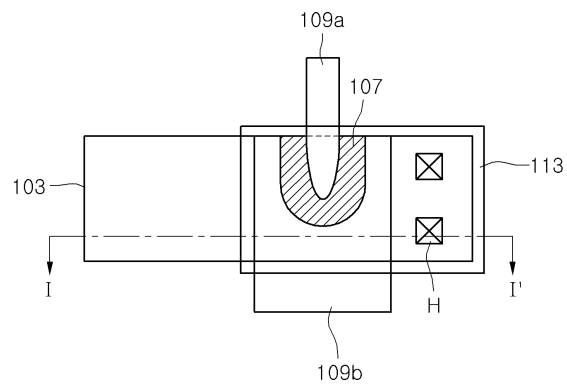
도면3



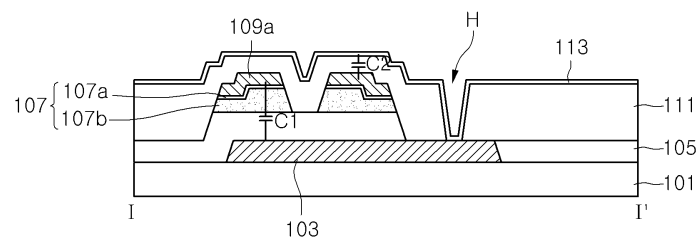
도면4



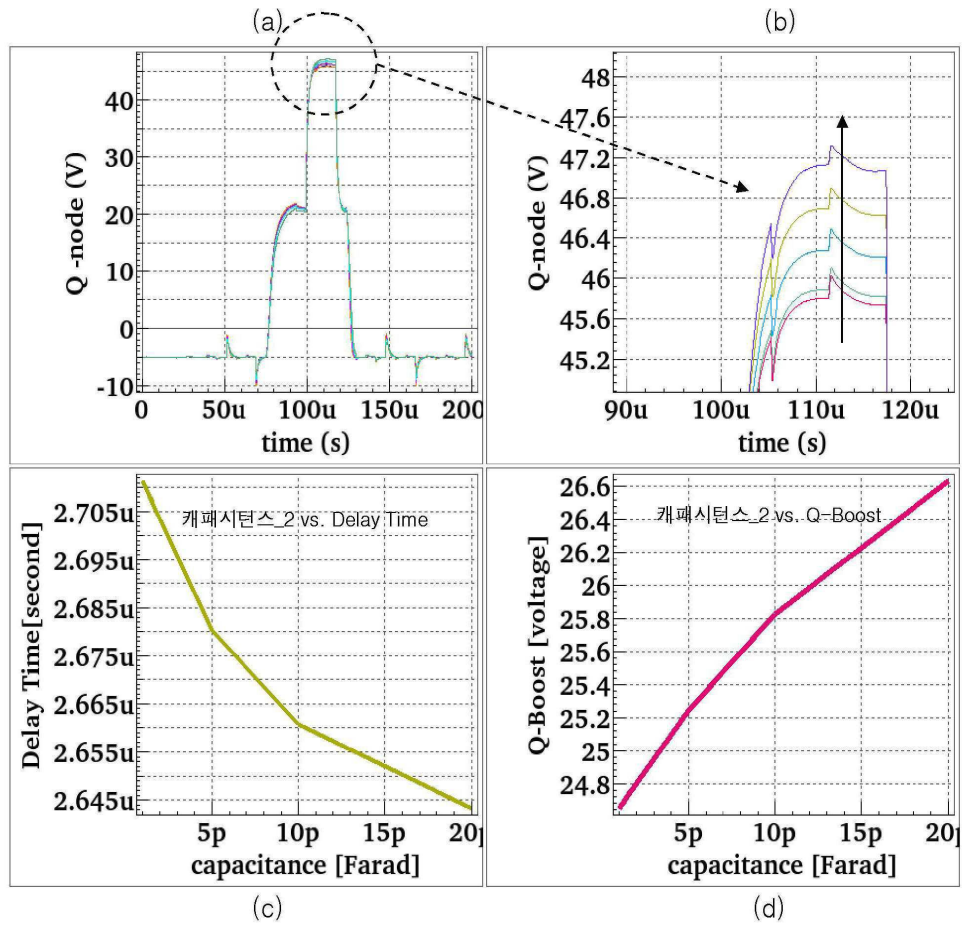
도면5



도면6



도면7



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 [청구항 1] 6째줄

【변경진】

"상기 표시패널의"

【변경후】

"상기 액정패널의"

专利名称(译)	液晶显示器		
公开(公告)号	KR101510904B1	公开(公告)日	2015-04-20
申请号	KR1020080131090	申请日	2008-12-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM LEE YOUNG 김이영 KIM BUM SIK 김범식 KOO HOE WOO 구회우		
发明人	김이영 김범식 구회우		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 H03K19/00		
其他公开文献	KR1020100072631A		

摘要(译)

公开了一种液晶显示装置。根据本发明的液晶显示装置通过在输出栅极电压的输出端提供具有大电容的输出晶体管，可以提高液晶的响应速度。

