(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0049123
(43) 공개일자 2016년05월09일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) *G02F 1/133* (2006.01)
(21) 출원번호 10-2014-0145170
(22) 출원일자 2014년10월24일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이세웅
경기 부천시 소사구 범안로 81, 112동 1303호 (범박동, 부천범박힐스테이트1단지)
이종범
경기 파주시 쇠재로 30, 708동 806호 (금촌동, 서원마을아파트)
(뒷면에 계속)
(74) 대리인
특허법인로얄

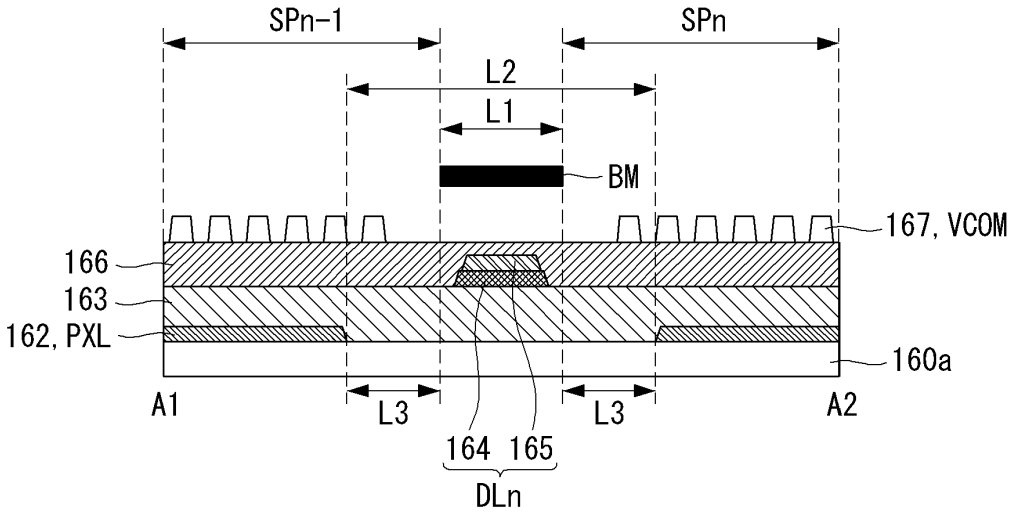
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 **액정표시장치**

(57) 요 약

본 발명은 제1기판, 화소전극, 공통전극, 데이터라인, 제2절연막, 액정층 및 블랙매트릭스를 포함하는 액정표시장치에 관한 것이다. 화소전극은 제1기판 상에 정의된 개구부에 위치한다. 공통전극은 제1기판 상에 정의된 개구부에 위치하며 화소전극과 다른 층에 위치한다. 데이터라인은 제1기판 상에 정의된 비개구부에 위치한다. 액정층은 화소전극 및 공통전극에 의해 걸리는 전계에 대응하여 틸트된다. 블랙매트릭스는 데이터라인과 대응되는 영역을 가리고, 화소전극과 비중첩할 수 있다.

대 표 도 - 도8



(72) 발명자

최한나

경기 파주시 월롱면 엘씨디로 201, A동 1213호 (정다운마을)

박찬수

서울 중랑구 면목로55길 66, 3층 (면목동)

명 세 서

청구범위

청구항 1

제1기판;

상기 제1기판 상에 정의된 개구부에 위치하는 화소전극;

상기 제1기판 상에 정의된 개구부에 위치하며 상기 화소전극과 다른 층에 위치하는 공통전극;

상기 제1기판 상에 정의된 비개구부에 위치하는 데이터라인;

상기 화소전극 및 상기 공통전극에 의한 전계에 대응하여 틸트되는 액정층; 및

상기 데이터라인과 대응되는 영역을 가리며, 상기 화소전극과 비중첩하는 블랙매트릭스를 포함하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 화소전극과 인접하는 화소전극 간의 거리는 상기 블랙매트릭스의 크기보다 큰 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서,

상기 화소전극과 상기 블랙매트릭스 간의 거리는

상기 블랙매트릭스의 크기보다 작은 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서,

상기 액정층은

상기 화소전극 및 상기 공통전극에 의해 걸리는 전계의 방향에 대해 수직 하도록 정렬된 것을 특징으로 하는 액정표시장치.

청구항 5

제1항에 있어서,

상기 액정층은

네거티브 액정인 것을 특징으로 하는 액정표시장치.

청구항 6

제1항에 있어서,

상기 화소전극은 상기 제1기판과 제1절연막 사이에 위치하고,

상기 공통전극은 상기 제1절연막 상에 위치하는 제2절연막과 상기 액정층 사이에 위치하는 것을 특징으로 하는 액정표시장치.

청구항 7

제1항에 있어서,

상기 공통전극은 상기 제1기판과 제1절연막 사이에 위치하고,

상기 화소전극은 상기 제1절연막 상에 위치하는 제2절연막과 상기 액정층 사이에 위치하는 것을 특징으로 하는 액정표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 액정표시장치에 관한 것이다.

배 경 기 술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 액정표시장치(Liquid Crystal Display: LCD), 유기전계발광표시장치(Organic Light Emitting Diode Display: OLED) 및 플라즈마액정패널(Plasma Display Panel: PDP) 등과 같은 평판 표시장치(Flat Panel Display: FPD)의 사용이 증가하고 있다. 그 중 고해상도를 구현할 수 있고 소형화뿐만 아니라 대형화가 가능한 액정표시장치가 널리 사용되고 있다.

[0003] 액정표시장치는 박막 트랜지스터 등이 형성된 제1기판, 컬러필터 등이 형성된 제2기판 그리고 이들 사이에 위치하는 액정층으로 구성된다. 액정표시장치 중 IPS(In Plane Switching)나 FFS(Fringe Field Switching) 모드와 같은 방식은 공통전극과 화소전극이 박막 제1기판에 형성된다.

[0004] IPS나 FFS 모드 방식의 액정표시장치는 대각 시인 방향에서 VAC(Viewing Angle Crosstalk)를 차단하기 위해 데이터라인을 가려주는 블랙매트릭스의 크기(폭)를 증가시키는 설계가 필요하다.

[0005] 그런데, 데이터라인을 가리기 위해 해당 영역의 블랙매트릭스의 크기를 증가시키면 개구율이 감소하게 된다. 이 때문에, PPI(Pixel Per Inch)가 높으면 높을수록 개구율 감소폭이 증가하게 된다. 종래에는 위와 같은 문제를 개선하기 위해 평탄화막과 데이터라인의 전계를 차폐하기 위한 차폐전극이 제안된 바 있다.

[0006] 그러나, 구조 및 공정적 특성상 차폐전극을 형성하기 곤란한 구조는 기판의 합착 공정시 블랙매트릭스의 이동으로 인한 VAC 발생이 야기된다. 따라서, IPS나 FFS 모드 방식의 액정표시장치 중 차폐전극을 형성하기 곤란한 구조는 개구율을 고려하여 데이터라인을 가려주는 블랙매트릭스의 크기를 증가시킬 수밖에 없는 바 이의 개선책이 요구된다.

발명의 내용

해결하려는 과제

[0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 블랙매트릭스의 이동으로 인한 VAC 발생을 방지하고, 데이터라인을 가려주는 블랙매트릭스의 크기를 더욱 작게 좁혀 개구율을 향상하고, 공정의 단순화와 더불어 공정성(Tact Time)을 향상시키는 것이다.

과제의 해결 수단

[0008] 상술한 과제 해결 수단으로 본 발명은 제1기판, 화소전극, 공통전극, 데이터라인, 제2절연막, 액정층 및 블랙매트릭스를 포함하는 액정표시장치에 관한 것이다. 화소전극은 제1기판 상에 정의된 개구부에 위치한다. 공통전극은 제1기판 상에 정의된 개구부에 위치하며 화소전극과 다른 층에 위치한다. 데이터라인은 제1기판 상에 정의된 비개구부에 위치한다. 액정층은 화소전극 및 공통전극에 의해 걸리는 전계에 대응하여 틸트된다. 블랙매트릭스는 데이터라인과 대응되는 영역을 가리고, 화소전극과 비중첩할 수 있다.

[0009] 화소전극과 인접하는 화소전극 간의 거리는 블랙매트릭스의 크기보다 클 수 있다.

[0010] 화소전극과 블랙매트릭스 간의 거리는 블랙매트릭스의 크기보다 작을 수 있다.

[0011] 액정층은 화소전극 및 공통전극에 의해 걸리는 전계의 방향에 대해 수직 하도록 정렬될 수 있다.

[0012] 액정층은 네거티브 액정일 수 있다.

[0013] 화소전극은 제1기판과 제1절연막 사이에 위치하고, 공통전극은 제1절연막 상에 위치하는 제2절연막과 액정층 사

이에 위치할 수 있다.

[0014] 공통전극은 제1기판과 제1절연막 사이에 위치하고, 화소전극은 제1절연막 상에 위치하는 제2절연막과 액정층 사이에 위치할 수 있다.

발명의 효과

[0015] 본 발명은 구조 및 공정적 특성상 차폐전극을 형성하기 곤란한 구조에서도 블랙매트릭스의 이동으로 인한 VAC 발생을 방지할 수 있다. 또한, 본 발명은 데이터라인을 가려주는 블랙매트릭스의 크기를 더욱 작게 좁힐 수 있어 개구율을 향상시킬 수 있다. 또한, 본 발명은 평탄화막과 차폐전극을 삭제할 수 있어 공정의 단순화와 더불어 공정성(Tact Time)을 향상시킬 수 있다. 또한, 본 발명은 차폐전극과 연결된 전극을 삭제할 수 있어 데이터 로드 및 기생용량(Cdc)을 감소킬 수 있다. 또한, 본 발명은 공정의 단순화와 더불어 공정성 향상으로 인하여 기판 합착 마진 및 VAC 마진을 고려하지 않아도 되므로 설계의 자유도를 높일 수 있다.

도면의 간단한 설명

[0016] 도 1은 액정표시장치를 개략적으로 나타낸 블록도.

도 2는 도 1에 도시된 서브 픽셀의 회로 구성도.

도 3은 실험예에 따른 문제점을 설명하기 위한 도면.

도 4는 도 3에 도시된 실험예의 시뮬레이션 결과를 보여주는 도면.

도 5는 제1실시예에 따른 개선점을 설명하기 위한 도면.

도 6은 도 5에 도시된 제1실시예의 시뮬레이션 결과를 보여주는 도면.

도 7은 본 발명의 제1실시예에 따른 액정표시장치의 서브 픽셀들을 개략적으로 나타낸 평면 레이아웃 도면.

도 8은 도 7의 A1-A2 영역의 절단면도.

도 9는 종래 구조 대비 제1실시예를 비교 설명하기 위한 도면.

도 10은 본 발명의 제2실시예에 따른 액정표시장치의 서브 픽셀들을 개략적으로 나타낸 평면 레이아웃 도.

도 11은 도 10의 B1-B2 영역의 절단면을 나타낸 제1예시도.

도 12는 도 10의 B1-B2 영역의 절단면을 나타낸 제2예시도.

도 13은 본 발명의 제3실시예에 따른 액정표시장치의 서브 픽셀들을 개략적으로 나타낸 평면 레이아웃 도면.

도 14는 도 13의 C1-C2 영역의 절단면을 나타낸 제1예시도.

도 15는 도 12의 C1-C2 영역의 절단면을 나타낸 제2예시도.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0018] <제1실시예>

[0019] 도 1은 액정표시장치를 개략적으로 나타낸 블록도이고, 도 2는 도 1에 도시된 서브 픽셀의 회로 구성도이다.

[0020] 도 1 및 도 2에 도시된 바와 같이, 액정표시장치에는 타이밍제어부(130), 게이트구동부(140), 데이터구동부(150), 액정패널(160) 및 백라이트유닛(170)이 포함된다.

[0021] 타이밍제어부(130)는 외부로부터 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 클럭신호, 데이터신호 등을 공급받는다. 타이밍제어부(130)는 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 클럭신호 등의 타이밍신호를 이용하여 데이터구동부(150)와 게이트구동부(140)의 동작 타이밍을 제어한다.

[0022] 타이밍제어부(130)는 1 수평기간의 데이터 인에이블 신호를 카운트하여 프레임기간을 판단할 수 있으므로 외부로부터 공급되는 수직 동기신호와 수평 동기신호는 생략될 수 있다. 타이밍제어부(130)에서 생성되는 제어신호들에는 게이트구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(150)의

동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)가 포함될 수 있다.

[0023] 게이트구동부(140)는 타이밍제어부(130)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 게이트신호를 출력한다. 게이트구동부(140)는 게이트라인들(GL)을 통해 액정패널(160)에 게이트신호를 공급한다. 게이트구동부(140)는 IC 형태로 형성되거나 액정패널(160)에 게이트인패널(Gate In Panel) 방식으로 형성된다.

[0024] 데이터구동부(150)는 타이밍제어부(130)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 데이터신호(DATA)를 샘플링하고 래치하며 감마 기준전압에 대응하여 아날로그 형태로 변환하여 출력한다. 데이터구동부(150)는 데이터라인들(DL)을 통해 액정패널(160)에 데이터신호(DATA)를 공급한다. 데이터구동부(150)는 IC 형태로 형성된다.

[0025] 액정패널(160)은 게이트구동부(140) 및 데이터구동부(150)를 포함하는 구동부로부터 공급된 게이트신호와 데이터신호(DATA)에 대응하여 영상을 표시한다. 액정패널(160)은 백라이트유닛(170)을 통해 제공된 광을 제어하는 서브 픽셀(SP)이 다수 포함된다.

[0026] 하나의 서브 픽셀에는 스위칭 트랜지스터(TFT), 스토리지 커패시터(Cst) 및 액정층(Clc)이 포함된다. 스위칭 트랜지스터(TFT)의 게이트전극은 게이트라인(GL1)에 연결되고 소오스전극은 데이터라인(DL1)에 연결된다. 스토리지 커패시터(Cst)는 스위칭 트랜지스터(TFT)의 드레인전극에 일단이 연결되고 공통전압라인(Vcom)에 타단이 연결된다. 액정층(Clc)은 스위칭 트랜지스터(TFT)의 드레인전극에 연결된 화소전극(1)과 공통전압라인(Vcom)에 연결된 공통전극(2) 사이에 형성된다.

[0027] 액정패널(160)은 박막 트랜지스터 등이 형성된 제1기판, 컬러필터 등이 형성된 제2기판 그리고 이들 사이에 위치하는 액정층으로 구성된다. 제1기판의 하부면에는 하부 편광판이 부착되고, 제2기판의 상부면에는 상부 편광판이 부착된다. 액정패널(160)은 화소전극(1) 및 공통전극(2)이 제1기판 상에 형성된 IPS(In Plane Switching) 모드 또는 FFS(Fringe Field Switching) 모드 등으로 구현된다.

[0028] 백라이트유닛(170)은 액정패널(160)에 광을 제공한다. 백라이트유닛(170)은 발광다이오드(이하 LED), LED를 구동하는 LED구동부, LED로부터 출사된 광을 면광원으로 변환시키는 도광판, 도광판으로부터 출사된 광을 집광 및 확산하는 광학시트류 등이 포함된다.

[0029] 한편, 앞서 설명된 IPS나 FFS 모드 방식의 액정표시장치는 대각 시인 방향에서 VAC(Viewing Angle Crosstalk)를 차단하기 위해 데이터라인을 가려주는 블랙매트릭스의 크기(폭)를 증가시키는 설계가 필요하다. 블랙매트릭스는 빛이 출사되지 않는 비개구부로 정의된다.

[0030] 그런데, 데이터라인을 가리기 위해 해당 영역의 블랙매트릭스의 크기를 증가시키면 개구율이 감소하게 된다. 이 때문에, PPI(Pixel Per Inch)가 높으면 높을수록 개구율 감소폭이 증가하게 된다. 종래에는 위와 같은 문제를 개선하기 위해 평탄화막과 데이터라인의 전계를 차폐하기 위한 차폐전극이 제안된 바 있다.

[0031] 그러나, 구조 및 공정적 특성상 차폐전극을 형성하기 곤란한 구조는 기판의 합착 공정시 블랙매트릭스의 이동으로 인한 VAC 발생이 야기된다. 따라서, IPS나 FFS 모드 방식의 액정표시장치 중 차폐전극을 형성하기 곤란한 구조는 개구율을 고려하여 데이터라인을 가려주는 블랙매트릭스의 크기를 증가시킬 수밖에 없는 바 이의 개선책이 요구된다.

[0032] 도 3은 실험예에 따른 문제점을 설명하기 위한 도면이고, 도 4는 도 3에 도시된 실험예의 시뮬레이션 결과를 보여주는 도면이며, 도 5는 제1실시예에 따른 개선점을 설명하기 위한 도면이고, 도 6은 도 5에 도시된 제1실시예의 시뮬레이션 결과를 보여주는 도면이다.

[0033] [실험예]

[0034] 도 3 및 도 4에 도시된 바와 같이, 실험예에 따른 액정표시장치는 하기와 같이 IPS나 FFS 모드 방식으로 구현된다.

[0035] 구체적으로, 제1기판(160a)의 개구부 상에는 화소전극(162, PXL)이 형성된다. 화소전극(162, PXL)은 개구부 상에서 통전극 형태로 형성된다. 제1기판(160a) 상에는 화소전극(162, PXL)을 덮는 제1절연막(163)이 형성된다. 제1절연막(163) 상에는 반도체층(164)과 금속층(165)으로 이루어진 제N데이터라인(DLn)이 형성된다.

[0036] 제1절연막(163) 상에는 제N데이터라인(DLn)을 덮는 제2절연막(166)이 형성된다. 제2절연막(166)의 개구부 상에는 공통전극(167, VCOM)이 형성된다. 공통전극(167, VCOM)은 개구부 상에 분할전극 형태로 형성된다.

[0037] 제2기판(160b)의 내부면의 비개구부 상에는 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)가 위치한다. 블랙매트릭스(BM)는 빛을 차단할 수 있는 검정색 계열의 수지 등으로 형성된다.

[0038] 실험예에 따른 액정표시장치는 액정층(168, LC)이 전계의 방향(E-Field)에 대해 수평 하도록 정렬된 상태이다. 달리 설명하면, 액정층(168, LC)은 제N데이터라인(DLn)과 수직 하도록 정렬된 상태이다. 실험예에 따른 액정표시장치는 다음과 같은 조건을 가질 때, 도 4와 같이 액정에 틸트가 발생하면서 VAC 가 유발되는 것으로 나타났다.

[0039] 조건(1) 개구부: 충전 이후 블랙전압(Black)을 유지하고 있는 상태

[0040] 조건(2) 제N데이터라인(DLn): 화이트전압(White)이 인가된 상태

[0041] 조건(3) 액정층: 포지티브 액정(Positive LC)이 배열된 상태

[0042] 실험예에 따른 액정표시장치는 시야각에 따라 액정의 Δn(유전율의 차이)이 상이하므로 데이터라인과 인접한 영역에서(또는 데이터전극 부) 빛 샘이 발생한다. 그 이유는 액정층(168, LC)이 전계의 방향(E-Field)에 대해 수평 하도록 정렬되어 데이터라인의 전계의 방향(E-Field)에 따라 액정이 틸트하기 때문이다.

[0043] 위와 같은 문제를 해결하기 위해 다양한 실험을 한 결과 실험예에 따른 문제는 다음의 제1실시예로 개선할 수 있었다.

[0044] [제1실시예]

[0045] 도 5 및 도 6에 도시된 바와 같이, 제1실시예에 따른 액정표시장치는 하기와 같이 IPS나 FFS 모드 방식으로 구현된다.

[0046] 구체적으로, 제1기판(160a)의 개구부 상에는 화소전극(162, PXL)이 형성된다. 화소전극(162, PXL)은 개구부 상에서 통전극 형태로 형성된다. 제1기판(160a) 상에는 화소전극(162, PXL)을 덮는 제1절연막(163)이 형성된다. 제1절연막(163) 상에는 반도체층(164)과 금속층(165)으로 이루어진 제N데이터라인(DLn)이 형성된다.

[0047] 제1절연막(163) 상에는 제N데이터라인(DLn)을 덮는 제2절연막(166)이 형성된다. 제2절연막(166)의 개구부 상에는 공통전극(167, VCOM)이 형성된다. 공통전극(167, VCOM)은 개구부 상에 분할전극 형태로 형성된다.

[0048] 제2기판(160b)의 내부면의 비개구부 상에는 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)가 위치한다. 블랙매트릭스(BM)는 빛을 차단할 수 있는 검정색 계열의 수지 등으로 형성된다.

[0049] 제1실시예에 따른 액정표시장치는 액정층(168, LC)이 전계의 방향(E-Field)에 대해 수직 하도록 정렬된 상태이다. 달리 설명하면, 액정층(168, LC)은 제N데이터라인(DLn)과 수평 하도록 정렬된 상태이다. 제1실시예에 따른 액정표시장치는 다음과 같은 조건을 가질 때, 도 6과 같이 액정에 틸트가 발생하지 않게 되므로 VAC 가 유발되지 않는 것으로 나타났다.

[0050] 조건(1) 개구부: 충전 이후 블랙전압(Black)을 유지하고 있는 상태

[0051] 조건(2) 제N데이터라인(DLn): 화이트전압(White)이 인가된 상태

[0052] 조건(3) 액정층: 네거티브 액정(Negative LC)이 배열된 상태

[0053] 제1실시예에 따른 액정표시장치는 시야각이 달라지더라도 액정의 Δn(유전율의 차이)이 유사 또는 동일하므로 데이터라인과 인접한 영역에서(또는 데이터전극 부) 빛 샘이 발생하지 않는다. 그 이유는 액정층(168, LC)이 전계의 방향(E-Field)에 대해 수직 하도록 정렬되어 데이터라인의 전계의 방향(E-Field)에 따라 액정이 틸트하지 않기 때문이다.

[0054] 이하, 위의 제1실시예를 기반으로 구현된 액정표시장치에 대해 설명을 구체화한다. 다만, 이하에서는 액정층(168, LC)이 전계의 방향(E-Field)에 대해 수직 하도록 정렬된 상태를 기반으로 하게 됨에 따라 구조적 설계와 관련된 부분에 대해 구체화한다.

[0055] 도 7은 본 발명의 제1실시예에 따른 액정표시장치의 서브 픽셀들을 개략적으로 나타낸 평면 레이아웃 도면이고, 도 8은 도 7의 A1-A2 영역의 절단면도이며, 도 9는 종래 구조 대비 제1실시예를 비교 설명하기 위한 도면이다.

[0056] 도 7에 도시된 바와 같이, 본 발명의 제1실시예에 따른 액정표시장치의 서브 픽셀들(SPn-1, SPn)은 개구부에 위치하는 전극 중 하나(예: 화소전극 또는 공통전극)가 다수로 분할됨에 따라 멀티 도메인을 형성하는 IPS나 FFS 모드 방식으로 구현된다. 제N데이터라인(DLn)을 기준으로 좌우 인접하는 두 개의 서브 픽셀들(SPn-1, SPn)의 단

면을 보면 다음과 같다.

[0057] 도 8에 도시된 바와 같이, 제1기판(160a)의 개구부 상에는 화소전극(162, PXL)이 형성된다. 화소전극(162, PXL)은 개구부 상에서 통전극 형태로 형성된다. 화소전극(162, PXL)은 ITO(Indium Tin Oxide)나 IZO(Indium Zinc Oxide) 등과 같은 투명 금속으로 형성될 수 있다.

[0058] 제1기판(160a) 상에는 화소전극(162, PXL)을 덮는 제1절연막(163)이 형성된다. 제1절연막(163)은 실리콘 산화물(SiOx)이나 실리콘 질화물(SiNx) 등으로 형성될 수 있다.

[0059] 제1절연막(163) 상에는 반도체층(164)과 금속층(165)으로 이루어진 제N데이터라인(DLn)이 형성된다. 반도체층(164)은 실리콘(Si) 계열, 산화물(Oxide) 계열, 탄소나노튜브(CNT)를 포함하는 그라핀(Grephene) 계열, 나이트라이드(Nitride) 계열, 유기 반도체 계열 중 하나로 선택될 수 있다. 금속층(165)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 형성될 수 있다.

[0060] 제1절연막(163) 상에는 제N데이터라인(DLn)을 덮는 제2절연막(166)이 형성된다. 제2절연막(166)은 실리콘 산화물(SiOx)이나 실리콘 질화물(SiNx) 등으로 형성될 수 있다.

[0061] 제2절연막(166)의 개구부 상에는 공통전극(167, VCOM)이 형성된다. 공통전극(167, VCOM)은 개구부 상에 분할전극 형태로 형성된다. 공통전극(167, VCOM)은 ITO(Indium Tin Oxide)나 IZO(Indium Zinc Oxide) 등과 같은 투명 금속으로 형성될 수 있다.

[0062] 제N데이터라인(DLn) 상에는 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)가 위치한다. 블랙매트릭스(BM)는 제1기판(160a)과 합착 밀봉되는 제2기판 상에 위치한다. 도면에서는 설명의 편의를 위해 제2기판을 생략한 것이다.

[0063] 본 발명의 제1실시예는 액정층이 전계의 방향에 대해 수직 하도록 정렬된 네거티브 액정을 사용하게 됨에 따라 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)의 크기(폭)을 좁힐 수 있는 것으로 확인되었다.

[0064] 이때, 블랙매트릭스(BM)의 크기(폭)를 최소화하기 위해 앞서 설명된 액정을 사용함과 더불어 다음과 같이 설계할 수 있다.

[0065] (1) 데이터라인과 데이터라인과 인접한 전극(예: 화소전극 또는 공통전극)의 외곽부는 개구부 내에서 평행한 직선 형태를 유지하도록 배열한다.

[0066] (2) 수평 또는 수직 러빙을 하고 멀티 도메인을 갖도록 형성한다.

[0067] (3) 데이터라인과 중첩하는 위치에 존재하는 차폐전극을 삭제한다.

[0068] (4) 단면에서 보았을 때 데이터라인을 가려주는 블랙매트릭스와 화소전극이 서로 중첩(수직 비중첩)되지 않도록 배치한다. 예컨대, 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)와 제N-1서브 픽셀(SPn-1) 또는 제N서브 픽셀(SPn) 간의 거리(L3)와 같이 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)와 화소전극(162, PXL)은 이격된다.

[0069] (5) 화소전극과 (인접하는)화소전극 간의 거리(PXL to PXL 거리)는 데이터라인을 가려주는 블랙매트릭스의 크기보다 크다. 예컨대, 제N-1 및 제N서브 픽셀들(SPn-1, SPn) 간의 거리(L2)와 같이 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)의 크기(L1)보다 크게 형성된다.

[0070] 위의 조건과 더불어 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)와 제N-1서브 픽셀(SPn-1) 또는 제N서브 픽셀(SPn) 간의 거리(L3)가 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)의 크기(L1)보다 작게 형성하는 조건을 덧붙일 수 있다.

[0071] [종래 구조와 제1실시예의 비교]

[0072] 도 9의 (a)에 도시된 바와 같이, 종래 구조는 IPS나 FFS 모드 방식의 액정표시장치의 구현시 대각 시인 방향에서 VAC를 차단하기 위해 평탄화막(169)과 제N데이터라인(DLn)의 전계를 차폐하기 위한 차폐전극(180)을 사용한다.

[0073] 종래 구조는 평탄화막(169)과 차폐전극(180)을 사용하므로 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)의 크기(L5)를 다른 구조 대비 좁힐 수 있다. 그러나, 도 9의 (a)에 도시된 바와 같은 차폐전극(180)을 사용하지 않는 경우, 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)의 크기(L5)는 화소전극(162, PXL)과 중첩할 만큼

커진다.

[0074] 즉, 도 9의 (a)의 종래 구조에 제안된 차폐전극(180)을 사용하지 않는 경우, 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)의 크기(L5)가 화소전극과 화소전극 간의 거리(PXL to PXL 거리)(L6)와 유사 또는 동일하게 커진다.

[0075] 도 9의 (b)에 도시된 바와 같이, 제1실시예는 IPS나 FFS 모드 방식의 액정표시장치의 구현시 대각 시인 방향에서 VAC를 차단하기 위해 액정층이 전계의 방향에 대해 수직 하도록 정렬된 네거티브 액정을 사용하고 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)와 화소전극(162, PXL)이 서로 중첩(수직 비중첩)되지 않도록 배치된다.

[0076] 제1실시예는 평탄화막(169)과 차폐전극(180)을 미사용하면서도 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)의 크기(L1)를 종래 구조 및 다른 구조 대비 좁힐 수 있다. 또한, 제1실시예는 종래 구조 및 다른 구조 대비 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)와 제N-1서브 픽셀(SPn-1) 또는 제N서브 픽셀(SPn) 간의 거리(L3)를 넓혀 개구율을 향상(L7과 L3 비교 참조)할 수 있다.

[0077] 도 9와 같은 단순 비교를 통해 서도 알 수 있듯이, 본 발명의 제1실시예는 구조 및 공정적 특성상 차폐전극을 형성하기 곤란한 구조에서도 블랙매트릭스의 이동으로 인한 VAC 발생을 방지할 수 있다. 또한, 본 발명의 제1실시예는 종래 구조 대비 데이터라인을 가려주는 블랙매트릭스의 크기를 더욱 작게 좁힐 수 있어 개구율을 향상시킬 수 있으므로 PPI(Pixel Per Inch)가 높은 액정패널에 적용 가능하다. 또한, 본 발명의 제1실시예는 종래 구조에서 사용되는 평탄화막과 차폐전극을 삭제할 수 있어 공정의 단순화와 더불어 공정성(Tact Time)을 향상시킬 수 있다.

[0078] <제2실시예>

[0079] 도 10은 본 발명의 제2실시예에 따른 액정표시장치의 서브 픽셀들을 개략적으로 나타낸 평면 레이아웃 도면이고, 도 11은 도 10의 B1-B2 영역의 절단면을 나타낸 제1예시도이며, 도 12는 도 10의 B1-B2 영역의 절단면을 나타낸 제2예시도이다.

[0080] 도 10에 도시된 바와 같이, 본 발명의 제2실시예에 따른 액정표시장치의 서브 픽셀들(SPn-1, SPn)은 개구부에 위치하는 전극 중 하나(예: 화소전극 또는 공통전극)가 다수로 분할됨에 따라 멀티 도메인을 형성하는 IPS나 FFS 모드 방식으로 구현된다.

[0081] 개구부에 위치하는 전극 중 하나(예: 화소전극 또는 공통전극)가 서브 픽셀들(SPn-1, SPn)의 X축 방향(또는 단축 방향)으로 배열되되, 상부와 하부가 다른 방향으로 기울어지도록(다른 기울기를 갖도록) 형성된다.

[0082] 구체적으로, 개구부에 위치하는 전극 중 하나(예: 화소전극 또는 공통전극)는 서브 셀들(SPn-1, SPn)의 X축 방향(또는 단축 방향)으로 누운 일자형 전극들(一)이 개구부의 중앙 영역을 향해 좌측이 기울어지도록 형성된다. 도면에서는 앞서 설명된 전극을 두 개만 도시하였으나 이는 N(N은 2 이상 정수)개 이상 배열된다.

[0083] 제N데이터라인(DLn)을 기준으로 좌우 인접하는 두 개의 서브 픽셀들(SPn-1, SPn)의 단면을 보면 다음과 같다.

[0084] 도 11에 도시된 바와 같이, 제1기판(160a)의 개구부 상에는 화소전극(162, PXL)(또는 제1투명전극)이 형성된다. 화소전극(162, PXL)은 개구부 상에서 통전극 형태로 형성된다. 화소전극(162, PXL)은 ITO(Indium Tin Oxide)나 IZO(Indium Zinc Oxide) 등과 같은 투명 금속으로 형성될 수 있다.

[0085] 제1기판(160a) 상에는 화소전극(162, PXL)을 덮는 제1절연막(163)이 형성된다. 제1절연막(163)은 실리콘 산화물(SiOx)이나 실리콘 질화물(SiNx) 등으로 형성될 수 있다.

[0086] 제1절연막(163) 상에는 반도체층(164)과 금속층(165)으로 이루어진 제N데이터라인(DLn)이 형성된다. 반도체층(164)은 실리콘(Si) 계열, 산화물(Oxide) 계열, 탄소나노튜브(CNT)를 포함하는 그라핀(Grephene) 계열, 나이트라이드(Nitride) 계열, 유기 반도체 계열 중 하나로 선택될 수 있다. 금속층(165)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 형성될 수 있다.

[0087] 제1절연막(163) 상에는 제N데이터라인(DLn)을 덮는 제2절연막(166)이 형성된다. 제2절연막(166)은 실리콘 산화물(SiOx)이나 실리콘 질화물(SiNx) 등으로 형성될 수 있다.

[0088] 제2절연막(166)의 개구부 상에는 공통전극(167, VCOM)(또는 제2투명전극)이 형성된다. 공통전극(167, VCOM)은 개구부 상에 분할전극 형태로 형성된다. 공통전극(167, VCOM)은 ITO(Indium Tin Oxide)나 IZO(Indium Zinc

Oxide) 등과 같은 투명 금속으로 형성될 수 있다.

[0089] 제N데이터라인(DLn) 상에는 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)가 위치한다. 블랙매트릭스(BM)는 제1기판(160a)과 합착 밀봉되는 제2기판 상에 위치한다. 도면에서는 설명의 편의를 위해 제2기판을 생략한 것이다.

[0090] 도 12에 도시된 바와 같이, 제1기판(160a)의 개구부 상에 형성된 전극은 공통전극(167, VCOM)이 될 수도 있고 또한, 제2절연막(166)의 개구부 상에 형성된 전극은 화소전극(162, PXL)이 될 수도 있다.

[0091] 본 발명의 제2실시예 또한 액정층이 전계의 방향에 대해 수직 하도록 정렬된 네거티브 액정을 사용하게 됨에 따라 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)의 크기(폭)을 좁힐 수 있을 것이다. 이때, 블랙매트릭스(BM)의 크기(폭)를 최소화하기 위해 앞서 설명된 액정을 사용함과 더불어 다음과 같이 설계할 수 있다.

[0092] (1) 데이터라인과 데이터라인과 인접한 전극(예: 화소전극 또는 공통전극)의 외곽부는 개구부 내에서 평행한 직선 형태를 유지하도록 배열한다.

[0093] (2) 수평 또는 수직 러빙을 하고 멀티 도메인을 갖도록 형성한다.

[0094] (3) 데이터라인과 중첩하는 위치에 존재하는 차폐전극을 삭제한다.

[0095] (4) 단면에서 보았을 때 데이터라인을 가려주는 블랙매트릭스와 화소전극이 서로 중첩(수직 비중첩)되지 않도록 배치한다. 예컨대, 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)와 제N-1서브 픽셀(SPn-1) 또는 제N서브 픽셀(SPn) 간의 거리(L3)와 같이 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)와 화소전극(162, PXL)은 이격된다.

[0096] (5) 화소전극과 (인접하는)화소전극 간의 거리(PXL to PXL 거리)는 데이터라인을 가려주는 블랙매트릭스의 크기보다 크다. 예컨대, 제N-1 및 제N서브 픽셀들(SPn-1, SPn) 간의 거리(L2)와 같이 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)의 크기(L1)보다 크게 형성된다.

[0097] 위의 조건과 더불어 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)와 제N-1서브 픽셀(SPn-1) 또는 제N서브 픽셀(SPn) 간의 거리(L3)가 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)의 크기(L1)보다 작게 형성하는 조건을 덧붙일 수 있다.

[0098] <제3실시예>

[0099] 도 13은 본 발명의 제3실시예에 따른 액정표시장치의 서브 픽셀들을 개략적으로 나타낸 평면 레이아웃 도면이고, 도 14는 도 13의 C1-C2 영역의 절단면을 나타낸 제1예시도이며, 도 15는 도 12의 C1-C2 영역의 절단면을 나타낸 제2예시도이다.

[0100] 도 13에 도시된 바와 같이, 본 발명의 제3실시예에 따른 액정표시장치의 서브 픽셀들(SPn-1, SPn)은 개구부에 위치하는 전극이 다수로 분할됨에 따라 멀티 도메인을 형성하는 IPS나 FFS 모드 방식으로 구현된다. 제N데이터라인(DLn)을 기준으로 좌우 인접하는 두 개의 서브 픽셀들(SPn-1, SPn)의 단면을 보면 다음과 같다.

[0101] 개구부에 위치하는 전극 중 하나(예: 화소전극 또는 공통전극)가 서브 픽셀들(SPn-1, SPn)의 X축 방향(또는 단축 방향)으로 배열되되, 상부와 하부가 다른 방향으로 기울어지도록(다른 기울기를 갖도록) 형성된다.

[0102] 구체적으로, 개구부에 위치하는 전극 중 하나(예: 화소전극 또는 공통전극)는 서브 셀들(SPn-1, SPn)의 Y축 방향(또는 장축 방향)으로 바로선 일자형 전극들(一)이 개구부의 중앙 영역을 기준으로 우측을 향해 기울어지도록 형성된다. 도면에서는 앞서 설명된 전극을 두 개만 도시하였으나 이는 N(N은 2 이상 정수)개 이상 배열된다.

[0103] 제N데이터라인(DLn)을 기준으로 좌우 인접하는 두 개의 서브 픽셀들(SPn-1, SPn)의 단면을 보면 다음과 같다.

[0104] 도 14에 도시된 바와 같이, 제1기판(160a)의 개구부 상에는 화소전극(162, PXL)(또는 제1투명전극)이 형성된다. 화소전극(162, PXL)은 개구부 상에서 통전극 형태로 형성된다. 화소전극(162, PXL)은 ITO(Indium Tin Oxide)나 IZO(Indium Zinc Oxide) 등과 같은 투명 금속으로 형성될 수 있다.

[0105] 제1기판(160a) 상에는 화소전극(162, PXL)을 덮는 제1절연막(163)이 형성된다. 제1절연막(163)은 실리콘 산화물(SiOx)이나 실리콘 질화물(SiNx) 등으로 형성될 수 있다.

[0106] 제1절연막(163) 상에는 반도체층(164)과 금속층(165)으로 이루어진 제N데이터라인(DLn)이 형성된다. 반도체층(164)은 실리콘(Si) 계열, 산화물(Oxide) 계열, 탄소나노튜브(CNT)를 포함하는 그라핀(Grephene) 계열, 나이트

라이드(Nitride) 계열, 유기 반도체 계열 중 하나로 선택될 수 있다. 금속층(165)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 형성될 수 있다.

[0107] 제1절연막(163) 상에는 제N데이터라인(DLn)을 덮는 제2절연막(166)이 형성된다. 제2절연막(166)은 실리콘 산화물(SiOx)이나 실리콘 질화물(SiNx) 등으로 형성될 수 있다.

[0108] 제2절연막(166)의 개구부 상에는 공통전극(167, VCOM)(또는 제2투명전극)이 형성된다. 공통전극(167, VCOM)은 개구부 상에 분할전극 형태로 형성된다. 공통전극(167, VCOM)은 ITO(Indium Tin Oxide)나 IZO(Indium Zinc Oxide) 등과 같은 투명 금속으로 형성될 수 있다.

[0109] 제N데이터라인(DLn) 상에는 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)가 위치한다. 블랙매트릭스(BM)는 제1기판(160a)과 합착 밀봉되는 제2기판 상에 위치한다. 도면에서는 설명의 편의를 위해 제2기판을 생략한 것이다.

[0110] 도 15에 도시된 바와 같이, 제1기판(160a)의 개구부 상에 형성된 전극은 공통전극(167, VCOM)이 될 수도 있고 또한, 제2절연막(166)의 개구부 상에 형성된 전극은 화소전극(162, PXL)이 될 수도 있다.

[0111] 본 발명의 제3실시예 또한 액정층이 전계의 방향에 대해 수직 하도록 정렬된 네거티브 액정을 사용하게 됨에 따라 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)의 크기(폭)을 좁힐 수 있을 것이다. 이때, 블랙매트릭스(BM)의 크기(폭)를 최소화하기 위해 앞서 설명된 액정을 사용함과 더불어 다음과 같이 설계할 수 있다.

[0112] (1) 데이터라인과 데이터라인과 인접한 전극(예: 화소전극 또는 공통전극)의 외곽부는 개구부 내에서 평행한 직선 형태를 유지하도록 배열한다.

[0113] (2) 수평 또는 수직 러빙을 하고 멀티 도메인을 갖도록 형성한다.

[0114] (3) 데이터라인과 중첩하는 위치에 존재하는 차폐전극을 삭제한다.

[0115] (4) 단면에서 보았을 때 데이터라인을 가려주는 블랙매트릭스와 화소전극이 서로 중첩(수직 비중첩)되지 않도록 배치한다. 예컨대, 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)와 제N-1서브 픽셀(SPn-1) 또는 제N서브 픽셀(SPn) 간의 거리(L3)와 같이 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)와 화소전극(162, PXL)은 이격된다.

[0116] (5) 화소전극과 (인접하는)화소전극 간의 거리(PXL to PXL 거리)는 데이터라인을 가려주는 블랙매트릭스의 크기보다 크다. 예컨대, 제N-1 및 제N서브 픽셀들(SPn-1, SPn) 간의 거리(L2)와 같이 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)의 크기(L1)보다 크게 형성된다.

[0117] 위의 조건과 더불어 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)와 제N-1서브 픽셀(SPn-1) 또는 제N서브 픽셀(SPn) 간의 거리(L3)가 제N데이터라인(DLn)을 가려주는 블랙매트릭스(BM)의 크기(L1)보다 작게 형성하는 조건을 덧붙일 수 있다.

[0118] 한편, 본 발명의 제2 및 제3실시예에서는 멀티 도메인을 형성하는 전극의 구조로서 2 도메인을 갖는 두 가지의 예만 도시하였다. 그러나, 이는 예시일 뿐 본 발명은 이에 한정되지 않고 멀티 도메인을 형성하는 전극 구조에 적절히 적용 가능하다.

[0119] 이상 본 발명은 구조 및 공정적 특성상 차폐전극을 형성하기 곤란한 구조에서도 블랙매트릭스의 이동으로 인한 VAC 발생을 방지할 수 있다. 또한, 본 발명은 데이터라인을 가려주는 블랙매트릭스의 크기를 더욱 작게 좁힐 수 있어 개구율을 향상시킬 수 있다. 또한, 본 발명은 평탄화막과 차폐전극을 삭제할 수 있어 공정의 단순화와 더불어 공정성(Tact Time)을 향상시킬 수 있다. 또한, 본 발명은 차폐전극과 연결된 전극을 삭제할 수 있어 데이터 로드 및 기생용량(Cdc)을 감소킬 수 있다. 또한, 본 발명은 공정의 단순화와 더불어 공정성 향상으로 인하여 기판 합착 마진 및 VAC 마진을 고려하지 않아도 되므로 설계의 자유도를 높일 수 있다.

[0120] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0121] 130: 타이밍제어부 140: 게이트구동부

150: 데이터구동부 160: 액정패널

170: 백라이트유닛 160a: 제1기판

162, PXL: 화소전극 163: 제1절연막

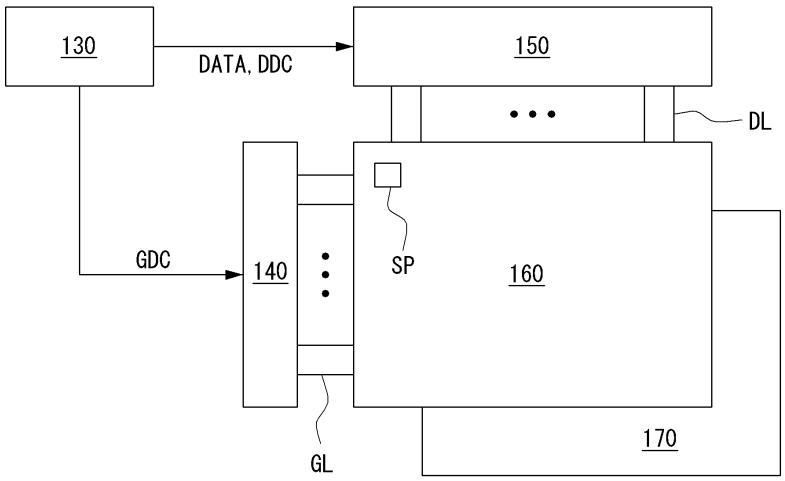
166: 제2절연막 DLn: 제N데이터라인

167, VCOM: 공통전극 BM: 블랙매트릭스

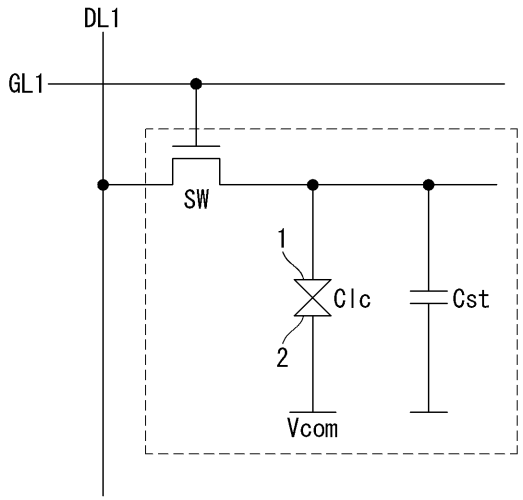
168, LC: 액정층

도면

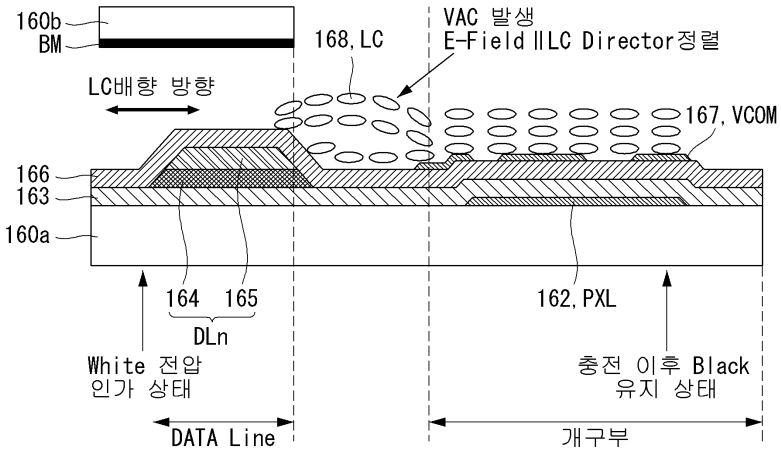
도면1



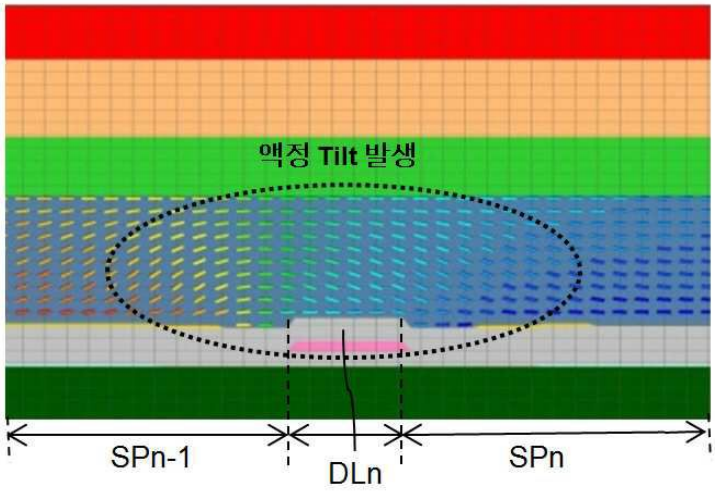
도면2



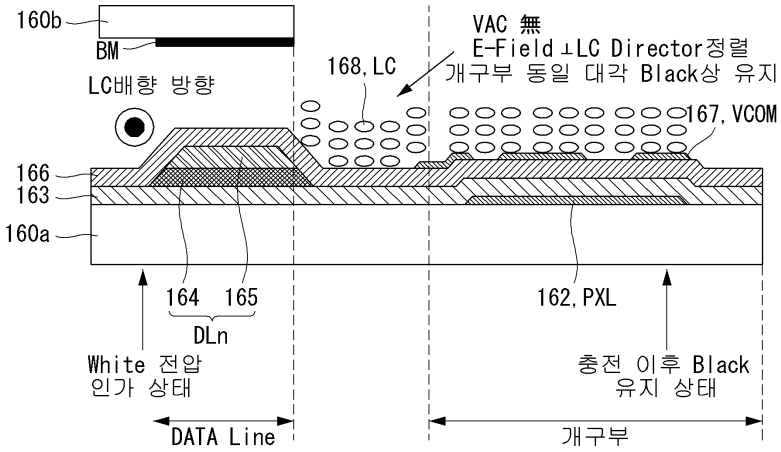
도면3


160b
BM
168, LC
VAC 발생
E-Field ∥LC Director정렬
LC배향 방향
167, VCOM
166
163
160a
164
165
DLn
162, PXL
White 전압
인가 상태
충전 이후 Black
유지 상태
DATA Line
개구부

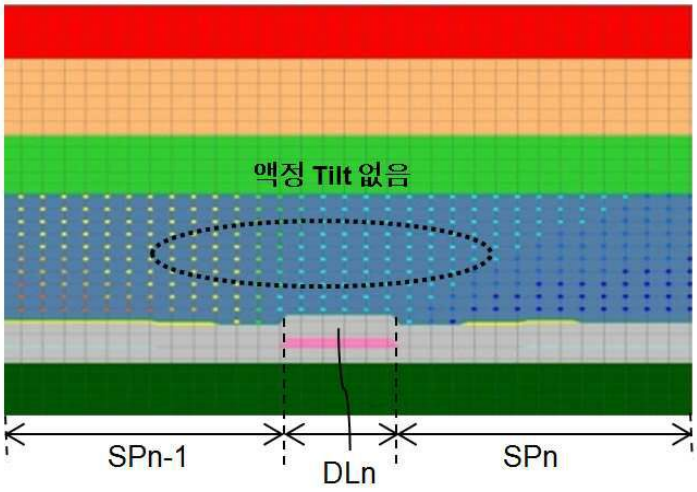
도면4


액정 Tilt 발생
SPn-1
DLn
SPn

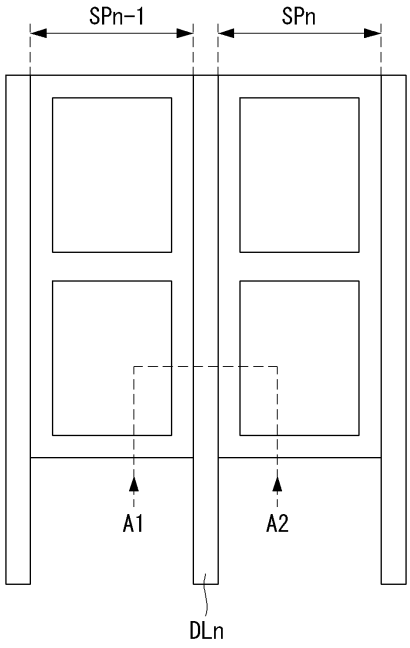
도면5


160b
BM
LC배향 방향
168, LC
VAC 無
E-Field ⊥LC Director정렬
개구부 동일 대각 Black상 유지
167, VCOM
166
163
160a
164
165
DLn
162, PXL
White 전압
인가 상태
충전 이후 Black
유지 상태
DATA Line
개구부

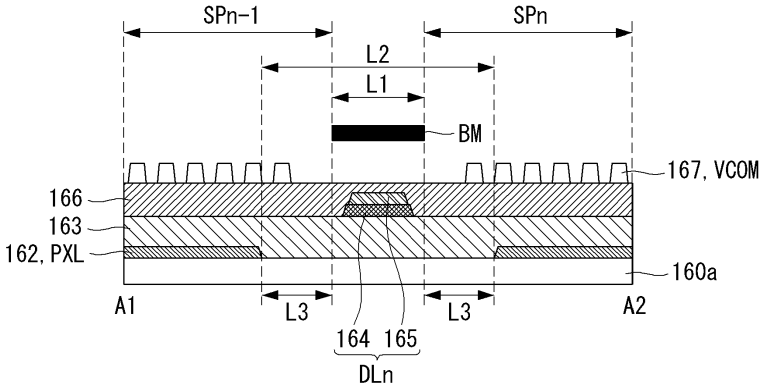
도면6


액정 Tilt 없음
SPn-1
DLn
SPn

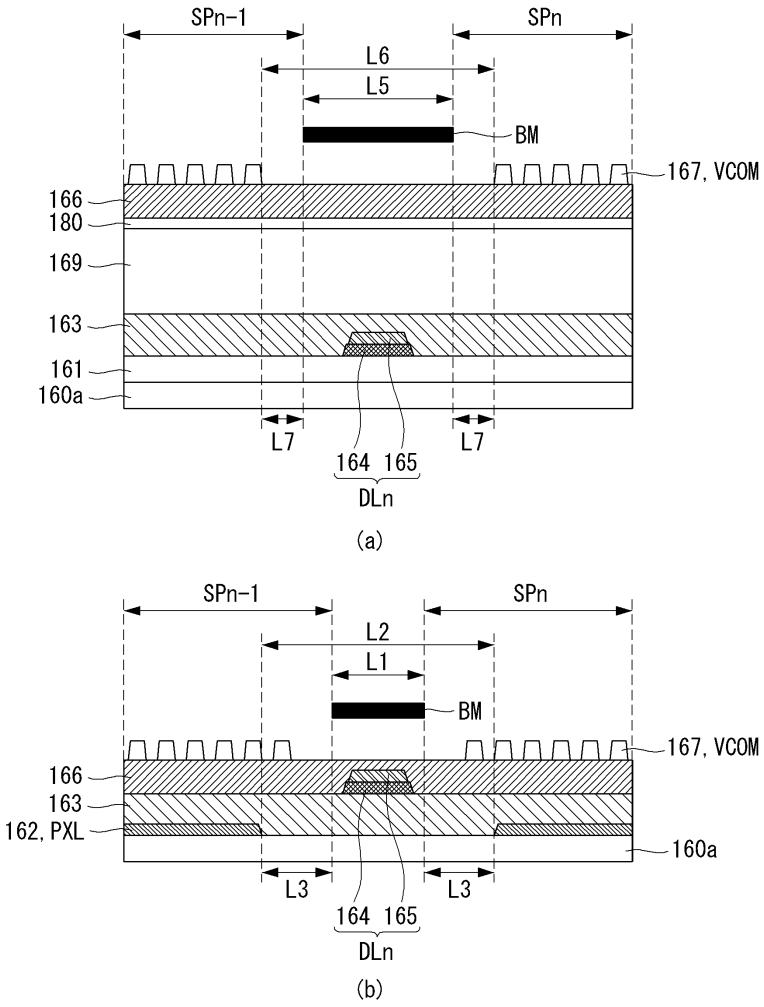
도면7


SPn-1
SPn
A1
A2
DLn

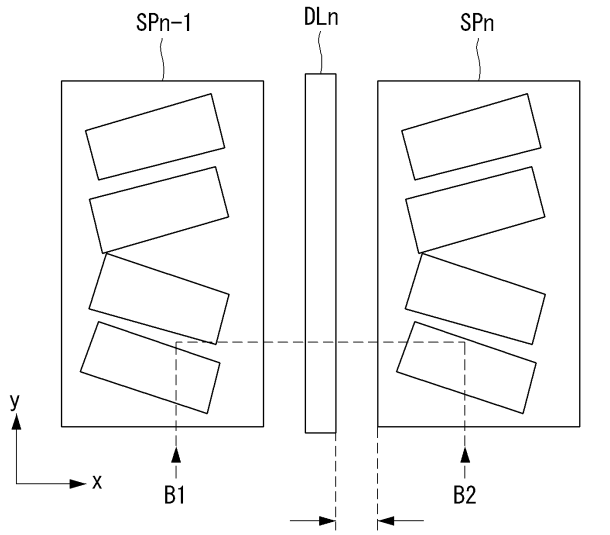
도면8


SPn-1
SPn
L2
L1
BM
167, VCOM
166
163
162, PXL
160a
A1
L3
L3
A2
164 165
DLn

도면9

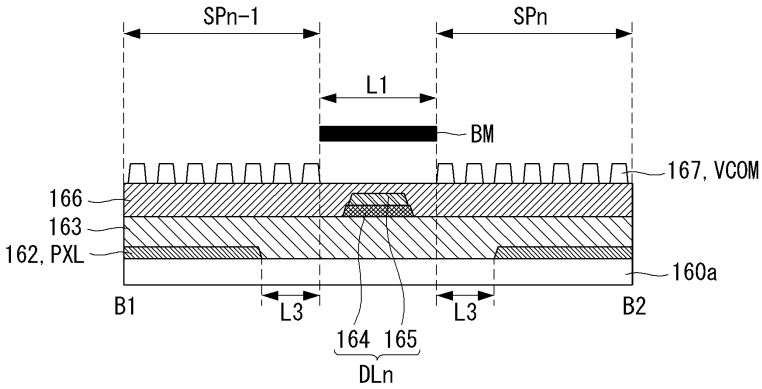


도면10

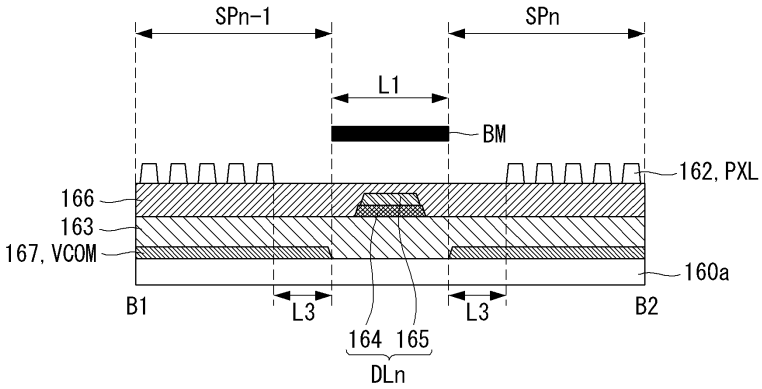


Data Line과 Vcom or PXL전극 외곽부는
개구 영역 범위에서 평행한 직선 형태를 유지함
수직 Rubbing을 하는 경우

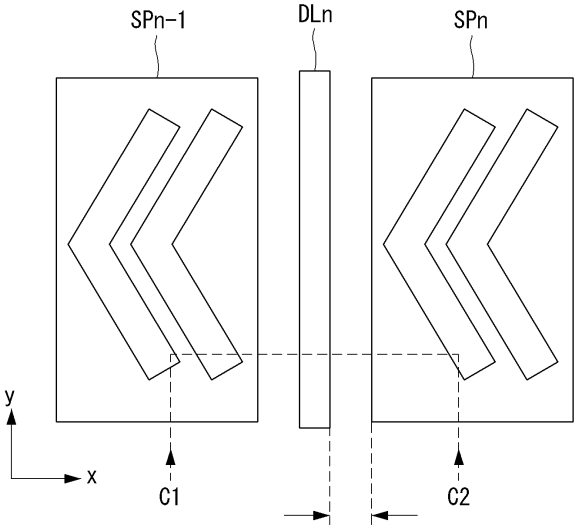
도면11



도면12

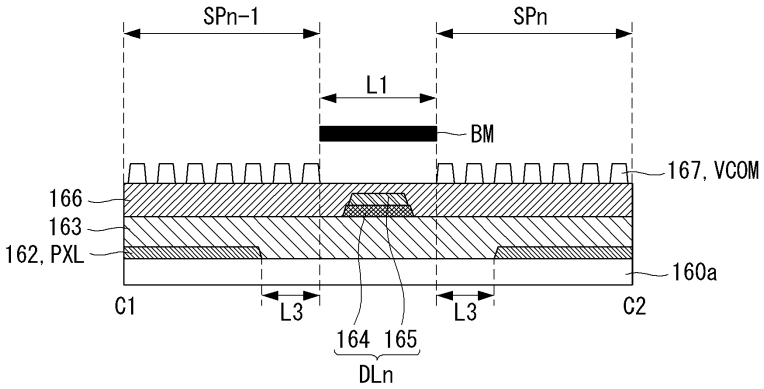


도면13

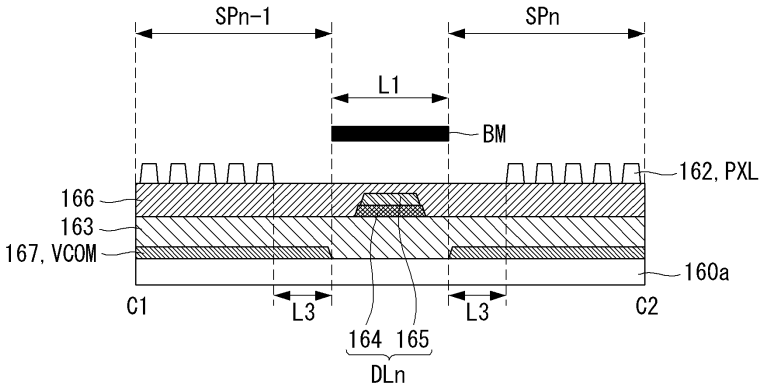


Data Line과 Vcom or PXL전극 외곽부는
개구 영역 범위에서 평행한 직선 형태를 유지함
수평 Rubbing을 하는 경우

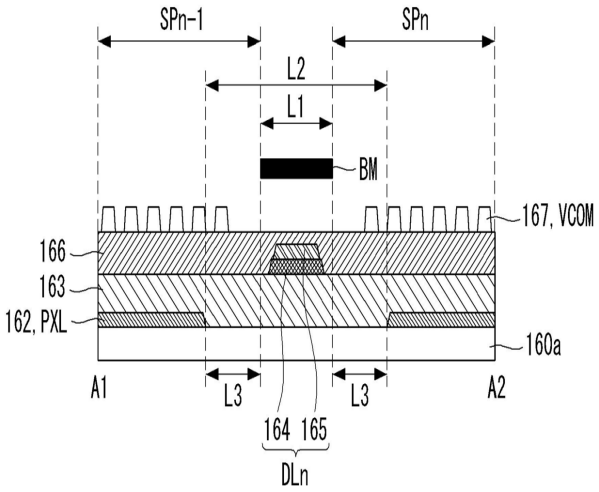
도면14


SPn-1
SPn
L1
BM
167, VCOM
166
163
162, PXL
160a
C1
L3
L3
C2
164 165
DLn

도면15


SPn-1
SPn
L1
BM
162, PXL
166
163
167, VCOM
160a
C1
L3
L3
C2
164 165
DLn

专利名称(译)	液晶显示器		
公开(公告)号	KR1020160049123A	公开(公告)日	2016-05-09
申请号	KR1020140145170	申请日	2014-10-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SE EUNG 이세응 LEE JONG BEOM 이종범 CHOI HAN NA 최한나 PARK CHAN SOO 박찬수		
发明人	이세응 이종범 최한나 박찬수		
IPC分类号	G02F1/1362 G02F1/133		
CPC分类号	G02F1/133512 G02F1/1343 G02F1/136286 G02F2201/40		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示装置，包括第一基板，像素电极，公共电极，数据线，第二绝缘膜，液晶层和黑矩阵。像素电极位于第一基板上限定的开口中。公共电极位于限定在第一基板上的开口处，并且位于与像素电极不同的层上。数据线位于第一基板上限定的非开口中。液晶层对应于由像素电极和公共电极施加的电场而倾斜。黑矩阵覆盖对应于数据线的区域并且可以与像素电极重叠。