



## 명세서

### 청구범위

#### 청구항 1

게이트라인, 더미데이터라인 및 데이터라인이 형성되는 액정패널;

보상데이터를 생성하는 타이밍 콘트롤러;

상기 보상데이터를 바탕으로 보상데이터전압을 생성하여 상기 더미데이터라인에 제공하고, 상기 데이터라인에 영상 표시를 위한 데이터전압을 제공하는 데이터 구동부;

상기 액정패널의 화소들에 공통전압을 제공하는 공통전극; 및

상기 액정패널의 화소 어레이 외측에 위치하며, 상기 보상데이터전압을 제공받아서 충전되는 보상커패시터를 포함하되,

상기 보상커패시터는 상기 데이터전압의 극성이 반전되는 극성변경구간 동안에 제공받는 상기 보상데이터전압에 의해서 충전되며, 전압 충전 과정에서 상기 공통전극 방향으로 형성되는 전류 흐름으로 상기 공통전극에 발생하는 리플을 상쇄시키는 액정표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 액정표시장치는 상기 공통전압을 제공받아서 상기 공통전극으로 공급하는 수평공통라인을 더 포함하고,

상기 보상커패시터는

상기 수평공통라인에서 분기되는 더미 공통전극;

상기 더미 공통전극 상에 형성되는 게이트절연막; 및

상기 게이트절연막 상에서 상기 더미 공통전극과 대면하도록 형성되는 금속패턴을 포함하는 액정표시장치.

#### 청구항 3

제 2 항에 있어서,

상기 액정표시장치는

상기 게이트라인에서 돌출되는 게이트전극, 상기 더미데이터라인에서 돌출되는 드레인전극 및 상기 드레인전극과 인접한 위치에서 형성되며 상기 금속패턴과 전기적으로 연결되는 소스전극으로 이루어지는 트랜지스터를 더 포함하고,

상기 보상커패시터는 상기 게이트필스에 응답하여 상기 더미데이터라인을 통해서 상기 보상데이터전압을 제공받는 액정표시장치.

#### 청구항 4

제 1 항에 있어서,

각 수평라인에 형성되는 상기 보상커패시터의 용량은 하나의 수평라인에 형성되는 액정 커패시터 용량들의 총합 이상이거나 상기 액정 커패시터 용량들의 총합의 1.5배 이하인 액정표시장치.

## 청구항 5

제 1 항에 있어서,

상기 보상데이터전압은 상기 극성변경구간 동안에는 전압레벨이 상승하며, 극성유지구간 동안에는 전압레벨이 감소하되,

상기 극성유지구간은 상기 극성변경구간의 간격보다 길게 유지되는 액정표시장치.

## 청구항 6

제 5 항에 있어서,

상기 데이터전압이  $k$ ( $k$ 는 전체수평라인 개수의  $1/2$  보다 작은 자연수)수평라인 마다 반전될 때에,

상기 보상데이터전압의 극성변경구간은 1 수평주기로 설정되고, 상기 극성유지구간은  $(k-1)$  수평주기로 설정되는 액정표시장치.

## 청구항 7

제 5 항에 있어서,

상기 보상데이터전압의 최저 전압레벨은 '0' 계조의 전압레벨이고, 상기 보상데이터전압의 최대 전압레벨은 '255' 계조의 전압레벨인 액정표시장치.

## 청구항 8

제 1 항에 있어서,

상기 데이터 구동부는 상기 보상데이터전압의 극성을 정극성으로 유지하는 액정표시장치.

## 발명의 설명

### 기술 분야

[0001]

본 발명은 액정표시장치에 관한 것이다.

### 배경 기술

[0002]

액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.

[0003]

액정표시장치의 픽셀들은 데이터라인과 게이트라인이 교차되고, 그 교차부에 접속된 박막트랜지스터를 포함한다. 박막트랜지스터는 게이트라인으로부터의 게이트펄스에 응답하여 데이터라인을 통해 공급되는 데이터 전압을 액정셀의 화소전극에 공급한다. 액정셀은 화소전극의 전압과 공통전극에 인가되는 공통전압(Vcom)의 전압차에 따라 발생하는 전기에 의해 회동하여 편광판을 통과하는 광량을 조절한다. 스토리지 커패시터는 액정셀의 화소전극에 접속되어 액정셀의 전압을 유지한다.

[0004]

공통전극에 인가되는 공통전압(Vcom)은 화소전극과의 전기적 커플링(Coupling)에 의해서 리플(ripple) 현상이 발생하기도 한다. 공통전압(Vcom)의 리플 현상은 시간에 따른 데이터전압의 변화량에 비례한다. 따라서 데이터전압의 극성을 가변하면서 구동하는 인버전 방식에 있어서, 데이터전압의 극성이 변경되는 순간에는 데이터전

압의 변동폭이 크기 때문에 공통전압(Vcom)의 리플 현상이 심해진다. 이처럼 공통전압(Vcom)의 리플 현상은 수평 방향을 따라서 라인-딤(line Dim) 현상을 유발하여 표시품질을 저하시키는 원인이 된다.

## 발명의 내용

### 해결하려는 과제

[0005] 본 발명은 공통전압의 리플 현상으로 인해서 발생하는 라인-딤 현상을 개선하기 위한 것이다.

### 과제의 해결 수단

[0006] 본 발명의 액정표시장치는 게이트라인과 더미데이터라인 및 데이터라인이 형성되는 액정패널, 보상데이터를 생성하는 타이밍 콘트롤러, 보상데이터를 바탕으로 보상데이터전압을 생성하여 더미데이터라인에 제공하고 데이터라인에 영상 표시를 위한 데이터전압을 제공하는 데이터 구동부, 액정패널의 화소들에 공통전압을 제공하는 공통전극 및 액정패널의 화소 어레이 외측에 위치하며 보상데이터전압을 제공받아서 충전되는 보상커패시터를 포함한다. 보상커패시터는 데이터전압의 극성이 반전되는 극성변경구간 동안에 제공받는 보상데이터전압에 의해서 충전되며, 전압 충전 과정에서 공통전극 방향으로 형성되는 전류 흐름으로 상기 공통전극에 발생하는 리플을 상쇄시킨다.

### 발명의 효과

[0007] 본 발명은 보상커패시터를 이용하여, 보상커패시터가 충전될 때 발생하는 보상전압으로 공통전압의 리플을 상쇄하기 때문에 공통전압 리플로 인한 라인-딤 현상을 개선할 수 있다.

### 도면의 간단한 설명

[0008] 도 1은 본 발명에 의한 액정표시장치의 구성을 나타내는 도면.  
 도 2는 제1 실시 예에 의한 화소 어레이 영역을 나타내는 도면.  
 도 3은 본 발명에 의한 데이터 구동부의 구성을 나타내는 도면.  
 도 4는 화소 및 보상커패시터의 평면 구조를 나타내는 도면.  
 도 5는 도 4에 도시된 I-I'의 절단선을 따라서 절단한 단면을 나타내는 도면.  
 도 6은 도 4에 도시된 화소 및 보상커패시터의 등가회로도.  
 도 7은 데이터전압 및 보상데이터전압의 타이밍을 나타내는 도면.  
 도 8은 공통전압의 리플 상쇄 현상을 설명하기 위한 도면.  
 도 9의 (a) 및 (b)는 보상데이터전압을 출력하는 출력 버퍼의 실시 예를 나타내는 도면.  
 도 10은 데이터전압 딜레이를 반영하여 공통전압의 리플 상쇄를 설명하기 위한 도면.  
 도 11은 제2 실시 예에 의한 화소 어레이 영역을 나타내는 도면.

### 발명을 실시하기 위한 구체적인 내용

[0009] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

- [0010] 도 1은 본 발명에 의한 액정표시장치를 나타내는 도면이다.
- [0011] 도 1을 참조하면, 본 발명의 액정표시장치는 액정패널(100), 타이밍 콘트롤러(210), 파워모듈(220), 게이트 구동부(230) 및 데이터 구동부(240)를 포함한다.
- [0012] 액정패널(100)은 박막트랜지스터 어레이가 형성되는 박막트랜지스터 어레이기판 및 컬러필터가 형성되는 컬러필터기판을 포함하고, 박막트랜지스터 어레이기판과 컬러필터기판 사이에는 액정층이 형성된다. 그리고 액정패널(100)에서 박막트랜지스터 어레이기판은 화소(P)들이 배열되는 영역은 화소 어레이 영역(100A)으로 정의하기로 한다.
- [0013] 도 2에서와 같이, 제1 실시 예에 의한 액정패널(100)의 박막트랜지스터 어레이기판은 중형으로 배열된 게이트라인(GL1~GLm) 및 데이터라인(DL1~DLn)에 의해 정의되는 화소(P)들이 매트릭스 형태로 배열된다. 화소 어레이 영역(100A)의 일측에는 제1 데이터라인(DL1)과 나란히 형성되는 더미데이터라인(DDL) 및 보상커패시터(Cdc)들이 형성된다.
- [0014] 공통라인은 수평공통라인(VcomL1~VcomLm) 및 수직공통라인(VcomLV)을 포함하고, 파워모듈(220)로부터 제공받은 공통전압(Vcom)을 공통전극에 공급한다. 각각의 수평공통라인들(VcomL1~VcomLm)은 게이트라인들(GL1~GLm)과 평행하게 형성되어서, 각각의 수평라인들에 형성되는 화소(P)들과 공통전극을 통해서 연결된다. 수직공통라인(VcomLV)은 화소 어레이 영역(100A)을 벗어난 위치에서 수직으로 연결되어서 각각의 수평공통라인(VcomL1~VcomLm)을 연결한다. 수직공통라인(VcomLV) 및 수평공통라인들(VcomL1~VcomLm)은 매쉬 형태로 이루어질 수도 있고, 수직공통라인(VcomLV) 또는 수평공통라인(VcomL1~VcomLm)은 공통전압(Vcom)을 제공받는다.
- [0015] 각각의 보상커패시터(Cdc)는 수평공통라인(VcomL1~VcomLm)으로부터 분기되는 더미 공통전극과 금속패턴(50)을 전극쌍으로하며, 화소 어레이 영역(100A)을 벗어난 위치에서 형성된다. 보상커패시터(Cdc)의 구조 및 기능에 대한 세부적인 사항은 후술하기로 한다.
- [0016] 더미데이터라인(DDL)은 화소 어레이 영역(100A) 외측에 형성되며, 데이터 구동부(240)로부터 보상데이터전압(ADDATA)을 제공받는다.
- [0017] 타이밍 콘트롤러(210)는 외부 호스트(미도시)로부터 디지털 비디오 데이터(RGB)를 입력받고, 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(CLK) 등의 타이밍 신호를 입력받는다. 타이밍 콘트롤러(210)는 디지털 비디오 데이터(RGB)를 소스 드라이브 IC들(240)에 전송한다. 타이밍 콘트롤러(210)는 타이밍 신호(Vsync, Hsync, DE, CLK)를 이용하여 데이터 구동부(240)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와, 게이트 구동부(230)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GCLK)를 발생한다.
- [0018] 또한 타이밍 콘트롤러(210)는 더미데이터라인(DDL)에 제공하는 보상데이터를 생성한다. 보상데이터는 데이터 구동부(240)를 통해서 보상데이터전압으로 출력된다. 보상데이터전압은 보상커패시터(Cdc)에 충전되어서 공통전압(Vcom)의 리플을 억제한다. 이에 대한 자세한 설명은 후술하기로 한다.
- [0019] 파워모듈(220)은 전원전압(VCC)을 입력받아서 게이트하이전압(VGH), 게이트로우전압(VGL), 고전위전압(VDD) 및 공통전압(Vcom) 등을 출력한다. 게이트하이전압(VGH)은 게이트라인(GL)에 공급되는 스캔펄스의 하이레벨전압이고, 게이트로우전압(VGL)은 게이트라인(GL)에 공급되는 스캔펄스의 로우레벨전압이다. 공통전압(Vcom)은 저전위전압에서 고전위전압(VDD) 범위 내의 전압레벨일 수 있고, 예컨대 공통전압은 저전위전압과 고전위전압(VDD)의 중간 전위(HVDD)의 전위를 가질 수 있다.
- [0020] GIP 타입의 게이트 구동부(230)는 PCB(200) 상에 실장된 레벨슈프터(231) 및 슈프트레지스터(233)를 포함한다.
- [0021] 레벨슈프터(231)는 게이트하이전압(VGH)과 게이트로우전압(VGL) 등의 구동전압을 공급받고 타이밍 콘트롤러(210)로부터 스타트신호(ST) 및 게이트클럭신호(GCLK)를 입력받아서, 게이트하이 전압(VGH)과 게이트로우전압(VGL) 사이에서 스위칭하는 스타트 펄스(VST) 및 클럭신호(CLK)를 출력한다. 레벨슈프터(26)로부터 출력된 클럭신호(CLK)들은 순차적으로 위상이 슈프트되어 표시패널(100)에 형성된 슈프트레지스터(233)로 전송된다.
- [0022] 슈프트레지스터(233)는 표시패널(100)의 게이트라인(GL)에 연결된다. 슈프트레지스터(233)는 종속적으로 접속된 다수의 스테이지들을 포함한다. 슈프트레지스터(233)는 레벨슈프터(231)로부터 입력되는 스타트 펄스(VST)를 클럭신호(CLK)에 따라 시프트하여 게이트라인들(GL)에 게이트펄스를 순차적으로 공급한다.
- [0023] 데이터 구동부(240)는 타이밍 콘트롤러(210)로부터 디지털 비디오 데이터들(RGB) 및 보상데이터(DDATA)를 입력

받는다. 데이터 구동부(240)는 타이밍 콘트롤러(210)로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터(RGB)를 정극성/부극성 아날로그 데이터전압으로 변환한 후에 그 데이터전압을 게이트펄스에 동기되도록 표시패널(100)의 데이터라인들(DL1~DLn)에 공급한다. 데이터 구동부(240)는 보상데이터(DDATA)를 보상데이터전압(ADDATA)으로 변환한 후에, 보상데이터전압(ADDATA)을 더미데이터라인(DDL)에 공급한다.

[0024] 이를 위해서 데이터 구동부(240)는 도 3에서와 같이, 레지스터부(241), 제1 래치(243), 제2 래치(245), 디지털-아날로그-변환부(Digital to Analog Converter; 이하, DAC)(247) 및 출력부(249)를 포함한다.

[0025] 레지스터부(241)는 타이밍 콘트롤러(210)로부터 제공받는 데이터 제어신호들(SSC, SSP)을 이용하여 입력 영상의 RGB 디지털 비디오 데이터 비트를 샘플링하고, 이를 제1 래치(243)에 제공한다. 또한 레지스터부(241)는 타이밍 콘트롤러(210)로부터 제공받는 보상데이터(DDATA)를 제1 래치(243)에 제공한다.

[0026] 제1 래치(243)는 레지스터부(241)로부터 순차적으로 제공받은 클럭에 따라서 보상데이터(DDATA) 및 디지털 비디오 데이터 비트를 샘플링하여 래치하고, 래치한 보상데이터(DDATA) 및 데이터(DATA)들을 동시에 출력한다. 제2 래치(245)는 제1 래치(243)로부터 제공받은 보상데이터(DDATA) 및 데이터들을 래치하고, 소스출력인에이블신호(SOE)에 응답하여 래치한 데이터들을 동시에 출력한다.

[0027] DAC(247)는 제2 래치부(245)로부터 입력된 보상데이터(DDATA) 및 비디오 데이터들을 감마보상전압(GMA)으로 변환하여 아날로그 보상데이터전압(ADDATA) 및 비디오 데이터전압을 생성한다.

[0028] 출력부(249)는 소스 출력 인에이블신호(SOE)의 로우논리기간 동안에, DAC(247)에서 출력하는 아날로그 형태의 보상데이터전압(ADDATA)을 더미데이터라인(DDL)에 제공하고, 데이터전압(ADATA)을 데이터라인들(DL1~DLn)에 제공한다.

[0029] 도 4는 보상커패시터(Cdc) 및 화소(P)의 실시 예를 나타내는 평면도이고, 도 5는 도 4에 도시된 I-I'를 따라서 절단한 단면을 나타내는 도면이다. 도 6은 도 4의 등가회로를 나타내는 도면이다.

[0030] 도 4 내지 도 6을 참조하여, 보상커패시터(Cdc) 및 화소(P)에 대해 살펴보면 다음과 같다. 게이트라인(GL), 수평공통라인(VcomL) 및 더미 공통전극(13)은 기판(substrate) 상에 형성된다. 게이트라인(GL), 수평공통라인(VcomL1~VcomLm) 및 더미 공통전극(13)은 게이트 금속물질을 이용하여 동일 공정으로 형성될 수 있다. 도면에서는 수평공통라인 및 게이트라인 각각의 도면부호를 구분하였지만, 도 4의 설명에서 수평공통라인(VcomL)과 게이트라인(GL)으로 통칭하여 설명하기로 한다. 또한 각 화소(P) 또는 보상커패시터(Cdc)에 속하는 동일한 구성요소 역시 동일한 도면부호로 설명하기로 한다.

[0031] 각각의 수평공통라인(VcomL)은 게이트라인(GL)과 평행하게 형성된다. 더미 공통전극(13)은 수평공통라인(VcomL)의 일측에서 분기되어 수직 방향으로 형성된다. 게이트라인(GL)의 일측에는 수직 방향으로 분기되는 제1 게이트전극(41)들 및 제2 게이트전극(42)이 형성된다. 제2 게이트전극(42)은 화소 어레이 영역(100A)의 외측에서 분기된다.

[0032] 게이트라인(GL), 수평공통라인(VcomL) 및 더미 공통전극(13)의 상부에는 전면에 걸쳐서 게이트절연막(GI)이 형성된다.

[0033] 게이트절연막(GI) 상에는 데이터라인(DL), 더미데이터라인(DDL), 제1 및 제2 드레인전극(21,22) 및 제1 및 제2 소스전극(31,32)이 형성된다.

[0034] 제1 드레인전극(21)은 제1 게이트전극(41)이 위치한 영역에서 데이터라인(DL)으로부터 돌출되는 형태로 형성된다. 그리고, 제1 소스전극(31)은 제1 드레인전극(21)과 인접한 곳에서 형성된다. 제1 게이트전극(41), 제1 드레인전극(21) 및 제1 소스전극(31)은 제1 트랜지스터(T1)를 형성한다. 제1 트랜지스터(T1)는 게이트라인(GL)으로부터 제공받는 게이트펄스에 응답하여, 데이터라인(DL)으로부터 제공받는 데이터전압을 화소전극(17)에 제공한다.

[0035] 더미데이터라인(DDL)은 제2 게이트전극(42)이 위치한 영역에서 돌출되는 제2 드레인전극(22)을 포함한다. 더미데이터라인(DDL)은 제2 게이트전극(42)이 위치한 영역에서 돌출되는 제2 드레인전극(22)을 포함한다. 제2 소스전극(32)은 제2 드레인전극(22)과 인접한 곳에서 형성된다. 제2 게이트전극(42), 제2 드레인전극(22) 및 제2 소스전극(32)은 제2 트랜지스터(T2)를 형성하고, 제2 트랜지스터(T2)는 게이트라인(GL)으로부터 제공받는 게이트펄스에 응답하여, 더미데이터라인(DDL)으로부터 제공받는 보상데이터전압을 금속패턴(50)에 제공한다.

[0036] 데이터라인(DL), 더미데이터라인(DDL), 제1 및 제2 드레인전극(21,22) 및 제1 및 제2 소스전극(31,32) 상에는



패시베이션층(PAS)이 형성된다.

- [0037] 패시베이션층(PAS) 상에는 화소전극(17), 공통전극(15) 및 금속패턴(50)이 형성된다. 화소전극(17), 액정층 및 공통전극(15)은 액정 커패시터(C1c)를 형성하여, 데이터전압에 대응되는 계조를 표시한다. 스토리지 커패시터(Cst)는 데이터 신호를 일 프레임 동안 저장하여 화소전극의 전압을 일정하게 유지한다.
- [0038] 금속패턴(50)은 더미 공통전극(13)들과 대면하도록 형성되어서, 더미 공통전극(13)과 금속패턴(50)은 그 사이에 형성되는 절연막을 사이에 두고 보상커패시터(Cdc)를 형성한다. 보상커패시터(Cdc)는 더미데이터라인(DDL)으로부터 제공받는 보상데이터전압을 충전하고, 보상데이터전압이 충전되는 과정에서 공통전압(Vcom)의 리플을 상쇄시킨다.
- [0039] 보상커패시터(Cdc)가 공통전압(Vcom)의 리플을 개선하는 방법을 살펴보면 다음과 같다.
- [0040] 도 7은 데이터전압의 극성 변경과 이에 대응한 보상데이터전압의 출력을 나타내는 타이밍도이다.
- [0041] 도 7에서, 제1 데이터전압(Adata A)과 제2 데이터전압(Adata B)은 서로 인접하는 열의 데이터라인(DL)에 제공되는 데이터전압이다. 제1 및 제2 데이터전압은 극성유지구간 동안에 극성을 유지하다가, 다음 극성주기의 극성변경구간에 극성이 반전된다.
- [0042] 보상데이터전압(ADDATA)은 데이터전압(Adata A, Adata B)의 극성이 변경되는 시점에 출력되기 시작하여, 일정한 전압레벨까지 급격히 상승한다. 그리고 미리 설정된 최대 전압레벨까지 상승한 보상데이터전압(ADDATA)은 다시 극성변경이 시작되기 이전까지 점차 내려간다.
- [0043] 전압변경시점에 전압레벨이 상승하는 보상데이터전압(ADDATA)은 보상커패시터(Cdc)를 급속히 충전하기 위한 전압이기 때문에, 보상데이터전압(ADDATA)은 짧은 시간 동안에 전압레벨이 상승한다. 그리고 보상데이터전압(ADDATA)의 전압레벨이 하강할 때에는 공통전압에 부극성의 리플이 발생하는 것을 방지하기 위해서, 보상데이터전압(ADDATA)은 긴 시간에 걸쳐서 전압레벨이 내려간다. 일례로, 데이터전압(ADTA)이  $k$  ( $k$ 는 2이상  $m/2$  이하의 자연수) 수평주기(kH) 마다 극성이 반전된다면, 보상데이터전압(ADDATA)은 1수평주기(1H) 동안에 전압레벨이 급격히 상승하고,  $(k-1)$  수평주기( $[k-1]H$ ) 동안에 전압레벨이 서서히 내려간다.
- [0044] 상승구간 동안에 전압레벨이 급격히 상승하는 보상데이터전압(ADDATA)이 금속패턴(50)으로 제공될 때에, 도 8에서와 같이, 보상커패시터(Cdc)는 보상데이터전압(ADDATA)에 의해서 충전된다. 금속패턴(50)은 정극성의 보상데이터전압(ADDATA)에 의해서 충전되기 때문에, 보상커패시터(Cdc)에는 금속패턴(50)으로부터 더미 공통전극(13) 방향으로 보상전류(Ic)가 형성된다. 이처럼 보상커패시터(Cdc)가 충전되는 과정에서 유도되는 보상전류(Ic)는 더미 공통전극(13)을 통해서 공통전극(15)으로 흐르게 되고, 이로 인해서 공통전극(15)에 발생하는 부극성의 리플이 상쇄된다.
- [0045] 공통전극(15)에 발생하는 리플은 데이터전압(Adata A, Adata B)의 극성이 변경되는 구간에서 순간적으로 발생하기 때문에, 이를 상쇄하기 위한 보상데이터전압(ADDATA) 역시 짧은 시간 동안에 전압레벨이 크게 변화하도록 한다. 이를 위해서 보상데이터전압(ADDATA)의 최저 전압레벨과 최대 전압레벨의 차이 역시 최대치로 설정할 수 있다. 예컨대, 보상데이터전압(ADDATA)의 최저 전압레벨은 '0' 계조에 해당하는 전압레벨로 설정될 수 있고, 최대 전압레벨은 '255' 계조에 해당하는 전압레벨로 설정될 수 있다.
- [0046] 보상커패시터(Cdc)의 정전용량은 각 수평라인들의 액정커패시터(C1c)의 총합 이상이며, 액정 커패시터 용량들의 총합의 1.5배 이하로 설정된다. 앞서 설명한 바와 같이, 보상커패시터(Cdc)는 충전되는 과정에서 보상커패시터(Cdc) 내에 유도되는 전류가 공통전극(15)으로 흐르는 것을 이용하여 공통전극(15)의 리플을 상쇄시킨다. 따라서, 보상커패시터(Cdc)는 하나의 수평라인에 연결되는 모든 화소(P)들에 보상전류(Ic)를 공급하기 위해서는 보상커패시터(Cdc)의 정전용량이 액정 커패시터 용량들의 총합 이상이 되도록 한다. 보상커패시터(Cdc) 용량들의 최대치는 액정 커패시터 용량들의 총합 이상이면 무방하고, 최대치는 보상커패시터(Cdc)의 설계 마진에 따라서 가변될 수 있다. 일례로 보상커패시터(Cdc) 용량들의 최대치는 액정 커패시터 용량들의 총합의 1.5배 이하의 범위로 설정될 수 있다.
- [0047] 이러한 보상데이터전압(ADDATA)은 공통전압(Vcom) 리플의 전위에 따라서 극성이 변경될 수 있고, 또는 도 7에서와 같이 정극성의 일정한 전압레벨로 유지될 수 있다. 도 7에서와 같이 보상데이터전압(ADDATA)의 전위를 정극성으로 유지하는 것은 공통전압(Vcom) 리플이 주로 부극성이기 때문이다. 공통전압(Vcom)의 리플은 데이터전압(Adata A, Adata B) 전압레벨의 변화율에 비례한다. 즉, 도 7에서와 같이, 데이터전압(Adata A, Adata B)은 극성이 정극성에서 부극성으로 변경되는 순간에는 단위시간당 전압 변화량이 크고, 극성이 부극성에 정극성으로

변경되는 순간에는 단위시간당 전압 변화량이 작다. 따라서 데이터전압(Adata A, Adata B)의 극성이 부극성으로 변경되는 순간에 공통전압(Vcom)의 리플이 심해진다. 보상데이터전압(ADDATA)은 공통전압(Vcom)의 리플이 주로 부극성으로 발생하기 때문에 지속적으로 정극성의 전압을 유지한다.

[0048] 이처럼 보상데이터전압(ADDATA)의 전위를 정극성으로 유지하기 위해서, 더미데이터라인(DATA)으로 보상데이터전압(ADDATA)을 출력하는 출력 버퍼는 도 9의 (a)와 같이 정극성의 전압을 출력하는 P 버퍼(BUF\_P)만 더미데이터라인(DDL)에 연결할 수 있다. 또는 도 9의 (b)에서와 같이, 극성반전신호가 하이신호일 때에는 제1 믹스(MUX 1)를 이용하여 P 버퍼(BUF\_P)와 더미데이터라인(DDL)을 연결시키고, 극성반전신호(POL)가 로우신호일 때에는 제2 믹스(MUX2)를 이용하여 N 버퍼(BUF\_N)와 더미데이터라인(DDL)을 연결시키는 구조를 이용할 수 있다.

[0049] 상술한 바와 같이 본 발명에 의한 액정표시장치는 극성변경구간 동안에 보상커패시터(Cdc)에 충전되는 보상데이터전압(ADDATA)을 이용하여 공통전압(Vcom)에 발생하는 리플을 억제한다. 특히, 보상데이터전압(ADDATA)은 각 수평라인에 제공되는 게이트펄스에 스위칭되어서 보상커패시터(Cdc)에 공급되기 때문에, 공통전압(Vcom) 리플의 딜레이를 반영하여 보상할 수 있다.

[0050] 공통전압(Vcom) 리플의 딜레이 현상은 도 10에서 보는 바와 같이, 데이터전압(ADATA)의 딜레이 현상에 기인한다. 데이터전압(ADATA)은 데이터 구동부(240)에서 출력되어서 제1 수평라인(HL1)부터 제m 수평라인(HLm)으로 공급된다. 데이터 구동부(240)에서 멀리 위치한 제j 수평라인(HLj)에 공급되는 데이터전압은 데이터 딜레이 현상에 의해서 제j 수평주기(jH)의 시작 시점에서 ' $\Delta t$ '만큼 지연된다. 이에 따라서 공통전압(Vcom)의 리플 역시 ' $\Delta t$ ' 만큼 지연된다.

[0051] 본 발명의 액정표시장치에서 보상데이터전압(ADDATA)은 데이터전압(ADATA)과 동일한 타이밍으로 지연되며, 게이트펄스에 의해서 데이터전압(ADATA)이 화소(P)에 제공되는 타이밍에 동기되어서 보상커패시터(Cdc)에 공급된다. 따라서, 보상커패시터(Cdc)는 각 수평라인마다 공통전압(Vcom) 리플이 발생하는 타이밍에 대응하여 공통전압(Vcom) 리플을 효과적으로 억제할 수 있다.

[0052] 도 11은 제2 실시 예에 의한 액정패널의 박막트랜지스터 어레이 기관의 평면 구조를 나타내는 도면이다.

[0053] 도 11 참조하면, 제2 실시 예에 의한 액정패널(100)의 박막트랜지스터 어레이기관은 종횡으로 배열된 게이트라인(GL1~GLm) 및 데이터라인(DL1~DLn)에 의해 정의되는 화소(P)들이 매트릭스 형태로 배열된다. 화소 어레이 영역(100A)의 일측에는 제1 데이터라인(DL1)과 나란히 형성되는 제1 더미데이터라인(DDL1) 및 제1 보상커패시터(Cdc)들이 형성된다. 그리고 화소 어레이 영역(100A)의 타측에는 제n 데이터라인(DLn)과 나란히 형성되는 제2 더미데이터라인(DDL2) 및 제2 보상커패시터(Cdc)들이 형성된다. 제2 실시 예에서 전술한 제1 실시 예와 실질적으로 동일한 구성요소에 대해서는 동일한 도면부호를 사용하고 자세한 설명을 생략하기로 한다.

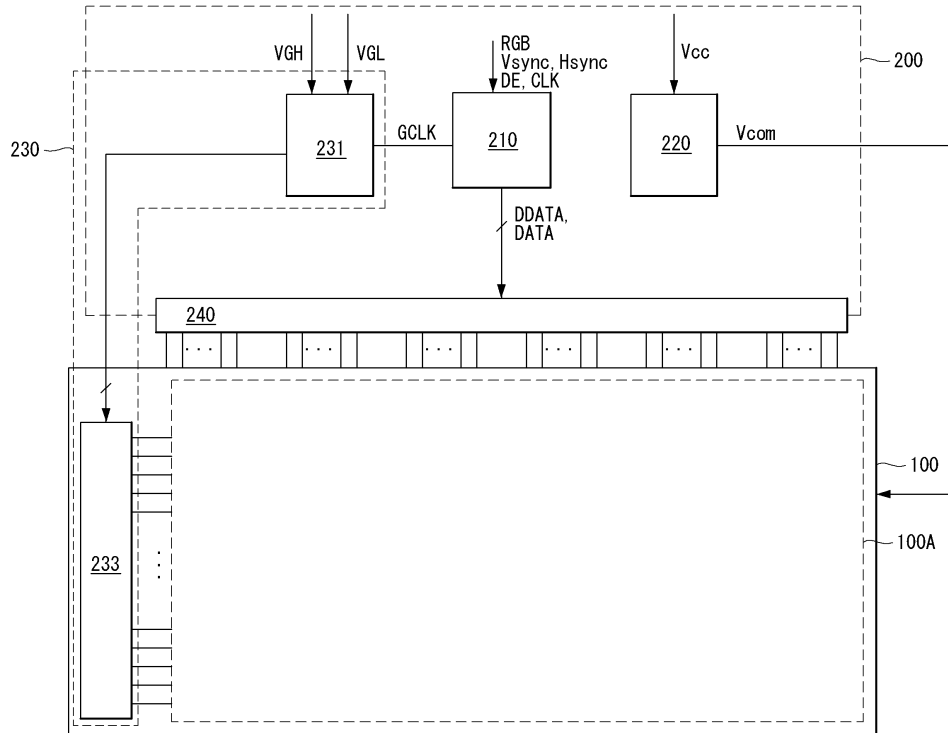
[0054] 제1 및 제2 보상커패시터(Cdc)들은 각각 수평공통라인(VcomL1~VcomLm)으로부터 분기되는 더미 공통전극과 금속패턴(50)을 전극쌍으로하며, 화소 어레이 영역(100A)을 벗어난 위치에서 형성된다. 제2 실시 예는 이와 같이 화소 어레이 영역(100A)의 양측에서 보상커패시터(Cdc)를 형성하기 때문에, 각각의 보상커패시터(Cdc)의 용량을 줄일 수 있다. 즉, 보상커패시터(Cdc)의 설계 마진을 확보할 수 있다.

[0055] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

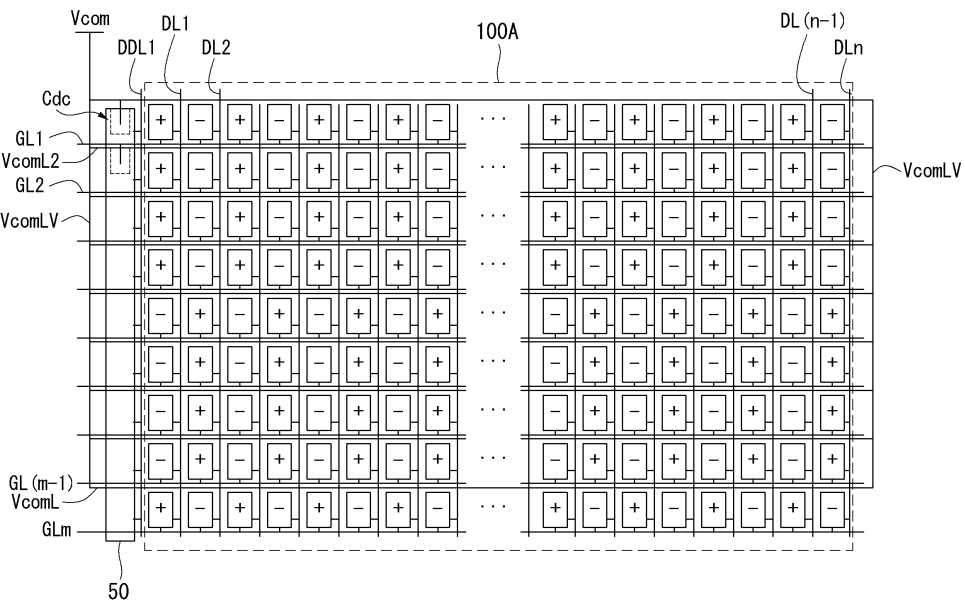


도면

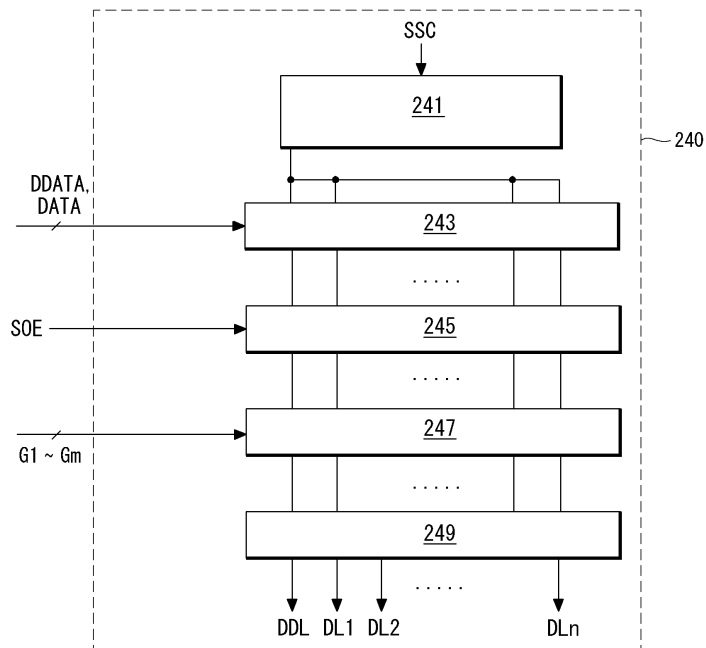
도면1



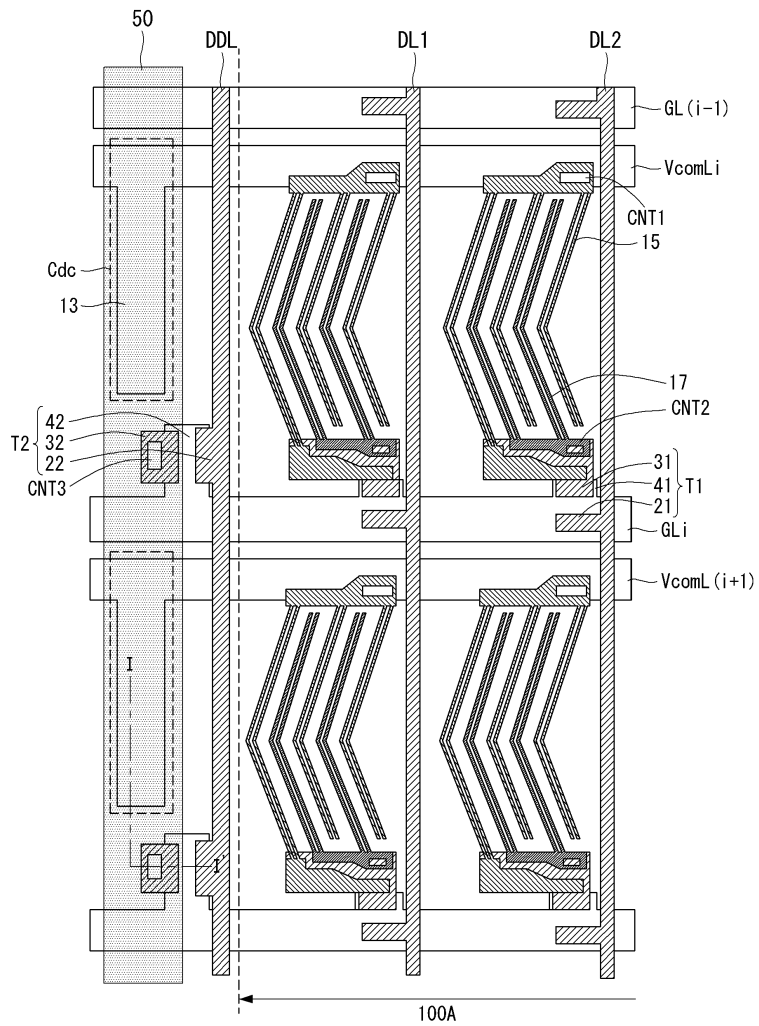
도면2



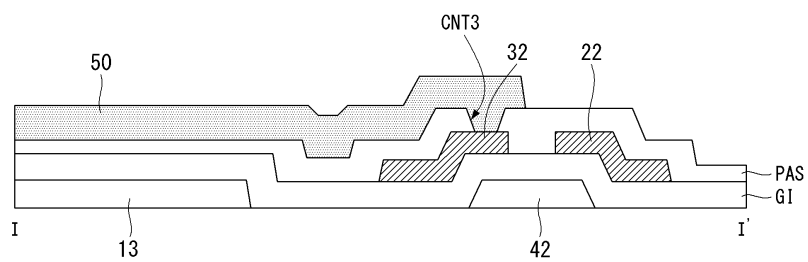
도면3



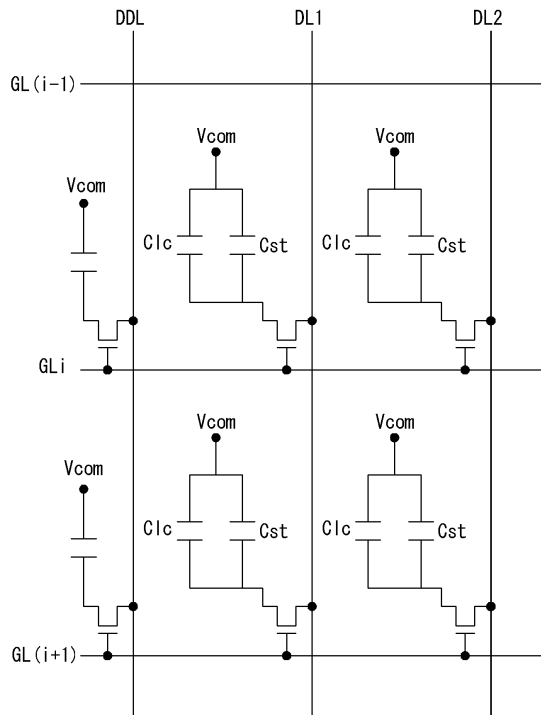
도면4



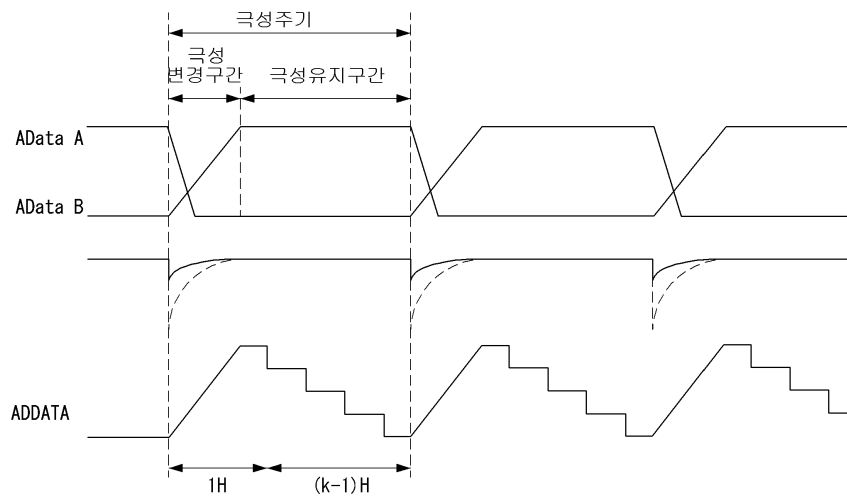
도면5



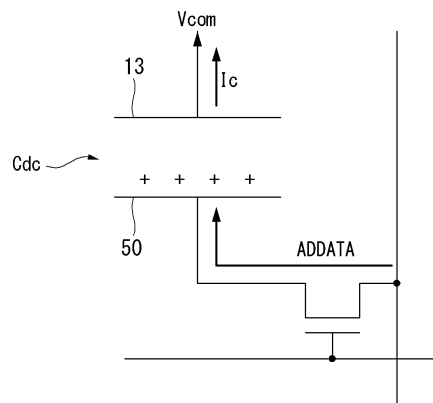
도면6



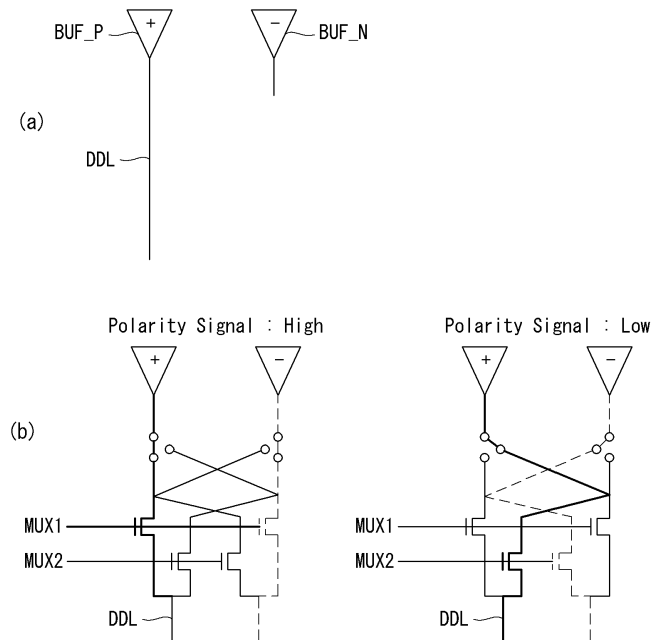
도면7



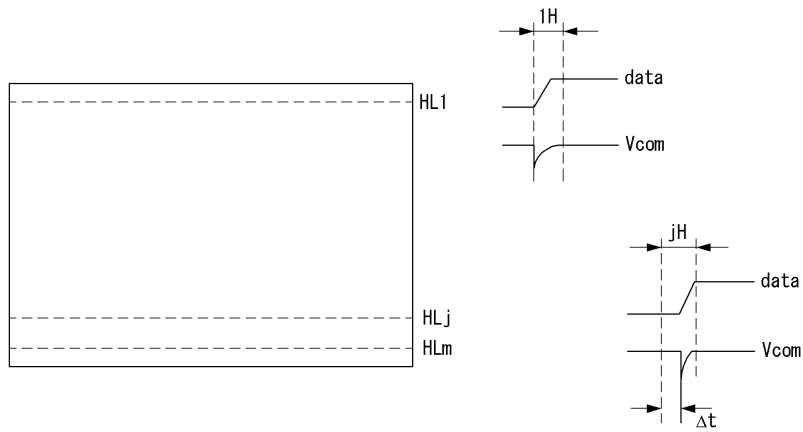
도면8



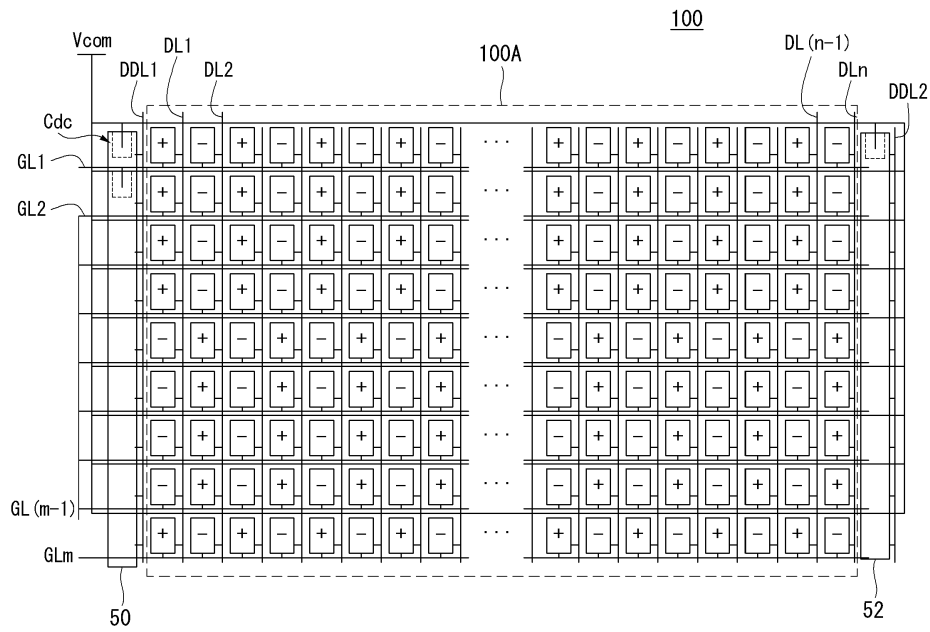
도면9



도면10



도면11





|                |                                                                                                                                                        |         |            |
|----------------|--------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示器                                                                                                                                                  |         |            |
| 公开(公告)号        | <a href="#">KR1020160029994A</a>                                                                                                                       | 公开(公告)日 | 2016-03-16 |
| 申请号            | KR1020140119344                                                                                                                                        | 申请日     | 2014-09-05 |
| [标]申请(专利权)人(译) | LG DISPLAY CO.LTD엘지디스플레이                                                                                                                               |         |            |
| 申请(专利权)人(译)    | LG DISPLAY CO. , LTD. 엘지디스플레이주식회사                                                                                                                      |         |            |
| 当前申请(专利权)人(译)  | LG DISPLAY CO. , LTD. 엘지디스플레이주식회사                                                                                                                      |         |            |
| [标]发明人         | KIM KYU JIN 김규진<br>YOO OOK SANG 유옥상<br>KIM TAE HUN 김태훈<br>김규진<br>유옥상<br>김태훈                                                                            |         |            |
| 发明人            | 김규진<br>유옥상<br>김태훈                                                                                                                                      |         |            |
| IPC分类号         | G09G3/36 G02F1/133                                                                                                                                     |         |            |
| CPC分类号         | G02F1/136213 G02F1/136286 G02F1/1368 G09G3/3614 G09G3/3655 G09G3/3688 G09G2300/0413 G09G2300/0426 G09G2300/0876 G09G2310/0297 G09G2310/066 G09G2370/08 |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                              |         |            |

#### 摘要(译)

本发明的液晶显示装置包括液晶面板，其中形成栅极线，虚拟数据线和数据线，根据补偿数据，将补偿数据电压提供给虚拟数据线，用于提供用于在荧光屏上显示图像的数据电压的数据驱动器，用于向液晶面板的像素提供公共电压的公共驱动器，并且补偿电容器位于液晶面板的像素阵列的外部，并且通过接收补偿数据电压而被充电 它包括。补偿电容器由在极性改变时段期间提供的补偿数据电压控制，其中数据电压的极性被反转 并且，在电压充电过程中，通过在公共电极方向上形成的电流在公共电极中产生纹波  $V_{cm}$  ；

