

명세서

청구범위

청구항 1

기관;

상기 기관상에 형성되는 신호 전극;

상기 신호 전극 상에 형성되며, 상기 신호 전극의 적어도 일부를 노출하는 트렌치를 가지는 제1 차단 패턴; 및

상기 제1 차단 패턴의 상기 트렌치 상에 형성되고, 상기 신호 전극을 덮는 제2 차단 패턴을 포함하되,

상기 제2 차단 패턴은 적어도 하나의 금속막을 포함하는 액정 표시 장치.

청구항 2

제1 항에 있어서,

상기 기관 상에 형성되고, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 더 포함하되,

상기 신호 전극은 상기 소스 전극 또는 상기 드레인 전극 중 어느 하나인 액정 표시 장치.

청구항 3

제1 항에 있어서,

상기 금속막은 Cr, CrOx, IZO, Ti, Al 및 Ni 중 어느 하나로 형성되는 액정 표시 장치.

청구항 4

제1 항에 있어서,

상기 제2 차단 패턴은 저반사 금속막을 포함하고,

상기 저반사 금속막은,

Ti를 포함하는 제1 금속막;

상기 제1 금속막 상에 형성되고 IZO를 포함하는 제2 금속막; 을 포함하는 액정 표시 장치.

청구항 5

제1 항에 있어서,

상기 제1 차광 패턴은 광차단 유기물로 형성되는 액정 표시 장치.

청구항 6

제1 항에 있어서,

상기 기관 상에서 상기 제1 차광 패턴과 동일한 층에 형성되는 컬러필터들;

상기 각 컬러필터 상에 형성되는 제1 전극;

상기 제1 전극 상에 상기 제1 전극과 절연되게 형성되며, 상기 제1 전극과의 사이에 캐비티를 정의하는 제2 전극;

상기 컬러필터들과 상기 제1 전극 사이에서 상기 컬러필터들, 제1 차광 패턴 및 상기 신호 전극을 덮도록 형성되는 상기 제1 캡핑층; 및

상기 제1 캡핑층과 상기 제1 전극 사이에서 상기 제1 캡핑층을 따라 형성되는 제1 보호층을 더 포함하는 액정 표시 장치.

청구항 7

제6 항에 있어서,

상기 제1 보호층의 평평한 면을 기준으로, 상기 제2 차광 패턴의 높이는 상기 캐비티의 높이의 1/10 이하인 액정 표시 장치.

청구항 8

제6 항에 있어서,

상기 제2 전극 상에 형성되는 덮개층;

상기 캐비티 내에 주입되는 액정 분자를 포함하는 액정층;

상기 캐비티에 상기 액정 분자가 주입되는 입구부; 및

상기 입구부를 실링하는 실링막을 더 포함하는 액정 표시 장치.

청구항 9

제1 항에 있어서,

상기 제2 차광 패턴은 상기 트렌치의 내벽을 따라 키포말하게 형성되는 액정 표시 장치.

청구항 10

제1 항에 있어서

상기 제2 차광 패턴은 상기 트렌치를 적어도 부분적으로 매립하게 형성되는 액정 표시 장치.

청구항 11

기판 상에 신호 전극을 형성하는 단계;

상기 신호 전극 상에 상기 신호 전극의 적어도 일부를 노출하는 트렌치를 가지는 제1 차단 패턴을 형성하는 단계; 및

상기 제1 차단 패턴의 상기 트렌치 상에 상기 신호 전극을 덮으며, 적어도 하나의 금속막을 포함하는 제2 차단 패턴을 형성하는 단계를 포함하는 액정 표시 장치의 제조 방법.

청구항 12

제11 항에 있어서,

상기 제2 차단 패턴을 형성하는 단계는 상기 금속막을 Cr, CrOx, IZO, Ti, Al 및 Ni 중 어느 하나로 형성하는 것을 포함하는 액정 표시 장치의 제조 방법.

청구항 13

제11 항에 있어서,

상기 제2 차단 패턴을 형성하는 단계는 상기 제2 차단 패턴을 저반사 금속막을 포함하도록 형성하는 것을 포함하는 액정 표시 장치의 제조 방법.

청구항 14

제13 항에 있어서,

상기 제2 차단 패턴이 저반사 금속막을 포함하도록 형성하는 것은 상기 제1 차단 패턴의 상기 트렌치 상에 Ti를 포함하는 제1 금속막을 형성하는 단계와, 상기 제1 금속막 상에 IZO를 포함하는 제2 금속막을 형성하는 단계를 포함하는 액정 표시 장치의 제조 방법.

청구항 15

제11 항에 있어서,

상기 제2 차단 패턴을 형성하는 단계는 포토리소그래피 공정 또는 프린팅 공정을 이용하여 수행되는 액정 표시 장치의 제조 방법.

청구항 16

제11 항에 있어서,

상기 기판 상에서 상기 제1 차광 패턴과 동일한 층에 컬러필터들을 형성하는 단계;

상기 각 컬러필터 상에 제1 전극을 형성하는 단계;

상기 제1 전극 상에 상기 제1 전극과 절연되게 위치하며 상기 제1 전극과의 사이에 캐비티를 정의하는 제2 전극을 형성하는 단계;

상기 컬러필터들과 상기 제1 전극 사이에서 상기 컬러필터들, 제1 차광 패턴 및 상기 신호 전극을 덮도록 제1 캡핑층을 형성하는 단계; 및

상기 제1 캡핑층과 상기 제1 전극 사이에서 상기 제1 캡핑층을 따라 제1 보호층을 형성하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

청구항 17

제16 항에 있어서,

상기 제2 차단 패턴을 형성하는 단계는 상기 제2 차단 패턴을 상기 제1 보호층의 평평한 면을 기준으로 상기 제2 차광 패턴의 높이가 상기 캐비티의 높이의 1/10 이하가 되도록 형성하는 것을 포함하는 액정 표시 장치의 제조 방법.

청구항 18

제16 항에 있어서,

상기 제2 전극 상에 덮개층을 형성하는 단계;

상기 캐비티에 상기 액정 분자를 주입하기 위한 입구부를 형성하는 단계 및

상기 입구부를 통해 상기 캐비티 내에 액정 분자를 주입하여 액정층을 형성하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

청구항 19

제18 항에 있어서,

상기 캐비티는 상기 제1 전극 상에 회생층을 형성하고, 상기 회생층 상에 상기 제2 전극과 제2 보호층을 형성하고, 상기 제2 보호층 상에 상기 덮개층을 형성하고, 상기 회생층을 제거하여 상기 제1 전극과 상기 제2 전극 사이에 형성되는 액정 표시 장치의 제조 방법.

청구항 20

제18 항에 있어서,

상기 입구부를 실링하는 실링막을 형성하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

발명의 설명

기술 분야

본 발명은 액정 표시 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

액정 표시 장치는 현재 가장 널리 사용되고 있는 표시 장치 중 하나로서, 대향하는 2개의 전극(화소 전극 및 공

통 전극)에 전압을 인가하여 그 사이에 개재된 액정층의 액정 분자들의 배열을 제어함으로써 투과되는 빛의 양을 조정하는 표시 장치이다.

- [0003] 통상적으로, 액정 표시 장치는 두 기관 사이에 액정층이 구비되도록 두 기관 사이의 간격을 유지하도록 형성된다. 이를 위해, 두 기관 사이에 스페이서가 형성된다. 그런데, 스페이서는 두 기관 중 하나의 기관과 접촉제를 통해 접촉되기 때문에, 액정 표시 장치의 제조 공정을 복잡하게 하고 비용을 증가시킬 수 있다.

발명의 내용

해결하려는 과제

- [0004] 한편, 액정 표시 장치의 제조 공정을 단순하게 하고 비용을 감소시키기 위해, 두 기관 사이에 형성되는 스페이서 대신 하나의 기관 상에 액정층이 형성되는 공간을 제공하는 캐비티를 포함하는 액정 표시 장치가 개발되고 있다.
- [0005] 캐비티는 하나의 기관 상에 희생층, 공통 전극, 보호층 및 덮개층이 형성된 이후 희생층이 제거됨으로써 형성될 수 있다. 캐비티는 내부에 액정을 주입시키기 위한 통로를 제공하기 위해 입구부를 가진다. 캐비티의 입구부는 캐비티의 내부에 액정을 주입시 오픈되며, 액정의 주입이 완료된 후에는 밀폐된다.
- [0006] 그런데, 캐비티를 포함하는 액정 표시 장치의 경우, 영상을 구현함에 있어 불필요한 광을 차단하는 차단 패턴이 캐비티의 입구부 근처에 배치될 수 있다. 이러한 차단 패턴은 통상적으로 광차단 유기물로 형성되는데, 유기물은 형성하고자 하는 구성 요소의 두께 조절을 어렵게 하며 구성 요소의 두께를 원하지 않게 두껍게 할 수 있다. 이에 따라, 두꺼운 두께로 형성될 수 있는 차단 패턴은 캐비티 입구부를 통해 캐비티 내부에 액정을 주입할 때 배리어(barrier)로 작용하여 캐비티 내부로 원활한 액정의 주입을 어렵게 할 수 있다.
- [0007] 이에, 본 발명이 해결하고자 하는 과제는 차단 패턴을 얇은 두께로 형성하여 캐비티 내부로 원활한 액정의 주입을 가능하게 할 수 있는 액정 표시 장치를 제공하는 것이다.
- [0008] 또한, 본 발명이 해결하고자 하는 다른 과제는 차단 패턴을 얇은 두께로 형성하여 캐비티 내부로 원활한 액정의 주입을 가능하게 할 수 있는 액정 표시 장치의 제조 방법을 제공하는 것이다.
- [0009] 본 발명의 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0010] 상기 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는 기관; 상기 기관상에 형성되는 신호 전극; 상기 신호 전극 상에 형성되며, 상기 신호 전극의 적어도 일부를 노출하는 트렌치를 가지는 제1 차단 패턴; 및 상기 제1 차단 패턴의 상기 트렌치 상에 형성되고, 상기 신호 전극을 덮는 제2 차단 패턴을 포함하되, 상기 제2 차단 패턴은 적어도 하나의 금속막을 포함한다.
- [0011] 상기 기관 상에 형성되고, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 더 포함하되, 상기 신호 전극은 상기 소스 전극 또는 상기 드레인 전극 중 어느 하나일 수 있다.
- [0012] 상기 금속막은 Cr, CrOx, IZO, Ti, Al 및 Ni 중 어느 하나로 형성될 수 있다.
- [0013] 상기 제2 차단 패턴은 저반사 금속막을 포함할 수 있다.
- [0014] 상기 저반사 금속막은 Ti를 포함하는 제1 금속막과, 상기 제1 금속막 상에 형성되고 IZO를 포함하는 제2 금속막을 포함할 수 있다.
- [0015] 상기 제1 차광 패턴은 광차단 유기물로 형성될 수 있다.
- [0016] 또한, 본 발명의 일 실시예에 따른 액정 표시 장치는 상기 기관 상에서 상기 제1 차광 패턴과 동일한 층에 형성되는 컬러필터들; 상기 각 컬러필터 상에 형성되는 제1 전극; 상기 제1 전극 상에 상기 제1 전극과 절연되게 형성되며, 상기 제1 전극과의 사이에 캐비티를 정의하는 제2 전극; 상기 컬러필터들과 상기 제1 전극 사이에서 상기 컬러필터들, 제1 차광 패턴 및 상기 신호 전극을 덮도록 형성되는 상기 제1 캡핑층; 및 상기 제1 캡핑층과 상기 제1 전극 사이에서 상기 제1 캡핑층을 따라 형성되는 제1 보호층을 더 포함할 수 있다.
- [0017] 상기 제1 보호층의 평평한 면을 기준으로, 상기 제2 차광 패턴의 높이는 상기 캐비티의 높이의 1/10 이하일 수

있다.

- [0018] 또한, 본 발명의 일 실시예에 따른 액정 표시 장치는 상기 제2 전극 상에 형성되는 덮개층; 상기 캐비티 내에 주입되는 액정 분자를 포함하는 액정층; 상기 캐비티에 상기 액정 분자가 주입되는 입구부; 및 상기 입구부를 실링하는 실링막을 더 포함할 수 있다.
- [0019] 상기 제2 차광 패턴은 상기 트렌치의 내벽을 따라 권포말하게 형성될 수 있다.
- [0020] 상기 제2 차광 패턴은 상기 트렌치를 적어도 부분적으로 매립하게 형성될 수 있다.
- [0021] 상기 다른 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법은 기판 상에 신호 전극을 형성하는 단계; 상기 신호 전극 상에 상기 신호 전극의 적어도 일부를 노출하는 트렌치를 가지는 제1 차단 패턴을 형성하는 단계; 및 상기 제1 차단 패턴의 상기 트렌치 상에 상기 신호 전극을 덮으며, 적어도 하나의 금속막을 포함하는 제2 차단 패턴을 형성하는 단계를 포함한다.
- [0022] 상기 제2 차단 패턴을 형성하는 단계는 상기 금속막을 Cr, CrOx, IZO, Ti, Al 및 Ni 중 어느 하나로 형성하는 것을 포함할 수 있다.
- [0023] 상기 제2 차단 패턴을 형성하는 단계는 상기 제2 차단 패턴을 저반사 금속막을 포함하도록 형성하는 것을 포함할 수 있다.
- [0024] 상기 제2 차단 패턴이 저반사 금속막을 포함하도록 형성하는 것은 상기 제1 차단 패턴의 상기 트렌치 상에 Ti를 포함하는 제1 금속막을 형성하는 단계와, 상기 제1 금속막 상에 IZO를 포함하는 제2 금속막을 형성하는 단계를 포함할 수 있다.
- [0025] 상기 제2 차단 패턴을 형성하는 단계는 포토리소그래피 공정 또는 프린팅 공정을 이용하여 수행될 수 있다.
- [0026] 또한, 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법은 상기 기판 상에서 상기 제1 차광 패턴과 동일한 층에 컬러필터들을 형성하는 단계; 상기 각 컬러필터 상에 제1 전극을 형성하는 단계; 상기 제1 전극 상에 상기 제1 전극과 절연되게 위치하며 상기 제1 전극과의 사이에 캐비티를 정의하는 제2 전극을 형성하는 단계; 상기 컬러필터들과 상기 제1 전극 사이에서 상기 컬러필터들, 제1 차광 패턴 및 상기 신호 전극을 덮도록 제1 캡핑층을 형성하는 단계; 및 상기 제1 캡핑층과 상기 제1 전극 사이에서 상기 제1 캡핑층을 따라 제1 보호층을 형성하는 단계를 더 포함할 수 있다.
- [0027] 상기 제2 차단 패턴을 형성하는 단계는 상기 제2 차단 패턴을 상기 제1 보호층의 평평한 면을 기준으로 상기 제2 차광 패턴의 높이가 상기 캐비티의 높이의 1/10 이하가 되도록 형성하는 것을 포함할 수 있다.
- [0028] 또한, 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법은 상기 제2 전극 상에 덮개층을 형성하는 단계; 상기 캐비티에 상기 액정 분자를 주입하기 위한 입구부를 형성하는 단계 및 상기 입구부를 통해 상기 캐비티 내에 액정 분자를 주입하여 액정층을 형성하는 단계를 더 포함할 수 있다.
- [0029] 상기 캐비티는 상기 제1 전극 상에 희생층을 형성하고, 상기 희생층 상에 상기 제2 전극과 제2 보호층을 형성하고, 상기 제2 보호층 상에 상기 덮개층을 형성하고, 상기 희생층을 제거하여 상기 제1 전극과 상기 제2 전극 사이에 형성될 수 있다.
- [0030] 또한, 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법은 상기 입구부를 실링하는 실링막을 형성하는 단계를 더 포함할 수 있다.
- [0031] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0032] 본 발명의 실시예들에 의하면 적어도 다음과 같은 효과가 있다.
- [0033] 본 발명의 일 실시예에 따른 액정 표시 장치는 차광 패턴을 금속을 이용하여 얇은 두께로 형성함으로써, 보호층의 평평한 면을 기준으로 차광 패턴의 높이를 캐비티의 높이보다 훨씬 낮게 할 수 있다.
- [0034] 이에 따라, 본 발명의 일 실시예에 따른 액정 표시 장치는 캐비티의 입구부를 통해 액정 분자가 주입될 때 차광 패턴이 배리어로서 작용하지 않게 함으로써, 캐비티의 내부로 액정 분자의 주입을 용이하게 할 수 있다.
- [0035] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에

포함되어 있다.

도면의 간단한 설명

- [0036] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 평면도이다.
 도 2는 도 1의 I-I' 선을 따라 자른 단면도이다.
 도 3은 도 2의 차광 패턴의 층 구조를 보여주는 단면도이다.
 도 4는 도 2의 제2 차광 패턴의 높이와 캐비티의 높이 관계를 보여주는 단면도이다.
 도 5는 본 발명의 다른 실시예에 따른 액정 표시 장치 중 도 2의 부분과 대응되는 부분의 단면도이다.
 도 6 내지 도 16은 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법을 설명하기 위한 공정 단계별 단면들이다.

발명을 실시하기 위한 구체적인 내용

- [0037] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0038] 소자(elements) 또는 층이 다른 소자 또는 층"위(on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0039] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0040] 이하, 도면을 참조하여 본 발명의 실시예들에 대하여 설명한다. 먼저, 본 발명의 일 실시예에 따른 표시 장치의 제조 방법에 의해 제조된 표시 장치의 구조에 대해 설명한다.
- [0041] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 평면도이고, 도 2는 도 1의 I-I' 선을 따라 자른 단면도이고, 도 3은 도 2의 차광 패턴의 층 구조를 보여주는 단면도이고, 도 4는 도 2의 제2 차광 패턴의 높이와 캐비티의 높이 관계를 보여주는 단면도이다.
- [0042] 도 1 및 도 2를 참조하면, 액정 표시 장치는(100)는 기관(105), 게이트 라인(GL), 데이터 라인(DL), 게이트 절연층(GIL), 박막 트랜지스터(TFT), 절연층(110), 컬러 필터들(CF), 제1 차광 패턴(115), 제1 캡핑층(120), 제1 보호층(125), 화소 전극(PE; 또는 제1 전극이라 함), 제2 차광 패턴(130), 공통 전극(CE; 또는 제2 전극이라 함), 제2 보호층(135), 배향막(140), 덮개층(145), 제3 보호층(150), 실링막(155) 및 제2 캡핑층(160)을 포함할 수 있다.
- [0043] 기관(105)은 투명한 절연 기관일 수 있으며, 게이트 라인(GL)과 데이터 라인(DL)에 의해 정의되는 복수의 화소 영역(PA)을 가질 수 있다.
- [0044] 게이트 라인(GL)은 기관(105) 상에 제1 방향으로 연장되게 형성되며, 게이트 신호를 전달한다. 게이트 라인(GL)의 일단에는 게이트 패드(GP)가 연결된다. 게이트 패드(GP) 상에는 게이트 패드 전극(GPE)이 형성될 수 있다. 게이트 패드 전극(GPE)은 화소 전극(PE)에 신호를 인가하기 위한 외부 배선을 연결하기 위한 콘택 전극이다.
- [0045] 데이터 라인(DL)은 기관(105)에 상기 제1 방향과 교차하는 제2 방향으로 연장되게 형성되며, 게이트 라인(GL)과 절연되고 데이터 신호를 전달한다. 데이터 라인(DL)의 일단에는 데이터 패드(DP)가 연결된다. 데이터 패드(DP) 상에는 데이터 패드 전극(DPE)이 형성될 수 있다. 데이터 패드 전극(DPE)은 화소 전극(PE)에 신호를 인가하기 위한 외부 배선을 연결하기 위한 또 하나의 콘택 전극이다.
- [0046] 게이트 절연층(GIL)은 기관(105)의 표면에 형성되는 게이트 라인(GL), 및 게이트 패드(GP)를 커버하고, 절연 물

질로 형성된다. 예를 들어, 게이트 절연층(GIL)은 실리콘 질화물이나, 실리콘 산화물을 포함할 수 있다. 한편, 게이트 절연층(GIL) 상에는 데이터 라인(DL) 및 데이터 패드(DP)가 형성될 수 있다.

- [0047] 박막 트랜지스터(TFT)는 게이트 전극(GE), 반도체층(SM), 소스 전극(SE) 및 드레인 전극(DE)을 포함한다.
- [0048] 게이트 전극(GE)은 제어 전극으로서, 평면상으로 게이트 라인(GL)으로부터 반도체층(SM) 측으로 돌출되어 형성될 수 있다. 게이트 전극(GE)은 인듐틴옥사이드(ITO), 인듐징크옥사이드(IZO), 인듐틴징크옥사이드(ITZO) 중 어느 하나를 포함할 수 있다. 또한, 게이트 전극(GE)은 상술한 물질로 구성된 제1 전극층과 후술하는 물질로 구성된 제2 전극층을 포함하는 2층 구조를 가질 수도 있다. 상기 제2 전극층은 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 텅스텐(W), 크롬(Cr), 티타늄(Ti)과 같은 금속이나, 적어도 하나의 상기 금속을 포함하는 합금일 수 있다.
- [0049] 반도체층(SM)은 게이트 절연층(GIL)을 사이에 두고 게이트 전극(GE) 상에 형성된다. 반도체층(SM)은 게이트 절연층(GIL) 상에 제공되는 활성층과 상기 활성층 상에 제공되는 오믹 콘택층을 포함할 수 있다. 한편, 반도체층(SM)은 데이터 라인(DL)과 게이트 절연층(GIL) 사이에 형성될 수 있다. 또한, 반도체층(SM)은 데이터 패드(DP)와 게이트 절연층(GIL) 사이에도 형성될 수 있다.
- [0050] 소스 전극(SE)은 신호 전극으로서, 데이터 라인(DL)에서 돌출되어 형성되며, 평면상으로 게이트 전극(GE)의 적어도 일부와 중첩한다. 드레인 전극(DE)은 신호 전극으로서, 소스 전극(SE)으로부터 이격되게 형성되며, 평면상으로 게이트 전극(GE)의 적어도 일부와 중첩한다. 소스 전극(SE)과 드레인 전극(DE)은 구리, 몰리브덴, 알루미늄, 텅스텐, 크롬, 티타늄과 같은 금속이나, 적어도 하나의 상기 금속을 포함하는 합금일 수 있다. 여기서, 소스 전극(SE)과 드레인 전극(DE)은 소스 전극(SE)과 드레인 전극(DE) 사이의 이격된 영역을 제외한 영역에서 반도체층(SM)의 일부와 중첩한다.
- [0051] 절연층(110)은 게이트 절연층(GIL) 상에 형성되며, 드레인 전극(DE), 게이트 패드(GP) 및 데이터 패드(DP)를 노출하는 관통홀들을 가질 수 있다. 절연층(110)은 예를 들어 실리콘 질화물이나 실리콘 산화물을 포함할 수 있다.
- [0052] 컬러 필터들(CF) 각각은 절연층(110) 상에 각 화소 영역(PA)과 대응되게 형성된다. 컬러 필터(CF)는 액정층(LCL)을 투과하는 광에 색을 제공하기 위한 것으로, 적색 필터(R), 녹색 필터(G), 청색 필터 중 하나를 표시할 수 있다. 그러나, 컬러 필터(CF)는 상기 언급된 컬러의 필터로 한정되는 것은 아니다.
- [0053] 제1 차광 패턴(115)은 기판(105) 상에서 컬러 필터들(CF)과 동일한 층에 형성되며, 구체적으로 절연층(110) 상에서 각 화소 영역(PA)의 가장 자리에 배치될 수 있다. 즉, 제1 차광 패턴(115)은 컬러 필터(CF)를 둘러싸도록 배치될 수 있다. 제1 차광 패턴(115)은 광차단 유기물로 형성되어, 영상을 구현함에 있어 불필요한 광을 차단한다. 예를 들어, 제1 차광 패턴(115)은 액정층(LCL)의 가장 자리에서 발생할 수 있는 액정층(LCL)의 이상 거동에 의한 빛샘이나, 컬러 필터(CF)의 가장자리에서 나타날 수 있는 혼색을 차단할 수 있다.
- [0054] 제1 차광 패턴(115)은 절연층(110) 상에서 각 화소 영역(PA)의 가장 자리에 배치되며, 박막 트랜지스터(TFT)의 신호 전극, 예를 들어 소스 전극(SE) 상에 배치될 수 있다. 이 때, 제1 차광 패턴(115)은 소스 전극(SE)의 적어도 일부를 노출하는 트렌치(T)를 가지는 형태로 형성될 수 있다. 제1 차광 패턴(115)의 트렌치(T)는 박막 트랜지스터(TFT)의 정상 여부를 검사하기 위해 사용되는 검사 팁이 박막 트랜지스터(TFT)의 소스 전극(SE)에 접촉하게 할 수 있는 경로를 제공할 수 있다.
- [0055] 제1 캡핑층(120)은 컬러 필터들(CF)과 제1 차광 패턴(115) 상에 형성된다. 즉, 제1 캡핑층(120)은 컬러 필터들(CF), 제1 차광 패턴(115) 및 소스 전극(SE)을 덮도록 형성된다. 컬러 필터(CF)와 제1 차광 패턴(115)을 평탄화하고 보호하는 역할을 할 수 있으며, 유기물로 형성될 수 있다.
- [0056] 제1 캡핑층(120)은 박막 트랜지스터(TFT)의 정상 여부를 검사하기 위해 사용되는 검사 팁이 박막 트랜지스터(TFT)의 소스 전극(SE)에 접촉하는 공간을 제공하기 위해 제1 차광 패턴(115)의 트렌치(T) 내부에서 소스 전극(SE)의 일부를 노출하는 노출홈(G)을 가질 수 있다.
- [0057] 제1 보호층(125)은 제1 캡핑층(120)의 노출홈(G)을 덮도록 제1 캡핑층(120)을 따라 형성된다. 제1 보호층(125)은 1 캡핑층(120)과 제2 차광 패턴(130)을 보호하여, 액정 분자(LC)가 주입되는 캐비티(CV)를 형성하는 단계에서 마지막에 캐비티(CV) 내 잔여물을 제거하기 위한 O₂ 애싱 공정으로 인해 제1 캡핑층(120) 또는 제2 차광 패턴(130)이 손상되는 것을 줄일 수 있다. 제1 보호층(125)은 실리콘 질화물이나, 실리콘 산화물로 형성될 수 있다.

- [0058] 화소 전극(PE)은 각 컬러필터(CF) 상에 형성된다. 구체적으로, 화소 전극(PE)은 제1 보호층(125) 상에 각 화소 영역(PA)과 대응되게 형성되며, 드레인 전극(DE)과 연결된다. 화소 전극(PE)은 평면상에서 적어도 하나의 줄기부(PE1)와, 줄기부(PE1)로부터 돌출되어 형성된 복수의 가지부(PE2)와, 줄기부(PE1)와 드레인 전극(DE)을 연결하는 연결부(PE3)를 포함한다. 가지부들(PE2)은 서로 일정 간격 이격된다. 가지부들(PE2)은 소정 방향으로 평행하게 연장되도록 형성될 수 있다. 줄기부(PE1)와 가지부(PE2)는 도 1에 도시된 배열 형태로 한정되는 것은 아니며, 다양한 배열 형태를 가질 수 있다. 화소 전극(PE)은 투명한 도전성 물질, 예를 들어 인듐틴옥사이드(ITO)로 형성될 수 있다.
- [0059] 제2 차광 패턴(130)은 제1 보호층(125) 상에, 구체적으로 제1 차단 패턴(115)의 트렌치(T) 상에 형성되고 박막 트랜지스터(TFT)의 소스 전극(SE)을 덮는다. 제2 차광 패턴(130)은 제1 차단 패턴(115)의 트렌치(T)의 내벽을 따라 컨포말(conformal)하게 형성될 수 있다. 제2 차광 패턴(130)은 제1 차광 패턴(115)의 트렌치(T)를 통한 박막 트랜지스터(TFT)의 정상 여부 검사 후 박막 트랜지스터(TFT)의 소스 전극(SE)을 밀봉하는 역할을 할 수 있다. 또한, 제2 차광 패턴(130)은 제1 차광 패턴(115)의 트렌치(T) 영역에서의 불필요한 광을 차단하는 역할을 할 수 있다. 즉, 제2 차광 패턴(130)은 제1 차광 패턴(130)과 함께 하나의 차단 패턴(BM)을 구성하여 컬러 필터(CF)의 가장자리에서 나타날 수 있는 혼색을 차단할 수 있다.
- [0060] 제2 차광 패턴(130)은 광을 차단할 수 있는 적어도 하나의 금속막을 포함하여 형성될 수 있다. 상기 금속막은 예를 들어, Cr, CrOx, IZO, Ti, Al 및 Ni 중 어느 하나의 금속으로 형성될 수 있다. 또한, 제2 차광 패턴(130)은 저반사 금속막을 포함하도록 형성될 수 있다. 예를 들어, 제2 차광 패턴(130)은 도 3에 도시된 바와 같이 Ti를 포함하는 제1 금속막(132)과, 제1 금속막(132) 상에 형성되고 IZO를 포함하는 제2 금속막(134)을 포함할 수 있다. 이에 따라, 제2 차광 패턴(130)은 저반사층으로서의 역할을 하여, 기관(105)의 하부에 배치되는 백 라이트(미도시)로부터 제공되는 빛이 제2 차광 패턴(130)에 의해 반사되어 다시 백 라이트 방향으로 향하는 것을 방지할 수 있다.
- [0061] 한편, 제2 차광 패턴(130)은 두께 조절이 용이한 금속으로 형성되기 때문에, 원하는 얇은 두께를 가질 수 있다. 이에 따라, 제2 차광 패턴(130)은 도 4와 같이 제1 보호층(125)의 평평한 면을 기준으로 제2 차광 패턴(130)의 높이(BMH)가 캐비티(CV)의 높이(CVH)의 약 1/10 이하가 되게 형성될 수 있다. 이 경우, 제2 차광 패턴(130)은 캐비티(CV)의 입구부(EN)를 통해 액정 분자(LC)를 캐비티(CV) 내부로 주입할 때 액정 분자(LC) 주입을 막는 배리어(barrier)로서 작용하지 않아, 캐비티(CV)의 내부로 액정 분자(LC)의 주입을 용이하게 할 수 있다.
- [0062] 공통 전극(CE)은 화소 전극(PE)과 절연되도록 화소 전극(PE) 상에서 화소 전극(PE)과 이격되게 형성된다. 이에 따라 공통 전극(CE)과 화소 전극(PE) 사이에는 캐비티(CV)가 정의된다. 캐비티(CV)의 내부에는 액정 분자(LC)가 주입되어 액정층(LCL)이 형성된다. 여기서, 액정 분자(LC)의 주입은 캐비티(CV)의 오픈된 입구부(EN)를 통해 이루어질 수 있으며, 캐비티(CV)의 입구부(EN)는 기관(105)의 상기 제1 방향을 따라 형성되며, 게이트 라인(GL)과 중첩하는 부분에 위치한다. 공통 전극(CE)은 ITO 또는 IZO로 형성될 수 있다.
- [0063] 제2 보호층(135)은 공통 전극(CE)의 전면에 형성되며, 공통 전극(CE)을 보호한다. 제2 보호층(135)은 SiNx, SiOx 및 SiOxNy 중 적어도 어느 하나로 형성될 수 있다. 한편, 제2 보호층(135)과 공통 전극(CE)의 적층 구조 중 일측단은 기관(105) 방향으로 기울어진 형태를 가질 수 있다. 이에 따라, 배향막(140)을 형성하기 위한 액정 배향 물질이 캐비티(CV)의 내부에 주입되는 경우 캐비티(CV)의 입구부(EN)에서 액정 배향 물질이 너무 빨리 건조되어 캐비티(CV) 내부에서 배향막(140)이 불균일하게 형성되는 것이 최소화될 수 있다.
- [0064] 배향막(140)은 캐비티(CV)의 내벽을 따라 형성되며 화소 전극(PE)을 덮는다. 배향막(140)은 폴리아미산(Polyamic acid), 폴리실록산(Polysiloxane) 또는 폴리이미드(Polyimide) 등의 액정 배향 물질로 형성될 수 있다.
- [0065] 덮개층(145)은 제2 보호층(135) 상에 형성되며, 액정 분자(LC)를 캐비티(CV)에 주입하기 위한 입구부(EN)와 대응되는 부분이 포토리소그래피 공정을 통해 제거되어 관통홀을 가진다. 덮개층(145)은 유기 물질로 형성될 수 있다.
- [0066] 제3 보호층(150)은 덮개층(145) 상에 형성되며, 액정 분자(LC)를 캐비티(CV)에 주입하기 위한 입구부(EN)와 대응되는 부분이 포토리소그래피 공정을 통해 제거되어 관통홀을 가진다. 제3 보호층(150)은 SiNx 등으로 형성될 수 있다.
- [0067] 실링막(155)은 캐비티(CV)의 입구부(EN)를 밀폐하도록 형성된다. 실링막(155)은 캐비티(CV) 내에 주입된 액정 분자(LC)와 반응하지 않는 실링 물질로 형성될 수 있다.

- [0068] 제2 캡핑층(160)은 제3 보호층(150) 상에 형성되며, 제3 보호층(150)과 제3 보호층(150)의 하부에 위치하는 다른 구성을 평탄화하며 보호하는 역할을 할 수 있다. 제2 캡핑층(160)은 절연 물질로 형성될 수 있다.
- [0069] 도시하진 않았지만, 액정 표시 장치(100)는 제2 캡핑층(160) 상에 형성되는 봉지층을 더 포함할 수 있다. 상기 봉지층은 기존에 액정 표시 장치에서 박막 트랜지스터가 형성되는 기판에 결합되는 또다른 기판을 생략시킬 수 있다.
- [0070] 상기와 같은 구조를 가지는 액정 표시 장치(100)에서는, 게이트 라인(GL)을 통해 제공되는 구동 신호에 응답하여 박막 트랜지스터(TFT)가 턴-온된다. 박막 트랜지스터(TFT)가 턴-온되면, 데이터 라인(DL)을 통해 제공되는 화상 신호가 박막 트랜지스터(TFT)를 통해 화소 전극(PE)으로 제공된다. 이에 따라, 화소 전극(PE)과 공통 전극(DE) 사이에 전계가 형성되고, 상기 전계에 따라 액정층(LC)의 액정이 구동되며, 그 결과 영상이 표시된다.
- [0071] 상기와 같이 본 발명의 일 실시예에 따른 액정 표시 장치(100)는 제2 차광 패턴(130)을 금속을 이용하여 얇은 두께로 형성함으로써, 제1 보호층(125)의 평평한 면을 기준으로 제2 차광 패턴(130)의 높이(BMH)를 캐비티(CV)의 높이(CVH)보다 훨씬 낮게 할 수 있다.
- [0072] 이에 따라, 본 발명의 일 실시예에 따른 액정 표시 장치(100)는 캐비티(CV)의 입구부(EN)를 통해 액정 분자(LC)가 주입될 때 제2 차광 패턴(130)이 배리어로서 작용하지 않게 함으로써, 캐비티(CV)의 내부로 액정 분자(LC)의 주입을 용이하게 할 수 있다.
- [0073] 다음은 본 발명의 다른 실시예에 따른 액정 표시 장치에 대해 설명하기로 한다.
- [0074] 도 5는 본 발명의 다른 실시예에 따른 액정 표시 장치 중 도 2의 부분과 대응되는 부분의 단면도이다.
- [0075] 본 발명의 다른 실시예에 따른 액정 표시 장치(200)는 도 2의 액정 표시 장치(100)와 비교하여 제2 차단 패턴(230)의 형상만 다르다. 이에 따라, 본 발명의 다른 실시예에 따른 액정 표시 장치(200)에서는 제2 차단 패턴(230)에 대해서 중점적으로 설명하기로 한다.
- [0076] 본 발명의 다른 실시예에 따른 액정 표시 장치(200)는 기판(105), 게이트 라인(GL), 데이터 라인(DL), 게이트 절연층(GIL), 박막 트랜지스터(TFT), 절연층(110), 컬러 필터층(CF), 제1 차광 패턴(115), 제1 캡핑층(120), 제1 보호층(125), 화소 전극(PE; 또는 제1 전극이라 함), 제2 차광 패턴(230), 공통 전극(CE; 또는 제2 전극이라 함), 제2 보호층(135), 배향막(140), 덮개층(145), 제3 보호층(150), 실링막(155) 및 제2 캡핑층(160)을 포함할 수 있다.
- [0077] 제2 차광 패턴(230)은 도 2의 제2 차광 패턴(130)과 유사하다. 다만, 제2 차광 패턴(230)은 제1 차광 패턴(130)의 트랜치(T)를 적어도 부분적으로 매립하도록 형성된다. 이는 차광 패턴(230)이 잉크젯 프린팅 같은 프린팅 공정을 이용하여 형성되기 때문에 가능하며, 제2 차광 패턴(230)의 제조 공정이 단순해지는 이점이 있다.
- [0078] 한편, 제2 차광 패턴(230)은 도 2의 제2 차광 패턴(130)과 동일한 물질로 형성되며, 제2 차광 패턴(230)의 높이와 캐비티(CV)의 높이 관계가 도 2에서 제2 차광 패턴(130)의 높이(BMH)와 캐비티(CV)의 높이(CVH) 관계와 동일하므로, 제2 차광 패턴(130)도 캐비티(CV)의 입구부(EN)를 통해 액정 분자(LC)가 주입되는 것을 막는 배리어(barrier)로서 작용하지 않고 캐비티(CV)의 내부로 액정 분자(LC)의 주입을 용이하게 할 수 있다.
- [0079] 이하, 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법에 대해 설명하기로 한다.
- [0080] 도 6 내지 도 16은 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법을 설명하기 위한 공정 단계별 단면들이다.
- [0081] 먼저, 도 6을 참조하면, 기판(105)에 신호 전극, 예를 들어 소스 전극(SE)을 형성한다.
- [0082] 구체적으로, 기판(105) 위에 스퍼터링 공정 등을 통해 도전층을 형성하고 포토리소그래피 공정을 이용하여 패터닝하여, 게이트 라인(GL)을 형성한다. 이때, 게이트 패드(도 1의 GP)와 게이트 전극(도 1의 GE)을 동시에 형성한다.
- [0083] 그리고, 게이트 패드(도 1의 GP) 및 게이트 전극(도 1의 GE)이 형성된 기판(105) 위에 플라즈마 가속 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition: PECVD) 공정 등을 통해 게이트 절연층(GIL)을 형성한다.
- [0084] 그리고, 게이트 절연층(GIL) 위에 반도체 물질층과 도전층을 순차적으로 적층하고 포토리소그래피 공정을 이용하여 패터닝하여, 데이터 라인(DL), 데이터 라인(DL)에 연결되는 소스 전극(SE), 소스 전극(SE)과 이격되는 드레인 전극(도 1의 DE), 및 소스 전극(SE)과 드레인 전극(도 1의 DE) 사이의 영역에 대응하는 영역에 형성되는

반도체층(SM)을 형성한다. 이때, 데이터 패드(도 1의 DP)를 동시에 형성한다. 여기서, 게이트 전극(도 1의 GE), 반도체층(SM), 소스 전극(SE) 및 드레인 전극(도 1의 DE)은 박막 트랜지스터(도 1의 TFT)를 구성한다.

[0085] 그리고, 게이트 절연층(GIL) 상에 박막 트랜지스터(도 1의 TFT)와 데이터 패드(도 1의 DP)를 커버하도록 절연층(110)을 형성한다. 절연층(110)은 보호막으로서 플라즈마 가속 화학 기상 증착 공정을 통해 실리콘 질화물이나 실리콘 산화물로 형성될 수 있다.

[0086] 그리고, 절연층(110) 상에서 화소 영역(도 1의 PA)과 대응되는 위치에 컬러 필터들(CF)을 형성한다. 컬러 필터들(CF) 각각은 적색 컬러 필터(R), 녹색 컬러 필터(G) 및 청색 컬러(B) 필터 중 하나일 수 있으며, 유기 고분자 물질을 포토리소그래피 공정을 통해 패터닝하여 형성되거나 잉크젯 공정 등을 통해 프린팅하여 형성될 수 있다.

[0087] 그리고, 절연층(110) 상에서 컬러필터들(CF)과 동일한 층에 형성되는 제1 차광 패턴(115)을 형성한다. 제1 차광 패턴(115)은 절연층(110) 상에 화소 영역(도 1의 PA)의 가장 자리와 대응되는 위치에 배치될 수 있으며, 소스 전극(SE) 상에 소스 전극(SE)의 일부를 노출하는 트렌치(T)를 가지도록 형성될 수 있다. 제1 차광 패턴(115)은 광차단 유기물을 포토리소그래피 공정을 통해 패터닝하여 형성될 수 있다.

[0088] 그리고, 컬러 필터들(CF)과 제1 차광 패턴(115) 상에 컬러필터들(CF), 제1 차광 패턴(115) 및 소스 전극(SE)을 덮도록 제1 캡핑층(120)을 형성한다. 이때, 제1 캡핑층(120)은 소스 전극(SE)의 일부를 노출하는 노출홈(G)을 가지도록 형성된다. 제1 캡핑층(120)은 유기물을 포토리소그래피 공정을 통해 패터닝하여 형성될 수 있다.

[0089] 이어서, 도 7을 참조하면, 제1 캡핑층(120)의 노출홈(G)을 덮도록 제1 캡핑층(120)을 따라 제1 보호층(125)을 형성한다. 제1 보호층(125)은 증착 방법 등을 이용하여 실리콘 질화물이나, 실리콘 산화물로 형성될 수 있다.

[0090] 이어서, 도 8을 참조하면, 각 컬러 필터(CF) 상에 화소 전극(PE)을 형성한다. 즉, 제1 캡핑층(120) 상에서 화소 영역(도 1의 PA)과 대응되는 위치에 화소 전극(PE)을 형성한다. 화소 전극(PE)은 드레인 전극(도 1의 DE)과 연결된다. 화소 전극(PE)은 제1 캡핑층(120) 상에 투명한 도전성 물질층을 형성하고 포토리소그래피 공정을 이용하여 패터닝하여 형성될 수 있다.

[0091] 이어서, 도 9를 참조하면, 제1 차단 패턴(115)의 트렌치(T) 상에 소스 전극(SE)을 덮으며 적어도 하나의 금속막을 포함하는 제2 차단 패턴(130)을 형성한다. 상기 금속막은 Cr, CrOx, IZO, Ti, Al 및 Ni 중 어느 하나로 형성될 수 있다. 또한, 제2 차단 패턴(130)은 저반사 금속막을 포함할 수 있다. 상기 저반사 금속막은 제1 차단 패턴(115)의 트렌치(T) 상에 Ti를 포함하는 제1 금속막과, 상기 제1 금속막 상에 IZO를 포함하는 제2 금속막을 포함할 수 있다. 또한, 제2 차단 패턴(130)은 제1 보호층(125)의 평평한 면을 기준으로 제2 차광 패턴(130)의 높이가 캐비티(도 2의 CV)의 높이의 1/10 이하가 되도록 형성될 수 있다. 제2 차단 패턴(130)은 포토리소그래피 공정을 이용하여 형성될 수 있다. 예시적인 실시예에서, 제2 차단 패턴(도 5의 230)은 잉크젯 프린팅과 같은 프린팅 공정을 이용하여 형성될 수 있다.

[0092] 이어서, 도 10을 참조하면, 화소 전극(PE)이 형성된 제1 보호층(125) 상에서 화소 영역(도 1의 PA)과 대응되는 위치에 희생층(SCR)을 형성한다. 희생층(SCR)은 화소 전극(PE)을 덮는다. 희생층(SCR)은 제2 차단 패턴(130) 상에서 오목한 홈을 가질 수 있다. 희생층(SCR)은 감광성 물질을 포토리소그래피 공정을 통해 패터닝하여 형성될 수 있다.

[0093] 이어서, 도 11을 참조하면, 희생층(SCR) 상에 공통 전극(CE)과 제2 보호층(135)을 차례로 형성한다. 공통 전극(CE)은 증착 공정 등을 통해 ITO 또는 IZO로 형성될 수 있으며, 제2 보호층(135)은 증착 공정 등을 통해 SiNx, SiOx 및 SiOxNy 중 적어도 어느 하나로 형성될 수 있다.

[0094] 이어서, 도 12를 참조하면 제2 보호층(135) 상에 덮개층(145)을 형성한다. 덮개층(145)은 유기 물질로 형성될 수 있으며, 이후에 희생층(SCR)을 제거하여 형성되는 캐비티(도 2의 CV)의 입구부(도 2의 EN)와 대응되는 영역에 관통홀을 가지도록 포토리소그래피 공정을 이용하여 형성될 수 있다.

[0095] 이어서, 도 13을 참조하면, 덮개층(145) 상에 제3 보호층(150)을 형성한다. 제3 보호층(150)은 증착 공정 등을 통해 SiNx 등으로 형성될 수 있다.

[0096] 이어서, 도 14를 참조하면, 제3 보호층(150), 제2 보호층(135), 공통 전극(CE) 중 캐비티(도 2의 CV)의 입구부(도 2의 EN)와 대응되는 영역을 포토리소그래피 공정을 통해 제거한다.

[0097] 이어서, 도 15를 참조하면, 희생층(SCR)을 제거한다. 이에 따라, 액정 분자(LC)이 주입되는 공간인 캐비티(CV)가 형성되며, 액정 분자(LC)가 주입되는 통로인 캐비티(CV)의 입구부(EN)가 형성된다. 희생층(SCR)의 제거는 식

각 공정 및 스트립 공정을 통해 제거될 수 있다. 이후에는, 캐비티(CV) 내 잔여물을 제거하기 위한 O₂ 애싱 공정이 수행될 수 있다.

[0098] 그리고, 캐비티(CV)가 형성되면 캐비티(CV)의 내벽을 따라 배향막(140)을 형성한다. 이때, 배향막(140)은 화소 전극(PE)을 덮을 수 있다. 그리고, 배향막(140)이 형성되면, 캐비티(CV)의 내부에 액정 분자(LC)를 주입하여 액정층(LCL)을 형성한다.

[0099] 이어서, 도 16을 참조하면, 캐비티(CV)의 입구부(EN)를 밀폐하는 실링막(155)을 형성한다. 실링막(155)은 캐비티(CV) 내에 주입된 액정 분자(LC)와 반응하지 않는 실링 물질로 형성될 수 있다.

[0100] 이어서, 제3 보호층(150) 상에 제2 캡핑층(160)을 형성하여 도 2의 액정 표시 장치(100)를 완성한다. 제2 캡핑층(160)은 증착 방법 등을 통해 절연 물질로 형성될 수 있다.

[0101] 도시하진 않았지만, 액정 표시 장치의 제조 방법은 제2 캡핑층(160) 상에 봉지층을 형성하는 단계를 더 포함할 수 있다. 상기 봉지층은 기존에 액정 표시 장치에서 박막 트랜지스터가 형성되는 기판에 결합되는 또다른 기판을 생략시킬 수 있다.

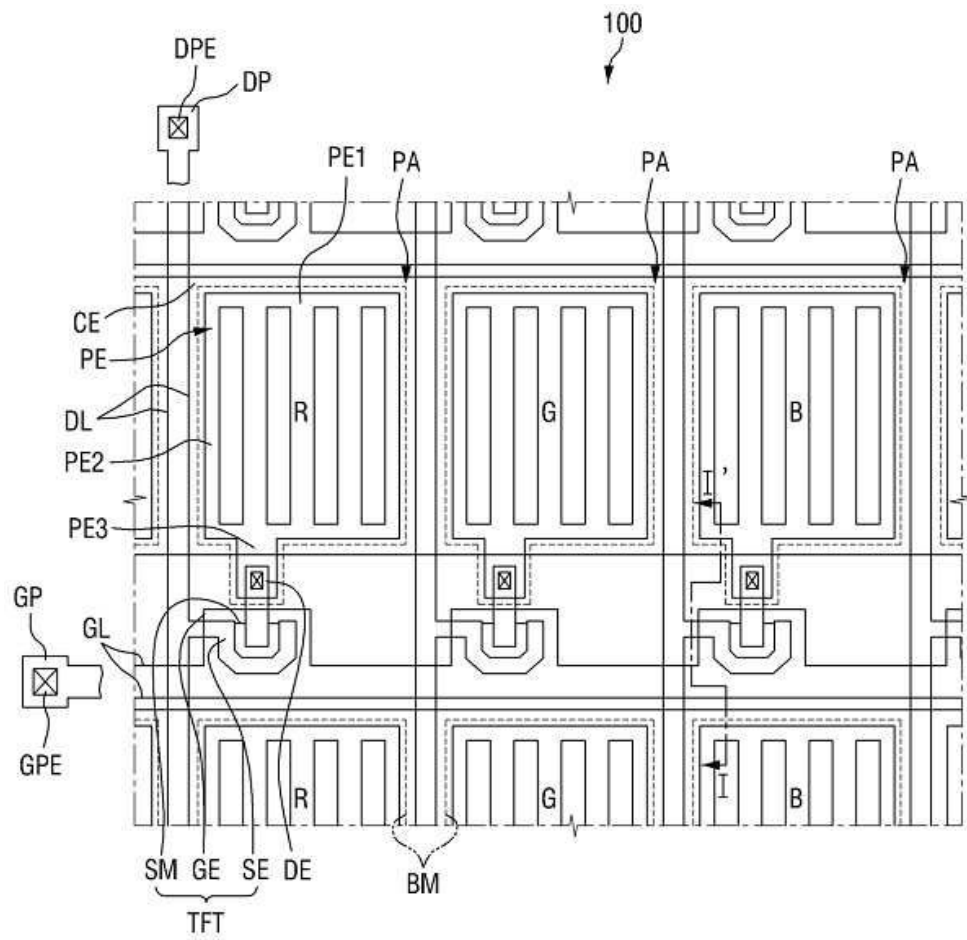
[0102] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

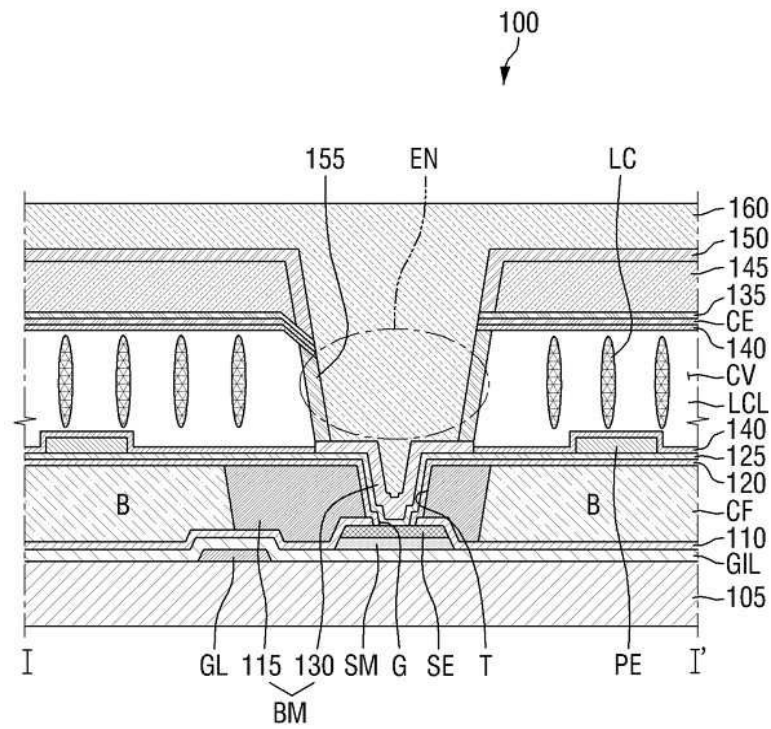
[0103]	100, 200: 액정 표시 장치	105: 기판
	GL: 게이트 라인	DL: 데이터 라인
	GIL: 게이트 절연층	TFT: 박막 트랜지스터
	110: 절연층	CF: 컬러 필터
	115: 제1 차단 패턴	120: 제1 캡핑층
	125: 제1 보호층	130, 230: 제2 차단 패턴
	PE: 화소 전극	CV: 캐비티
	LC: 액정 분자	CE: 공통 전극
	135: 제1 보호층	140: 배향
	145: 덮개층	150: 제2 보호층
	155: 실링막	160: 제2 캡핑층

도면

도면1



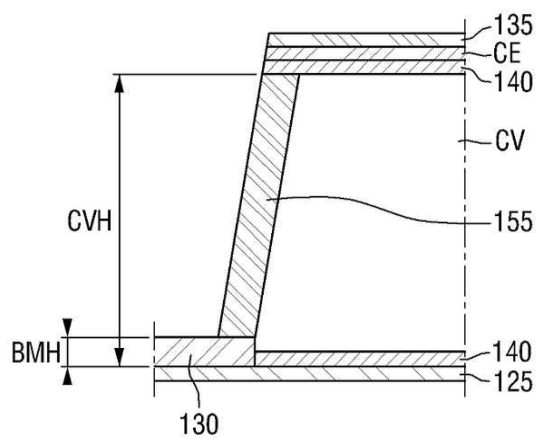
도면2



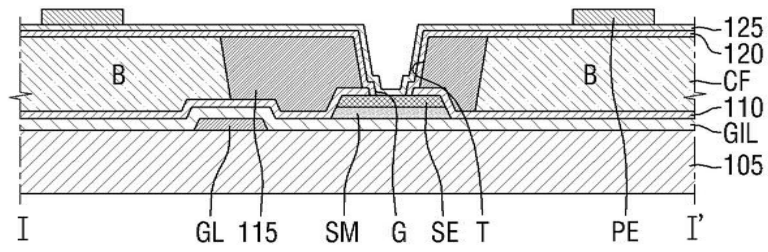
도면3



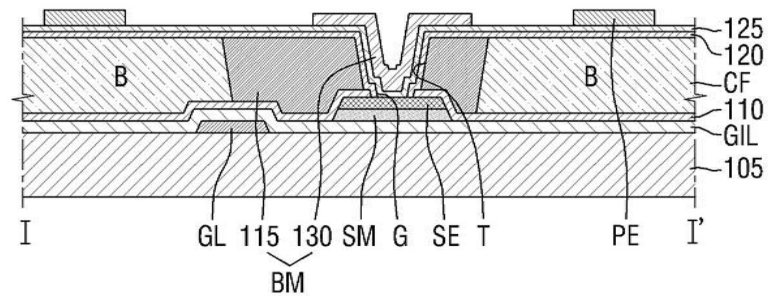
도면4



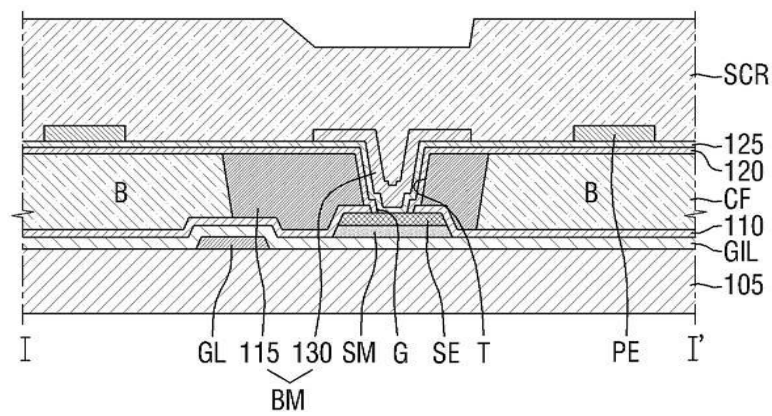
도면8



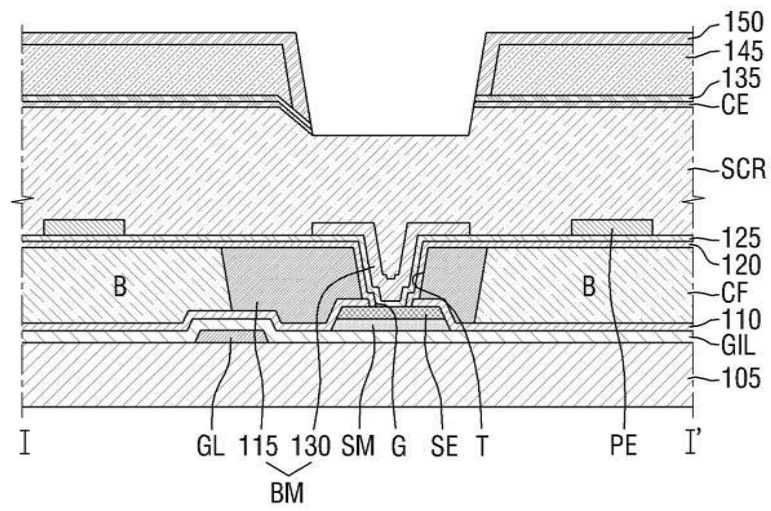
도면9



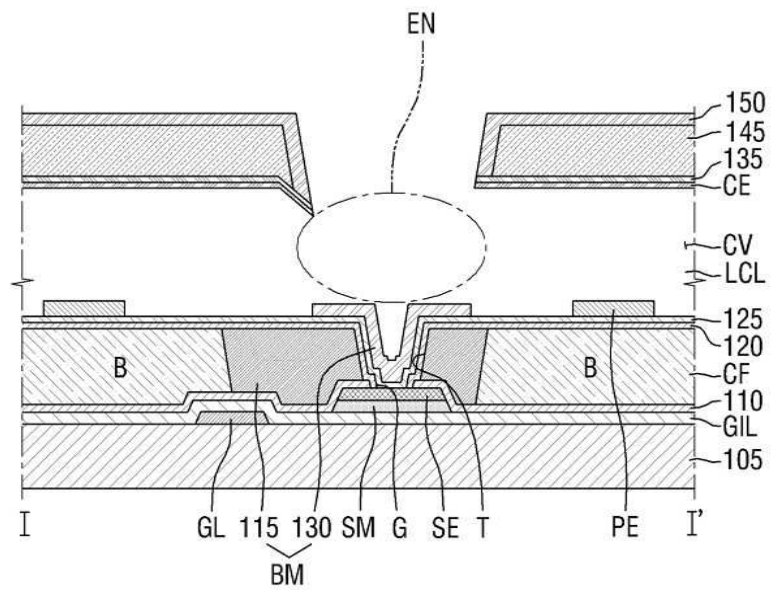
도면10



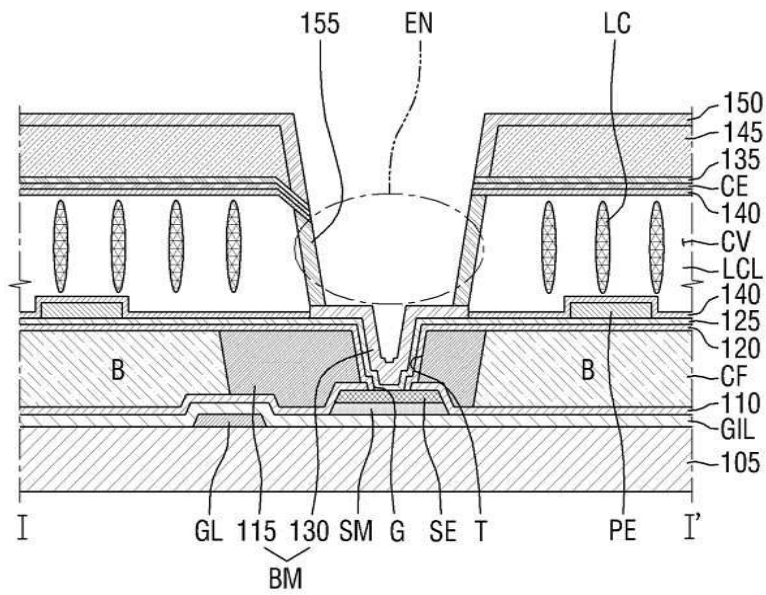
도면14



도면15



도면16



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR1020150037105A	公开(公告)日	2015-04-08
申请号	KR1020130116372	申请日	2013-09-30
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHA TAE WOON 차태운 CHOI SANG GUN 최상건 PARK HA YOUNG 박하영		
发明人	차태운 최상건 박하영		
IPC分类号	G02F1/1343 G02F1/1335 G02F1/136		
CPC分类号	G02F1/1341 G02F1/133514 G02F1/133512 G02F1/136209 G02F1/133377 G02F2001/133368 G02F2001/136218		
外部链接	Espacenet		

摘要(译)

提供一种液晶显示器和制造该液晶显示器的方法。液晶显示器包括：基板；基板上的信号电极；信号电极上的第一光阻挡图案，具有延伸到并暴露信号电极的至少一部分的沟槽；第一光阻挡图案在第一光阻挡图案的沟槽上并覆盖信号电极，其中第二光阻挡图案包括至少一个金属层。

