



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0117935
(43) 공개일자 2014년10월08일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/1335 (2006.01)
(21) 출원번호 10-2013-0032909
(22) 출원일자 2013년03월27일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 95 (농서동)
(72) 발명자
다나카 사카에
경기 수원시 영통구 영통로 232, 801동 1803호 (영통동, 벽적골8단지아파트)
신기철
경기 성남시 분당구 정자일로 55, 106동 1402호 (금곡동, 분당두산위브)
(74) 대리인
권혁수, 오세준, 송윤호

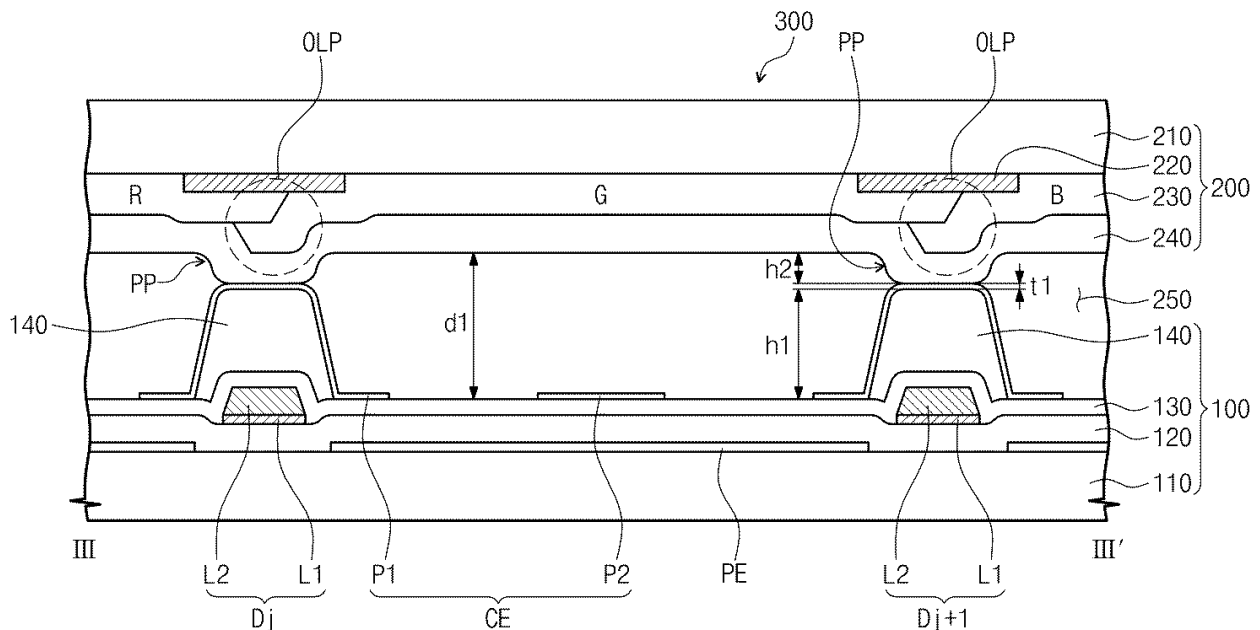
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 액정표시장치 및 이의 제조 방법

(57) 요약

액정표시장치 및 이의 제조 방법에서, 제1 기판은 제1 절연 기판, 제1 절연 기판 상에 구비된 게이트 라인, 제1 절연 기판 상에 구비되고, 구동 전압을 수신하는 제1 전극, 게이트 라인과 교차하는 데이터 라인, 데이터 라인의 상부에서 데이터 라인을 따라 형성된 범프, 및 범프를 캡핑하는 쉴드 전극부 및 제1 전극의 중앙에 위치하는 공통 전극부를 포함하고, 기준 전압을 수신하는 제2 전극을 포함한다. 제2 기판은 제1 절연 기판과 마주하는 제2 절연 기판 및 제2 절연 기판 상에 구비된 다수의 색화소를 포함하는 컬러필터층을 포함한다. 서로 인접하는 두 개의 색화소는 범프의 상부에서 부분적으로 오버랩되어 제1 기판 측으로 돌출된 돌출부를 제공한다.

대표도



(72) 발명자

신철

경기 화성시 동탄공원로 21-12, 904동 402호 (능동, 푸른마을포스코더샵아파트)

요시모토 히로시

서울 용산구 한강대로43길 8, 102동 2801호 (한강로2가, 벽산메가트리움)

특허청구의 범위

청구항 1

제1 절연 기관,

상기 제1 절연 기관 상에 구비된 게이트 라인,

상기 제1 절연 기관 상에 구비되어 구동 전압을 수신하는 제1 전극,

상기 게이트 라인과 교차하는 데이터 라인,

상기 데이터 라인의 상부에서 상기 데이터 라인을 따라 형성된 범프, 및

상기 범프를 캡핑하는 쉘드 전극부 및 상기 제1 전극의 중앙에 위치하는 공통 전극부를 포함하고, 기준 전압을 수신하는 제2 전극을 포함하는 제1 기관;

상기 제1 절연 기관과 마주하는 제2 절연 기관 및 상기 제2 절연 기관 상에 구비된 다수의 색화소를 포함하는 컬러필터층을 포함하는 제2 기관; 및

상기 제1 기관과 상기 제2 기관 사이에 개재된 액정층을 포함하고,

서로 인접하는 두 개의 색화소는 상기 범프의 상부에서 부분적으로 오버랩되어 상기 제1 기관 측으로 돌출된 돌출부를 제공하는 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서, 상기 범프와 상기 돌출부에 의해서 셀갭이 결정되는 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서, 상기 돌출부는 상기 제2 기관을 평면에서 봤을 때 타원 형상 또는 원 형상을 갖고, 도트 형태로 배치되는 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서, 상기 쉘드 전극부의 에지는 상기 제1 전극과 부분적으로 오버랩하는 것을 특징으로 하는 액정표시장치.

청구항 5

제1항에 있어서, 상기 범프의 폭은 상기 데이터 라인의 폭의 1.5배 내지 2배인 것을 특징으로 하는 액정표시장치.

청구항 6

제1항에 있어서, 상기 범프는 3.2 이하의 유전율을 갖는 유기 절연 물질로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 7

제1항에 있어서, 상기 공통 전극부는 상기 데이터 라인과 평행한 것을 특징으로 하는 액정표시장치.

청구항 8

제1항에 있어서, 상기 제2 전극의 상기 쉘드 전극부와 상기 공통 전극부 사이에는 슬릿이 형성되고, 상기 슬릿의 폭은 상기 공통 전극부의 폭보다 큰 것을 특징으로 하는 액정표시장치.

청구항 9

제8항에 있어서, 상기 제1 기관은 상기 게이트 라인 및 상기 제1 전극을 커버하고, 그 위로 상기 데이터 라인이

형성되는 게이트 절연막, 및

상기 데이터 라인을 커버하고, 그 위로 상기 범프가 형성되는 보호막을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 10

제9항에 있어서, 상기 슬릿에 대응하여 상기 게이트 절연막 및 상기 보호막에는 상기 제1 전극을 노출시키는 오픈부가 제공되는 것을 특징으로 하는 액정표시장치.

청구항 11

제8항에 있어서, 상기 제1 전극의 직하부에는 상기 액정층 측으로 돌출되고, 상기 데이터 라인과 평행하게 연장된 바 형상을 갖는 하나 이상의 돌출바가 구비되는 것을 특징으로 하는 액정표시장치.

청구항 12

제11항에 있어서, 상기 돌출바는 상기 슬릿에 대응하여 구비되는 것을 특징으로 하는 액정표시장치.

청구항 13

제11항에 있어서, 상기 돌출바는 상기 공통 전극부에 대응하여 구비되는 것을 특징으로 하는 액정표시장치.

청구항 14

제1항에 있어서, 상기 공통 전극부의 직하부에는 상기 액정층 측으로 돌출되고, 상기 데이터 라인과 평행하게 연장된 바 형상을 갖는 돌출바가 구비되는 것을 특징으로 하는 액정표시장치.

청구항 15

제14항에 있어서, 상기 돌출바의 폭은 상기 공통 전극부의 폭보다 작은 것을 특징으로 하는 액정표시장치.

청구항 16

제14항에 있어서, 상기 돌출바의 높이는 상기 범프의 높이보다 작은 것을 특징으로 하는 액정표시장치.

청구항 17

제1 절연 기판 상에 게이트 라인 및 구동 전압을 수신하는 제1 전극을 형성하는 단계,

상기 게이트 라인 및 제1 전극을 커버하는 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 상에 상기 게이트 라인과 교차하는 데이터 라인을 형성하는 단계,

상기 데이터 라인을 커버하는 보호막을 형성하는 단계,

상기 보호막 상에 상기 데이터 라인을 따라 범프를 형성하는 단계, 및

상기 범프를 캡핑하는 쉴드 전극부 및 상기 제1 전극의 중앙에 위치하는 공통 전극부를 포함하고, 기준 전압을 수신하는 제2 전극을 형성하는 단계를 포함하는 제1 기판을 형성하는 단계;

상기 제1 절연 기판과 마주하는 제2 절연 기판 및 상기 제2 절연 기판 상에 구비된 다수의 색화소를 포함하는 컬러필터층을 포함하는 제2 기판을 형성하는 단계; 및

상기 제1 기판과 상기 제2 기판 사이에 개재된 액정층을 형성하는 단계를 포함하고,

서로 인접하는 두 개의 색화소는 상기 범프의 상부에서 부분적으로 오버랩되어 상기 제1 기판 측으로 돌출된 돌출부를 제공하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 18

제17항에 있어서, 상기 제2 전극의 상기 쉴드 전극부와 상기 공통 전극부 사이에는 슬릿이 형성되고,

상기 슬릿에 대응하여 상기 보호막 및 상기 게이트 절연막을 제거하여 오픈부를 형성하는 단계를 더 포함하는

것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 19

제17항에 있어서, 상기 범프를 형성하는 단계는,

상기 공통 전극부의 직하부에 상기 액정층 측으로 돌출되고, 상기 데이터 라인과 평행하게 연장된 바 형상을 갖는 돌출부를 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 20

제17항에 있어서, 상기 제1 전극을 형성하는 단계 이전에,

상기 제1 전극의 직하부에 상기 액정층 측으로 돌출되고, 상기 데이터 라인과 평행하게 연장된 바 형상을 갖는 하나 이상의 돌출부를 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치.

명세서

기술 분야

[0001] 본 발명은 액정표시장치 및 이의 제조 방법에 관한 것으로, 더욱 상세하게는 수평전계모드 액정표시장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 액정표시장치는 액정층을 이용하여 영상을 표시하는 평판 표시 장치이다. 액정 표시 장치는 액정층을 구동하는 방법에 따라 수평 전계 모드 또는 수직 전계 모드로 구분될 수 있다. 수평 전계 모드의 액정표시장치는 두 전극 사이에 수평 전계를 형성하여 액정층을 구동하고, 수직 전계 모드의 액정표시장치는 두 전극 사이에 수직 전계를 형성하여 액정층을 구동하여 영상을 표시한다.

[0003] 수직 전계 모드의 액정표시장치에서 두 전극은 액정표시패널을 형성하는 두 기판에 각각 제공되지만, 수평 전계 모드의 액정표시장치에서 두 전극은 두 기판 중 어느 하나의 기판에 제공된다. 그러나, 수평 전계 모드에서 두 전극이 제공된 기판 측에 인접한 액정층의 액정 분자는 제어는 용이하나, 두 전극이 제공되지 않은 다른 기판 측에 인접한 액정층의 액정 분자는 제어가 용이하지 않다. 따라서, 수평 전계 모드 액정표시장치에서 투과율이 감소하고, 액정 분자의 제어를 위해 구동 전압을 증가시켜야하는 문제가 발생한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 투과율을 향상시키면서 구동 전압을 감소시킬 수 있는 액정표시장치를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 상기한 액정표시장치를 제조하는 방법을 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 일 측면에 따른 액정표시장치는 제1 기판, 제2 기판, 상기 제1 기판과 제2 기판 사이에 개재된 액정층을 포함한다. 상기 제1 기판은 제1 절연 기판, 상기 제1 절연 기판 상에 구비된 게이트 라인, 상기 제1 절연 기판 상에 구비되고, 구동 전압을 수신하는 제1 전극, 상기 게이트 라인과 교차하는 데이터 라인, 상기 데이터 라인의 상부에서 상기 데이터 라인을 따라 형성된 범프, 및 상기 범프를 캡핑하는 절드 전극부 및 상기 제1 전극의 중앙에 위치하는 공통 전극부를 포함하고, 기준 전압을 수신하는 제2 전극을 포함한다. 상기 제2 기판은 상기 제1 절연 기판과 마주하는 제2 절연 기판 및 상기 제2 절연 기판 상에 구비된 다수의 색화소를 포함하는 컬러필터층을 포함한다.

[0007] 여기서, 서로 인접하는 두 개의 색화소는 상기 범프의 상부에서 부분적으로 오버랩되어 상기 제1 기판 측으로 돌출된 돌출부를 제공한다.

[0008] 본 발명의 다른 측면에 따른 액정표시장치의 제조 방법은 제1 기판을 제조하는 단계, 제2 기판을 제조하는 단계, 및 제1 기판과 제2 기판 사이에 액정층을 형성하는 단계를 포함한다. 상기 제1 기판을 제조하는 단계는 제1 절연 기판 상에 게이트 라인 및 구동 전압을 수신하는 제1 전극을 형성하는 단계, 상기 게이트 라인 및 제1

전극을 커버하는 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 상에 상기 게이트 라인과 교차하는 데이터 라인을 형성하는 단계, 상기 데이터 라인을 커버하는 보호막을 형성하는 단계, 상기 보호막 상에 상기 데이터 라인을 따라 범프를 형성하는 단계, 및 상기 범프를 캡핑하는 절드 전극부 및 상기 제1 전극의 중앙에 위치하는 공통 전극부를 포함하고, 기준 전압을 수신하는 제2 전극을 형성하는 단계를 포함한다.

[0009] 상기 제2 기판을 제조하는 단계는 상기 제1 절연 기판과 마주하는 제2 절연 기판 상에 구비된 다수의 색화소를 포함하는 컬러필터층을 형성하는 단계를 포함한다. 여기서, 서로 인접하는 두 개의 색화소는 상기 범프의 상부에서 부분적으로 오버랩되어 상기 제1 기판 측으로 돌출된 돌출부를 제공한다.

발명의 효과

[0010] 본 발명에 따르면, 데이터 라인을 따라 범프를 형성하고, 그 위로 절드 전극부가 캡핑됨으로써, 액정 분자의 제어가 용이하고, 그 결과 투과율이 향상되며, 소비 전력을 저감할 수 있다.

[0011] 또한, 색화소에 의해 제공되는 제2 기판 측 돌출부와 제1 기판의 범프에 의해서 셀갭이 결정되므로, 셀갭을 유지하기 위한 별도의 스페이서가 불필요하게 되고, 스페이서를 형성하는 공정을 생략할 수 있어 제조 공정이 단순화될 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 블록도이다.

도 2는 도 1에 도시된 화소에 대한 등가 회로도이다.

도 3은 본 발명의 일 실시예에 따른 액정표시패널의 평면도이다.

도 4는 도 3에 도시된 절단선 I-I'에 따라 절단한 단면도이다.

도 5는 도 3에 도시된 절단선 II-II'에 따라 절단한 단면도이다.

도 6은 구동 전압에 따른 투과율을 나타낸 그래프이다.

도 7은 도 4에 도시된 제2 기판의 평면도이다.

도 8은 도 7에 도시된 절단선 III-III'에 따라 절단한 액정표시패널의 단면도이다.

도 9는 본 발명의 다른 실시예에 따른 제1 기판의 단면도이다.

도 10 본 발명의 다른 실시예에 따른 액정표시패널의 평면도이다.

도 11은 도 10에 도시된 절단선 IV-IV'에 따라 절단한 단면도이다.

도 12는 구동 전압에 따른 투과율을 나타낸 그래프이다.

도 13은 도 10에 도시된 V-V'에 따라 절단한 단면도이다.

도 14는 본 발명의 다른 실시예에 따른 제1 기판의 평면도이다.

도 15는 도 14에 도시된 절단선 VI-VI'에 따라 절단한 단면도이다.

도 16은 본 발명의 다른 실시예에 따른 제1 기판의 단면도이다.

도 17a 내지 도 17e는 도 3에 도시된 제1 기판의 제조 과정을 나타낸 평면도들이다.

도 18은 본 발명의 일 실시예에 따른 광 배향막의 배향 방향을 나타낸 평면도이다.

도 19는 본 발명의 다른 실시예에 따른 광 배향막의 배향 방향을 나타낸 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명한다.

[0014] 상술한 본 발명이 해결하고자 하는 과제, 과제 해결 수단, 및 효과는 첨부된 도면과 관련된 실시 예들을 통해서 용이하게 이해될 것이다. 각 도면은 명확한 설명을 위해 일부가 간략하거나 과장되게 표현되었다. 각 도면의 구성 요소들에 참조 번호를 부가함에 있어서, 동일한 구성 요소들에 대해서는 비록 다른 도면상에 표시되더라도

가능한 동일한 부호를 가지도록 도시되었음에 유의해야 한다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.

- [0015] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 블록도이고, 도 2는 도 1에 도시된 화소에 대한 등가 회로도이다.
- [0016] 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정표시장치(1000)는 영상을 표시하는 영상 표시부(300), 상기 영상 표시부(300)를 구동하는 게이트 구동부(400) 및 데이터 구동부(500), 상기 게이트 구동부(400)와 상기 데이터 구동부(500)의 구동을 제어하는 타이밍 컨트롤러(600)를 포함한다.
- [0017] 상기 영상 표시부(300)는 다수의 게이트 라인(G1~Gn), 다수의 데이터 라인(D1~Dm) 및 다수의 화소(PX)를 포함한다. 도 2에 도시한 바와 같이, 상기 영상 표시부(300)는 제1 기판(100), 상기 제1 기판(100)과 마주하는 제2 기판(200), 및 상기 제1 기판(100)과 제2 기판(200) 사이에 개재된 액정층(250)으로 이루어진 액정표시패널을 포함할 수 있다.
- [0018] 상기 다수의 게이트 라인(G1~Gn)과 상기 다수의 데이터 라인(D1~Dm)은 상기 제1 기판(100) 상에 구비된다. 상기 다수의 게이트 라인(G1~Gn)은 행 방향으로 연장되고 서로 평행하게 열 방향으로 배열된다. 상기 다수의 데이터 라인(D1~Dm)은 열 방향으로 연장되고, 서로 평행하게 행 방향으로 배열된다.
- [0019] 상기 다수의 화소 각각, 예를 들면 i번째(i는 1 이상의 정수) 게이트 라인(Gi)과 j번째(j는 1 이상의 정수) 데이터 라인(Dj)에 연결된 화소는 박막 트랜지스터(Tr) 및 액정 커패시터(C1c)를 포함한다.
- [0020] 상기 박막 트랜지스터(Tr)는 상기 i번째 게이트 라인(Gi)에 연결된 게이트 전극, 상기 j번째 데이터 라인(Dj)에 연결된 소오스 전극, 및 상기 액정 커패시터(C1c)에 연결된 드레인 전극을 구비한다.
- [0021] 상기 액정 커패시터(C1c)는 상기 제1 기판(100)에 구비된 제1 전극(PE)과 제2 전극(CE)을 두 단자로 하며, 상기 액정층(250)은 유전체 역할을 수행한다. 상기 제1 전극(PE)은 상기 박막 트랜지스터(Tr)의 드레인 전극과 전기적으로 연결되며, 상기 제2 전극(CE)은 기준 전압(Vcom)을 수신한다.
- [0022] 한편, 상기 각 화소(PX)는 상기 제1 전극(PE)에 대응하는 상기 제2 기판(200)의 영역에 구비되어 기본색 중 하나를 나타내는 컬러 필터(230)를 포함한다.
- [0023] 다시, 도 1을 참고하면, 상기 타이밍 컨트롤러(600)는 상기 액정 표시 장치(1000)의 외부로부터 다수의 영상신호(RGB) 및 다수의 제어신호(CS)를 수신한다. 상기 타이밍 컨트롤러(600)는 상기 데이터 구동부(500)와의 인터페이스 사양에 맞도록 상기 영상신호들(RGB)의 데이터 포맷을 변환하고, 변환된 영상신호들(R'G'B')을 상기 데이터 구동부(500)로 제공한다. 또한, 상기 타이밍 컨트롤러(600)는 상기 다수의 제어신호(CS)에 근거하여 데이터 제어신호(D-CS, 예를 들어, 출력개시신호, 수평개시신호 등) 및 게이트 제어신호(G-CS, 예를 들어, 수직개시신호, 수직클럭신호, 및 수직클럭바신호)를 생성한다. 상기 데이터 제어신호(D-CS)는 상기 데이터 구동부(500)로 제공되고, 상기 게이트 제어신호(G-CS)는 상기 게이트 구동부(400)로 제공된다.
- [0024] 상기 게이트 구동부(400)는 상기 타이밍 컨트롤러(600)로부터 제공되는 상기 게이트 제어신호(G-CS)에 응답해서 게이트 신호를 순차적으로 출력한다. 따라서, 상기 다수의 화소(PX)는 상기 게이트 신호에 의해서 행 단위로 순차적으로 스캐닝될 수 있다.
- [0025] 상기 데이터 구동부(500)는 상기 타이밍 컨트롤러(600)로부터 제공되는 상기 데이터 제어신호(D-CS)에 응답해서 상기 영상신호들(R'G'B')을 데이터 전압들로 변환하여 출력한다. 상기 출력된 데이터 전압들은 상기 영상 표시부(300)로 인가된다.
- [0026] 따라서, 각 화소(PX)는 상기 게이트 신호에 의해서 턴-온되고, 턴-온된 상기 화소(PX)는 상기 데이터 구동부(500)로부터 해당 데이터 전압을 수신하여 원하는 계조의 영상을 표시한다.
- [0027] 도 3은 본 발명의 일 실시예에 따른 액정표시패널의 평면도이고, 도 4는 도 3에 도시된 절단선 I-I'에 따라 절단한 단면도이며, 도 5는 도 3에 도시된 절단선 II-II'에 따라 절단한 단면도이다.
- [0028] 도 3 내지 도 5를 참조하면, 상기 영상 표시부(300)에 포함되는 상기 액정표시패널은 상기 제1 기판(100), 상기 제1 기판(100)과 마주하는 제2 기판(200), 및 상기 제1 기판(100)과 상기 제2 기판(200) 사이에 개재된 액정층(250)을 포함한다.

- [0029] 상기 제1 기판(100)은 투명한 유리 또는 플라스틱 등으로 만들어진 제1 절연 기판(110), 및 상기 제1 절연 기판(110) 상에 구비된 제1 게이트 라인(Gi-1), 제2 게이트 라인(Gi), 제1 데이터 라인(Dj) 및 제2 데이터 라인(Dj+1)을 포함한다.
- [0030] 상기 제1 및 제2 게이트 라인(Gi-1, Gi)은 제1 방향(A1)으로 연장되고, 상기 제1 방향(A1)과 직교하는 제2 방향(A2)으로 소정 간격 이격하여 배치된다. 상기 제1 및 제2 데이터 라인(Dj, Dj+1)은 상기 제2 방향(A2)으로 연장되고, 상기 제1 방향(A1)으로 소정 간격 이격하여 배치된다.
- [0031] 상기 제1 및 제2 게이트 라인(Gi-1, Gi)은 상기 제1 및 제2 데이터 라인(Dj, Dj+1)과 게이트 절연막(120)에 의해서 전기적으로 절연될 수 있다. 또한, 상기 제1 및 제2 데이터 라인(Dj, Dj+1)은 보호막(130)에 의해서 커버될 수 있다.
- [0032] 도 3에 도시된 바와 같이, 상기 제1 및 제2 데이터 라인(Dj, Dj+1) 각각은 상기 제1 및 제2 게이트 라인(Gi-1, Gi) 사이의 이격 거리의 중심 지점을 관통하는 중심선(미도시)을 기준으로 대칭되게 절곡된 형상을 갖는다.
- [0033] 상기 제1 절연 기판(110) 상에는 제1 전극(PE), 박막 트랜지스터(Tr), 및 제2 전극(CE)이 더 구비된다. 구체적으로, 상기 박막 트랜지스터(Tr)는 상기 제2 게이트 라인(Gi)의 일부 영역으로 정의된 게이트 전극(GE)), 상기 제1 데이터 라인(Dj)으로부터 분기된 소오스 전극(SE) 및 상기 게이트 전극(GE) 상에서 상기 소오스 전극(SE)과 소정 간격 이격하여 배치되는 드레인 전극(DE)을 포함한다.
- [0034] 도 5에 도시된 바와 같이, 상기 게이트 전극(GE)은 두 개의 전극층이 적층된 이중막 구조를 갖는다. 상기 게이트 전극(GE)의 하부막(M1)은 투명한 도전성 물질(예를 들어, 인듐 틴 옥사이드 또는 인듐 징크 옥사이드)로 이루어지고, 상부막(M2)은 알루미늄, 구리 또는 몰리브덴과 같은 금속막으로 이루어진다.
- [0035] 상기 제1 전극(PE)은 상기 게이트 전극(GE)의 하부막(M1)과 동일한 물질로 이루어진다. 본 발명의 일 예로, 상기 제1 전극(PE)은 상기 제1 및 제2 게이트 라인(Gi-1, Gi), 제1 및 제2 데이터 라인(Dj, Dj+1)에 의해서 정의된 화소 영역 내에 구비되고, 각 화소 영역 내에서 하나의 통 전극 형태로 구비된다.
- [0036] 상기 게이트 전극(GE)과 상기 제1 전극(PE)은 게이트 절연막(120)에 의해서 커버된다. 상기 게이트 절연막(120) 상에는 액티브층(AL)이 형성되고, 상기 액티브층(AL) 상에는 서로 소정 간격 이격된 제1 및 제2 오믹 콘택층(OC1, OC2)이 형성된다. 상기 제1 오믹 콘택층(OC1) 위로는 상기 소오스 전극(SE)이 구비되고, 상기 제2 오믹 콘택층(OC2) 위로는 상기 드레인 전극(DE)이 구비된다.
- [0037] 상기 소오스 및 드레인 전극(SE, DE)은 상기 보호막(130)에 의해서 커버된다. 상기 보호막(130)에는 상기 드레인 전극(DE)을 부분적으로 노출시키는 제1 콘택홀(CH1)이 형성되고, 상기 제1 콘택홀(CH1)에 인접하여 상기 보호막(130) 및 상기 게이트 절연막(120)이 제거되어 상기 제1 전극(PE)을 부분적으로 노출시키는 제2 콘택홀(CH2)이 형성된다.
- [0038] 상기 보호막(130) 위로는 상기 제1 및 제2 콘택홀(CH1, CH2)을 통해 상기 드레인 전극(DE)과 상기 제1 전극(PE)을 전기적으로 연결시키는 브릿지 전극(BE)이 구비된다.
- [0039] 도 3 및 도 4를 참조하면, 상기 게이트 절연막(120) 위로는 상기 제1 및 제2 데이터 라인(Dj, Dj+1)이 상기 제2 방향(A2)으로 길게 형성된다. 상기 제1 및 제2 데이터 라인(Dj, Dj+1) 각각은 두 개의 제1 및 제2 전극층(L1, L2)이 적층된 이중막 구조를 갖는다. 상기 제1 및 제2 데이터 라인(Dj, Dj+1)은 상기 보호막(130)에 의해서 커버된다.
- [0040] 상기 보호막(130) 위로는 상기 제1 및 제2 데이터 라인(Dj, Dj+1)을 따라서 형성된 범프(140)가 제공된다. 본 발명의 일 예로, 상기 범프(140)는 화소 단위로 분리될 수도 있고, 상기 제1 및 제2 데이터 라인(Dj, Dj+1)과 같이 라인 형태로 길게 형성될 수 있다.
- [0041] 또한, 상기 범프(140)를 상기 제1 및 제2 데이터 라인(Dj, Dj+1)의 연장 방향과 직교하는 상기 제1 방향(A1)으로 절단했을 때, 상기 범프(140)의 단면은 사다리꼴 형상을 가질 수 있다. 상기 범프(140)의 높이를 "h1"이라 할 때, 본 발명의 일 예로, h1은 2 μ m 내지 4 μ m의 범위에 있을 수 있다.
- [0042] 한편, 상기 제2 전극(CE)은 상기 범프(140)를 캡핑하는 쉘드 전극부(P1) 및 상기 제1 전극(PE)의 중앙에 위치하는 공통 전극부(P2)를 포함한다. 상기 쉘드 전극부(P1) 및 상기 공통 전극부(P2)는 상기 제1 및 제2 데이터 라인(Dj, Dj+1)을 따라 평행하게 연장될 수 있다. 또한, 상기 쉘드 전극부(P1)와 상기 공통 전극부(P2)는 전기적으로 연결되어 기준 전압(Vcom, 도 2에 도시됨)을 수신할 수 있다.

- [0043] 상기 제2 전극(CE)의 상기 쉘드 전극부(P1)와 상기 공통 전극부(P2) 사이에는 슬릿(SL)이 형성된다. 상기 공통 전극부(P2)의 폭을 "W1"이라 하고, 상기 슬릿(SL)의 폭을 "W2"라고 할 때, 상기 W1은 상기 W2보다 작다. 상기 W1은 $1.5\mu\text{m}$ 내지 $3\mu\text{m}$ 의 범위에 있을 수 있으며, 상기 W2는 $2.0\mu\text{m}$ 내지 $4\mu\text{m}$ 의 범위에 있을 수 있다. 본 발명의 일 예로, 상기 W1이 $3\mu\text{m}$ 일 경우, 상기 W2는 $3.5\mu\text{m}$ 일 수 있다.
- [0044] 상기 쉘드 전극부(P1)는 상기 범프(140)의 상면과 측면을 캡핑하는 구조를 가지며, 상기 쉘드 전극부(P1)의 에지는 상기 제1 전극(PE)과 오버랩되도록 상기 보호막(130) 상으로 연장된다. 따라서, 상기 쉘드 전극부(P1)는 상기 제1 전극(PE)과 부분적으로 오버랩할 수 있다. 예를 들어, 상기 쉘드 전극부(P1)와 상기 제1 전극(PE)이 오버랩되는 폭은 대략 $1.5\mu\text{m}$ 일 수 있다.
- [0045] 본 발명의 일 예로, 상기 범프(140)의 상기 제1 방향(A1)으로의 폭을 "W3"이라 하고, 상기 제1 및 제2 데이터 라인(Dj, Dj+1)의 폭을 "W4"라 할 때, 상기 W3은 W4의 1.5배 내지 2배의 크기를 가질 수 있다. 예를 들어, 상기 W3이 $4\mu\text{m}$ 인 경우, 상기 W4는 $2\mu\text{m}$ 일 수 있다.
- [0046] 또한, 상기 범프(140)는 상기 쉘드 전극부(P1)와 상기 제1 및 제2 데이터 라인(Dj, Dj+1) 사이의 커패시턴스를 낮추기 위하여 저 유전율(예를 들어, 3.2 이하의 유전율)을 갖는 유기 절연 물질로 이루어질 수 있다. 또한, 상술한 바와 같이 상기 범프(140)를 상기 쉘드 전극부(P1)로 캡핑함으로써, 상기 제1 및 제2 데이터 라인(Dj, Dj+1)에 의한 전계를 차폐할 수 있고, 그 결과 상기 제1 및 제2 데이터 라인(Dj, Dj+1) 부근에서 액정 분자의 오동작이 발생하는 것을 방지할 수 있다.
- [0047] 또한, 상기 쉘드 전극부(P1)는 상기 범프(140)의 상면 및 측면을 따라서 형성되어 상기 제2 기관(200) 측으로 돌출된 구조를 갖는다. 특히, 상기 범프(140)의 측면 상에 위치하는 상기 쉘드 전극부(P1)와 상기 제1 전극(PE) 사이에 형성되는 전계에 의해서 상기 제2 기관(200) 측에 인접하는 액정 분자들의 제어가 용이해진다. 따라서, 상기 액정표시패널(300)의 투과율이 상승하고, 상기 액정 분자들을 구동하기 위한 구동 전압이 증가되는 것을 방지할 수 있다.
- [0048] 도 6은 구동 전압에 따른 투과율을 나타낸 그래프이다.
- [0049] 단, 도 6에서 제1 그래프(G1)는 종래 패널 구조에서 구동 전압에 의한 투과율의 변화를 나타내고, 제2 그래프(G2)는 도 3에 도시된 패널 구조에서 구동 전압에 의한 투과율의 변화를 나타낸다.
- [0050] 도 6에 도시된 바와 같이, 동일 구동 전압에서의 투과율을 비교했을 때 상기 범프(140)의 상면 및 측면에 상기 쉘드 전극부(P1)를 형성하여 액정 분자를 제어하는 도 3의 패널 구조가 종래의 패널 구조에 비하여 투과율이 높게 나타났다. 따라서, 도 3의 패널 구조는 종래 패널 구조에 비하여 낮은 구동 전압을 이용해서 원하는 투과율을 얻을 수 있다. 그 결과, 투과율을 향상시킬 수 있으며, 소비 전력을 저감할 수 있다.
- [0051] 다시 도 4를 참조하면, 상기 제2 기관(200)은 투명한 유리 또는 플라스틱 등으로 만들어진 제2 절연 기관(210), 상기 제2 절연 기관(210) 상에 구비된 다수의 컬러 필터(230), 및 서로 인접하는 컬러 필터(230) 사이의 영역에 구비된 블랙 매트릭스(220)를 포함한다. 서로 인접하는 두 개의 컬러 필터(230)는 상기 블랙 매트릭스(220) 상부에서 소정 간격 이격된다. 이격된 부분에 의한 단차를 제거하기 위하여 상기 제2 기관(200)은 상기 컬러 필터들(230) 및 상기 블랙 매트릭스(220)를 커버하는 오버 코팅층(240)을 더 포함한다.
- [0052] 상기 제2 기관(200)은 상기 제1 기관(100)과 대향하여 결합하고, 상기 제1 및 제2 기관(100, 200) 사이에는 액정층(250)이 개재된다. 상기 액정표시패널(300)의 셀갭을 "d1"이라 하고, 상기 범프(140)의 높이를 "h1"이라 할 때, 상기 d1은 h1보다 크다. 본 발명의 일 예로, 상기 d1이 $4\mu\text{m}$ 인 경우, 상기 h1은 $3\mu\text{m}$ 일 수 있다.
- [0053] 상기 화소(PX)에 상기 제2 게이트 라인(Gi)을 통해 상기 게이트 신호가 인가되면, 상기 게이트 신호에 응답하여 상기 박막 트랜지스터(Tr)가 턴-온된다. 상기 제1 데이터 라인(Dj)으로 인가된 데이터 전압은 상기 턴-온된 박막 트랜지스터(Tr)의 상기 드레인 전극(DE)으로 출력되어 상기 제1 전극(PE)으로 인가된다. 상기 데이터 전압은 상기 액정층(250)의 액정 분자를 제어하는 구동 전압이다.
- [0054] 상기 데이터 전압을 수신한 상기 제1 전극(PE)은 상기 기준 전압(Vcom)을 수신하는 상기 제2 전극(CE)과 함께 전기장을 생성함으로써, 상기 제1 전극(PE)과 상기 제2 전극(CE) 위에 위치하는 상기 액정층(250)의 액정 분자의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층을 통과하는 빛의 편광이 변화된다.
- [0055] 상기 제1 전극(PE)과 상기 제2 전극(CE)은 상기 액정층(250)을 유전체로 액정 커패시터(C1c, 도 1에 도시됨)를 이루어 상기 박막 트랜지스터(Tr)가 턴-오프된 후에도 인가된 전압을 유지한다.

- [0056] 이하, 도 7 및 도 8을 참조하여 상기 액정표시패널(300)의 셀갭 유지 구조를 서술하기로 한다.
- [0057] 도 7은 도 4에 도시된 제2 기관의 평면도이고, 도 8은 도 7에 도시된 절단선 III-III'에 따라 절단한 액정표시패널의 단면도이다.
- [0058] 도 7 및 도 8을 참조하면, 상기 제2 절연기관(210) 상에는 블랙 매트릭스(220)가 제공된다. 상기 블랙 매트릭스(220)에는 상기 제1 절연기관(110)의 다수의 화소 영역에 각각 대응하여 개구된 다수의 개구부(221)가 형성된다.
- [0059] 상기 다수의 개구부(221)에 대응하여 상기 제2 절연기관(210) 상에는 레드, 그린 및 블루 색화소(R, G, B)가 제공된다. 상기 레드, 그린 및 블루 색화소(R, G, B)는 상기 제1 방향(A1)으로 순차적으로 배치된다. 인접하는 두 개의 색화소는 일부 영역을 제외하고 상기 제1 방향(A1)으로 소정 간격 이격되어 배치된다.
- [0060] 상기 인접하는 두 개의 색화소는 상기 일부 영역에서 서로 오버랩될 수 있다. 본 발명의 일 예로, 상기 두 개의 색화소가 오버랩된 영역은 상기 블랙 매트릭스(220)가 형성된 영역 내에 위치할 수 있다. 상기 제2 기관(200)에서 상기 두 개의 색화소가 오버랩되어 돌출된 부분을 중첩부(OLP)라 정의할 때, 상기 컬러필터층(230)을 커버하는 상기 오버 코팅층(240)은 상기 중첩부(OLP)를 따라 돌출된 형상을 갖는다.
- [0061] 따라서, 상기 제2 기관(200)에는 상기 중첩부(OLP)와 상기 오버 코팅층(240)으로 이루어져 상기 제1 기관(100) 측으로 돌출된 돌출부(PP)가 제공된다. 상기 돌출부(PP)는 상기 블랙 매트릭스(210)와 상기 제1 기관(100)의 상기 범프(140) 사이에 개재되고, 상기 범프(140)의 상면 상에 위치하는 층과 접촉한다. 따라서, 상기 액정표시패널(300)의 셀갭은 상기 돌출부(PP) 및 상기 범프(140)에 의해서 결정될 수 있다.
- [0062] 즉, 상기 액정표시패널(300)의 셀갭을 "d1"이라 하고, 상기 범프(140)의 높이를 "h1"이라 하며, 상기 돌출부(PP)의 높이를 "h2"라 하고, 상기 쉴드 전극층(P1)의 두께를 "t1"이라 할 때, 상기 d1은 h1, h2 및 t1의 합으로 정의될 수 있다.
- [0063] 도면에 도시하지는 않았지만, 상기 제1 및 제2 기관(100, 200)에 각각 배향막이 제공되는 경우, 상기 셀갭(d1)은 h1, h2 및 t1의 합에 상기 배향막들의 두께를 더한 값으로 정의될 수 있다.
- [0064] 도 7에 도시된 바와 같이, 상기 제2 기관(200)의 정면에서 볼 때, 상기 돌출부(PP)는 타원형 또는 원형의 도트 형태로 제공될 수 있다. 그러나, 상기 돌출부(PP)의 형태는 위 형상으로 한정되지 않고 다양하게 변형될 수 있다.
- [0065] 이처럼, 셀갭이 상기 범프(140)와 돌출부(PP)에 의해서 결정되면, 셀갭을 유지하기 위한 별도의 스페이서가 불필요하게 되고, 상기 액정표시패널(300)을 제조하는 과정에서 스페이서를 형성하는 공정을 생략할 수 있어 제조공정이 단순화될 수 있다.
- [0066] 도 9는 본 발명의 다른 실시예에 따른 제1 기관의 단면도이다. 단, 도 9에 도시된 구성요소 중 도 4에 도시된 구성요소와 동일한 구성요소에 대해서는 동일한 참조부호를 병기하고, 그에 대한 구체적인 설명은 생략한다.
- [0067] 도 9를 참조하면, 제2 전극(CE)의 쉴드 전극부(P1)와 공통 전극부(P2) 사이에는 슬릿(SL)(도 4에 도시됨)이 제공된다. 상기 슬릿(SL)에 대응하여 상기 게이트 절연막(120) 및 상기 보호막(130)에는 상기 제1 전극(PE)을 부분적으로 노출시키기 위한 오픈부(OP)가 제공된다. 상기 오픈부(OP)의 깊이(dp1)는 상기 게이트 절연막(120) 및 상기 보호막(130) 각각의 두께에 의해서 결정되며, 본 발명의 일 예로 상기 오픈부(OP)의 깊이(dp1)는 대략 0.6 μm 일 수 있다.
- [0068] 이처럼, 상기 슬릿(SL)에 대응하여 상기 오픈부(OP)가 제공되면, 상기 슬릿(SL)에 대응하는 상기 제1 전극(PE)의 일부분이 노출된다. 따라서, 상기 제2 전극(CE) 상에 배향막(미도시)을 형성하는 경우, 상기 배향막은 상기 오픈부(OP)를 통해 노출된 상기 제1 전극(PE)과 직접적으로 콘택할 수 있다. 따라서, 상기 배향막의 표면에 불순물 이온 등의 전하 축적을 방지할 수 있고 그 결과 잔상이 발생하는 것을 방지할 수 있다.
- [0069] 도 10은 본 발명의 다른 실시예에 따른 액정표시패널의 평면도이고, 도 11은 도 10에 도시된 절단선 IV-IV'에 따라 절단한 단면도이다.
- [0070] 단, 도 10 및 도 11에 도시된 구성요소 중 도 3 내지 도 7에 도시된 구성요소와 동일한 구성요소에 대해서는 동일한 참조부호를 병기하고, 그에 대한 구체적인 설명은 생략한다.
- [0071] 도 10 및 도 11을 참조하면, 상기 공통 전극부(P2)의 직하부에는 상기 제2 기관(200) 측으로 돌출된 돌출부

(150)가 구비된다. 상기 돌출바(150)는 상기 제1 및 제2 데이터 라인(Dj, Dj+1)을 따라서 길게 연장된 바 형태로 형성된다. 상기 돌출바(150)는 도 10에 도시된 바와 같이 한 화소 단위로 분리될 수 있고, 다른 실시예로 상기 제1 및 제2 데이터 라인(Dj, Dj+1)과 동일하게 라인 형태로 길게 형성될 수 있다.

[0072] 또한, 상기 돌출바(150)는 상기 제1 및 제2 데이터 라인(Dj, Dj+1)과 직교하는 상기 제1 방향(A1)으로 절단했을 때, 반타원 또는 반원 형상을 가질 수 있다.

[0073] 상기 공통 전극부(P2)의 상기 제1 방향(A1)으로의 폭을 "W1"이라 하고, 상기 돌출바(150)의 상기 제1 방향(A1)으로의 폭을 "W6"이라 할 때, 상기 W1은 상기 W6보다 크다. 본 발명의 일 예로, 상기 W1이 3 μ m일 경우, 상기 W6은 2 μ m일 수 있다.

[0074] 또한, 상기 범프(140)의 높이를 "h1"이라 하고, 상기 돌출바(150)의 높이를 "h3"라 할 때, 상기 h3는 상기 h1보다 작다. 본 발명의 일 예로, 상기 h1은 3 μ m이고, 상기 h3는 1 μ m일 수 있다.

[0075] 수평전계모드 액정표시패널에서 상기 제1 및 제2 전극(PE, CE)이 모두 상기 제1 기판(100) 측에 위치하여, 상기 제2 기판(200) 측에 인접한 액정 분자들의 제어가 어려울 수 있으며, 이를 해결하기 위해 구동 전압을 증가시키면 소비 전력이 상승하는 문제가 발생할 수 있다.

[0076] 그러나, 상기 공통 전극부(P2) 하부에 상기 돌출바(150)를 형성하면, 상기 공통 전극부(P2)는 상기 제2 기판(200) 측으로 돌출된 구조를 가질 수 있다. 이처럼, 상기 공통 전극부(P2)가 상기 제2 기판(200) 측으로 돌출되면, 상기 제2 기판(200) 측에 인접한 액정 분자들의 제어가 용이해지고, 그로 인해 구동 전압의 증가를 방지하여 소비 전력을 저감할 수 있다.

[0077] 상기한 이유에 의해서 상기 돌출부(150)의 높이(h3)는 높을수록 상기 제2 기판(200) 측 액정분자의 제어가 용이해지나, 상기 돌출부(150)의 폭(W6)이 제한되어 있어 상기 돌출부(150)의 높이(h3)를 상기 범프(140)의 높이(h1) 이상으로 증가시키는데에는 한계가 있다. 따라서, 상기 돌출바(150)의 높이(h3)는 상기 범프(140)의 높이(h1)보다 작다.

[0078] 본 발명의 일 예로, 상기 돌출바(150)는 상기 보호막(130) 상에 구비되고, 상기 범프(140)와 동일한 물질로 동일한 공정을 통해서 형성될 수 있다.

[0079] 도 12는 구동 전압에 따른 투과율을 나타낸 그래프이다.

[0080] 단, 도 12에서 제1 그래프(G1)는 종래 패널 구조에서 구동 전압에 의한 투과율의 변화를 나타내고, 제2 그래프(G2)는 도 3에 도시된 패널 구조에서 구동 전압에 의한 투과율의 변화를 나타내며, 제3 그래프(G3)는 도 10에 도시된 패널 구조에서 구동 전압에 의한 투과율의 변화를 나타낸다.

[0081] 도 12에 도시된 바와 같이, 동일 구동 전압에서의 투과율을 비교했을 때 상기 범프(140)의 상면 및 측면에 상기 컵드 전극부(P1)를 형성하여 액정 분자를 제어하는 도 3의 패널 구조가 종래의 패널 구조에 비하여 투과율이 높게 나타났다.

[0082] 또한, 동일 구동 전압에서의 투과율을 비교했을 때 상기 공통 전극부(P2)의 직하부에 상기 돌출바(150)를 형성하여 액정 분자를 제어하는 구조가 종래의 패널 구조 및 도 3의 패널 구조에 비하여 투과율이 높게 나타났다.

[0083] 따라서, 도 10에 도시된 패널 구조는 종래 패널 구조에 비하여 낮은 구동 전압을 이용해서 원하는 투과율을 얻을 수 있다. 그 결과, 투과율을 향상시킬 수 있으며, 소비 전력을 저감할 수 있다.

[0084] 도 13은 도 10에 도시된 V-V'에 따라 절단한 단면도이다.

[0085] 도 13을 참조하면, 서로 인접하는 두 개의 색화소는 상기 일부 영역에서 서로 오버랩될 수 있다. 본 발명의 일 예로, 상기 두 개의 색화소가 오버랩된 영역은 상기 블랙 매트릭스(220)가 형성된 영역 내에 위치할 수 있다. 상기 제2 기판(200)에서 상기 두 개의 색화소가 오버랩되어 돌출된 부분을 중첩부(OLP)라 정의할 때, 상기 컬러 필터층(230) 상에 형성되는 상기 오버 코팅층(240)은 상기 중첩부(OLP)를 따라 돌출된 형상을 갖는다.

[0086] 따라서, 상기 제2 기판(200)에는 상기 중첩부(OLP)와 상기 오버 코팅층(240)으로 이루어져 상기 제1 기판(100) 측으로 돌출된 돌출부(PP)가 제공된다. 상기 돌출부(PP)는 상기 블랙 매트릭스(210)와 상기 제1 기판(100)의 상기 범프(140) 사이에 개재되고, 상기 범프(140)의 상면 상에 위치하는 층과 접촉한다. 따라서, 상기 액정표시패널(300)의 셀갭은 상기 돌출부(PP) 및 상기 범프(140)에 의해서 결정될 수 있다.

[0087] 이처럼, 셀갭이 상기 범프(140)와 돌출부(PP)에 의해서 결정되면, 셀갭을 유지하기 위한 별도의 스페이서가 불

필요하게 되고, 상기 액정표시패널(300)을 제조하는 과정에서 스페이서를 형성하는 공정을 생략할 수 있어 제조 공정이 단순화될 수 있다.

[0088] 도 14는 본 발명의 다른 실시예에 따른 제1 기관의 평면도이고, 도 15는 도 14에 도시된 절단선 VI-VI'에 따라 절단한 단면도이다.

[0089] 도 14 및 도 15를 참조하면, 상기 제1 전극(PE)의 직하부에는 상기 제2 기관(200) 측으로 돌출된 제1 및 제2 돌출바(161, 162)가 상기 제1 방향(A1)으로 서로 소정 간격 이격되어 구비된다. 본 발명의 일 예로, 상기 제1 및 제2 돌출바(161, 162) 각각은 상기 제2 전극(CE)에 형성되는 슬릿부(SL)에 대응하여 제공될 수 있다. 상기 슬릿(SL)의 상기 제1 방향(A1)으로의 폭을 "W2"이라 하고, 상기 제1 및 제2 돌출바(161, 162) 각각의 상기 제1 방향(A1)으로의 폭을 "W7"이라 할 때, 상기 W2는 상기 W7보다 크다. 본 발명의 일 예로, 상기 W2이 3.5 μ m일 경우, 상기 W7은 2 μ m일 수 있다.

[0090] 또한, 상기 제1 및 제2 돌출바(161, 162)는 상기 제1 및 제2 데이터 라인(Dj, Dj+1)을 따라서 길게 연장된 바 형태로 형성된다. 상기 제1 및 제2 돌출바(161, 162)는 도 12에 도시된 바와 같이 한 화소 단위로 분리될 수 있고, 다른 실시예로 상기 제1 및 제2 데이터 라인(Dj, Dj+1)과 동일하게 라인 형태로 길게 형성될 수 있다.

[0091] 상기 제1 및 제2 돌출바(161, 162)는 상기 제1 및 제2 데이터 라인(Dj, Dj+1)과 직교하는 상기 제1 방향(A1)으로 절단했을 때, 반타원 또는 반원 형상을 가질 수 있다. 본 발명의 일 예로, 상기 제1 및 제2 돌출바(161, 162)는 상기 제1 절연기관(110) 상에 구비될 수 있고, 유기 절연 물질로 이루어질 수 있다.

[0092] 상기 제1 전극(PE) 하부에 상기 제1 및 제2 돌출바(161, 162)를 형성하면, 상기 제1 전극(PE)은 상기 제2 기관(200) 측으로 돌출된 구조를 가질 수 있다. 이처럼, 상기 제1 전극(PE)이 상기 제2 기관(200) 측으로 돌출되면, 상기 제2 기관(200) 측에 인접한 액정분자들의 제어가 용이해지고, 그로 인해 구동 전압의 증가를 방지하여 소비 전력을 저감할 수 있다.

[0093] 도 16은 본 발명의 다른 실시예에 따른 제1 기관의 단면도이다.

[0094] 도 16을 참조하면, 상기 제1 전극(PE)의 직하부에는 상기 제2 기관(200) 측으로 돌출된 제1 내지 제3 돌출바(161, 162, 163)가 상기 제1 방향(A1)으로 서로 소정 간격 이격되어 구비된다. 본 발명의 일 예로, 상기 제1 및 제2 돌출바(161, 162) 각각은 상기 제2 전극(CE)에 형성되는 슬릿(SL)에 대응하여 제공되고, 상기 제3 돌출바(163)는 상기 공통 전극부(P2)에 대응하여 제공될 수 있다.

[0095] 상기 제1 및 제2 돌출바(161, 162) 각각의 상기 제1 방향으로의 폭을 "h7"이라 하고, 상기 제3 돌출바(163)의 상기 제1 방향으로의 폭을 "h8"이라 정의할 때, h7은 h8보다 크다. 본 발명의 일 예로, 상기 h7은 2 μ m이고, 상기 h8은 1.5 μ m일 수 있다.

[0096] 상기 제1 내지 제3 돌출바(161, 162, 163)는 상기 제1 절연기관(110)과 상기 제1 전극(PE) 사이에 개재된다. 상기 제1 및 제2 돌출바(161, 162)에 의해서 상기 제1 전극(PE)은 상기 제2 기관(200) 측으로 돌출되고, 상기 제3 돌출바(163)에 의해서 상기 공통 전극부(P2)는 상기 제2 기관(200) 측으로 돌출된다. 따라서, 상기 제2 기관(200) 측에 인접한 액정분자들의 제어가 용이해지고, 그로 인해 구동 전압의 증가를 방지하여 소비 전력을 저감할 수 있다.

[0097] 도 17a 내지 도 17e는 도 3 및 도 4에 도시된 제1 기관의 제조 과정을 나타낸 평면도들이다.

[0098] 도 17a를 참조하면, 상기 제1 절연 기관(110) 상에 제1 및 제2 금속막을 순차적으로 형성하고, 제1 마스크를 통해 상기 제1 및 제2 금속막을 패터닝하여 상기 제1 절연 기관(110) 상에 제1 및 제2 게이트 라인(Gi-1, Gi), 제1 전극(PE)을 형성한다. 상기 제1 및 제2 금속막 중 하나는 인듐 틴 옥사이드와 같은 투명성 도전 물질로 이루어지고, 다른 하나는 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 등으로 만들어질 수 있다.

[0099] 상기 제1 및 제2 게이트 라인(Gi-1, Gi)은 상기 제1 및 제2 금속막이 순차적으로 적층된 이중막 구조를 갖는 반면, 상기 제1 전극(PE)은 상기 제1 및 제2 금속막(Gi-1, Gi) 중 투명성을 갖는 막으로 이루어진 단일막 구조를 갖는다.

[0100] 도면에 도시하지는 않았지만, 상기 제1 및 제2 게이트 라인(Gi-1, Gi) 및 상기 제1 전극(PE)은 게이트 절연막(120)에 의해서 커버된다. 상기 게이트 절연막(120)은 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx)로 이루어

질 수 있다.

- [0101] 도 17b를 참조하면, 상기 게이트 절연막(120) 위에는 제3 및 제4 금속막이 순차적으로 형성되고, 제2 마스크를 이용하여 상기 제3 및 제4 금속막을 패터닝하여 소오스 전극(SE), 드레인 전극(DE), 상기 제1 및 제2 데이터 라인(Dj-1, Dj)을 형성한다. 상기 제3 금속막은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등으로 이루어질 수 있고, 상기 제4 금속막은 구리 등으로 이루어질 수 있다.
- [0102] 상기 소오스 전극(SE) 및 상기 드레인 전극(DE)과 마주하는 상기 제1 및 제2 게이트 라인(Gi-1, Gi) 각각의 일부 영역이 게이트 전극(GE)으로 정의될 수 있다.
- [0103] 또한, 도면에 도시하지는 않았으나, 수소화 비정질 실리콘(hydrogenated amorphous silicon), 다결정 실리콘(polysilicon) 또는 산화물 반도체 등으로 만들어진 반도체층(AL, 도 4에 도시됨) 및 제1 및 제2 오믹 콘택층(OC1, OC2, 도 4에 도시됨)이 게이트 전극(GE)과 소오스 전극(SE) 사이, 상기 게이트 전극(GE)과 드레인 전극(DE) 사이에 형성될 수 있다.
- [0104] 다만, 상기 반도체층(AL)과 상기 제1 및 제2 오믹 콘택층(OC1, OC2)은 상기 제2 마스크를 통해 상기 제3 금속막을 패터닝하는 과정에서 형성될 수 있다. 이로써, 상기 박막 트랜지스터(Tr)가 완성된다.
- [0105] 도면에 도시하지는 않았지만, 상기 소오스 전극(SE), 상기 드레인 전극(DE), 상기 제1 및 제2 데이터 라인(Dj, Dj+1)은 보호막(130)에 의해서 커버된다.
- [0106] 도 17c를 참조하면, 상기 보호막(130) 위로 저 유전율(예를 들어, 3.0 이하의 유전율)을 갖는 유기 절연 물질을 형성한다. 이후, 제3 마스크를 이용하여 상기 유기 절연 물질을 패터닝하면, 상기 제1 및 제2 데이터 라인(Dj, Dj+1)을 따라서 범프(140)가 형성된다. 본 발명의 일 예로, 상기 범프(140)는 화소 단위로 분리될 수도 있고, 상기 제1 및 제2 데이터 라인(Dj, Dj+1)과 같이 라인 형태로 길게 형성될 수 있다.
- [0107] 도 17d를 참조하면, 제4 마스크를 이용하여 상기 보호막(130)을 패터닝하면, 상기 보호막(130)에는 상기 드레인 전극(DE)을 노출시키기 위한 제1 콘택홀(CH1) 및 상기 제1 전극(PE)을 노출시키기 위한 제2 콘택홀(CH2)이 형성된다.
- [0108] 이후, 상기 보호막(130) 및 상기 범프(140) 상에 투명한 도전 물질을 형성하고, 제5 마스크를 이용하여 상기 도전 물질을 패터닝하면, 제2 전극(CE) 및 브릿지 전극(BE)이 형성된다.
- [0109] 도 17e를 참조하면, 상기 제2 전극(CE)은 상기 범프(140)를 캡핑하는 쉘드 전극부(P1) 및 상기 제1 전극(PE)의 중앙에 위치하는 공통 전극부(P2)를 포함한다. 상기 쉘드 전극부(P1) 및 상기 공통 전극부(P2)는 상기 제1 및 제2 데이터 라인(Dj, Dj+1)을 따라 평행하게 연장될 수 있다.
- [0110] 상기 제2 전극(CE)의 상기 쉘드 전극부(P1)와 상기 공통 전극부(P2) 사이에는 슬릿(SL)이 형성된다. 상기 쉘드 전극부(P1)는 상기 범프(140)의 상면 및 측면을 캡핑하는 구조를 가지며, 상기 쉘드 전극부(P1)의 에지는 상기 제1 전극(PE)과 오버랩된다.
- [0111] 상기 브릿지 전극(BE)은 상기 제1 콘택홀(CH1)을 통해 상기 드레인 전극(DE)과 직접적으로 콘택되고, 상기 제2 콘택홀(CH2)을 통해 상기 제1 전극(PE)과 직접적으로 콘택된다. 따라서, 상기 드레인 전극(CE)과 상기 제1 전극(PE)은 상기 브릿지 전극(BE)을 통해 서로 전기적으로 연결될 수 있다.
- [0112] 도 18은 본 발명의 일 실시예에 따른 광 배향막의 배향 방향을 나타낸 평면도이고, 도 19는 본 발명의 다른 실시예에 따른 광 배향막의 배향 방향을 나타낸 평면도이다.
- [0113] 도 18 및 도 19를 참조하면, 상기 제2 전극(CE) 상에는 배향막이 제공된다. 상기 배향막은 광(예를 들어, UV 또는 레이저)의 조사에 의해 분해(decomposition), 이합체화 반응(dimerization), 이성질체화반응(isomerization) 중 하나의 반응이 이루어지는 고분자 물질을 포함할 수 있다. 또한, 상기 배향막은 올리고머 신나메이트와 고분자계 신나메이트의 블랜드(blend)로 이루어질 수 있다.
- [0114] 상기 배향막은 러빙 공정을 통해 배향되는 것이 아니라 광에 의해서 배향된다. 광 배향 프로세스에서는 상기 배향막의 하부막 구조를 평탄화시키는 공정이 불필요하다. 따라서, 상기 범프(140)에 의해서 상기 제1 기판(100)이 평탄하지 않아도 배향 불량이 발생하지 않는다.
- [0115] 도 18에 도시된 바와 같이, 상기 액정 분자(251)가 포지티브형 액정 분자인 경우, 상기 배향막은 상기 제1 및 제2 데이터 라인(Dj, Dj+1)이 연장된 제2 방향(A2)으로 광배향 처리된다.

[0116] 도 19에 도시된 바와 같이, 상기 액정 분자(251)가 네가티브형 액정 분자인 경우, 상기 배향막은 상기 제1 및 제2 게이트 라인(Gi-1, Gi)이 연장된 상기 제1 방향(A1)으로 광배향 처리된다.

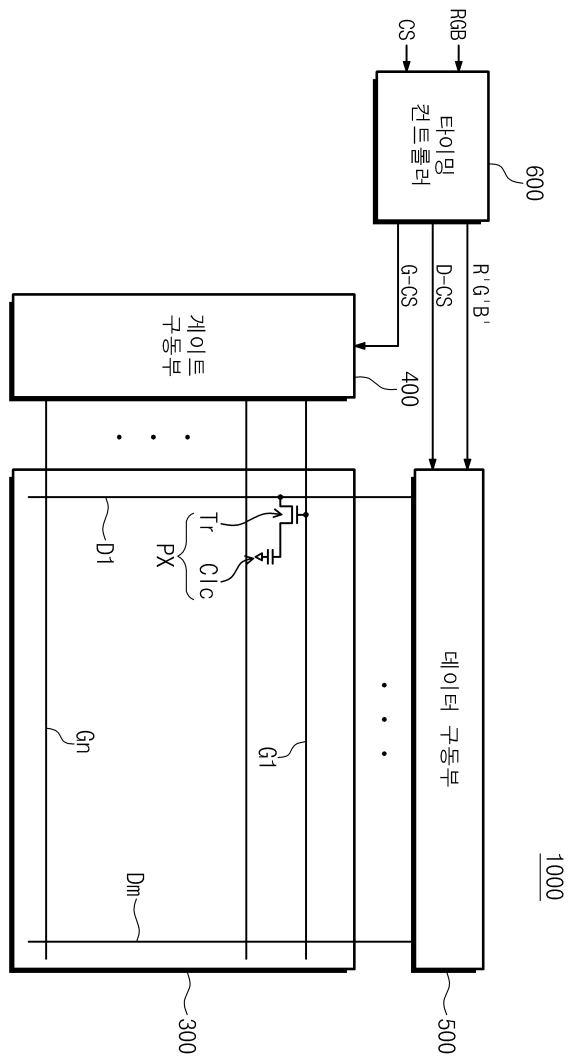
[0117] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

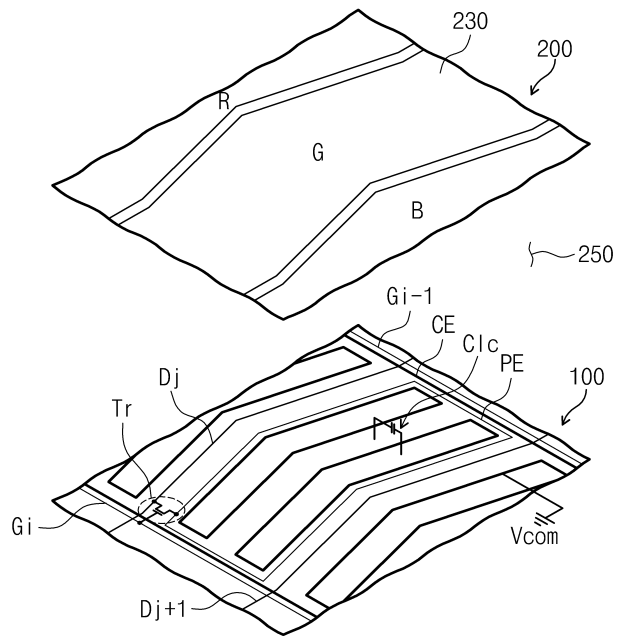
[0118]	100: 제1 기판	200: 제2 기판
	250 : 액정층	300 : 영상 표시부
	400 : 게이트 구동부	500 : 데이터 구동부
	600 : 타이밍 컨트롤러	1000 : 표시 장치
	130 : 보호막	140 : 범프
	150 : 돌출바	161, 162, 163 : 제1 내지 제3 돌출바
	220 : 블랙 매트릭스	230 : 컬러필터층
	240 : 오버코팅층	

도면

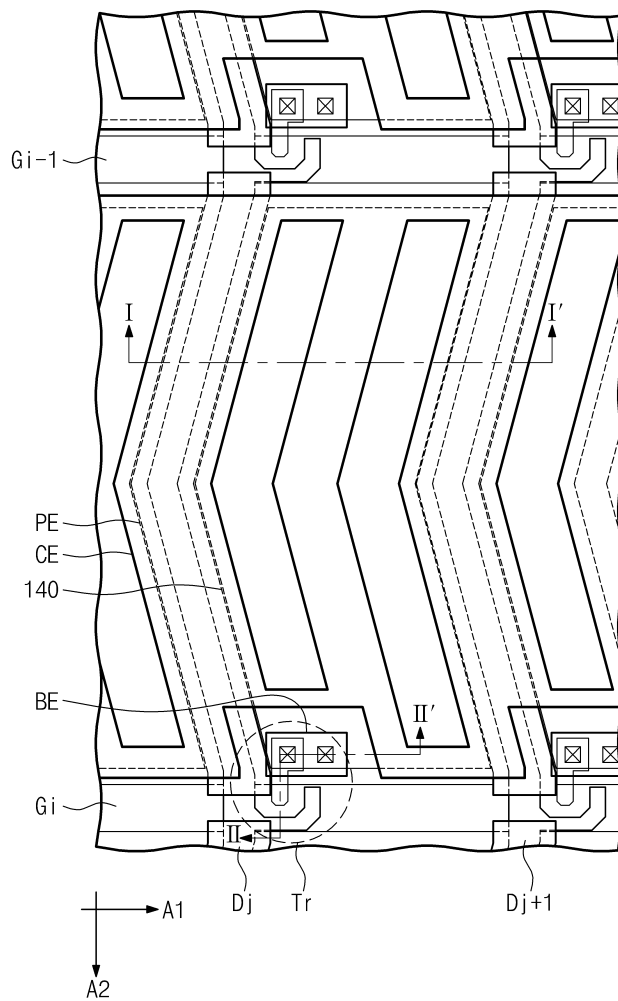
도면1



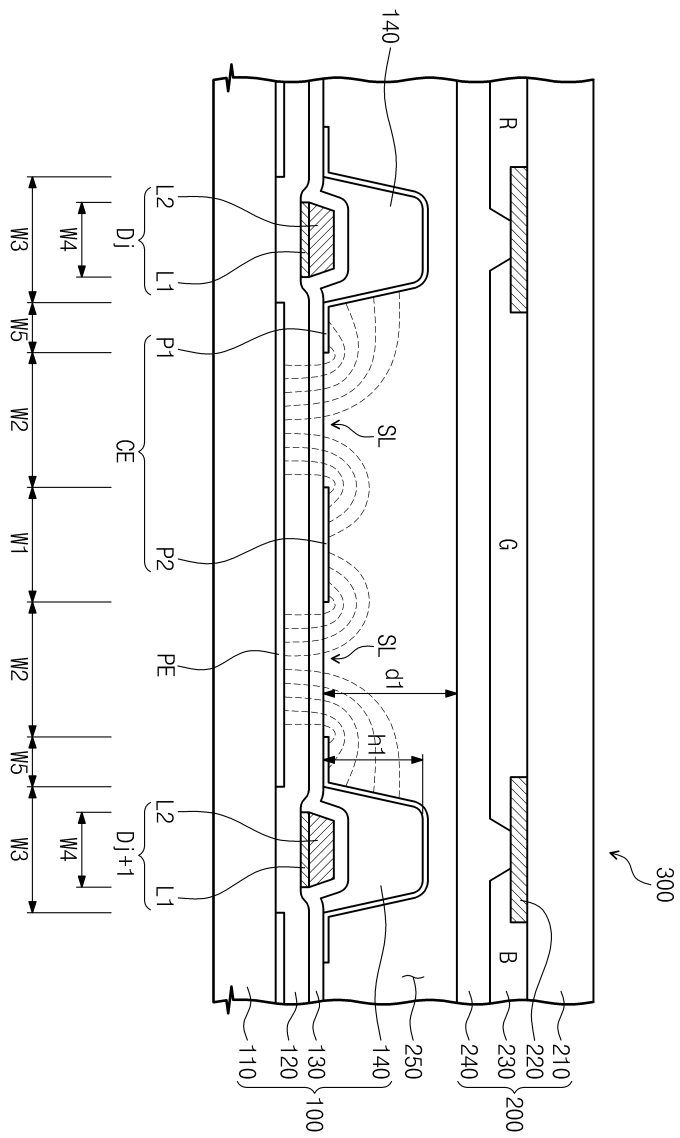
도면2



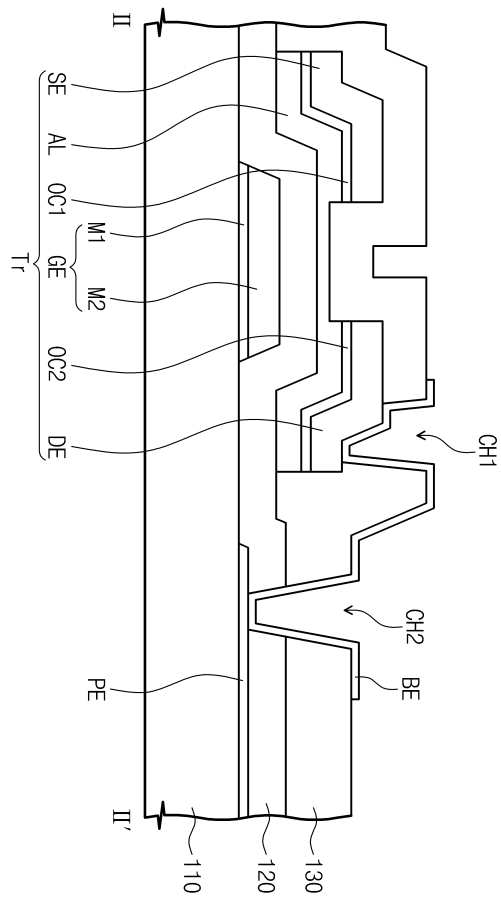
도면3



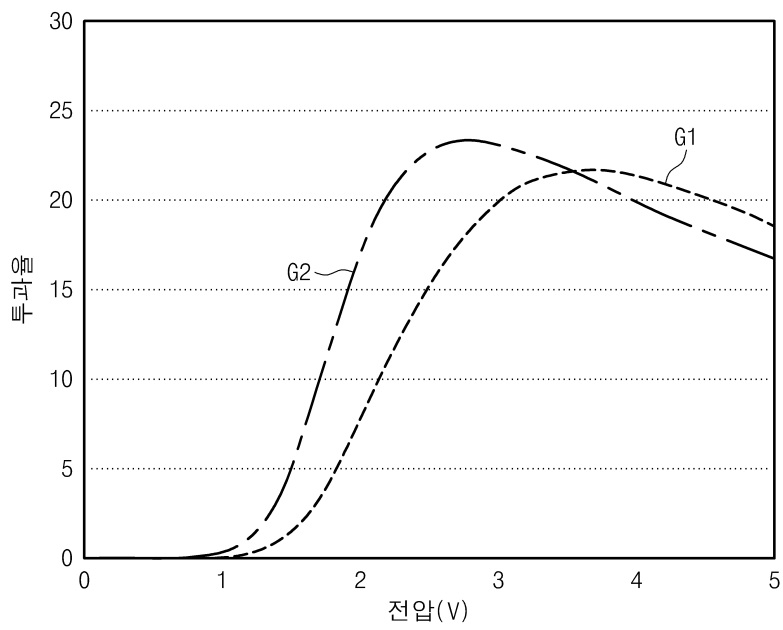
도면4



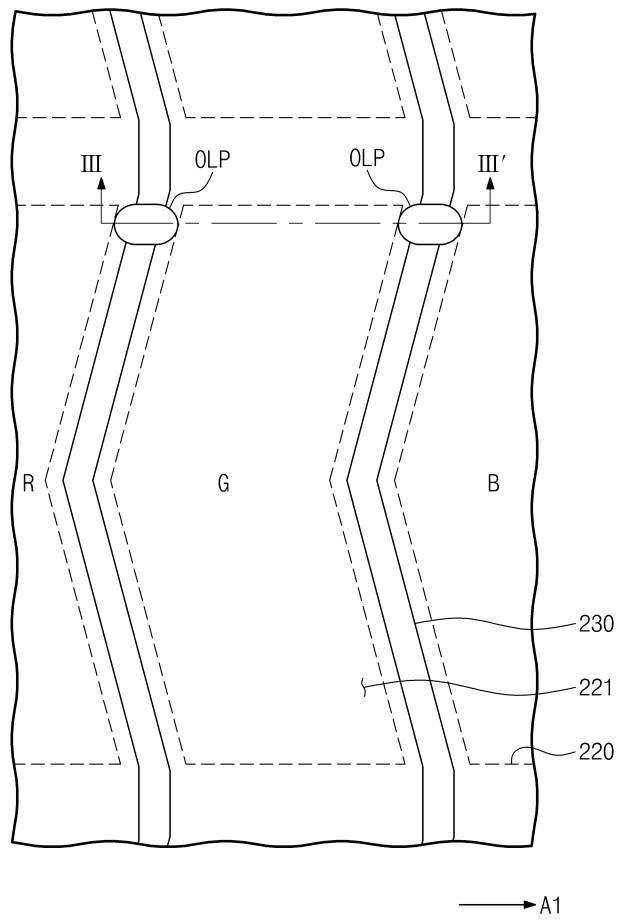
도면5



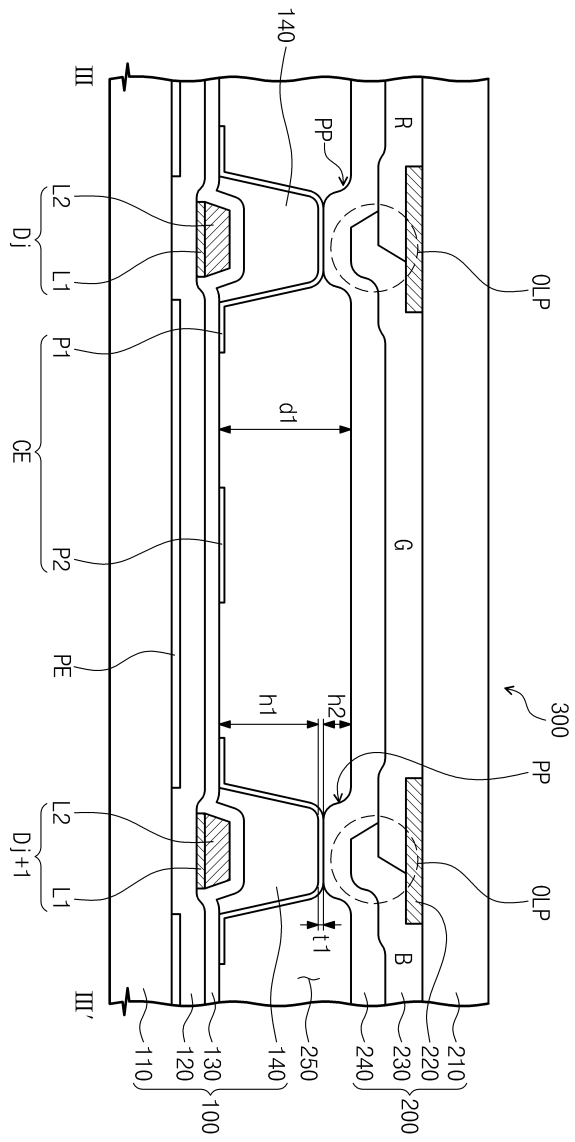
도면6



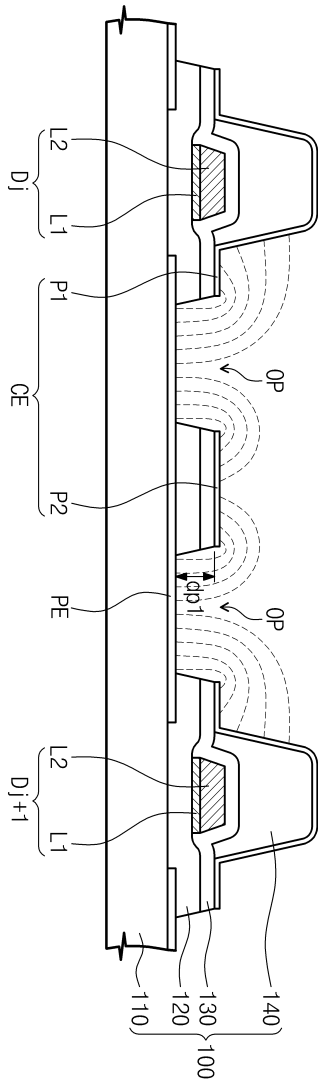
도면7



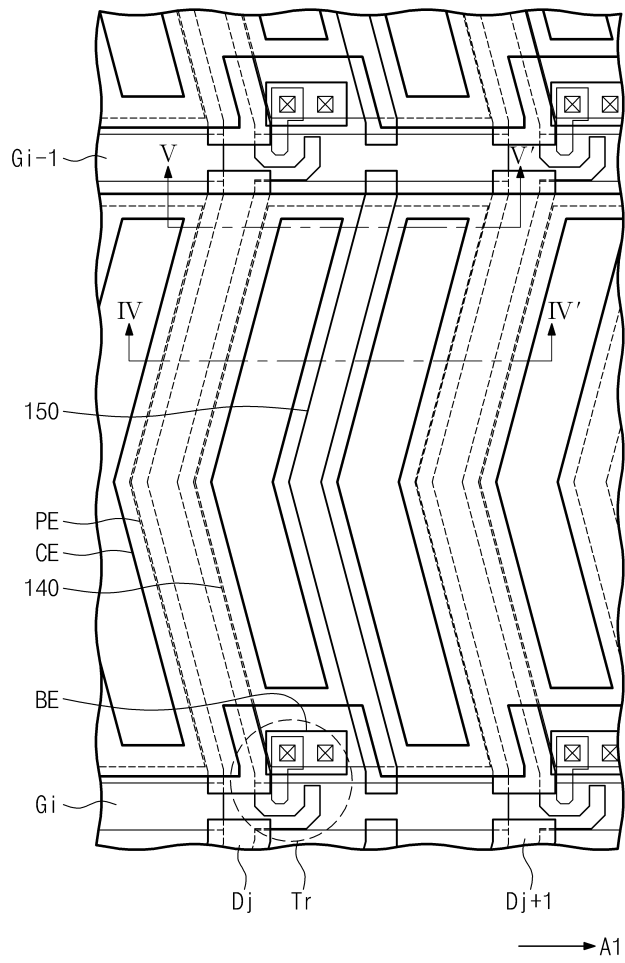
도면8



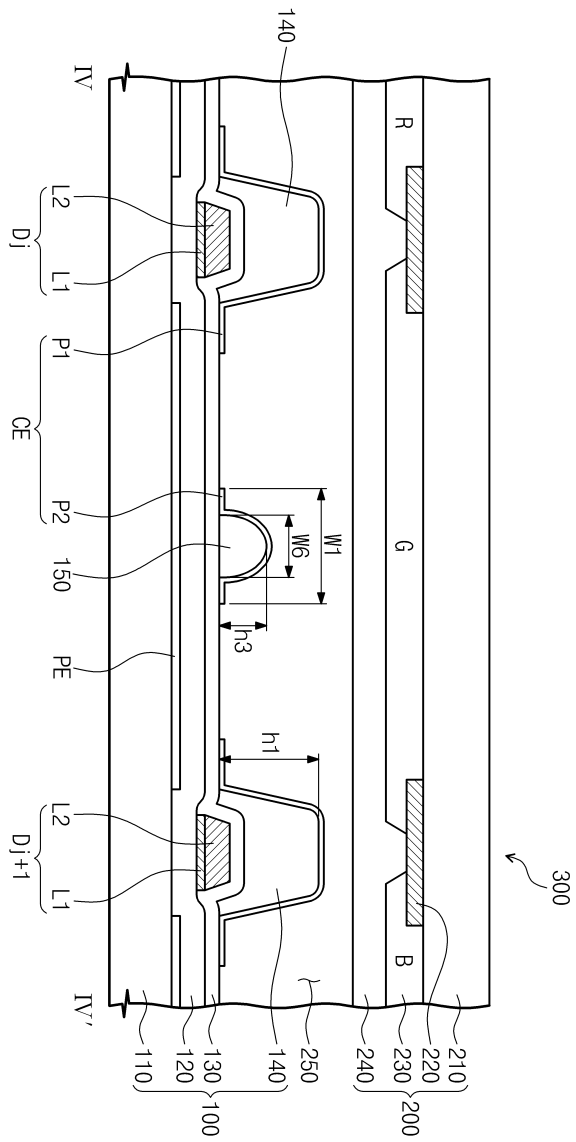
도면9



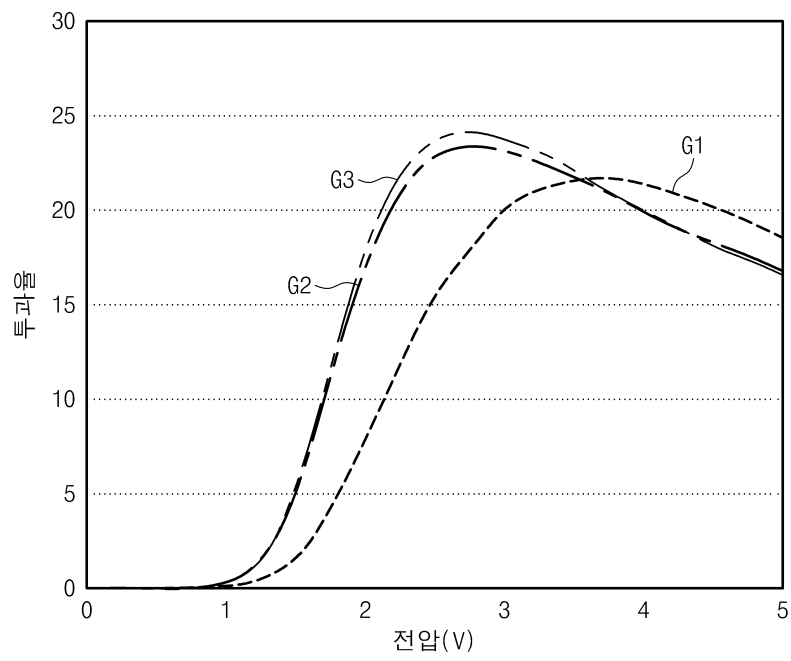
도면10



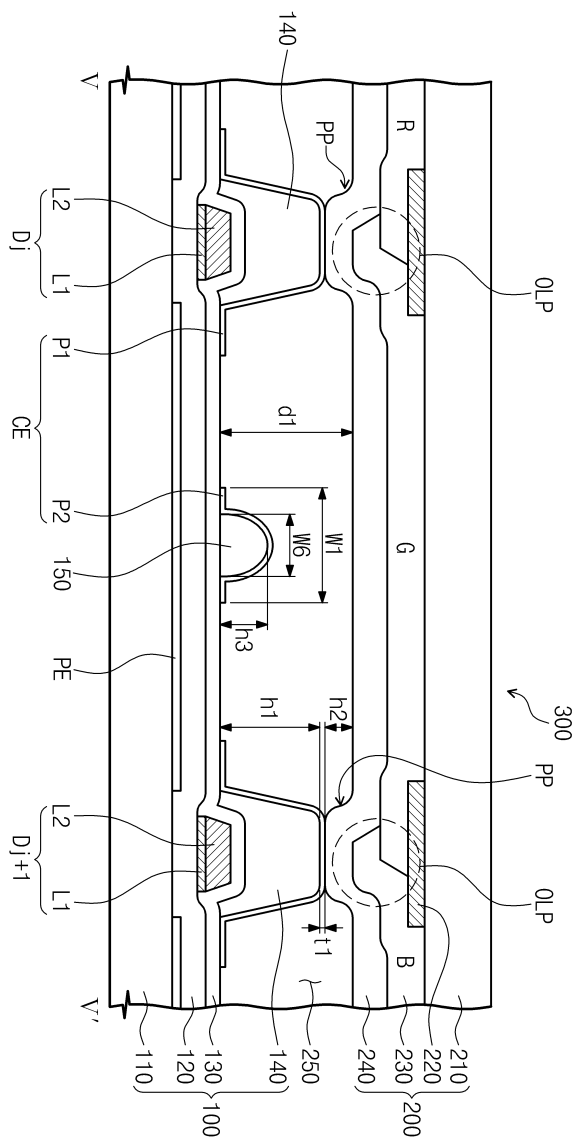
도면11



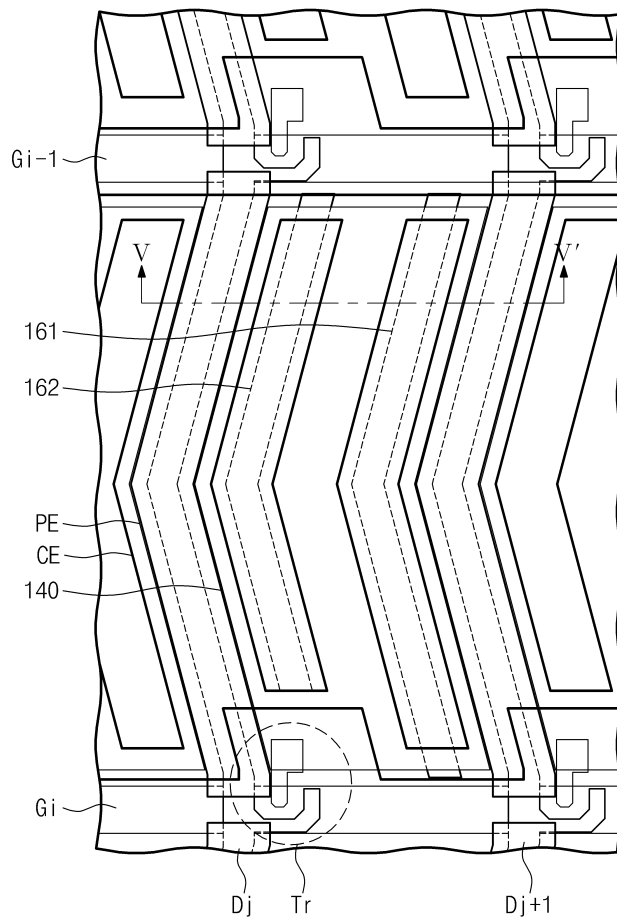
도면12



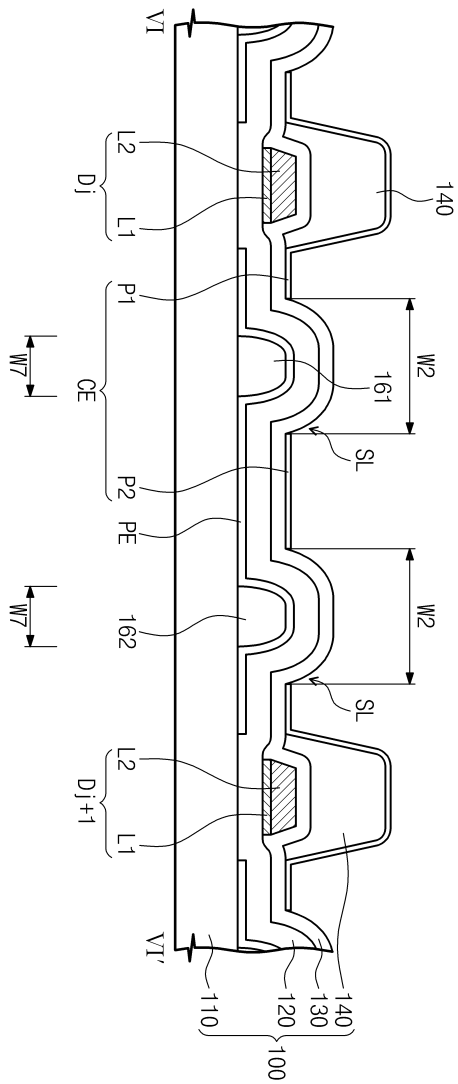
도면13



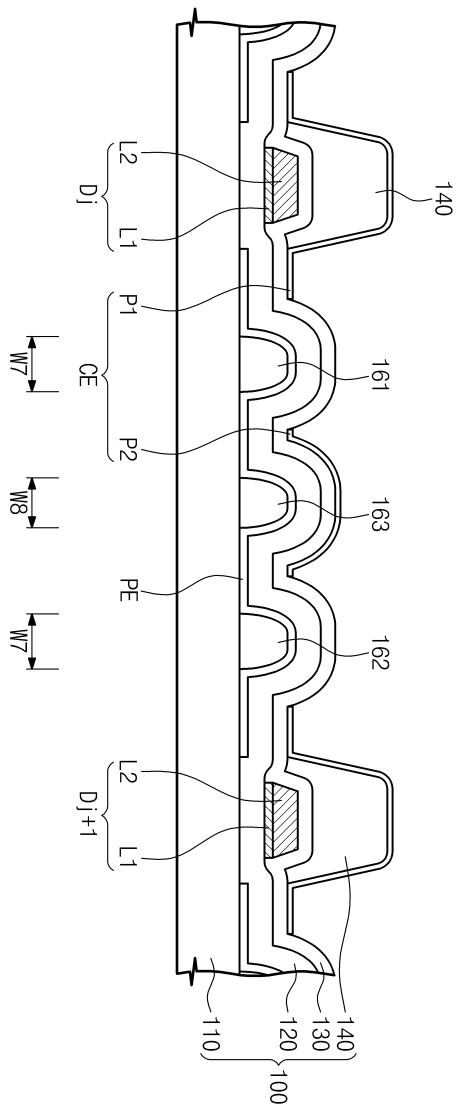
도면14



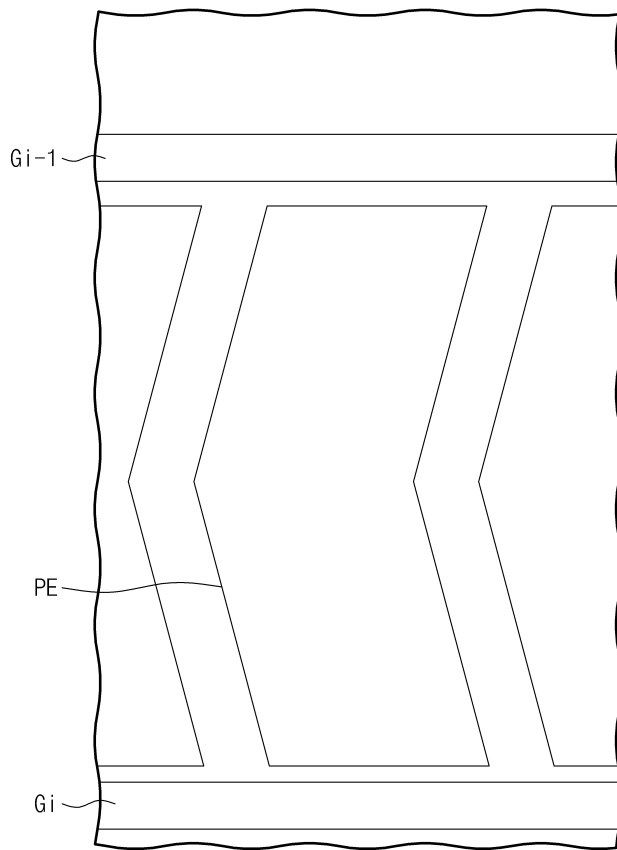
도면15



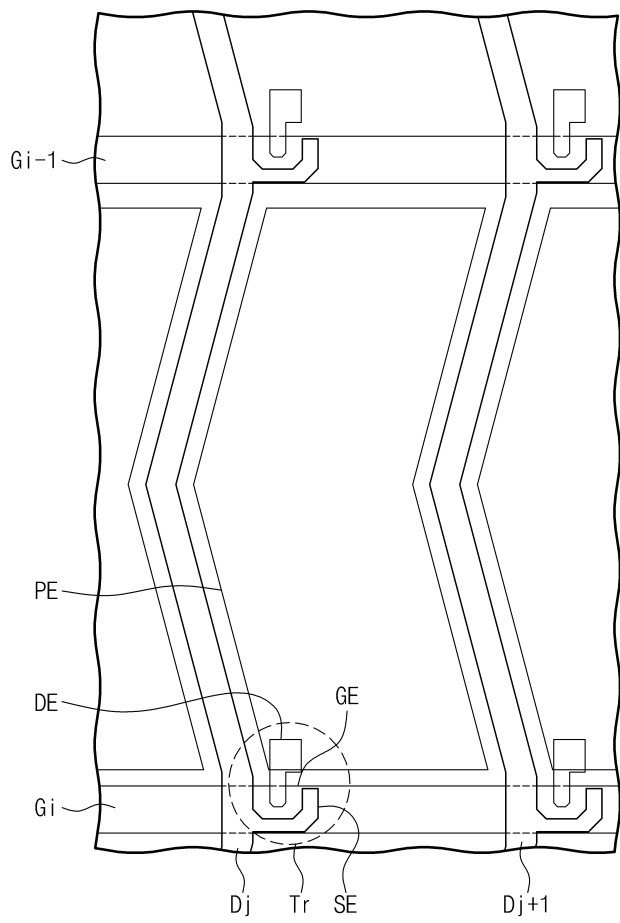
도면16



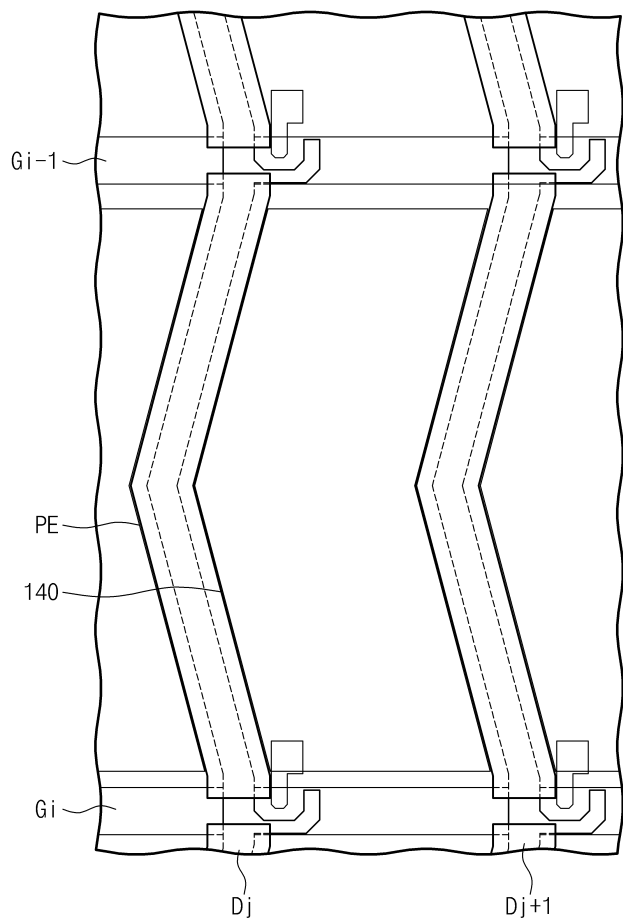
도면17a



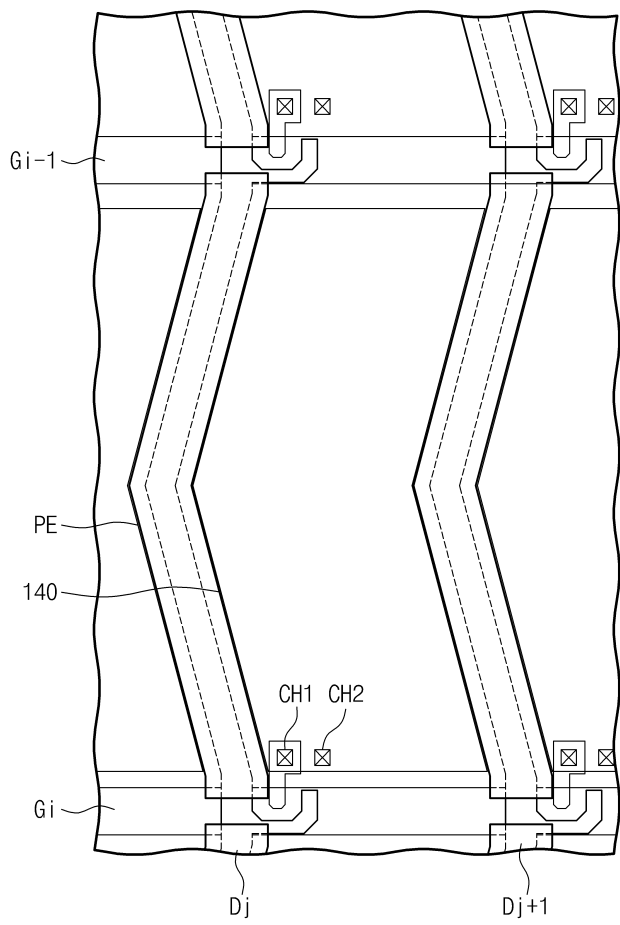
도면17b



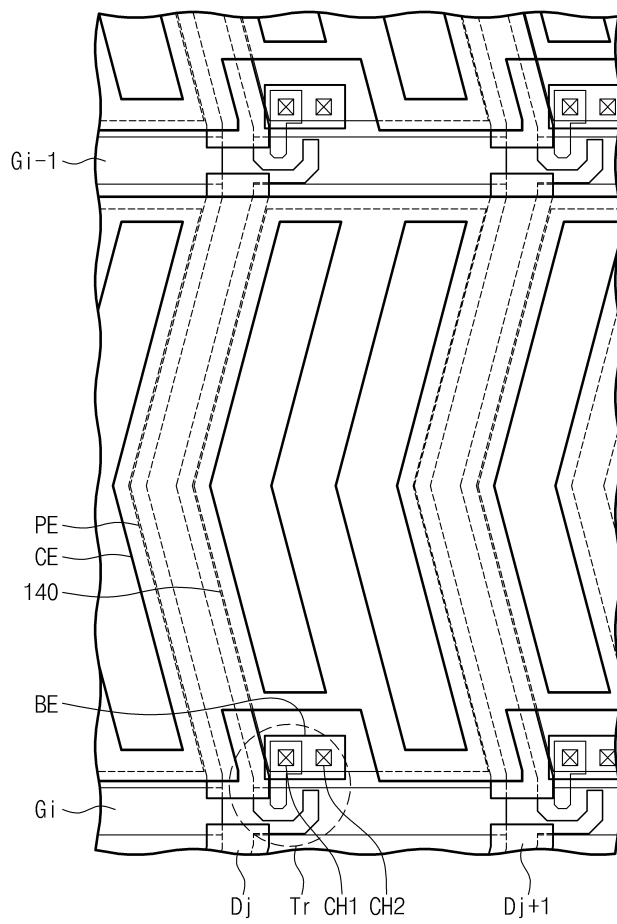
도면17c



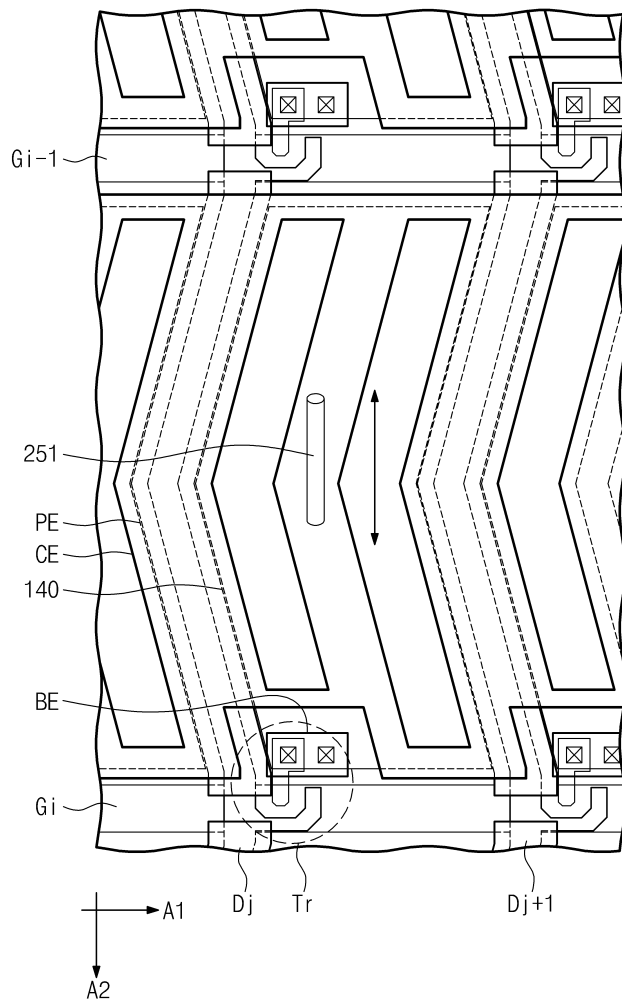
도면17d



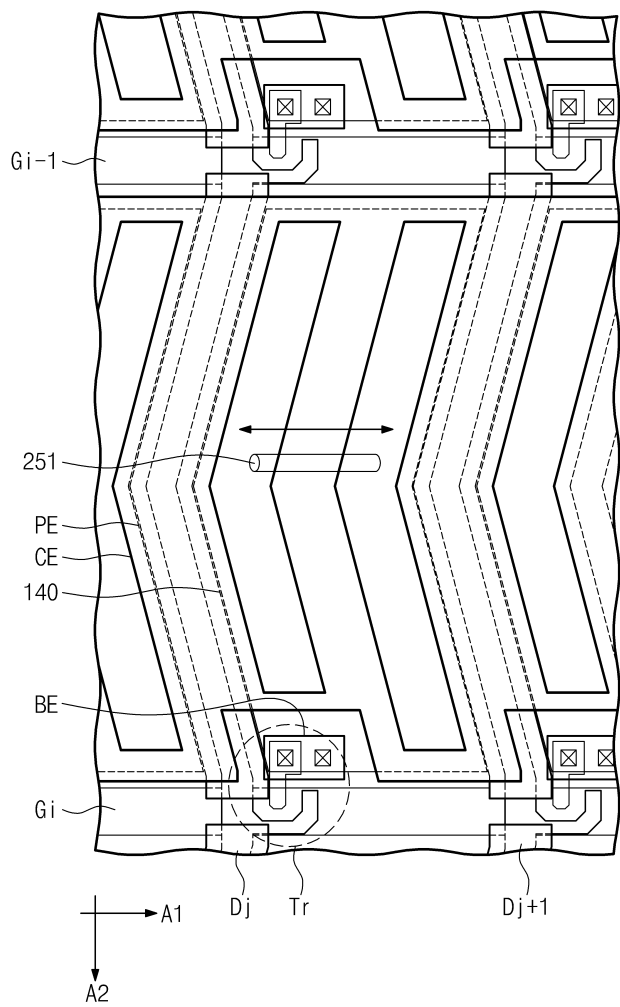
도면17e



도면18



도면19



专利名称(译)	液晶显示器及其制造方法		
公开(公告)号	KR1020140117935A	公开(公告)日	2014-10-08
申请号	KR1020130032909	申请日	2013-03-27
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	TANAKA SAKAE 다나카사카에 SHIN KICHUL 신기철 SHIN CHEOL 신철 YOSHIMOTO HIROSHI 요시모토히로시		
发明人	다나카사카에 신기철 신철 요시모토히로시		
IPC分类号	G02F1/1343 G02F1/1335		
CPC分类号	G02F1/133345 G02F1/133514 G02F1/13394 G02F1/134363 G02F2001/134372 G02F2001/136218 G02F2201/40		
其他公开文献	KR102045504B1		
外部链接	Espacenet		

摘要(译)

在LCD及其制造方法中，第一基板是第一绝缘基板，栅极线设置在第一绝缘基板上。设置在第一绝缘基板上并接收驱动电压的第一电极，与栅极线交叉的数据线，在数据线上沿数据线形成的凸块，以及遮盖凸块的屏蔽电极部分和第一电极第二电极接收参考电压，该公共电极位于第二电极的中心。第二基板包括面对第一绝缘基板的第二绝缘基板和包括设置在第二绝缘基板上的包括多个彩色像素的滤色器层。彼此相邻的两个彩色像素在凸块的顶部部分重叠，以提供向第一基板侧突出的突起。 专利出版物10-2014-0117935

대표도

