



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0026073
(43) 공개일자 2013년03월13일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G09G 3/36 (2006.01)
G02F 1/133 (2006.01)
(21) 출원번호 10-2011-0089451
(22) 출원일자 2011년09월05일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이종현
경상북도 구미시 수출대로 225, 인재관 가동 305
호 (공단동, LG전자)
홍광표
경상북도 구미시 산호대로33길 6-65, 502호 (옥계
동)
(74) 대리인
특허법인네이트

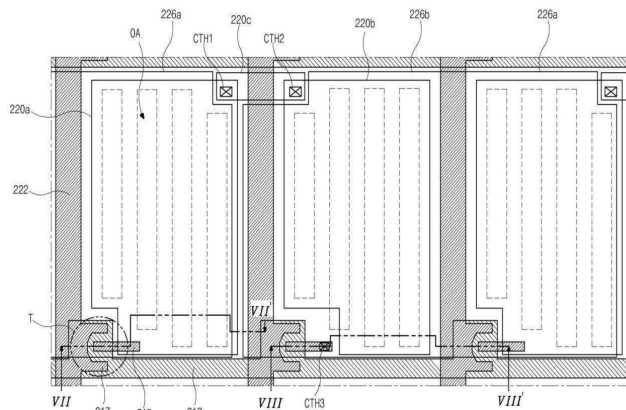
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 액정표시장치 및 그 구동방법

(57) 요약

본 발명은 액정표시장치 및 그 구동방법에 관한 것으로, 이전 부화소영역의 화소 전극과 해당 부화소영역의 공통 전극을 연결하여 두 전극이 동일한 전압을 공유하는 것을 특징으로 한다.

대표도 - 도6



특허청구의 범위

청구항 1

서로 교차하여 다수의 부화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선이 형성되는 제 1 기판과 상기 제 1 기판과 대향합착되는 제2기판을 포함하며,

상기 제 1 기판은 상기 다수의 부화소영역 내에 형성되는 제 1 전극 및 제 2 전극과, 보호층을 사이에 두고 상기 제 1 전극 및 상기 제 2 전극과 이격하는 제 4 전극 및 제 3 전극으로 이루어지며,

제 N(N은 임의의 자연수)번째 부화소영역의 제 1 전극과 제 N+1 번째 부화소영역의 제 2 전극이 서로 연결되고,

제 N+1 번째 부화소영역의 제 3 전극과 제 N+2 번째 부화소영역의 제 4 전극이 서로 연결되는 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 보호층 상부에는 상기 제 1 전극 및 상기 제 2 전극을 각각 노출시키는 제 1 콘택홀 및 제 2 콘택홀이 형성되며,

상기 제 1 콘택홀 및 상기 제 2 콘택홀을 통해 상기 제 1 전극 및 상기 제 2 전극을 연결시키는 연결 패턴을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서,

상기 제 1 전극은 드레인 전극과 연결되는 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서,

상기 보호층 상부에는 상기 제 N+1 번째 부화소영역의 드레인 전극을 노출시키는 제 3 콘택홀이 형성되며,

상기 제 3 콘택홀을 통해 상기 제 N+1 번째 부화소영역의 제 3 전극은 상기 드레인 전극과 연결되는 것을 특징으로 하는 액정표시장치.

청구항 5

제1항에 있어서,

상기 제 3 전극과 상기 제 4 전극은 하나로 연결되는 것을 특징으로 하는 액정표시장치.

청구항 6

제1항에 있어서,

데이터 신호를 생성하고, 생성된 상기 데이터 신호를 상기 다수의 데이터 배선을 통해 상기 제 1 전극 및 제 3 전극으로 공급하는 데이터 드라이버를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7

제6항에 있어서,

상기 데이터 드라이버는,

상기 제 1 전극에 인가되는 전압과 감마전압을 이용하여 상기 제 3 전극에 인가되는 전압을 연산하는 데이터 연산 장치를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 8

제7항에 있어서,

상기 데이터 연산 장치는,

상기 제 1 전극에 인가되는 전압이 정극성(+)의 전압일 경우에는 상기 전압에서 상기 감마전압만큼 빼주고,

상기 제 1 전극에 인가되는 전압이 부극성(-)의 전압일 경우에는 상기 전압에서 상기 감마전압만큼 더해서 상기 제 3 전극에 인가되는 전압을 연산하는 것을 특징으로 하는 액정표시장치.

청구항 9

제 N(N은 임의의 자연수)번째 부화소영역의 제 1 전극과 제 N+1 번째 부화소영역의 제 2 전극과, 보호층을 사이에 두고 상기 제 1 전극 및 상기 제 2 전극과 이격하는 제 N+1 번째 부화소영역의 제 3 전극과 제 N+2 번째 부화소영역의 제 4 전극을 포함하는 액정표시장치의 구동방법에 있어서,

박막트랜지스터가 턴-온되는 동안에 데이터 배선을 통하여 상기 제 1 전극 및 상기 제 3 전극에 각각의 데이터 신호를 전달하는 단계를 포함하며,

상기 제 1 전극 및 상기 제 2 전극에 동일한 전압이 인가되고 상기 제 3 전극 및 상기 제 4 전극에 동일한 전압이 인가되는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 10

제9항에 있어서,

상기 제 1 전극에 인가되는 전압과 감마전압을 이용하여 상기 제 3 전극에 전달되는 상기 데이터 신호를 생성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 11

제10항에 있어서,

상기 데이터 연산 장치는,

상기 제 1 전극에 인가되는 전압이 정극성(+)의 전압일 경우에는 상기 전압에서 상기 감마전압만큼 빼주고,

상기 제 1 전극에 인가되는 전압이 부극성(-)의 전압일 경우에는 상기 전압에서 상기 감마전압만큼 더해서 상기 제 3 전극에 인가되는 전압을 연산하는 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

기술 분야

본 발명은 액정표시장치 및 그 구동방법에 관한 것으로, 보다 상세하게는 횡전계 액정표시장치에 있어서, 이전

부화소영역의 화소전압과 해당 부화소영역의 공통전압을 공유함에 따라 액정표시장치의 소비전력을 줄일 수 있는 액정표시장치 및 그 구동방법에 관한 것이다.

배경 기술

- [0002] 최근 정보화 사회가 발전함에 따라 디스플레이 분야에 대한 요구도 다양한 형태로 증가하고 있으며, 이에 부응하여 박형화, 경량화, 저소비 전력화 등의 특징을 지닌 여러 평판 표시 장치(Flat Panel Display device), 예를 들어, 액정표시장치(Liquid Crystal Display device), 플라스마표시장치(Plasma Display Panel device), 전기발광표시장치(Electro Luminescent Display device) 등이 연구되고 있다.
- [0003] 이 중에서 액정표시장치는 현재 가장 널리 사용되는 평판 표시 장치 중 하나이며, 화소전극과 공통전극 등이 형성되는 두 기판과, 두 기판 사이의 액정층을 포함한다.
- [0004] 이러한 액정표시장치는, 전극에 인가된 전압에 의해 생성된 전기장에 따라 액정층의 액정분자들의 배향을 결정하고, 입사광의 편광을 제어하여 영상을 표시한다.
- [0005] 한편, 액정표시장치는 액정의 배열과 액정에 전기장을 인가하는 전극의 배열 형태에 따라, 액정 분자가 90도 트위스트 되도록 배열한 후 전압을 인가하여 액정 분자를 제어하는 TN(Twisted Nematic)모드, 한 기판 상에 두개의 전극을 형성하여 배향막과 나란한 평면에서 수평전계에 의해 액정분자의 배향을 변화시키는 IPS(In-Plane Switching)모드, 액정분자의 초기 배향이 기판에 평행하게 배열되고 전극은 제1 및 제2기판 각각에 형성되어 액정에 수직전계를 인가하는VA(Vertical Alignment)모드 등으로 구분된다.
- [0006] 이 중 IPS방식의 액정표시장치는, 일반적으로 서로 대향배치되며 그 사이에 액정층을 구비하는 제1기판과 제2기판을 포함하며, 액정층의 액정분자가 횡전계에 의해 수평 구동되므로 시야각이 우수하다.
- [0007] 도1은 종래의 액정표시장치의 부화소영역의 등가회로를 개략적으로 도시한 도면이다.
- [0008] 도1에 도시한 바와 같이, 액정표시장치(미도시)에는 서로 교차하여 부화소영역(SP)을 정의하는 게이트 배선(GL) 및 데이터 배선(DL)이 형성되고, 각 부화소영역(SP)에는 게이트 배선(GL) 및 데이터 배선(DL)에 연결되는 박막트랜지스터(T)와, 박막트랜지스터(T)에 연결되는 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)가 형성된다.
- [0009] 도시하지는 않았지만, 화소 전극(미도시)은 박막트랜지스터(T)의 드레인 전극(미도시)과 연결되며, 화소전극에 대응하여 공통 전극(미도시)이 형성될 수 있다.
- [0010] 이러한 화소 전극과 공통 전극 각각에 화소전압(Vdata) 및 공통전압(Vcom)이 인가되면, 화소 전극과 공통 전극 사이에 전기장이 형성되고, 형성된 전기장을 이용하여 액정표시장치를 구동할 수 있다.
- [0011] 그리고, 스토리지 커패시터(Cst)는 화소 전극에 인가된 화소전압(Vdata)을 다음 프레임까지 유지할 수 있도록 하는 역할을 한다.
- [0012] 도2는 종래의 액정표시장치의 어레이기판의 평면도이고, 도3은 도2를 절단선 III-III'을 따라 절단한 부분에 대한 단면도이다.
- [0013] 도2및 도3에 도시한 바와 같이, 종래의 액정표시장치의 어레이기판(10)에는 서로 교차하여 다수의 부화소영역(도1의 SP)을 정의하는 게이트 배선(12)과 데이터 배선(22)이 형성된다.
- [0014] 게이트 배선(12) 및 게이트 전극(11) 상부에 산화실리콘(SiO₂) 또는 질화실리콘(SiNx) 등의 무기절연물질을 증착하여 게이트 절연막(13)을 형성한다.
- [0015] 그리고, 게이트 절연막(13) 상부에는 반도체층(15)과 소스 전극(17) 및 드레인 전극(19) 및 화소 전극(20)이 형성된다.
- [0016] 이때, 화소 전극(20)은 데이터 배선(22)과의 쇼트를 방지하기 위해 데이터 배선(22)과 일정간격 이격하며 형성된다.
- [0017] 그리고, 각 부화소영역(SP)에는 게이트 배선(12) 및 데이터 배선(22)과 연결되며, 게이트 전극(11)과 게이트 절

연막(13)과 반도체층(15)과 서로 이격하는 소스 전극(17) 및 드레인 전극(19)으로 구성되는 박막트랜지스터(T)가 형성된다.

[0018] 또한, 데이터 배선(22)과 화소전극(20) 상부에는 산화실리콘(SiO_2) 등의 무기절연물질 등으로 구성된 보호층(24)이 형성되고, 그 보호층(24) 상부에 각 부화소영역에 대응하여 일정간격 이격하며 바(bar) 형태의 다수의 개구부(OA)를 갖는 공통전극(26)이 형성된다.

[0019] 이러한 액정표시장치의 구동을 살펴보면, 먼저, 게이트 배선(12)을 통해 전달 되는 게이트 신호에 따라 박막트랜지스터(T)가 턴-온(Turn-On)된다.

[0020] 다음으로, 박막트랜지스터(T)가 턴-온(Turn-On)되는 동안에, 데이터 배선(22)을 통해 데이터 신호가 전달되어 화소 전극(20)으로 화소전압(Vdata)이 인가된다.

[0021] 그리고, 공통 전극(26)에 인가된 공통전압(Vcom) 및 화소전압(Vdata)에 의하여 전기장이 생성되고, 생성된 전기장에 의해 액정층(미도시)을 재배열하여 영상을 표시할 수 있다.

[0022] 도4는 종래의 액정표시장치의 구동 방법을 설명하기 위해 참조되는 도면이다.

[0023] 도4에 도시한 바와 같이, 종래의 액정표시장치는 서로 교차하여 다수의 부화소영역을 정의하는 다수의 게이트 배선(GL)과 다수의 데이터 배선(DL)이 형성된다.

[0024] 이때, 다수의 부화소영역은 $M \times N$ (M, N은 임의의 자연수)의 매트릭스형상으로 배열될 수 있다.

[0025] 그리고, 각 부화소영역에는, 게이트 배선(GL) 및 데이터 배선(DL)에 연결되는 박막트랜지스터(T)와, 박막트랜지스터(T)의 일 전극이 연결되는 스토리지 커패시터(Cst)가 형성되고, 스토리지 커패시터(Cst)의 타 전극은 공통 배선(미도시)에 의해 하나로 연결될 수 있었다.

[0026] 하지만, 종래에는 별도로 공통전압부를 두어 모든 공통 전극에 동시에 동일한 전압을 인가하였으며 그로 인하여 액정표시장치의 소비전력이 커지는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0027] 본 발명은, 상기와 같은 문제점을 해결하기 위한 것으로, 이전 부화소영역의 화소 전극과 해당 부화소영역의 공통 전극을 연결하여 두 전극이 전압을 공유함에 따라 액정표시장치의 소비전력을 줄일 수 있는 액정표시장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0028] 상기한 바와 같은 목적을 달성하기 위한 액정표시장치는, 서로 교차하여 다수의 부화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선이 형성되는 제 1 기판과 상기 제 1 기판과 대향합착되는 제2기판을 포함하며, 상기 제 1 기판은 상기 다수의 부화소영역 내에 형성되는 제 1 전극 및 제 2 전극과, 보호층을 사이에 두고 상기 제 1 전극 및 상기 제 2 전극과 이격하는 제 4 전극 및 제 3 전극으로 이루어지며, 제 N(N은 임의의 자연수)번째 부화소영역의 제 1 전극과 제 N+1 번째 부화소영역의 제 2 전극이 서로 연결되고, 제 N+1 번째 부화소영역의 제 3 전극과 제 N+2 번째 부화소영역의 제 4 전극이 서로 연결되는 것을 특징으로 한다.

[0029] 여기서, 상기 보호층 상부에는 상기 제 1 전극 및 상기 제 2 전극을 각각 노출시키는 제 1 콘택홀 및 제 2 콘택홀이 형성되며, 상기 제 1 콘택홀 및 상기 제 2 콘택홀을 통해 상기 제 1 전극 및 상기 제 2 전극을 연결시키는 연결 패턴을 더 포함할 수 있다.

[0030] 그리고, 상기 제 1 전극은 드레인 전극과 연결되는 것이 바람직하다.

[0031] 또한, 상기 보호층 상부에는 상기 제 N+1 번째 부화소영역의 드레인 전극을 노출시키는 제 3 콘택홀이 형성되며, 상기 제 3 콘택홀을 통해 상기 제 N+1 번째 부화소영역의 제 3 전극은 상기 드레인 전극과 연결될 수

있다.

[0032] 그리고, 상기 제 3 전극과 상기 제 4 전극은 하나로 연결되는 것이 바람직하다.

[0033] 한편, 데이터 신호를 생성하고, 생성된 상기 데이터 신호를 상기 다수의 데이터 배선을 통해 상기 제 1 전극 및 제 3 전극으로 공급하는 데이터 드라이버를 더 포함할 수 있다.

[0034] 여기서, 상기 데이터 드라이버는, 상기 제 1 전극에 인가되는 전압과 감마전압을 이용하여 상기 제 3 전극에 인가되는 전압을 연산하는 데이터 연산 장치를 더 포함할 수 있다.

[0035] 그리고, 상기 데이터 연산 장치는, 상기 제 1 전극에 인가되는 전압이 정극성(+)의 전압일 경우에는 상기 전압에서 상기 감마전압만큼 빼주고, 상기 제 1 전극에 인가되는 전압이 부극성(-)의 전압일 경우에는 상기 전압에서 상기 감마전압만큼 더해서 상기 제 3 전극에 인가되는 전압을 연산하는 것이 바람직하다.

[0036] 상기한 바와 같은 목적을 달성하기 위한 본 발명에 실시예에 따른 액정표시장치의 구동방법은, 제 N(N은 임의의 자연수)번째 부화소영역의 제 1 전극과 제 N+1 번째 부화소영역의 제 2 전극과, 보호층을 사이에 두고 상기 제 1 전극 및 상기 제 2 전극과 이격하는 제 N+1 번째 부화소영역의 제 3 전극과 제 N+2 번째 부화소영역의 제 4 전극을 포함하는 액정표시장치의 구동방법에 있어서, 박막트랜지스터가 턴-온되는 동안에 데이터 배선을 통하여 상기 제 1 전극 및 상기 제 3 전극에 각각의 데이터 신호를 전달하는 단계를 포함하며, 상기 제 1 전극 및 상기 제 2 전극에 동일한 전압이 인가되고 상기 제 3 전극 및 상기 제 4 전극에 동일한 전압이 인가되는 것을 특징으로 한다.

[0037] 여기서, 본 발명에 실시예에 따른 액정표시장치의 구동방법은, 상기 제 1 전극에 인가되는 전압과 감마전압을 이용하여 상기 제 3 전극에 전달되는 상기 데이터 신호를 생성하는 단계를 더 포함할 수 있다.

[0038] 그리고, 상기 데이터 연산 장치는, 상기 제 1 전극에 인가되는 전압이 정극성(+)의 전압일 경우에는 상기 전압에서 상기 감마전압만큼 빼주고, 상기 제 1 전극에 인가되는 전압이 부극성(-)의 전압일 경우에는 상기 전압에서 상기 감마전압만큼 더해서 상기 제 3 전극에 인가되는 전압을 연산하는 것이 바람직하다.

발명의 효과

[0039] 이상 설명한 바와 같이, 본 발명에 따른 액정표시장치에서는, 이전 부화소영역의 화소 전극과 해당 부화소영역의 공통 전극을 연결하여 두 전극이 동일한 전압을 공유함에 따라 별도로 공통전압을 공급할 필요가 없어 액정표시장치의 소비전력을 줄일 수 있다.

도면의 간단한 설명

[0040] 도1은 종래의 액정표시장치의 부화소영역의 등가회로를 개략적으로 도시한 도면이다.

도2는 종래의 액정표시장치의 어레이기판의 평면도이다.

도3은 도2를 절단선 III-III'을 따라 절단한 부분에 대한 단면도이다.

도4는 종래의 액정표시장치의 구동 방법을 설명하기 위해 참조되는 도면이다.

도5는 본 발명의 실시예에 따른 액정표시장치를 개략적으로 도시한 도면이다.

도6은 본 발명의 실시예에 따른 액정표시장치의 어레이기판의 평면도이다.

도7은 도6을 절단선 VII-VII'을 따라 절단한 부분에 대한 단면도이다.

도8은 도6을 절단선 VIII-VIII'을 따라 절단한 부분에 대한 단면도이다.

도9는 본 발명의 실시예에 따른 액정표시장치의 구동 방법을 설명하기 위해 참조되는 도면이다.

도10은 본 발명의 실시예에 따른 액정표시장치의 화소전압 및 공통전압의 파형도를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0041] 이하, 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.
- [0042] 도5는 본 발명의 실시예에 따른 액정표시장치를 개략적으로 도시한 도면이다.
- [0043] 도5에 도시한 바와 같이, 본 발명에 따른 액정표시장치(100)는, 액정패널(110)과 데이터 드라이버(120), 게이트 드라이버(130), 데이터 드라이버(120) 및 게이트 드라이버(130) 각각의 구동 타이밍을 제어하기 위한 타이밍 제어부(140) 등을 포함할 수 있다.
- [0044] 액정패널(110)은, 다수의 게이트 배선(GL) 및 다수의 데이터 배선(DL)이 서로 교차하여 정의되는 다수의 부화소 영역(SP)을 포함할 수 있으며, 다수의 부화소영역(SP)에는 게이트 배선(GL) 및 데이터 배선(DL)에 연결되는 박막트랜지스터(T)과, 그 박막트랜지스터(T)에 연결되는 스토리지 커패시터(Cst) 및 액정커패시터(Clc)가 형성된다.
- [0045] 여기서, 다수의 부화소영역(SP)은, 예를 들어, 적, 녹, 청 부화소영역(SP)일 수 있으며, 가로방향(수평방향) 또는 세로방향(수직방향)으로 순차적으로 배치될 수 있다.
- [0046] 그리고, 액정패널(110)에는 적, 녹, 청 부화소영역(SP)을 포함하는 화소영역이 $M \times N$ (M, N은 임의의 자연수)의 매트릭스형상으로 배열될 수 있다.
- [0047] 박막트랜지스터(T)는 게이트 배선(GL)을 통해 게이트 신호, 즉 게이트 하이 전압(VGH)을 공급 받으면, 턴-온(Turn-On)되어 데이터 배선(DL)을 통해 액정커패시터(Clc)에 데이터 신호를 공급하며, 게이트 배선(GL)을 통해 게이트 로우 전압(VGL)을 공급 받는 경우 턴-오프(Turn-Off)된다.
- [0048] 액정커패시터(Clc)는 등가적으로 캐패시터로 표현되며, 액정을 사이에 두고 대면하는 공통 전극(미도시)과 박막트랜지스터(T)에 접속된 화소 전극(미도시)으로 구성된다.
- [0049] 이러한 액정커패시터(Clc)는 박막트랜지스터(T)를 통해 충전되는 데이터 신호에 따라 액정의 배열 상태가 가변하여 광 투과율을 조절함으로써 계조를 구현하게 된다.
- [0050] 그리고, 스토리지 캐패시터(Cst)는, 액정커패시터(Clc)에 충전된 데이터 신호를 다음 프레임까지 유지시키는 역할을 한다.
- [0051] 데이터 드라이버(120)는 액정패널(110)로 데이터 신호를 공급하는 적어도 하나의 드라이버 IC(미도시)를 포함할 수 있다.
- [0052] 도시하지는 않았지만, 데이터 드라이버(120)는, 해당 부화소영역의 공통전압과 감마전압을 이용하여 다음 부화소영역에 인가되는 화소전압(Vdata)을 연산하는 데이터 연산 장치(미도시)를 포함할 수 있다.
- [0053] 여기서, 감마전압은 데이터신호의 계조에 대응되는 전압일 수 있다.
- [0054] 예를 들어, 제 N번째 부화소영역의 제 1 전극과 제 N+1번째 부화소영역의 제 2 전극이 연결되어 두 전극이 동일한 전압을 공유하기 때문에, 제 N번째 부화소영역의 화소전압에서 극성 제어신호에 따라 감마전압을 더하거나 빼면 제 N+2번째 부화소영역에 인가되는 화소전압(Vdata)을 연산할 수 있다. 이에 대해서는 도10에서 자세하게 설명하기로 한다.
- [0055] 데이터 드라이버(120)는 타이밍 제어부(140)로부터 전달 받은 변환된 영상 신호(R/G/B)와 소스 스타트 펄스(SSP), 소스 쉬프트 클럭(SSC), 소스 출력 인에이블(SOE) 등과 같은 드라이버 IC 제어 신호를 이용하여 데이터 신호를 생성하고, 생성한 데이터 신호를 다수의 데이터 배선(DL)을 통해 액정패널(110)로 공급한다.
- [0056] 타이밍 제어부(140)는 LVDS(Low Voltage Differential Signal) 인터페이스를 통해 그래픽 카드와 같은 시스템(System)으로부터 다수의 영상 신호 및 수직동기신호(Vsync), 수평동기신호(Hsync), 데이터 인에이블 신호(DE) 등과 같은 다수의 제어신호를 전달 받을 수 있다.
- [0057] 그리고, 타이밍 제어부(140)는, 다수의 제어신호를 이용하여 게이트 드라이버(130)를 제어하기 위한 게이트 제어신호와 데이터 드라이버(120)를 제어하기 위한 데이터 제어신호를 생성할 수 있다.
- [0058] 여기서, 게이트 제어신호는, 게이트 스타트 펄스(Gate Start Pulse), 게이트 쉬프트 클럭(Gate Shift Clock)

등을 포함할 수 있으며, 데이터 제어신호는, 소스 스타트 펄스(Source Start Pulse), 소스 쉬프트 클럭(Source Shift Clock) 등을 포함할 수 있다.

- [0059] 게이트 드라이버(130)는 GIP(Gate In Panel)방식 등으로 형성될 수 있으며, 타이밍 제어부(140)로부터 전달 받은 다수의 게이트 제어신호를 이용하여 게이트 신호를 생성하고, 생성된 게이트 신호를 다수의 게이트 배선(GL)을 통해 액정패널(110)로 공급하도록 제어할 수 있다.
- [0060] 도시하지는 않았지만, 감마전압생성회로(미도시) 및 전원공급회로(미도시)를 더 포함할 수 있으며, 감마전압생성회로는 고전위전압과 저전위전압을 분압하여 다수의 감마전압을 생성하고, 이를 데이터 드라이버(140)에 공급할 수 있다.
- [0061] 그리고, 전원공급회로는, 외부로부터 전달 받은 전원전압을 이용하여 액정표시장치(100)의 구성요소들을 구동하기 위한 구동전압을 생성하여 공급할 수 있다.
- [0062] 도6은 본 발명의 실시예에 따른 액정표시장치의 어레이기판의 평면도이고, 도7은 도6을 절단선 VII-VII'을 따라 절단한 부분에 대한 단면도이고, 도8은 도6을 절단선 VIII-VIII'을 따라 절단한 부분에 대한 단면도이다.
- [0063] 도6내지 도8에 도시한 바와 같이, 본 발명의 실시예에 따른 액정표시장치의 어레이기판(200)에는 서로 교차하여 다수의 부화소영역(도5의 SP)을 정의하며 게이트 배선(212)과 데이터 배선(222)이 형성된다.
- [0064] 게이트 배선(212) 및 게이트 전극(211) 상부에 산화실리콘(SiO_2) 또는 질화실리콘(SiNx) 등의 무기절연물질을 증착하여 게이트 절연막(213)을 형성한다.
- [0065] 그리고, 게이트 절연막(213) 상부에는 반도체층(215)과 소스 전극(217) 및 드레인 전극(219) 및 제 1 전극(220a) 및 제 2 전극(220b)이 형성되며, 제 1 전극(220a)은 드레인 전극(219)과 연결된다.
- [0066] 이때, 제 1 전극(220a) 및 제 2 전극(220b)은 데이터 배선(222)과의 쇼트를 방지하기 위해 데이터 배선(222)과 일정간격 이격하며 형성된다.
- [0067] 그리고, 각 부화소영역(SP)에는 게이트 배선(212) 및 데이터 배선(222)과 연결되며, 게이트 전극(211)과 게이트 절연막(213)과 반도체층(215)과 서로 이격하는 소스 전극(217) 및 드레인 전극(219)으로 구성되는 박막트랜지스터(T)가 형성된다.
- [0068] 또한, 데이터 배선(222)과 제 1 전극(220a) 및 제 2 전극(220b) 상부에는 산화실리콘(SiO_2) 등의 무기절연물질 등으로 구성된 보호층(224)이 형성되고, 그 보호층(224) 상부에 각 부화소영역(SP)에 대응하여 일정간격 이격하며 바(bar) 형태의 다수의 개구부(OA)를 갖는 제 3 전극(226b) 및 제 4 전극(226a)이 동시에 형성된다.
- [0069] 여기서, 제 1 전극(220a)과 제 2 전극(220b)과 제 3 전극(226b) 및 제 4 전극(226a)은 인듐-틴-옥사이드(Indium-Tin-Oxide: ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명도전성 금속으로 이루어질 수 있다.
- [0070] 이때, 제 N(N은 임의의 자연수)번째 부화소영역의 제 1 전극(220a)과 제 N+1 번째 부화소영역의 제 2 전극(220b)이 서로 연결되고, 제 N+1 번째 부화소영역의 제 3 전극(226b)과 제 N+2 번째 부화소영역의 제 4 전극(226a)이 서로 연결될 수 있다.
- [0071] 특히, 제 3 전극(226b) 및 제 4 전극(226a)은 일체형일 수 있다.
- [0072] 그리고, 보호층(224)에는 제 1 전극(220a) 및 제 2 전극(220b) 각각 노출시키는 제 1 콘택홀(CTH1) 및 제 2 콘택홀(CTH2)이 형성되며, 제 1 콘택홀(CTH1)과 제 2 콘택홀(CTH2) 및 연결 패턴(220c)을 통해 제 1 전극(220a) 및 제 2 전극(220b)이 연결될 수 있다.
- [0073] 한편, 보호층(224)에는 제 N+1 번째 부화소영역의 드레인 전극(219)을 노출시키는 제 3 콘택홀(CTH3)이 형성되며, 제 3 콘택홀(CTH3)을 통해 제 N+1 번째 부화소영역의 제 3 전극(226b)은 드레인 전극(219)과 연결될 수 있다.
- [0074] 이러한 액정표시장치의 구동을 살펴보면, 먼저, 게이트 배선(212)을 통해 전달 되는 게이트 신호에 따라 박막트랜지스터(T)가 턴-온(Turn-On)된다.
- [0075] 다음으로, 박막트랜지스터(T)가 턴-온(Turn-On)되는 동안에, 데이터 배선(222)을 통해 데이터 신호가 전달되어

제 1 전극(220a) 및 제 3 전극(226b)으로 화소전압(Vdata)이 인가된다.

- [0076] 그리고, 동시에 제 2 전극(220b) 및 제 4 전극(226a)에는 각각 제 1 전극(220a) 및 제 3 전극(226b)과 동일한 전압이 인가된다.
- [0077] 다시 말해서, 제 N+1 번째 부화소영역의 제 2 전극(220b)에는 제 N번째 부화소영역의 제 1 전극(220a)과 동일한 전압이 인가되고, 제 N+2 번째 부화소영역의 제 4 전극(226a)에는 제 N+1 번째 부화소영역의 제 3 전극(226b)과 동일한 전압이 인가된다.
- [0078] 그 결과 제 N+1 번째 부화소영역의 제 2 전극(220b)에 인가된 전압(Vcom 기능을 하는 전압) 및 제 3 전극(226b)에 인가된 화소전압(Vdata)에 의하여 전기장이 생성되고, 생성된 전기장에 의해 액정층(미도시)을 재배열하여 영상을 표시할 수 있다.
- [0079] 종래에는 공통전극에 별도로 공통전압(Vcom)을 인가하는 방식이었으나, 본 발명에 따르면 이전 부화소영역의 화소 전극과 다음 부화소영역의 공통 전극을 연결하여 두 전극이 동일한 전압을 공유하기 때문에 별도로 공통전압(Vcom)을 인가할 필요가 없어 액정표시장치의 소비전력을 획기적으로 줄일 수 있다.
- [0080] 도9는 본 발명의 실시예에 따른 액정표시장치의 구동 방법을 설명하기 위해 참조되는 도면이다.
- [0081] 도9에 도시한 바와 같이, 본 발명의 실시예에 따른 액정표시장치는, 서로 교차하여 다수의 부화소영역을 정의하는 다수의 게이트 배선(GL)과 다수의 데이터 배선(DL)이 형성된다.
- [0082] 그리고, 각 부화소영역에는 게이트 배선(GL) 및 데이터 배선(DL)에 연결되는 박막트랜지스터(T)와, 박막트랜지스터(T)의 일 전극과 연결되는 스토리지 커패시터(Cst)가 형성된다.
- [0083] 예를 들어, 제 N(N은 임의의 자연수)번째 부화소영역의 박막트랜지스터(T)의 드레인 전극은 스토리지 커패시터(Cst)의 일단 및 제 N+1번째 부화소영역의 스토리지 커패시터(Cst)의 타단과 동시에 연결된다.
- [0084] 그리고, 제 N+1번째 부화소영역의 스토리지 커패시터(Cst)의 일단은 제 N+1번째 부화소영역의 드레인 전극 및 제 N+2번째 부화소영역의 스토리지 커패시터(Cst)의 타단과 동시에 연결된다.
- [0085] 따라서, 제 N번째 부화소영역의 제 1 전극에 화소전압(Vdata)이 인가되며, 동시에 제 N+1번째 부화소영역의 제 2 전극에 동일한 전압이 인가되어 충전될 수 있고,
- [0086] 제 N+1번째 부화소영역의 제 3전극에 화소전압(Vdata)이 인가되며, 동시에 제 N+2번째 부화소영역의 제 4전극에 동일한 전압이 인가되어 충전될 수 있다.
- [0087] 도10은 본 발명의 실시예에 따른 액정표시장치의 화소전압 및 공통전압의 파형도를 도시한 도면이다.
- [0088] 라인 반전 방식의 경우에는 타이밍 제어부(도5의 140)로부터 발생되는 극성 제어신호에 따라 화소전압(Vdata)의 극성이 라인 단위 및 프레임 단위로 반전될 수 있다.
- [0089] 데이터 드라이버(도5의 120)는 제 1 전극에 인가되는 화소전압(Vdata)과 감마전압을 이용하여 제 3 전극에 인가되는 화소전압(Vdata)을 연산하여 공급할 수 있다.
- [0090] 영상을 표시하는데 필요한 감마 전압이 각각 2V, 4V, 6V, 8V, 4V라고 하면, 제 N번째 부화소영역의 제 1 전극에는 화소전압(Vdata)으로 2V가 인가된다. 이때, 극성 제어신호는 하이(High)이고, 공통전압은 0V로 한다.
- [0091] 즉, 제 N번째 부화소영역의 제 1 전극에 인가되는 제 N번째 화소전압(Vdata)은 공통전압(0V)에서 감마전압(2V)을 더한 값(2V)이다.
- [0092] 그리고, 제 N+1번째 부화소영역의 제 2 전극에는 제 N번째 부화소영역의 제 1 전극에 인가되는 제 N번째 화소전압(Vdata)과 동일한 2V가 인가된다.
- [0093] 따라서, 제 N+1번째 부화소영역의 제 3 전극의 화소전압(Vdata)은 -2V가 된다. 이때, 극성 제어신호는 로우(Low)이다.
- [0094] 다시 말해서, 제 N+1번째 화소전압(Vdata)은 제 N+1번째 부화소영역의 제 2 전극의 전압(2V)에서 감마전압(4V)을 뺀 값(-2V)이 된다.

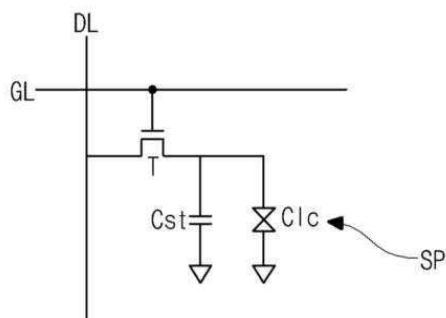
- [0095] 동시에, 제 N+2번째 부화소영역의 제 4 전극에는 제 N+1번째 화소전압(Vdata)과 동일한 -2V가 인가된다.
- [0096] 다음으로, 제 N+2번째 화소전압(Vdata)은 제 N+2번째 부화소영역의 제 4 전극에서의 전압(-2V)에서 감마전압(6V)을 더한 값(4V)이다. 이때, 극성 제어신호는 하이(High)이다.
- [0097] 또한, 제 N+3번째 화소전압(Vdata)은 제 N+3번째 부화소영역의 제 2 전극에서의 전압(4V)에서 감마전압(8V)을 뺀 값(-4V)이다. 이때, 극성 제어신호는 로우(Low)이다.
- [0098] 마찬가지로, 제 N+3번째 화소전압(Vdata)은 제 N+4번째 부화소영역의 제 4 전극에서의 전압(-4V)에서 감마전압(4V)을 더한 값(0V)이다. 이때, 극성 제어신호는 하이(High)이다.
- [0099] 즉, 극성 제어신호가 하이(High)인 경우에는 해당 부화소영역의 공통전압에서 감마전압을 더하고, 극성 제어신호가 로우(Low)인 경우에는 해당 부화소영역의 공통전압에서 감마전압을 빼서 다음 부화소영역에 인가되는 화소전압(Vdata)을 연산할 수 있다.
- [0100] 다시 말해서, 해당 부화소영역의 공통전압은 이전 부화소영역의 화소전압에 해당하기 때문에, 이전 부화소영역의 화소전압에서 극성 제어신호에 따라 감마전압을 더하거나 빼면 다음 부화소영역에 인가되는 화소전압(Vdata)을 연산할 수 있다.
- [0101] 이상과 같은 본 발명의 실시예는 예시적인 것에 불과하며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진 자라면 본 발명의 요지를 벗어나지 않는 범위 내에서 자유로운 변형이 가능하다. 따라서, 본 발명의 보호범위는 첨부된 특허청구범위 및 이와 균등한 범위 내에서의 본 발명의 변형을 포함한다.

부호의 설명

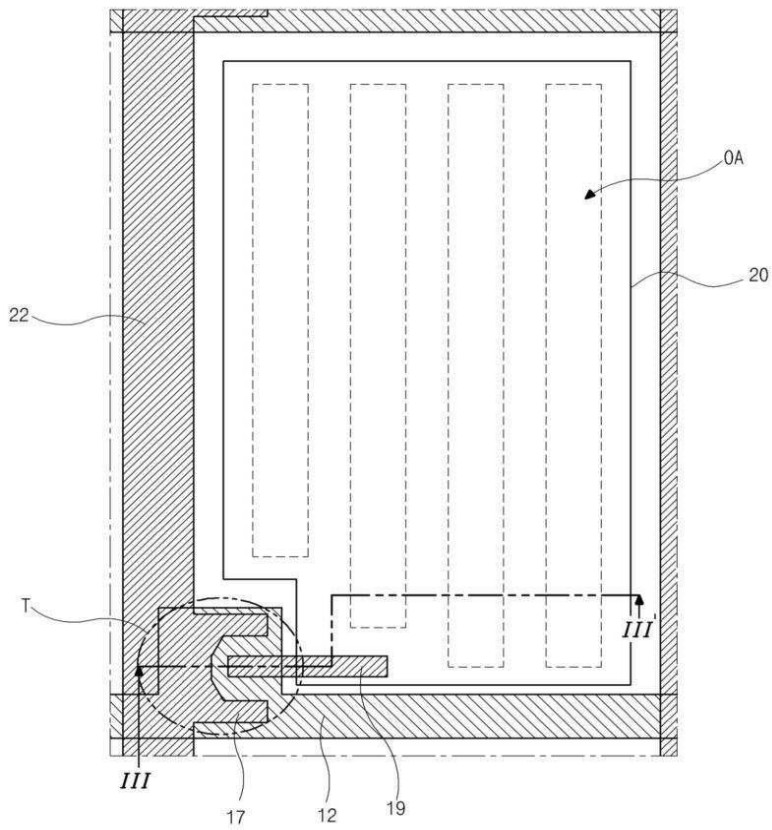
- [0102] 200: 어레이기판 212: 게이트 배선
- 213: 게이트 절연막 215: 반도체층
- 217: 소스 전극 219: 드레인 전극
- 22a: 제 1 전극 T: 박막트랜지스터

도면

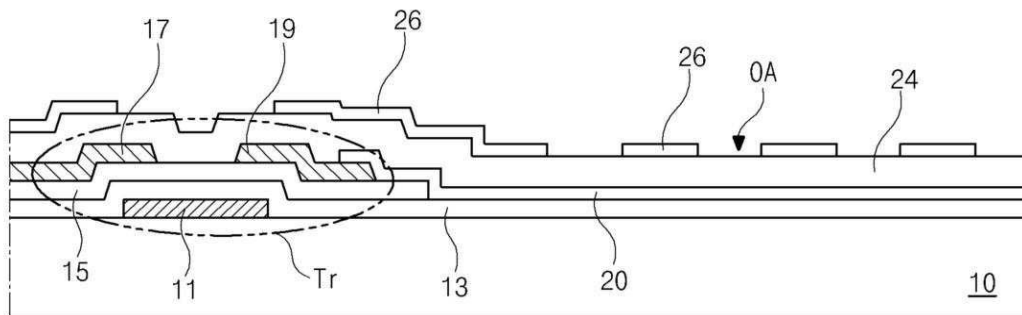
도면1



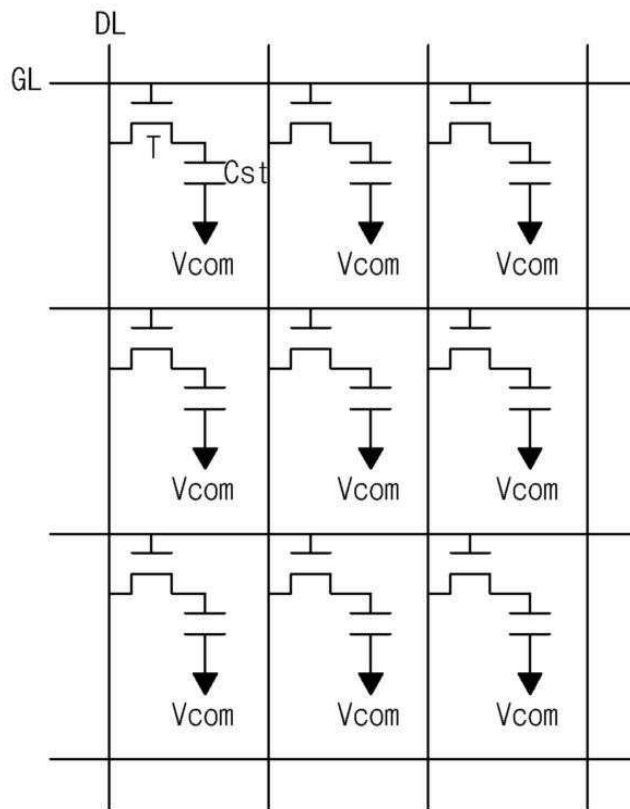
도면2



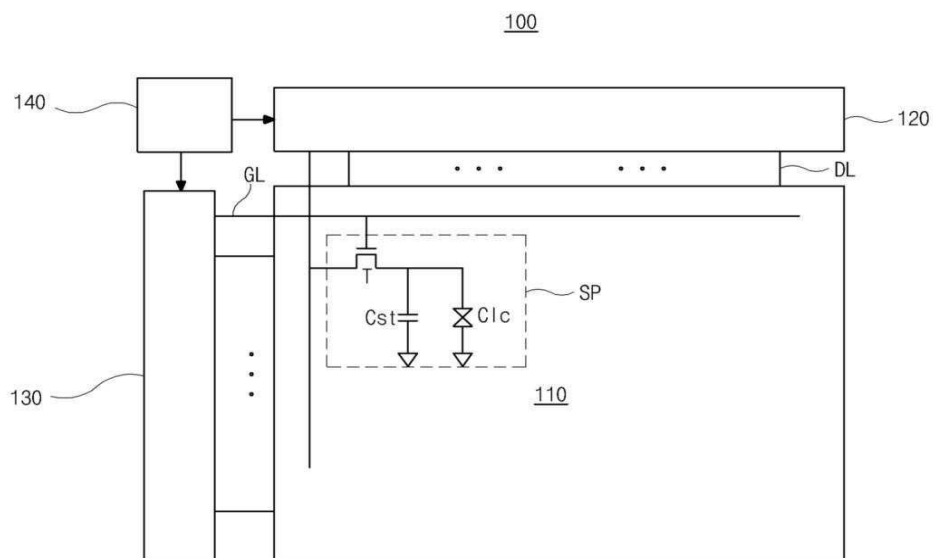
도면3



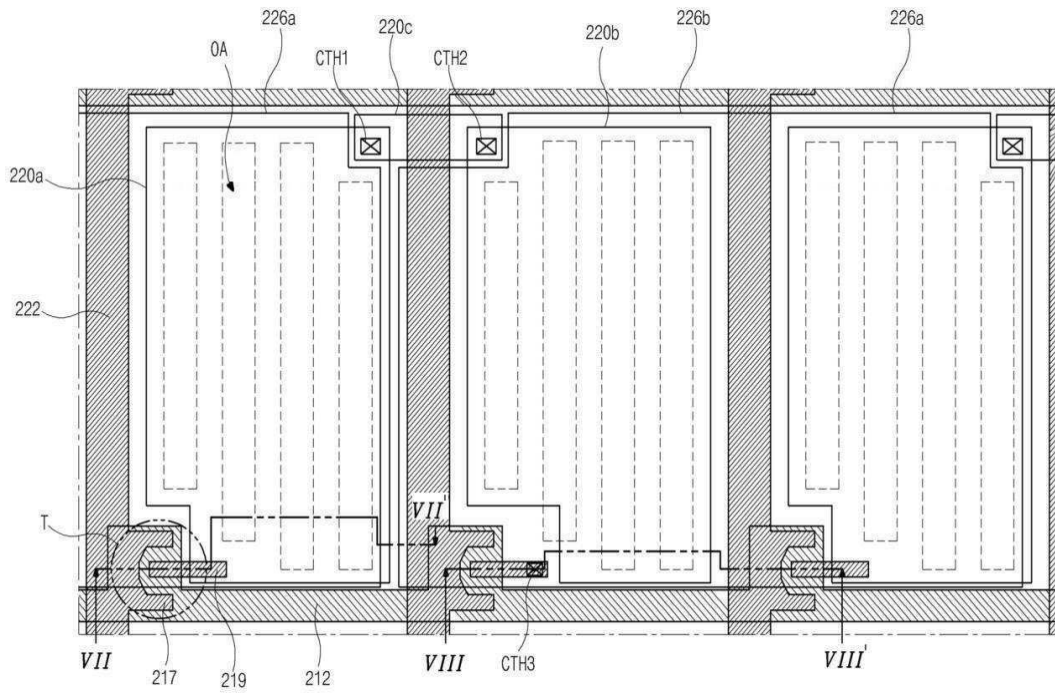
도면4



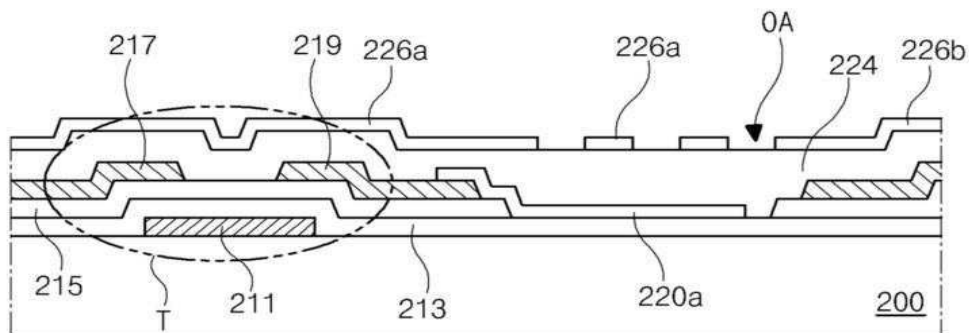
도면5



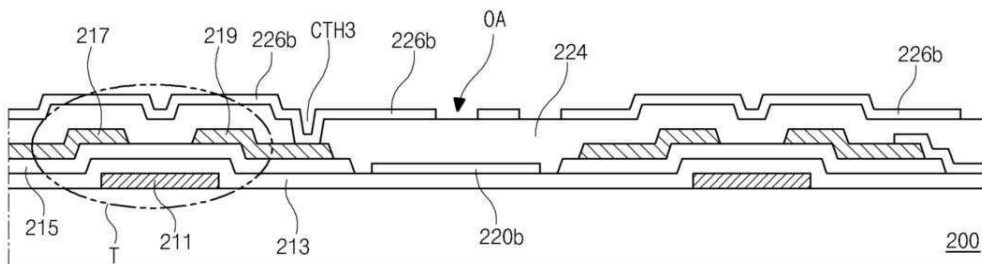
도면6



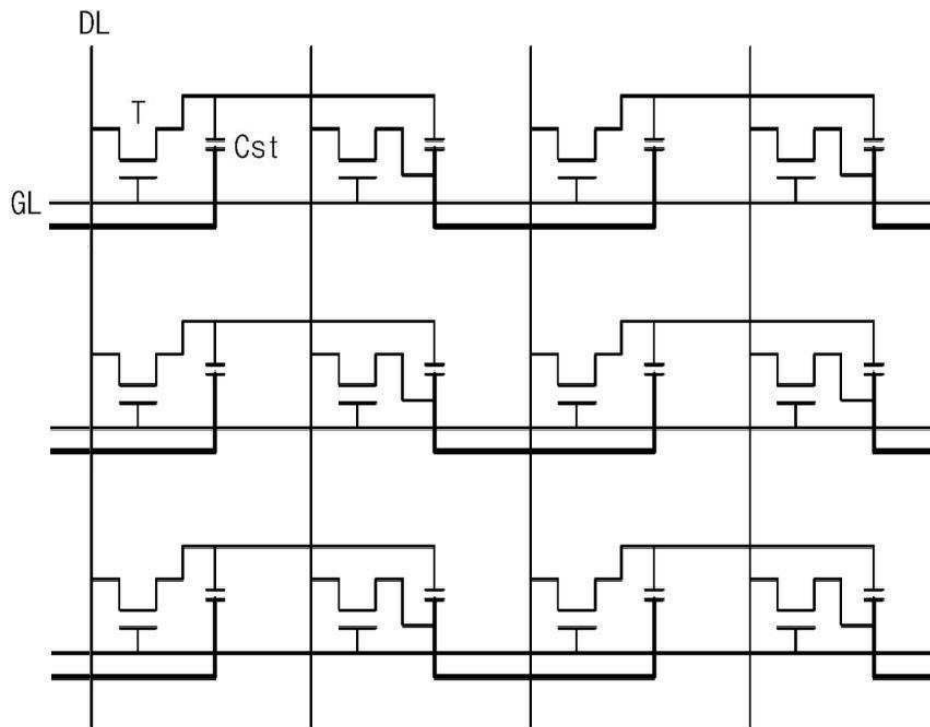
도면7



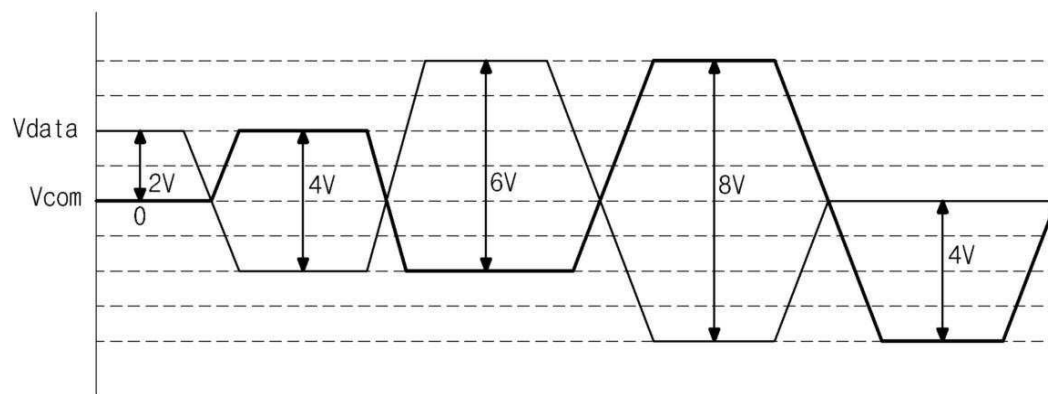
도면8



도면9



도면10



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020130026073A	公开(公告)日	2013-03-13
申请号	KR1020110089451	申请日	2011-09-05
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JONG HYUN 이종현 HONG KWANG PYO 홍광표		
发明人	이종현 홍광표		
IPC分类号	G02F1/1343 G09G3/36 G02F1/133 G02F1/1362 G02F1/1368		
CPC分类号	G02F1/13439 G02F1/136286 G02F1/1368 G09G3/3648		
其他公开文献	KR101949384B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置及其驱动方法技术领域本发明涉及一种液晶显示装置及其驱动方法，其中前一子像素区域的像素电极和相应的子像素区域的公共电极连接，使得两个电极共享相同的电压。