



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0128421
(43) 공개일자 2012년11월27일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2011-0046355

(22) 출원일자 2011년05월17일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

신옥권

충청남도 아산시 탕정면 탕정면로 37, 트라펠리스 303동 1201호

이종민

경기 수원시 영통구 영통동 963-2 신나무실 신안 아파트 533동 1401호

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

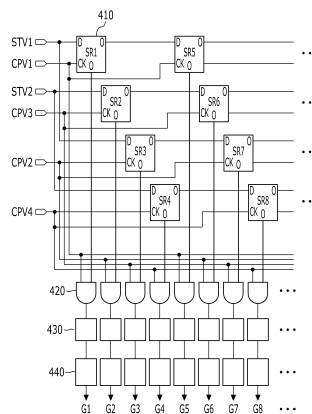
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 게이트 구동부 및 이를 포함하는 액정 표시 장치

(57) 요약

게이트 구동부는 2 개 이상의 주사 시작 신호(scanning starting signal)를 입력 받고, 하나의 주사 시작 신호에 기초하는 2 개 이상의 클록 제어 신호(clock control signal)를 입력 받고, 그리고 복수개의 게이트 온 전압(gate-on voltage)을 출력하는 게이트 집적 회로 칩(gate integrated circuit chip)을 포함한다. 상기 2 개 이상의 주사 시작 신호의 타이밍(timing)은 서로 독립적일 수 있고, 상기 2 개 이상의 클록 제어 신호의 타이밍은 서로 독립적일 수 있다.

대표도 - 도2



(72) 발명자

손선규

경기도 수원시 권선구 세권로 334, 주공아파트 33
2동 201호 (권선동)

반영일

경기도 화성시 메타폴리스로 6, 시범다은마을삼성
래미안아파트 307동 1301호 (반송동)

이재한

충청남도 아산시 탕정면 탕정면로 37, 탕정삼성트
라팰리스아파트 204동 2206호

특허청구의 범위

청구항 1

2 개 이상의 주사 시작 신호(scanning starting signal)를 입력 받고, 하나의 주사 시작 신호에 기초하는 2 개 이상의 클록 제어 신호(clock control signal)를 입력 받고, 그리고 복수개의 게이트 온 전압(gate-on voltage)을 출력하는 게이트 집적 회로 칩(gate integrated circuit chip)을 포함하고,

상기 2 개 이상의 주사 시작 신호의 타이밍(timing)은 서로 독립적이고, 상기 2 개 이상의 클록 제어 신호의 타이밍은 서로 독립적인 게이트 구동부(gate driver).

청구항 2

제1항에서,

상기 주사 시작 신호가 하이 레벨인 구간에서 상기 클록 제어 신호가 상승 시간(rising time)을 갖는 게이트 구동부.

청구항 3

제2항에서,

상기 복수개의 게이트 온 전압은 상기 클록 제어 신호에 동기화되어 있는 게이트 구동부.

청구항 4

제1항에서,

상기 복수개의 게이트 온 전압은 서로 중첩하는 게이트 구동부.

청구항 5

제1항에서,

상기 게이트 집적 회로 칩은 제1 주사 시작 신호 및 제1 클록 제어 신호를 입력 받는 제1 쉬프트 레지스터, 제1 주사 시작 신호 및 제2 클록 제어 신호를 입력 받는 제2 쉬프트 레지스터, 제2 주사 시작 신호 및 제3 클록 제어 신호를 입력 받는 제3 쉬프트 레지스터, 그리고 제2 주사 시작 신호 및 제4 클록 제어 신호를 입력 받는 제4 쉬프트 레지스터를 포함하는 게이트 구동부.

청구항 6

제5항에서,

상기 제1 주사 시작 신호에 기초하여 상기 제1 클록 제어 신호와 상기 제2 클록 제어 신호가 발생하고, 상기 제2 주사 시작 신호에 기초하여 상기 제3 클록 제어 신호와 상기 제4 클록 제어 신호가 발생하는 게이트 구동부.

청구항 7

제6항에서,

상기 제1 주사 시작 신호가 하이 레벨인 구간에서 상기 제1 클록 제어 신호와 상기 제2 클록 제어 신호가 상승 시간을 가지며, 상기 제2 주사 시작 신호가 하이 레벨인 구간에서 상기 제3 클록 제어 신호와 상기 제4 클록 제어 신호가 상승 시간을 갖는 게이트 구동부.

청구항 8

제5항에서,

상기 게이트 집적 회로 칩은 차례로 위치하는 제1 게이트선, 제2 게이트선, 제3 게이트선, 그리고 제4 게이트선에 각각 입력되는 제1 게이트 온 전압, 제2 게이트 온 전압, 제3 게이트 온 전압, 그리고 제4 게이트 온 전압을

출력하고,

상기 제1 게이트 온 전압은 상기 제1 클록 제어 신호에 동기화되어 있고, 상기 제2 게이트 온 전압은 상기 제3 클록 제어 신호에 동기화되어 있고, 상기 제3 게이트 온 전압은 상기 제2 클록 제어 신호에 동기화되어 있고, 상기 제4 게이트 온 전압은 상기 제4 클록 제어 신호에 동기화되어 있는 게이트 구동부.

청구항 9

제1항에서,

상기 게이트 집적 회로 칩은 상기 주사 시작 신호 및 상기 클록 제어 신호를 입력 받는 쉬프트 레지스터(shift register), 레벨 쉬프터(level shifter), 그리고 상기 게이트 온 전압을 출력하는 버퍼(buffer)를 포함하는 게이트 구동부.

청구항 10

제9항에서,

상기 게이트 집적 회로 칩은 논리곱 소자(AND gate)를 더 포함하는 게이트 구동부.

청구항 11

제1 게이트선 및 제1 데이터선에 연결되어 있는 제1 스위칭 소자,

상기 제1 게이트선 및 상기 제1 데이터선에 연결되어 있는 제2 스위칭 소자,

상기 제1 스위칭 소자에 연결되어 있는 제1 부화소 전극,

상기 제2 스위칭 소자에 연결되어 있는 제2 부화소 전극,

상기 제2 부화소 전극과 제1 전하 공유선(charge sharing line)에 연결되어 있는 제3 스위칭 소자,

상기 제3 스위칭 소자에 연결되어 있는 변압 축전기, 그리고

2 개 이상의 주사 시작 신호를 입력 받고, 하나의 주사 시작 신호에 기초하는 2 개 이상의 클록 제어 신호를 입력 받고, 그리고 복수개의 게이트 온 전압을 출력하는 게이트 집적 회로 칩

을 포함하고,

상기 2 개 이상의 주사 시작 신호의 타이밍은 서로 독립적이고, 상기 2 개 이상의 클록 제어 신호의 타이밍은 서로 독립적인 액정 표시 장치.

청구항 12

제11항에서,

상기 제1 게이트선에 인가되는 제1 게이트 온 전압은 제1 클록 제어 신호에 동기화되어 있고, 상기 제1 전하 공유선에 인가되는 제2 게이트 온 전압은 제2 클록 제어 신호에 동기화되어 있는 액정 표시 장치.

청구항 13

제12항에서,

상기 제1 클록 제어 신호의 상승 시간은 제1 주사 시작 신호가 하이 레벨인 구간에서 발생되고, 상기 제2 클록 제어 신호의 상승 시간은 제2 주사 시작 신호가 하이 레벨인 구간에서 발생하는 액정 표시 장치.

청구항 14

제12항에서,

상기 제1 게이트선에 인접하여 위치하는 제2 게이트선에 인가되는 제3 게이트 온 전압과 상기 제1 게이트 온 전압의 상승 시간은 서로 다르고, 상기 제1 전하 공유선에 인접하여 위치하는 제2 전하 공유선에 인가되는 제4 게이트 온 전압과 상기 제2 게이트 온 전압의 상승 시간은 서로 다른 액정 표시 장치.

청구항 15

제12항에서,

상기 제1 데이터선에 인접하여 위치하는 제2 데이터선 및 상기 제2 데이터선에 인접하여 위치하는 제3 데이터선의 사이에는 부화소 전극이 위치하지 않는 액정 표시 장치.

청구항 16

제15항에서,

상기 제1 게이트선에 인접하여 위치하는 제2 게이트선에 인가되는 제3 게이트 온 전압과 상기 제1 게이트 온 전압은 동시에 인가되고, 상기 제1 전하 공유선에 인접하여 위치하는 제2 전하 공유선에 인가되는 제4 게이트 온 전압과 상기 제2 게이트 온 전압은 동시에 인가되는 액정 표시 장치.

청구항 17

제11항에서,

상기 제1 게이트선에 인가되는 제1 게이트 온 전압과 상기 제1 게이트선에 인접하여 위치하는 제2 게이트선에 인가되는 제3 게이트 온 전압은 서로 중첩하는 액정 표시 장치.

청구항 18

제11항에서,

10 mm이하의 폭을 갖는 베젤(bezel)을 더 포함하는 액정 표시 장치.

청구항 19

제11항에서,

좌안 영상(left eye image) 및 우안 영상(right eye image)을 포함하는 3D 영상을 출력하는 액정 표시 장치.

청구항 20

제19항에서,

상기 제1 게이트선에 인가되는 제1 게이트 온 전압은 제1 클록 제어 신호에 동기화되어 있고, 상기 제1 전하 공유선에 인가되는 제2 게이트 온 전압은 제2 클록 제어 신호에 동기화되어 있는 액정 표시 장치.

청구항 21

제20항에서,

상기 제1 게이트선에 인접하여 위치하는 제2 게이트선에 인가되는 제3 게이트 온 전압과 상기 제1 게이트 온 전압은 동시에 인가되고, 상기 제1 전하 공유선에 인접하여 위치하는 제2 전하 공유선에 인가되는 제4 게이트 온 전압과 상기 제2 게이트 온 전압은 동시에 인가되는 액정 표시 장치.

명세서

기술분야

게이트 구동부 및 이를 포함하는 액정 표시 장치가 제공된다.

배경기술

표시 장치는 복수 쌍의 전기장 생성 전극과 그 사이에 들어 있는 전기 광학(electro-optical) 활성층을 포함한다. 예를 들어, 표시 장치는 액정 표시 장치(liquid crystal display, LCD), 유기 발광 표시 장치(organic light emitting diode display, OLED display) 및 전기 영동 표시 장치(electrophoretic display) 등이 있다. 액정 표시 장치는 전기 광학 활성층으로 액정층을 포함하고, 유기 발광 표시 장치는 전기 광학 활성층으로 유기 발광층을 포함한다. 한 쌍을 이루는 전기장 생성 전극 중 하나는 통상 스위칭 소자에 연결되어 전기 신호를 인

가받고, 전기 광학 활성층은 이러한 전기 신호를 광학 신호로 변환함으로써 영상을 표시한다.

[0003] 일반적으로 표시 장치는 게이트 구동부 및 데이터 구동부를 포함한다. 게이트 구동부는 화소를 온(on) 또는 오프(off)하는 게이트 신호를 게이트선에 인가하며, 데이터 구동부는 영상 데이터를 데이터 전압으로 변환한 후, 이를 데이터선에 인가한다.

발명의 내용

해결하려는 과제

- [0004] 본 발명에 따른 한 실시예는 슬림 베젤(slim bezel)을 적용하기 위한 것이다.
- [0005] 본 발명에 따른 한 실시예는 게이트 온 타이밍(gate-on timing)을 조절하기 위한 것이다.
- [0006] 본 발명에 따른 한 실시예는 방전 타이밍(discharging timing)을 조절하기 위한 것이다.
- [0007] 본 발명에 따른 한 실시예는 입체 영상 표시 장치에 적용하기 위한 것이다.
- [0008] 상기 과제 이외에도 구체적으로 언급되지 않은 다른 과제를 달성하는 데 사용될 수 있다.

과제의 해결 수단

- [0009] 게이트 구동부는 2 개 이상의 주사 시작 신호(scanning starting signal)를 입력 받고, 하나의 주사 시작 신호에 기초하는 2 개 이상의 클록 제어 신호(clock control signal)를 입력 받고, 그리고 복수개의 게이트 온 전압(gate-on voltage)을 출력하는 게이트 집적 회로 칩(gate integrated circuit chip)을 포함한다.
- [0010] 상기 2 개 이상의 주사 시작 신호의 타이밍(timing)은 서로 독립적일 수 있고, 상기 2 개 이상의 클록 제어 신호의 타이밍은 서로 독립적일 수 있다.
- [0011] 상기 주사 시작 신호가 하이 레벨인 구간에서 상기 클록 제어 신호가 상승 시간(rising time)을 가질 수 있다.
- [0012] 상기 복수개의 게이트 온 전압은 상기 클록 제어 신호에 동기화되어 있을 수 있다.
- [0013] 상기 복수개의 게이트 온 전압은 서로 중첩할 수 있다.
- [0014] 상기 게이트 집적 회로 칩은 제1 주사 시작 신호 및 제1 클록 제어 신호를 입력 받는 제1 쉬프트 레지스터, 제1 주사 시작 신호 및 제2 클록 제어 신호를 입력 받는 제2 쉬프트 레지스터, 제2 주사 시작 신호 및 제3 클록 제어 신호를 입력 받는 제3 쉬프트 레지스터, 그리고 제2 주사 시작 신호 및 제4 클록 제어 신호를 입력 받는 제4 쉬프트 레지스터를 포함할 수 있다.
- [0015] 상기 제1 주사 시작 신호에 기초하여 상기 제1 클록 제어 신호와 상기 제2 클록 제어 신호가 발생할 수 있고, 상기 제2 주사 시작 신호에 기초하여 상기 제3 클록 제어 신호와 상기 제4 클록 제어 신호가 발생할 수 있다.
- [0016] 상기 제1 주사 시작 신호가 하이 레벨인 구간에서 상기 제1 클록 제어 신호와 상기 제2 클록 제어 신호가 상승 시간을 가질 수 있으며, 상기 제2 주사 시작 신호가 하이 레벨인 구간에서 상기 제3 클록 제어 신호와 상기 제4 클록 제어 신호가 상승 시간을 가질 수 있다.
- [0017] 상기 게이트 집적 회로 칩은 차례로 위치하는 제1 게이트선, 제2 게이트선, 제3 게이트선, 그리고 제4 게이트선에 각각 입력되는 제1 게이트 온 전압, 제2 게이트 온 전압, 제3 게이트 온 전압, 그리고 제4 게이트 온 전압을 출력할 수 있다. 상기 제1 게이트 온 전압은 상기 제1 클록 제어 신호에 동기화되어 있을 수 있고, 상기 제2 게이트 온 전압은 상기 제3 클록 제어 신호에 동기화되어 있을 수 있고, 상기 제3 게이트 온 전압은 상기 제2 클록 제어 신호에 동기화되어 있을 수 있고, 상기 제4 게이트 온 전압은 상기 제4 클록 제어 신호에 동기화되어 있을 수 있다.
- [0018] 상기 게이트 집적 회로 칩은 상기 주사 시작 신호 및 상기 클록 제어 신호를 입력 받는 쉬프트 레지스터(shift register), 레벨 쉬프터(level shifter), 그리고 상기 게이트 온 전압을 출력하는 버퍼(buffer)를 포함할 수 있다.
- [0019] 상기 게이트 집적 회로 칩은 논리곱 소자(AND gate)를 더 포함할 수 있다.
- [0020] 액정 표시 장치는 제1 게이트선 및 제1 데이터선에 연결되어 있는 제1 스위칭 소자, 상기 제1 게이트선 및 상기 제1 데이터선에 연결되어 있는 제2 스위칭 소자, 상기 제1 스위칭 소자에 연결되어 있는 제1 부화소 전극, 상기

제2 스위칭 소자에 연결되어 있는 제2 부화소 전극, 상기 제2 부화소 전극과 제1 전하 공유선(charge sharing line)에 연결되어 있는 제3 스위칭 소자, 상기 제3 스위칭 소자에 연결되어 있는 변압 축전기, 그리고 2 개 이상의 주사 시작 신호를 입력 받고, 하나의 주사 시작 신호에 기초하는 2 개 이상의 클록 제어 신호를 입력 받고, 그리고 복수개의 게이트 온 전압을 출력하는 게이트 집적 회로 칩을 포함한다.

- [0021] 상기 2 개 이상의 주사 시작 신호의 타이밍은 서로 독립적일 수 있고, 상기 2 개 이상의 클록 제어 신호의 타이밍은 서로 독립적일 수 있다.
- [0022] 상기 제1 게이트선에 인가되는 제1 게이트 온 전압은 제1 클록 제어 신호에 동기화되어 있을 수 있고, 상기 제1 전하 공유선에 인가되는 제2 게이트 온 전압은 제2 클록 제어 신호에 동기화되어 있을 수 있다.
- [0023] 상기 제1 클록 제어 신호의 상승 시간은 제1 주사 시작 신호가 하이 레벨인 구간에서 발생될 수 있고, 상기 제2 클록 제어 신호의 상승 시간은 제2 주사 시작 신호가 하이 레벨인 구간에서 발생될 수 있다.
- [0024] 상기 제1 게이트선에 인접하여 위치하는 제2 게이트선에 인가되는 제3 게이트 온 전압과 상기 제1 게이트 온 전압의 상승 시간은 서로 다를 수 있고, 상기 제1 전하 공유선에 인접하여 위치하는 제2 전하 공유선에 인가되는 제4 게이트 온 전압과 상기 제2 게이트 온 전압의 상승 시간은 서로 다를 수 있다.
- [0025] 상기 제1 데이터선에 인접하여 위치하는 제2 데이터선 및 상기 제2 데이터선에 인접하여 위치하는 제3 데이터선의 사이에는 부화소 전극이 위치하지 않을 수 있다.
- [0026] 상기 제1 게이트선에 인접하여 위치하는 제2 게이트선에 인가되는 제3 게이트 온 전압과 상기 제1 게이트 온 전압은 동시에 인가될 수 있고, 상기 제1 전하 공유선에 인접하여 위치하는 제2 전하 공유선에 인가되는 제4 게이트 온 전압과 상기 제2 게이트 온 전압은 동시에 인가될 수 있다.
- [0027] 상기 제1 게이트선에 인가되는 제1 게이트 온 전압과 상기 제1 게이트선에 인접하여 위치하는 제2 게이트선에 인가되는 제3 게이트 온 전압은 서로 중첩할 수 있다.
- [0028] 액정 표시 장치는 10 mm이하의 폭을 갖는 베젤(bezel)을 더 포함할 수 있다.
- [0029] 액정 표시 장치는 좌안 영상(left eye image) 및 우안 영상(right eye image)을 포함하는 3D 영상을 출력할 수 있다.
- [0030] 상기 제1 게이트선에 인가되는 제1 게이트 온 전압은 제1 클록 제어 신호에 동기화되어 있을 수 있고, 상기 제1 전하 공유선에 인가되는 제2 게이트 온 전압은 제2 클록 제어 신호에 동기화되어 있을 수 있다.
- [0031] 상기 제1 게이트선에 인접하여 위치하는 제2 게이트선에 인가되는 제3 게이트 온 전압과 상기 제1 게이트 온 전압은 동시에 인가될 수 있고, 상기 제1 전하 공유선에 인접하여 위치하는 제2 전하 공유선에 인가되는 제4 게이트 온 전압과 상기 제2 게이트 온 전압은 동시에 인가될 수 있다.

발명의 효과

- [0032] 본 발명에 따른 한 실시예는 슬림 베젤이 적용될 수 있고, 방전 타이밍을 조절할 수 있고, 게이트 온 타이밍을 조절할 수 있고, 입체 영상 표시 장치에 적용할 수 있다.

도면의 간단한 설명

- [0033] 도 1은 본 발명의 한 실시예에 따른 표시 장치의 블록도이다.
- 도 2는 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이다.
- 도 3은 본 발명의 한 실시예에 따른 게이트 구동부의 신호 파형을 나타내는 도면이다.
- 도 4는 본 발명의 한 실시예에 따른 게이트 구동부의 신호 파형을 나타내는 도면이다.
- 도 5는 본 발명의 한 실시예에 따른 액정 표시 장치와 이에 적용되는 게이트 구동부의 신호 파형을 나타내는 도면이다.
- 도 6은 본 발명의 한 실시예에 따른 게이트 구동부의 신호 파형을 나타내는 도면이다.
- 도 7은 본 발명의 한 실시예에 따른 액정 표시 장치와 이에 적용되는 게이트 구동부의 신호 파형을 나타내는 도면이다.

도 8은 본 발명의 한 실시예에 따른 게이트 구동부의 신호 파형을 나타내는 도면이다.

도 9는 본 발명의 한 실시예에 따른 액정 표시 장치와 이에 적용되는 게이트 구동부의 신호 파형을 나타내는 도면이다.

도 10은 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이다.

도 11은 본 발명의 한 실시예에 따른 게이트 구동부의 신호 파형을 나타내는 도면이다.

도 12는 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이다.

도 13은 본 발명의 한 실시예에 따른 게이트 구동부의 신호 파형을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대해 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 도면부호가 사용되었다. 또한 널리 알려져 있는 공지기술의 경우 그 구체적인 설명은 생략한다.
- [0035] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0036] 도 1은 본 발명의 한 실시예에 따른 표시 장치의 블록도이며, 도 2는 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이며, 도 3은 본 발명의 한 실시예에 따른 게이트 구동부의 신호 파형을 나타내는 도면이며, 도 4는 본 발명의 한 실시예에 따른 게이트 구동부의 신호 파형을 나타내는 도면이다.
- [0037] 도 1을 참고하면, 표시 장치는 표시판 조립체(display panel assembly)(300) 및 이와 연결된 게이트 구동부(400) 및 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함할 수 있다.
- [0038] 표시판 조립체(300)는 액정 표시판 조립체, 유기 발광 표시판 조립체, 플라즈마 표시판 조립체 등이 될 수 있으며, 이외에도 다양한 종류의 표시 장치가 적용될 수 있다. 이하에서는 표시판 조립체(300)가 액정 표시판 조립체라고 가정하여 설명하지만, 특별히 이에 한정되지 않는다.
- [0039] 표시 장치의 상부 게이트선에서부터 게이트 온 신호(Vg)가 인가되어 하부의 게이트선까지 순차적으로 게이트 온 신호(Vg)가 인가될 수 있다. 예를 들어, 표시 장치는 영상을 아래와 같이 표시할 수 있다. 순차적으로 게이트선에 게이트 온 전압(Von)을 인가하여 해당 게이트선에 연결되어 있는 스위칭 소자를 통하여 화소 전극에 데이터 전압(Vd)이 인가되도록 한다. 이 때, 인가되는 데이터 전압(Vd)은 영상을 표현하기 위한 데이터 전압이며, 인가된 데이터 전압(Vd)은 유지 축전기(storage capacitor)에 의하여 일정 시간 동안 유지될 수 있다. 한편, 게이트선에 게이트 오프 전압(Voff)을 인가하여 해당 게이트선에 연결되어 있는 스위치 소자를 오프시킬 수 있다.
- [0040] 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(G_1 - G_n , D_1 - D_m)과 이에 연결되어 있으며 복수의 화소(PX)를 포함할 수 있다.
- [0041] 신호선(G_1 - G_n , D_1 - D_m)은 게이트 신호를 전달하는 복수의 게이트선(G_1 - G_n)과 데이터 신호를 전달하는 복수의 데이터선(D_1 - D_m)을 포함할 수 있다.
- [0042] 각 화소(PX), 예를 들면 i 번째($i=1, 2, \dots, n$) 게이트선(G_i)과 j 번째($j=1, 2, \dots, m$) 데이터선(D_j)에 연결되어 있는 화소(PX)는 신호선(G_i , D_j)에 연결되어 있는 스위칭 소자와 이에 연결된 액정 축전기(liquid crystal capacitor)를 포함할 수 있다. 또한, 화소(PX)는 유지 축전기를 선택적으로 포함할 수 있다. 각 화소(PX)는 복수의 부화소를 포함할 수 있다. 스위칭 소자는 삼단자 소자로서, 그 제어 단자는 게이트선(G_i)과 연결되어 있고, 입력 단자는 데이터선(D_j)과 연결되어 있으며, 출력 단자는 액정 축전기 및 유지 축전기와 연결되어 있다.

화소(PX), 신호선(G_i , D_j), 스위칭 소자의 연결 관계는 1 개의 화소가 1 개의 데이터선과 1 개의 데이터선에 연결되는 방식, 2 개의 화소가 1 개의 게이트선을 공유하는 방식, 2 개의 화소가 1 개의 데이터선을 공유하는 방식 등 다양하게 변형될 수 있다.

- [0043] 액정 축전기는 화소 전극(도시하지 않음)과 공통 전극(도시하지 않음)을 두 단자로 하며, 액정층(도시하지 않음)은 유전체로서 기능한다.
- [0044] 액정 축전기의 보조적인 역할을 하는 유지 축전기는 게이트선과 데이터선 외에 별개의 신호선(도시하지 않음)과 화소 전극이 절연체를 사이에 두고 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압 등의 정해진 전압이 인가된다. 그러나 유지 축전기는 화소 전극이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.
- [0045] 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다.
- [0046] 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다.
- [0047] 입력 영상 신호(R, G, B)는 2D 영상일 수도 있으며, 3D 영상일 수도 있다. 여기서 2D 영상이란, 관찰자가 표시 장치에서 출력되는 영상의 입체감을 인지할 수 없게 만드는 일반적인 소스 데이터(normal source data)를 의미한다. 3D 영상이란, 관찰자가 표시 장치에서 출력되는 영상의 입체감을 인지할 수 있도록 만드는 소스 데이터를 의미하며, 예를 들어, 좌안 영상, 우안 영상 등일 수 있다.
- [0048] 신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 영상 신호(R, G, B)를 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리한 영상 데이터(DAT)와 데이터 제어 신호(CONT2)를 데이터 구동부(500)로 제공할 수 있다. 여기에서 영상 신호(R, G, B)의 처리는 표시판 조립체(300)의 화소 배열에 따라 영상 데이터(R, G, B)를 재배열하는 동작을 포함할 수 있다.
- [0049] 또한, 신호 제어부(600)는 적어도 하나의 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 제공할 수 있다. 예를 들어, 게이트 제어 신호(CONT1)는 주사 시작을 지시하는 적어도 하나의 주사 시작 신호(STV1, STV2), 게이트 온 전압(Von)의 출력 시간을 제어하는 적어도 하나의 클럭 제어 신호(clock control signal)(CPV1-CPV4)를 포함할 수 있다. 이외에도, 게이트 제어 신호(CONT1)는 게이트 온 전압(Von)의 지속 시간을 한정하는 적어도 하나의 클럭 인에이블 신호(clock enable signal), 적어도 하나의 클럭 신호(clock signal) 등을 포함할 수 있다.
- [0050] 데이터 제어 신호(CONT2)는 일군의 화소에 대한 데이터의 전송의 시작을 알리는 수평 동기 시작 신호와 데이터선(D_1 - D_m)에 해당 데이터 전압을 인가하라는 로드 신호 및 데이터 클럭 신호를 포함할 수 있다. 데이터 제어 신호(CONT2)는 또한 공통 전압에 대한 데이터 전압의 극성(이하 공통 전압에 대한 데이터 전압의 극성을 줄여 데이터 전압의 극성이라 함)을 반전시키는 반전 신호를 포함할 수 있다.
- [0051] 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행의 화소에 대한 영상 데이터(DAT) 집합을 수신하고 계조 전압 생성부(800)로부터의 계조 전압 중 각 영상 데이터(DAT)에 대응하는 계조 전압을 선택할 수 있다. 데이터 구동부(500)는 영상 데이터(DAT)를 해당 데이터 전압으로 변환한 후, 이를 해당 데이터선(D_1 - D_m)에 인가할 수 있다.
- [0052] 게이트 구동부(400)는 신호 제어부(600)에 의해 게이트 전압(Vg)을 인가하며, 게이트 전압(Vg)은 게이트 온 전압(Von) 또는 게이트 오프 전압(Voff)이다. 게이트 온 전압(Von)이 게이트선(G_1 - G_n)에 인가되면, 게이트선(G_1 - G_n)에 연결된 스위칭 소자가 턴온되고, 데이터선(D_1 - D_m)에 인가된 데이터 전압(Vd)이 턴온된 스위칭 소자를 통하여 해당 화소에 인가된다.
- [0053] 화소에 인가된 데이터 전압(Vd)과 공통 전압의 차이는 화소 전압으로서 나타난다. 예를 들어, 액정 표시 장치의 경우, 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판에 부착된 편광자에 의하여 빛의 투과율 변화로 나타난다.

- [0054] 이러한 구동 장치(400, 500, 600, 800) 각각은 적어도 하나의 집적 회로 칩의 형태로 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 또한, 구동 장치(400, 500, 600, 800)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.
- [0055] 도 2를 참고하면, 게이트 구동부(400)는 적어도 하나의 쉬프트 레지스터(shift register)(410), 적어도 하나의 논리곱 소자(AND gate)(420), 적어도 하나의 레벨 쉬프터(level shifter)(430), 그리고 적어도 하나의 버퍼(buffer)(440)를 포함할 수 있다. 여기서 쉬프트 레지스터(410)는 논리곱 소자(420)를 포함할 수 있다. 게이트 구동부(400)는 여러 회로 소자들(circuit elements)이 구현되어 있는 적어도 하나의 집적 회로 칩을 포함하며, 이러한 게이트 집적 회로 칩(gate integrated circuit chip)은 게이트 구동부가 표시판 조립체에 집적되어 있는 경우보다 게이트 구동부의 크기가 작기 때문에 작은 폭을 갖는 슬림 베젤(slim bezel)을 갖는 표시 장치에 적용될 수 있다. 예를 들어, 게이트 집적 회로 칩을 포함하는 표시 장치의 슬림 베젤의 폭은 10 mm 이하일 수 있으며, 표시판 조립체에 게이트 구동부가 집적되어 있는 표시 장치의 베젤의 폭은 10 mm이하로 제조되기 어려울 수 있다. 여기서 베젤은 표시판 조립체를 감싸고 고정하는 상부 및 하부 새시(chassis)를 의미한다.
- [0056] 쉬프트 레지스터(410)는 신호 제어부(600)로부터의 주사 시작 신호(STV1, STV2) 및 클록 제어 신호(CPV1-CPV4)에 기초하여 턴온되고, 신호를 출력한다. 쉬프트 레지스터(410)에서 출력되는 신호의 펄스 폭 등의 펄스 특성은 적절하게 조절될 수 있다.
- [0057] 복수개의 쉬프트 레지스터(410)는 2 개의 주사 시작 신호에 기초하여 독립적으로 구동되며, 하나의 주사 시작 신호에 기초하여 독립적으로 발생하는 클록 제어 신호는 2 개이다. 예를 들어, $(2n-1)$ 번째 쉬프트 레지스터(SR1, SR3, SR5, SR7)는 제1 주사 시작 신호(STV1)에 기초하여 구동되며, $(2n)$ 번째 쉬프트 레지스터(SR2, SR4, SR6, SR8)는 제2 주사 시작 신호(STV2)에 기초하여 구동된다(n 는 자연수). 2 개의 주사 시작 신호의 타이밍은 서로 독립적일 수 있으며, 이에 따라 게이트 온 전압(Von)의 타이밍이 적절하게 조절될 수 있으며, 게이트 온 전압(Von)의 최적 타이밍이 설계될 수 있다. 또한, 하나의 주사 시작 신호에 기초하는 2 개의 클록 제어 신호의 타이밍은 서로 독립적일 수 있으며, 이에 따라 게이트 온 전압(Von)의 타이밍이 중첩하여 설계될 수 있으며, 충전 시간의 확보로 인하여 표시 장치의 화질이 개선될 수 있다. 이외에도, 복수개의 쉬프트 레지스터(410)는 서로 독립적으로 구동되는 주사 시작 신호를 3 개 이상 포함할 수 있으며, 하나의 주사 시작 신호에 기초하여 독립적으로 발생하는 클록 제어 신호는 3 개 이상일 수 있다. 쉬프트 레지스터(410)는 주사 시작 신호에 대한 입력 단자와 출력 단자를 2 쌍 이상 포함할 수 있다.
- [0058] 클록 제어 신호(CPV1-CPV4)와 쉬프트 레지스터(410)로부터의 출력 신호는 논리곱 소자(420)로 입력된다.
- [0059] 논리곱 소자(420)로부터의 출력 신호는 레벨 쉬프터(430)로 입력된다. 레벨 쉬프터(430)는 입력 신호를 스위칭 소자를 온 또는 오프할 수 있는 전압 레벨을 갖는 신호로 변환한다.
- [0060] 레벨 쉬프터(430)로부터의 출력 신호는 버퍼(440)로 입력된다. 버퍼(440)는 게이트선(G1-Gn)을 적절하게 구동할 수 있도록 입력 신호를 버퍼링(buffering)한다.
- [0061] 버퍼(440)로부터의 출력 신호는 게이트선(G1-Gn)으로 입력된다.
- [0062] 도 3을 참고하면, 제1 주사 시작 신호(STV1)가 하이 레벨(high level)인 구간에서, 제1 클록 제어 신호(CPV1)와 제2 클록 제어 신호(CPV2)가 하이 레벨로 된다. 제1 클록 제어 신호(CPV1)와 제2 클록 제어 신호(CPV2)의 타이밍은 서로 독립적일 수 있다. 예를 들어, 제1 클록 제어 신호(CPV1)의 상승 시간(rising timing)과 제2 클록 제어 신호(CPV2)의 상승 시간의 간격과 순서는 제1 주사 시작 신호(STV1)가 하이 레벨인 구간에서 적절하게 조절될 수 있다.
- [0063] $(4n-3)$ 번째 게이트선의 게이트 온 전압(Von)은 제1 클록 제어 신호(CPV1)에 동기화되어 있으며, $(4n-1)$ 번째 게이트선의 게이트 온 전압(Von)은 제2 클록 제어 신호(CPV2)에 동기화되어 있다(n 는 자연수). 예를 들어, 제1 게이트선(G1)의 게이트 온 전압(Von)은 제1 클록 제어 신호(CPV1)의 첫번째 펄스에 동기화되어 있으며, 제3 게이트선(G3)의 게이트 온 전압(Von)은 제2 클록 제어 신호(CPV2)의 첫번째 펄스에 동기화되어 있다.
- [0064] 제2 주사 시작 신호(STV2)가 하이 레벨인 구간에서, 제3 클록 제어 신호(CPV3)와 제4 클록 제어 신호(CPV4)가 하이 레벨로 된다. 제2 주사 시작 신호(STV2)의 타이밍은 제1 주사 시작 신호(STV1)의 타이밍과 독립적일 수

있다. 제3 클록 제어 신호(CPV3)와 제4 클록 제어 신호(CPV4)의 타이밍은 서로 독립적일 수 있다. 예를 들어, 제3 클록 제어 신호(CPV3)의 상승 시간과 제4 클록 제어 신호(CPV4)의 상승 시간의 간격과 순서는 제2 주사 시작 신호(STV2)가 하이 레벨인 구간에서 적절하게 조절될 수 있다.

[0065] (4n-2)번째 게이트선의 게이트 온 전압(Von)은 제3 클록 제어 신호(CPV3)에 동기화되어 있으며, (4n)번째 게이트선의 게이트 온 전압(Von)은 제4 클록 제어 신호(CPV4)에 동기화되어 있다(n은 자연수). 예를 들어, 제2 게이트선(G2)의 게이트 온 전압(Von)은 제3 클록 제어 신호(CPV3)의 세번째 펄스에 동기화되어 있으며, 제4 게이트선(G4)의 게이트 온 전압(Von)은 제4 클록 제어 신호(CPV4)의 세번째 펄스에 동기화되어 있다.

[0066] 도 4를 참고하면, 2 개의 게이트선의 게이트 온 전압이 서로 중첩되며, 이러한 게이트 온 전압의 중첩은 240 Hz 또는 480 Hz와 같은 높은 구동 주파수를 갖는 표시 장치의 충전 시간을 증가시킴으로써, 표시 장치의 화질이 개선될 수 있다. 도 3에서의 신호 파형도와는 달리, 도 4에서는 제1 주사 시작 신호(STV1)가 하이 레벨인 구간에서 발생된 제1 클록 제어 신호(CPV1)의 첫번째 펄스와 제2 클록 제어 신호(CPV2)의 첫번째 펄스가 중첩되며, 이에 따라 (4n-3)번째 게이트선의 게이트 온 전압(Von)과 (4n-1)번째 게이트선의 게이트 온 전압(Von)이 중첩된다(n은 자연수). 또한, 제2 주사 시작 신호(STV2)가 하이 레벨인 구간에서 발생된 제3 클록 제어 신호(CPV3)의 세번째 펄스와 제4 클록 제어 신호(CPV4)의 세번째 펄스가 중첩되며, 이에 따라 (4n-2)번째 게이트선의 게이트 온 전압(Von)과 (4n)번째 게이트선의 게이트 온 전압(Von)이 중첩된다(n은 자연수). 예를 들어, 첫번째 게이트선(G1)에 인가되는 게이트 온 전압(Von)과 세번째 게이트선(G3)에 인가되는 게이트 온 전압(Von)이 중첩되며, 세번째 게이트선(G3)에 인가되는 게이트 온 전압(Von)과 다섯번째 게이트선(G5)에 인가되는 게이트 온 전압(Von)이 중첩되며, 다섯번째 게이트선(G5)에 인가되는 게이트 온 전압(Von)과 일곱번째 게이트선(G7)에 인가되는 게이트 온 전압(Von)이 중첩된다. 또한, 두번째 게이트선(G2)에 인가되는 게이트 온 전압(Von)과 네번째 게이트선(G4)에 인가되는 게이트 온 전압(Von)이 중첩되며, 네번째 게이트선(G4)에 인가되는 게이트 온 전압(Von)과 여섯번째 게이트선(G6)에 인가되는 게이트 온 전압(Von)이 중첩되며, 여섯번째 게이트선(G6)에 인가되는 게이트 온 전압(Von)과 여덟번째 게이트선(G8)에 인가되는 게이트 온 전압(Von)이 중첩된다.

[0067] 도 5는 본 발명의 한 실시예에 따른 액정 표시 장치와 이에 적용되는 게이트 구동부의 신호 파형을 나타내는 도면이다.

[0068] 도 5를 참고하면, 액정 표시 장치는 게이트선(G1-Gn), 전하 공유선(charge sharing line)(CS1-CSn), 그리고 데이터선(D1-Dm)을 포함하는 신호선과 이에 연결되어 있는 복수의 화소(PX)를 포함한다. 복수의 화소(PX)는 제1 부화소 전극(PXa)과 제2 부화소 전극(PXb)을 포함한다.

[0069] 화소(PX)는 제1 스위칭 소자(Qa), 제2 스위칭 소자(Qb), 제3 스위칭 소자(Qc), 그리고 변압 축전기(Cstd)를 포함한다.

[0070] 제1 스위칭 소자(Qa), 제2 스위칭 소자(Qb), 그리고 제3 스위칭 소자(Qc)는 박막 트랜지스터와 같은 삼단자 소자이다. 제1 스위칭 소자(Qa)는 게이트선(G1-Gn)에 연결되어 있는 제어 단자, 데이터선(D1-Dm)에 연결되어 있는 입력 단자, 그리고 제1 부화소 전극(PXa)에 연결되어 있는 출력 단자를 포함한다. 제2 스위칭 소자(Qb)는 게이트선(G1-Gn)에 연결되어 있는 제어 단자, 데이터선(D1-Dm)에 연결되어 있는 입력 단자, 그리고 제2 부화소 전극(PXb)에 연결되어 있는 출력 단자를 포함한다. 제1 스위칭 소자(Qa)의 제어 단자와 제2 스위칭 소자(Qb)의 제어 단자는 동일한 게이트선에 연결되어 있으며, 제1 스위칭 소자(Qa)의 입력 단자와 제2 스위칭 소자(Qb)의 입력 단자는 동일한 데이터선에 연결되어 있다. 제3 스위칭 소자(Qc)는 전하 공유선(CS1-CSn)에 연결되어 있는 제어 단자, 제2 부화소 전극(PXb)에 연결되어 있는 입력 단자, 그리고 변압 축전기(Cstd)에 연결되어 있는 출력 단자를 포함한다.

[0071] 변압 축전기(Cstd)의 양 단자는 각각 제3 스위칭 소자(Qc)의 출력 단자와 공통 전압(Vcom)에 연결되어 있다. 제1 액정 축전기의 양 단자는 제1 부화소 전극(PXa)과 공통 전압(Vcom)에 연결되어 있으며, 제2 액정 축전기의 양 단자는 제2 부화소 전극(PXb)과 공통 전압(Vcom)에 연결되어 있다.

[0072] 게이트선(G1-Gn)에 게이트 온 전압(Von)이 인가되면 게이트선(G1-Gn)에 연결되어 있는 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)가 턴 온 된다. 이에 따라, 턴 온된 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)를 통하여, 동일한 데이터 전압(Vd)이 제1 부화소 전극(PXa) 및 제2 부화소 전극(PXb)에 인가되므로, 제1 액정 축전기에 충전되는 전압과 제2 액정 축전기에 충전되는 전압은 서로 동일하다. 게이트선(G1-Gn)에 게이트 온 전압(Von)이 인가될 때, 전하 공유선(CS1-CSn)에는 게이트 오프 전압(Voff)이 인가된다.

[0073] 게이트선(G1-Gn)에 게이트 오프 전압(Voff)이 인가되고 전하 공유선(CS1-CSn)에 게이트 온 전압(Von)이 인가되

면, 게이트선(G1-Gn)에 연결되어 있는 제1 스위칭 소자(Qa)와 제2 스위칭 소자(Qb)는 턴 오프 되고, 제3 스위칭 소자(Qc)는 턴 온 된다. 이에 따라, 제2 스위칭 소자(Qb)를 통하여, 제2 부화소 전극(Qb)에 충전되어 있는 전하의 일부가 변압 축전기(Cstd)로 이동하고, 제2 액정 축전기에 충전되어 있는 전압은 하강한다. 이와 같이 제1 축전기의 충전 전압과 제2 액정 축전기의 충전 전압을 서로 다르게 하면, 액정 표시 장치의 측면 시인성이 개선될 수 있다.

[0074] 도 5의 액정 표시 장치에 적용되는 게이트 구동부(400)는 도 2에 도시된 것처럼 여러 회로 소자들이 구현되어 있는 적어도 하나의 집적 회로 칩을 포함하며, 이러한 게이트 집적 회로 칩은 게이트 구동부가 표시판 조립체에 집적되어 있는 경우보다 게이트 구동부의 크기가 작기 때문에 작은 폭을 갖는 슬림 베젤을 갖는 표시 장치에 적용될 수 있다. 예를 들어, 게이트 집적 회로 칩을 포함하는 표시 장치의 슬림 베젤의 폭은 10 mm 이하일 수 있으며, 표시판 조립체에 게이트 구동부가 직접되어 있는 표시 장치의 베젤의 폭은 10 mm이하로 제조되기 어려울 수 있다.

[0075] 도 6은 본 발명의 한 실시예에 따른 게이트 구동부의 신호 파형을 나타내는 도면이다.

[0076] 도 6의 신호 파형도는 120 Hz 또는 240 Hz와 같은 프레임 주파수(frame frequency)를 갖는 도 5의 액정 표시 장치에 적용될 수 있으며, 도 2의 게이트 구동부에도 적용될 수 있다. 도 6을 참고하면, 제1 주사 시작 신호(STV1)와 제2 주사 시작 신호(STV2)의 타이밍은 서로 독립적이며, 이에 따라 게이트선(G1-Gn)에 인가되는 게이트 온 전압(Von)의 타이밍과 및 전하 공유선(CS1-CSn)에 인가되는 게이트 온 전압(Von)의 타이밍이 적절하게 조절될 수 있으며, 게이트 온 전압(Von)의 최적 타이밍이 설계될 수 있다. 여기서 전하 공유선(CS1-CSn)에 인가되는 게이트 온 전압(Von)의 타이밍은 방전 타이밍(discharging timing)을 의미한다. 또한, 하나의 주사 시작 신호에 기초하는 2 개의 클록 제어 신호의 타이밍은 서로 독립적일 수 있으며, 이에 따라 게이트 온 전압(Von)의 타이밍이 중첩하여 설계될 수 있으며, 충전 시간의 확보로 인하여 표시 장치의 화질이 개선될 수 있다. 제1 주사 시작 신호(STV1)에 기초하여 제1 클록 제어 신호(CPV1)와 제2 클록 제어 신호(CPV2)가 발생하며, 제1 클록 제어 신호(CPV1)와 제2 클록 제어 신호(CPV2)는 서로 독립적으로 게이트선(G1-Gn)에 인가되는 게이트 온 전압(Von)을 제어한다. 제2 주사 시작 신호(STV2)에 기초하여 제3 클록 제어 신호(CPV3)와 제4 클록 제어 신호(CPV4)가 발생하며, 제3 클록 제어 신호(CPV3)와 제4 클록 제어 신호(CPV4)는 각각 전하 공유선(CS1-CSn)에 인가되는 게이트 온 전압(Von)을 제어한다.

[0077] 도 7은 본 발명의 한 실시예에 따른 액정 표시 장치와 이에 적용되는 게이트 구동부의 신호 파형을 나타내는 도면이다.

[0078] 도 7에 도시되어 있는 액정 표시 장치에서 하나의 화소(PX)에 대한 등가 회로는 도 5에 도시되어 있는 액정 표시 장치에서 하나의 화소(PX)에 대한 등가 회로와 동일하다. 예를 들어, 도 7에 도시되어 있는 액정 표시 장치에서 제1 부화소 전극(PXa), 제2 부화소 전극(PXb), 제1 스위칭 소자(Qa), 제2 스위칭 소자(Qb), 제3 스위칭 소자(Qc), 변압 축전기(Cstd), 제1 액정 축전기, 그리고 제2 액정 축전기의 연결 관계는 도 5에 도시되어 있는 회로 소자들의 연결 관계가 동일하다. 하지만, 도 7에 도시되어 있는 액정 표시 장치와 도 5에 도시되어 있는 액정 표시 장치는 데이터선의 개수가 서로 다르며, 이에 따라 인접한 화소 열과 데이터선의 연결 관계가 서로 다르다. 예를 들어, 도 7에 도시되어 있는 액정 표시 장치의 데이터선의 개수는 도 5에 도시되어 있는 액정 표시 장치의 데이터선의 개수의 2 배이다. 또한 두번째 행의 첫번째 열에 위치한 화소(PX)와 첫번째 행의 두번째 열에 위치한 화소는 도 5에서는 동일한 데이터선(D2)에 연결되어 있지만, 도 7에서는 서로 다른 데이터선(D2, D3)에 연결되어 있다.

[0079] 게이트 온 전압(Von)은 (2n-1)번째 게이트선과 (2n)번째 게이트선에 동시에 인가되며, (2n-1)번째 게이트선에 연결되어 있는 제1 스위칭 소자(Qa)와 제2 스위칭 소자(Qb), 그리고 (2n)번째 게이트선에 연결되어 있는 제1 스위칭 소자(Qa)와 제2 스위칭 소자(Qb)가 모두 동시에 턴 온 된다(n은 자연수). 이에 따라, (2n-1)번째 데이터선과 (2n)번째 데이터선에 각각 제1 데이터 전압과 제2 데이터 전압이 동시에 인가되므로, (2n-1)번째 게이트선에 연결되어 있는 제1 스위칭 소자(Qa)와 제2 스위칭 소자(Qb)를 통하여 제1 데이터 전압이 (2n-1)번째 열의 제1 부화소 전극(PXa)과 제2 부화소 전극(PXb)에 인가되는 시점과 (2n)번째 게이트선에 연결되어 있는 제1 스위칭 소자(Qa)와 제2 스위칭 소자(Qb)를 통하여 제2 데이터 전압이 (2n)번째 열의 제1 부화소 전극(PXa)과 제2 부화소 전극(PXb)에 인가되는 시점이 모두 동일하다(n은 자연수). 또한, 제1 부화소 전극(PXa)과 제2 부화소 전극(PXb)에는 동일한 데이터 전압이 인가되므로, 제1 액정 축전기에 충전되는 전압과 제2 액정 축전기에 충전되는 전압은 서로 동일하다. 게이트선(G1-Gn)에 게이트 온 전압(Von)이 인가될 때, 전하 공유선(CS1-CSn)에는 게이트 오프 전압(Voff)이 인가된다.

- [0080] 게이트선(G1-Gn)에 게이트 오프 전압(Voff)이 인가되고 전하 공유선(CS1-CSn)에 게이트 온 전압(Von)이 인가되면, 게이트선(G1-Gn)에 연결되어 있는 제1 스위칭 소자(Qa)와 제2 스위칭 소자(Qb)는 턴 오프 되고, 제3 스위칭 소자(Qc)는 턴 온 된다. 이에 따라, 제2 스위칭 소자(Qb)를 통하여, 제2 부화소 전극(Qb)에 충전되어 있는 전하의 일부가 변압 축전기(Cstd)로 이동하고, 제2 액정 축전기에 충전되어 있는 전압은 하강한다. 여기서 (2n-1)번째 전하 공유선과 (2n)번째 전하 공유선에는 게이트 온 전압(Von)이 동시에 인가되고, (2n-1)번째 열의 제2 축전기와 (2n)번째 열의 제2 축전기는 동시에 충전되어 있는 전압이 하강한다(n은 자연수). 이와 같이 제1 축전기의 충전 전압과 제2 액정 축전기의 충전 전압을 서로 다르게 하면, 액정 표시 장치의 측면 시인성이 개선될 수 있다.
- [0081] 도 7의 액정 표시 장치에 적용되는 게이트 구동부(400)는 도 2에 도시된 것처럼 여러 회로 소자들이 구현되어 있는 적어도 하나의 집적 회로 칩을 포함하며, 이러한 게이트 집적 회로 칩은 게이트 구동부가 표시판 조립체에 집적되어 있는 경우보다 게이트 구동부의 크기가 작기 때문에 작은 폭을 갖는 슬림 베젤을 갖는 표시 장치에 적용될 수 있다. 예를 들어, 게이트 집적 회로 칩을 포함하는 표시 장치의 슬림 베젤의 폭은 10 mm 이하일 수 있으며, 표시판 조립체에 게이트 구동부가 집적되어 있는 표시 장치의 베젤의 폭은 10 mm이하로 제조되기 어려울 수 있다.
- [0082] 도 8은 본 발명의 한 실시예에 따른 게이트 구동부의 신호 파형을 나타내는 도면이다.
- [0083] 도 8의 신호 파형도는 240 Hz 또는 480 Hz와 같은 프레임 주파수를 갖는 도 7의 액정 표시 장치에 적용될 수 있으며, 도 2의 게이트 구동부에도 적용될 수 있다. 도 8을 참고하면, 제1 주사 시작 신호(STV1)와 제2 주사 시작 신호(STV2)의 타이밍은 서로 독립적이며, 이에 따라 게이트선(G1-Gn)에 인가되는 게이트 온 전압(Von)의 타이밍과 및 전하 공유선(CS1-CSn)에 인가되는 게이트 온 전압(Von)의 타이밍이 적절하게 조절될 수 있으며, 게이트 온 전압(Von)의 최적 타이밍이 설계될 수 있다. 여기서 전하 공유선(CS1-CSn)에 인가되는 게이트 온 전압(Von)의 타이밍은 방전 타이밍을 의미한다. 제1 주사 시작 신호(STV1)에 기초하여 제1 클록 제어 신호(CPV1)와 제2 클록 제어 신호(CPV2)가 동시에 발생하며, (2n-1)번째 게이트선과 (2n)번째 게이트선에 게이트 온 전압(Von)이 동시에 인가된다(n은 자연수). 제2 주사 시작 신호(STV2)에 기초하여 제3 클록 제어 신호(CPV3)와 제4 클록 제어 신호(CPV4)가 동시에 발생하며, (2n-1)번째 전하 공유선과 (2n)번째 전하 공유선에 게이트 온 전압(Von)이 동시에 인가된다(n은 자연수).
- [0084] 도 9는 본 발명의 한 실시예에 따른 액정 표시 장치와 이에 적용되는 게이트 구동부의 신호 파형을 나타내는 도면이다.
- [0085] 도 9에 도시되어 있는 액정 표시 장치는 도 5에 도시되어 있는 액정 표시 장치와 동일하다. 예를 들어, 도 9에 도시되어 있는 액정 표시 장치에서 제1 부화소 전극(PXa), 제2 부화소 전극(PXb), 제1 스위칭 소자(Qa), 제2 스위칭 소자(Qb), 제3 스위칭 소자(Qc), 변압 축전기(Cstd), 제1 액정 축전기, 제2 액정 축전기, 게이트선(G1-Gn), 데이터선(D1-Dm), 그리고 전하 공유선(CS1-CS2)의 연결 관계는 도 5에 도시되어 있는 회로 소자들의 연결 관계가 동일하다. 하지만, 도 9에 도시되어 있는 게이트 구동부의 신호 파형은 도 7에 도시되어 있는 게이트 구동부의 신호 파형과 동일하므로, 도 8의 신호 파형도가 도 9의 액정 표시 장치에 적용될 수 있다. 예를 들어, (2n-1)번째 게이트선과 (2n)번째 게이트선에 게이트 온 전압(Von)이 동시에 인가되므로, (2n-1)번째 부화소 전극(PXa, PXb)에 인가되는 데이터 전압과 (2n)번째 부화소 전극(PXa, PXb)에 인가되는 데이터 전압은 동일하다. 또한 도 9의 액정 표시 장치에는 도 2의 게이트 구동부가 적용될 수 있다. 도 9의 액정 표시 장치와 게이트 구동부의 신호 파형은 3D 영상의 구동에 적용될 수 있다. 예를 들어, 도 9의 액정 표시 장치가 도 2의 게이트 구동부를 포함하고 120 Hz의 프레임 주파수를 갖는 2D 영상 또는 3D 영상을 출력할 때, 3D 영상의 출력을 위해 도 9의 게이트 구동부의 신호 파형이 적용되고, 일반적인 2D 영상의 출력을 위해 도 5의 게이트 구동부의 신호 파형이 적용된다. 이에 따라, 도 2의 게이트 구동부에 입력되는 주사 시작 신호와 클록 제어 신호의 타이밍과 펄스의 폭을 적절하게 조절함으로써, 자유롭게 2D 영상과 3D 영상의 구동이 변환될 수 있다.
- [0086] 도 10은 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이며, 도 11은 본 발명의 한 실시예에 따른 게이트 구동부의 신호 파형을 나타내는 도면이다.
- [0087] 도 10의 게이트 구동부의 쉬프트 레지스터(410), 논리곱 소자(420), 레벨 쉬프터(430), 그리고 버퍼(440)는 도 2의 게이트 구동부의 소자들과 동일하지만, 도 10의 게이트 구동부의 소자들의 연결 관계는 도 2의 게이트 구동부의 소자들의 연결 관계와는 서로 다르다.
- [0088] 도 10의 게이트 구동부에서 복수개의 쉬프트 레지스터(410)는 3 개의 주사 시작 신호에 기초하여 독립적으로 구

동되며, 하나의 주사 시작 신호에 기초하여 독립적으로 발생하는 클록 제어 신호는 2 개이다. 예를 들어, $(3n-1)$ 번째 쉬프트 레지스터(SR1, SR4)는 제1 주사 시작 신호(STV1)에 기초하여 구동되며, $(3n-1)$ 번째 쉬프트 레지스터(SR2, SR5)는 제2 주사 시작 신호(STV2)에 기초하여 구동되며, $(3n)$ 번째 쉬프트 레지스터(SR3, SR6)는 제3 주사 시작 신호(STV3)에 기초하여 구동된다(n 은 자연수). 3 개의 주사 시작 신호의 타이밍은 서로 독립적일 수 있으며, 이에 따라 게이트 온 전압(Von)의 타이밍이 적절하게 조절될 수 있으며, 게이트 온 전압(Von)의 최적 타이밍이 설계될 수 있다. 또한, 하나의 주사 시작 신호에 기초하는 2 개의 클록 제어 신호의 타이밍은 서로 독립적일 수 있으며, 이에 따라 게이트 온 전압(Von)의 타이밍이 중첩하여 설계될 수 있으며, 충전 시간의 확보로 인하여 표시 장치의 화질이 개선될 수 있다. 이외에도, 하나의 주사 시작 신호에 기초하여 독립적으로 발생하는 클록 제어 신호는 3 개 이상일 수 있다.

- [0089] 도 11을 참고하면, 제1 주사 시작 신호(STV1)가 하이 레벨인 구간에서, 제1 클록 제어 신호(CPV1)와 제2 클록 제어 신호(CPV2)가 하이 레벨로 된다. 제1 클록 제어 신호(CPV1)와 제2 클록 제어 신호(CPV2)의 타이밍은 서로 독립적이다. 예를 들어, 제1 클록 제어 신호(CPV1)의 상승 시간과 제2 클록 제어 신호(CPV2)의 상승 시간의 간격과 순서는 제1 주사 시작 신호(STV1)가 하이 레벨인 구간에서 적절하게 조절될 수 있다.
- [0090] $(6n-5)$ 번째 게이트선의 게이트 온 전압(Von)은 제1 클록 제어 신호(CPV1)에 동기화되어 있으며, $(6n-4)$ 번째 게이트선의 게이트 온 전압(Von)은 제2 클록 제어 신호(CPV2)에 동기화되어 있다(n 은 자연수).
- [0091] 제2 주사 시작 신호(STV2)가 하이 레벨인 구간에서, 제3 클록 제어 신호(CPV3)와 제4 클록 제어 신호(CPV4)가 하이 레벨로 된다. 제3 클록 제어 신호(CPV3)와 제4 클록 제어 신호(CPV4)의 타이밍은 서로 독립적일 수 있다. 예를 들어, 제3 클록 제어 신호(CPV3)의 상승 시간과 제4 클록 제어 신호(CPV4)의 상승 시간의 간격과 순서는 제2 주사 시작 신호(STV2)가 하이 레벨인 구간에서 적절하게 조절될 수 있다.
- [0092] $(6n-3)$ 번째 게이트선의 게이트 온 전압(Von)은 제3 클록 제어 신호(CPV3)에 동기화되어 있으며, $(6n-2)$ 번째 게이트선의 게이트 온 전압(Von)은 제4 클록 제어 신호(CPV4)에 동기화되어 있다(n 은 자연수).
- [0093] 제3 주사 시작 신호(STV3)가 하이 레벨인 구간에서, 제5 클록 제어 신호(CPV5)와 제6 클록 제어 신호(CPV6)가 하이 레벨로 된다. 제5 클록 제어 신호(CPV5)와 제6 클록 제어 신호(CPV6)의 타이밍은 서로 독립적일 수 있다. 예를 들어, 제5 클록 제어 신호(CPV5)의 상승 시간과 제6 클록 제어 신호(CPV6)의 상승 시간의 간격과 순서는 제3 주사 시작 신호(STV3)가 하이 레벨인 구간에서 적절하게 조절될 수 있다.
- [0094] $(6n-1)$ 번째 게이트선의 게이트 온 전압(Von)은 제5 클록 제어 신호(CPV5)에 동기화되어 있으며, $(6n)$ 번째 게이트선의 게이트 온 전압(Von)은 제6 클록 제어 신호(CPV6)에 동기화되어 있다(n 은 자연수).
- [0095] 도 12는 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이며, 도 13은 본 발명의 한 실시예에 따른 게이트 구동부의 신호 파형을 나타내는 도면이다.
- [0096] 도 12의 게이트 구동부의 쉬프트 레지스터(410), 논리곱 소자(420), 레벨 쉬프터(430), 그리고 버퍼(440)는 도 2의 게이트 구동부의 소자들과 동일하지만, 도 12의 게이트 구동부의 소자들의 연결 관계는 도 2의 게이트 구동부의 소자들의 연결 관계와는 서로 다르다.
- [0097] 도 12의 게이트 구동부에서 복수개의 쉬프트 레지스터(410)는 2 개의 주사 시작 신호에 기초하여 독립적으로 구동되며, 하나의 주사 시작 신호에 기초하여 독립적으로 발생하는 클록 제어 신호는 2 개이다. 하지만, 제1 주사 시작 신호(STV1)에 기초하여 구동되는 쉬프트 레지스터(410)는 첫 번째 쉬프트 레지스터(SR1)부터 $(n/2-1)$ 번째 쉬프트 레지스터(SR $(n/2-1)$)이며, 제2 주사 시작 신호(STV2)에 기초하여 구동되는 쉬프트 레지스터(410)는 $(n/2)$ 번째 쉬프트 레지스터(SR $(n/2)$)부터 (n) 번째 쉬프트 레지스터(SR n)이다(n 은 짝수). 이외에도, 복수개의 쉬프트 레지스터(410)는 3 개 이상의 주사 시작 신호에 기초하여 독립적으로 구동될 수 있으며, 이 경우 쉬프트 레지스터는 3 개 이상의 쉬프트 레지스터 그룹으로 분리되어 독립적으로 구동될 수 있다.
- [0098] 2 개의 주사 시작 신호의 타이밍은 서로 독립적일 수 있으며, 이에 따라 게이트 온 전압(Von)의 타이밍이 적절하게 조절될 수 있으며, 게이트 온 전압(Von)의 최적 타이밍이 설계될 수 있다. 또한, 하나의 주사 시작 신호에 기초하는 2 개의 클록 제어 신호의 타이밍은 서로 독립적일 수 있으며, 이에 따라 게이트 온 전압(Von)의 타이밍이 중첩하여 설계될 수 있으며, 충전 시간의 확보로 인하여 표시 장치의 화질이 개선될 수 있다.
- [0099] 도 13을 참고하면, 제1 주사 시작 신호(STV1)가 하이 레벨인 구간에서, 제1 클록 제어 신호(CPV1)와 제2 클록 제어 신호(CPV2)가 하이 레벨로 된다. 제1 클록 제어 신호(CPV1)와 제2 클록 제어 신호(CPV2)의 타이밍은 서로 독립적일 수 있다. 예를 들어, 제1 클록 제어 신호(CPV1)의 상승 시간과 제2 클록 제어 신호(CPV2)의 상승 시

간의 간격과 순서는 제1 주사 시작 신호(STV1)가 하이 레벨인 구간에서 적절하게 조절될 수 있다.

[0100] 첫번째 게이트선(G1)부터 $(n/2-1)$ 번째 게이트선($G(n/2-1)$)까지의 게이트선 중에서 홀수 게이트선의 게이트 온 전압(V_{on})은 제1 클록 제어 신호(CPV1)에 동기화되어 있으며, 짝수 게이트선의 게이트 온 전압(V_{on})은 제2 클록 제어 신호(CPV2)에 동기화되어 있다(n 는 짝수).

[0101] 제2 주사 시작 신호(STV2)가 하이 레벨인 구간에서, 제3 클록 제어 신호(CPV3)와 제4 클록 제어 신호(CPV4)가 하이 레벨로 된다. 제3 클록 제어 신호(CPV3)와 제4 클록 제어 신호(CPV4)의 타이밍은 서로 독립적일 수 있다. 예를 들어, 제3 클록 제어 신호(CPV3)의 상승 시간과 제4 클록 제어 신호(CPV4)의 상승 시간의 간격과 순서는 제2 주사 시작 신호(STV2)가 하이 레벨인 구간에서 적절하게 조절될 수 있다.

[0102] $(n/2)$ 번째 게이트선($G(n/2)$)부터 n 번째 게이트선(G_n)까지의 게이트선 중에서 홀수 게이트선의 게이트 온 전압(V_{on})은 제1 클록 제어 신호(CPV1)에 동기화되어 있으며, 짝수 게이트선의 게이트 온 전압(V_{on})은 제2 클록 제어 신호(CPV2)에 동기화되어 있다(n 는 짝수).

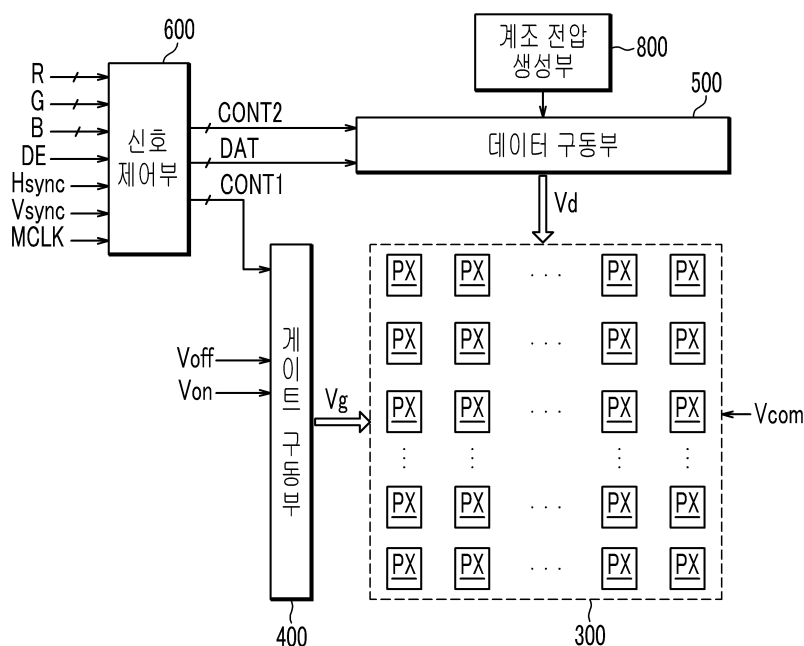
[0103] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

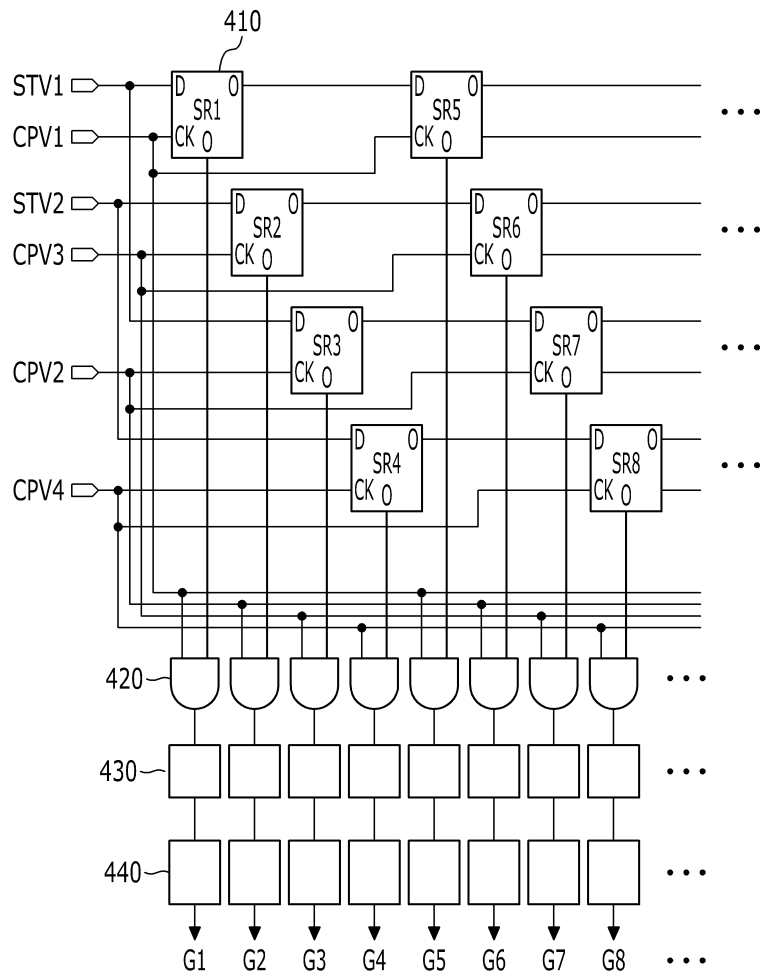
[0104] 300: 표시판 조립체 400: 게이트 구동부
410: 쉬프트 레지스터 420: 논리곱 소자
430: 레벨 쉬프터 440: 버퍼
500: 데이터 구동부 600: 신호 제어부
800: 계조 전압 생성부

도면

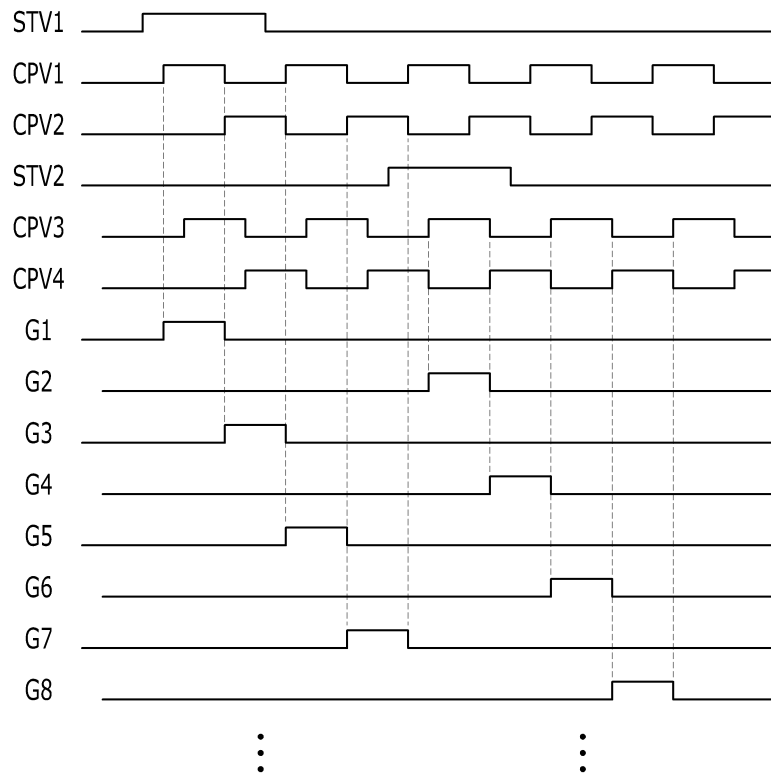
도면1



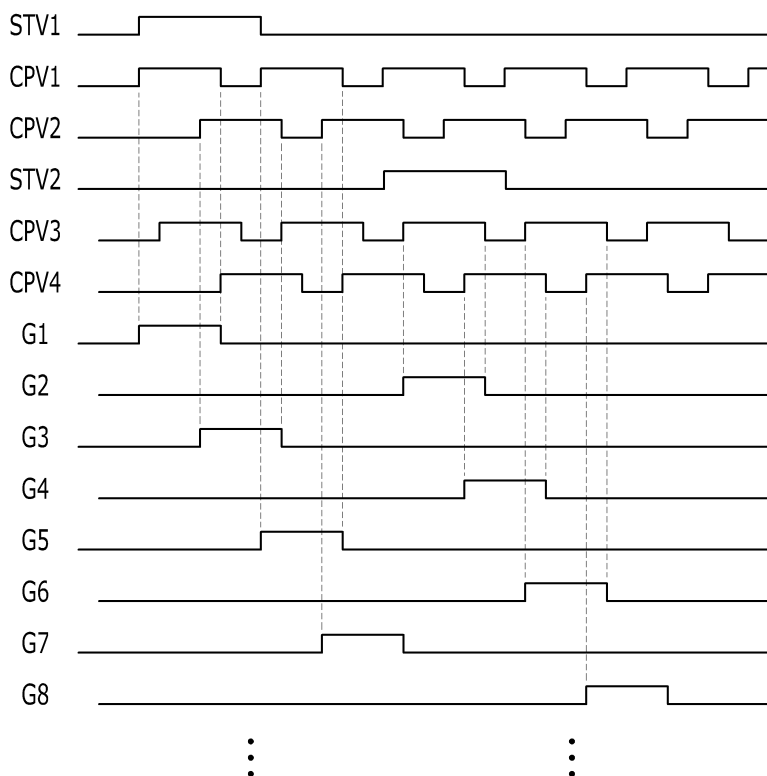
도면2



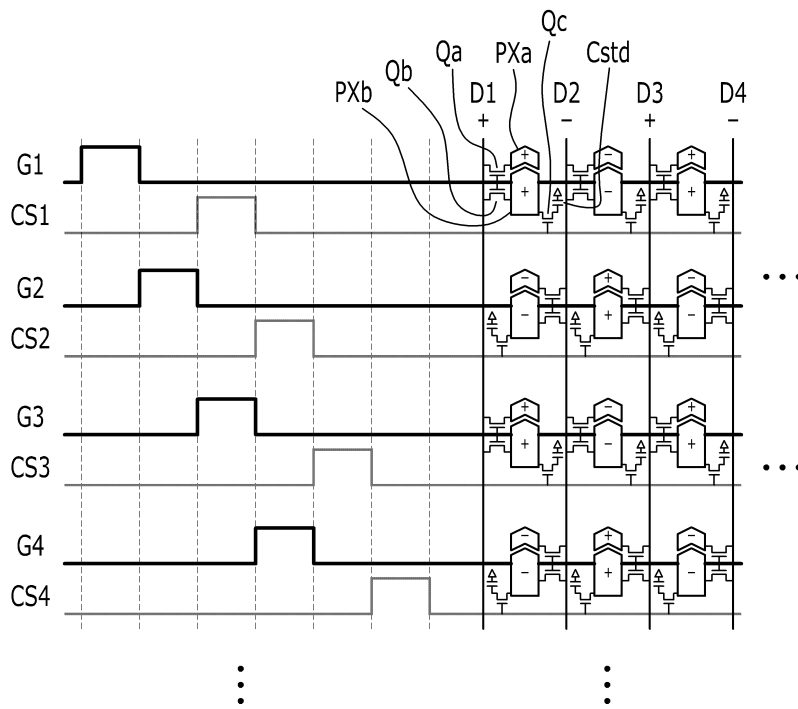
도면3



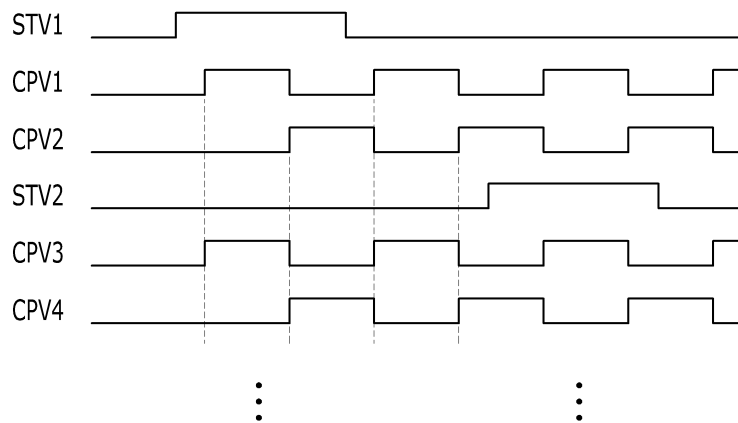
도면4



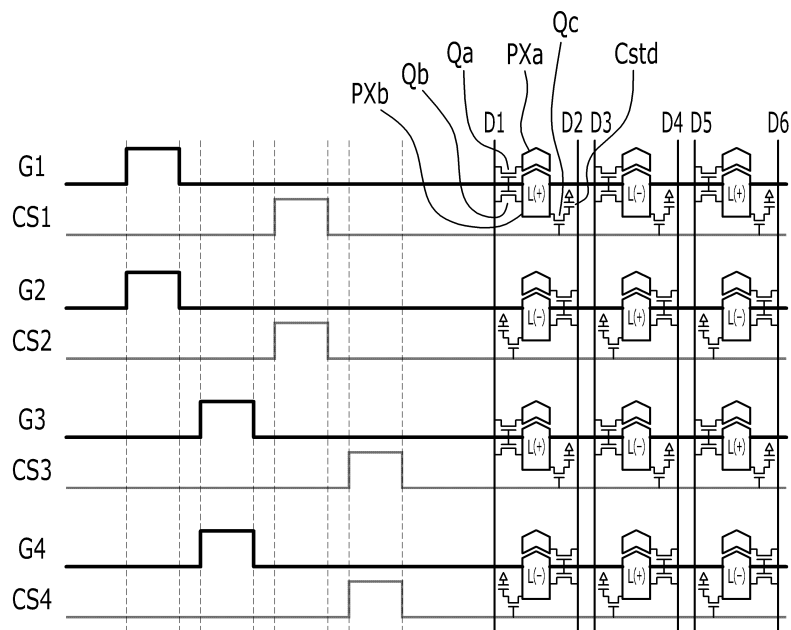
도면5



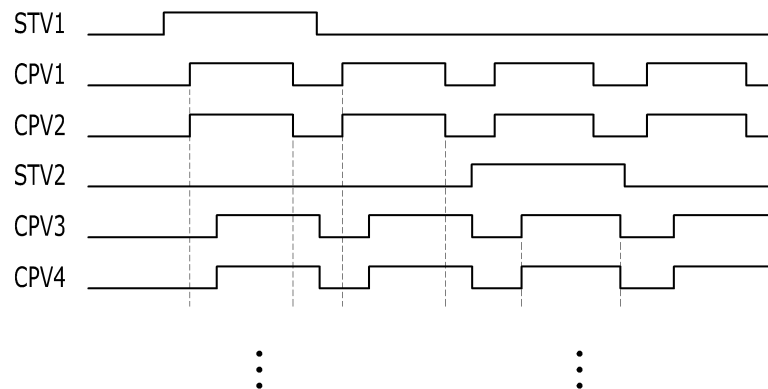
도면6



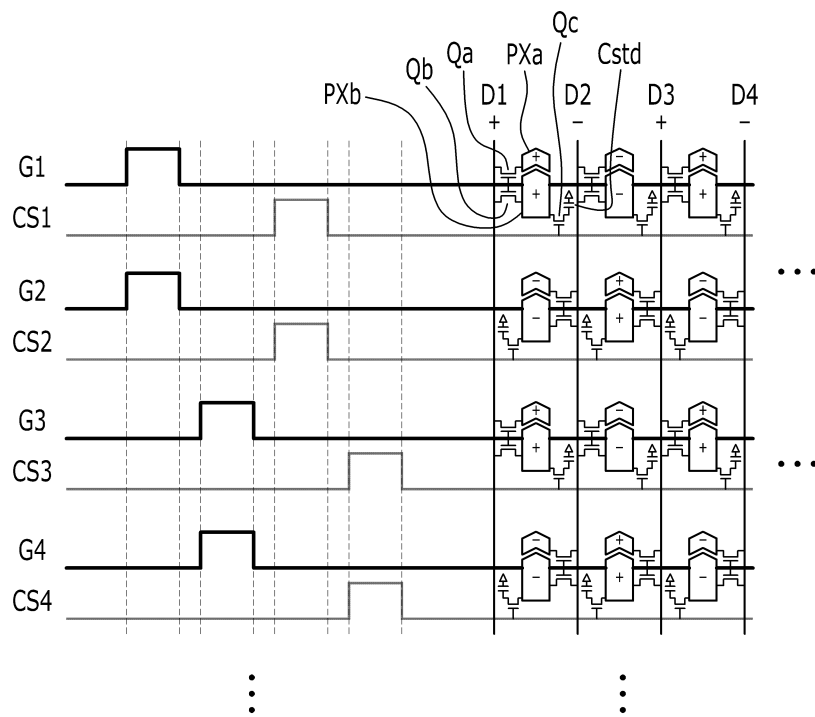
도면7



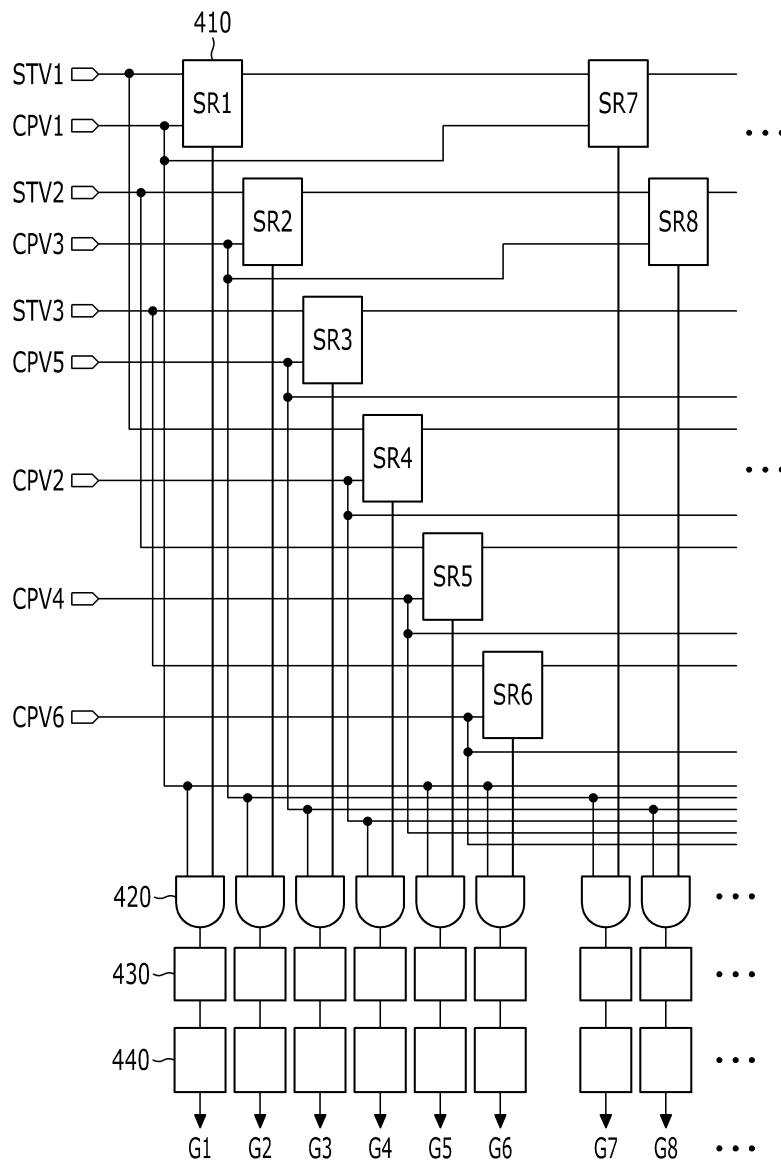
도면8



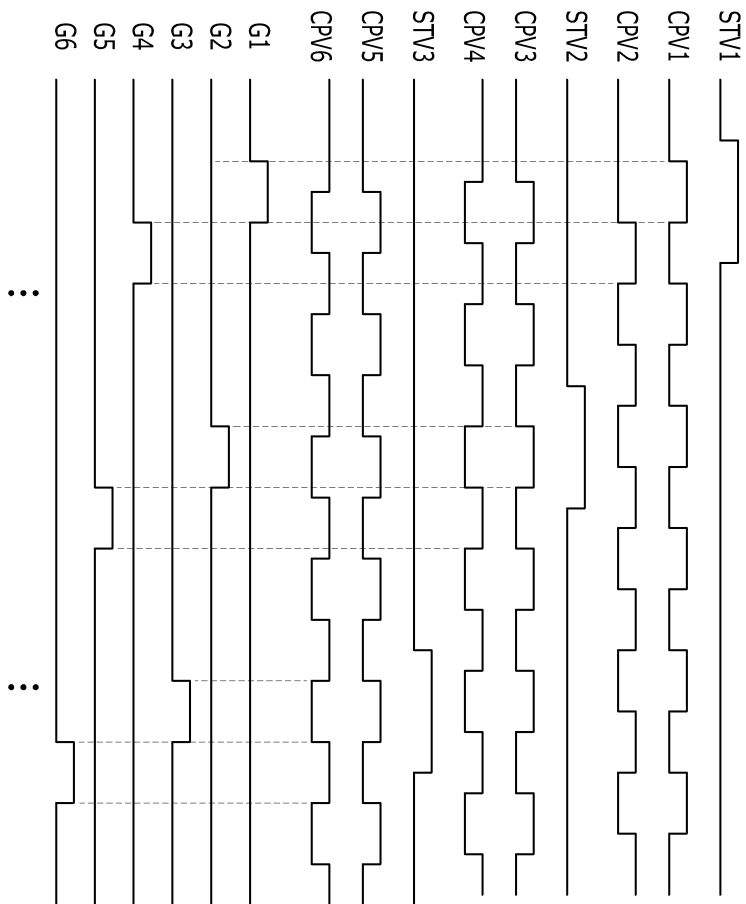
도면9



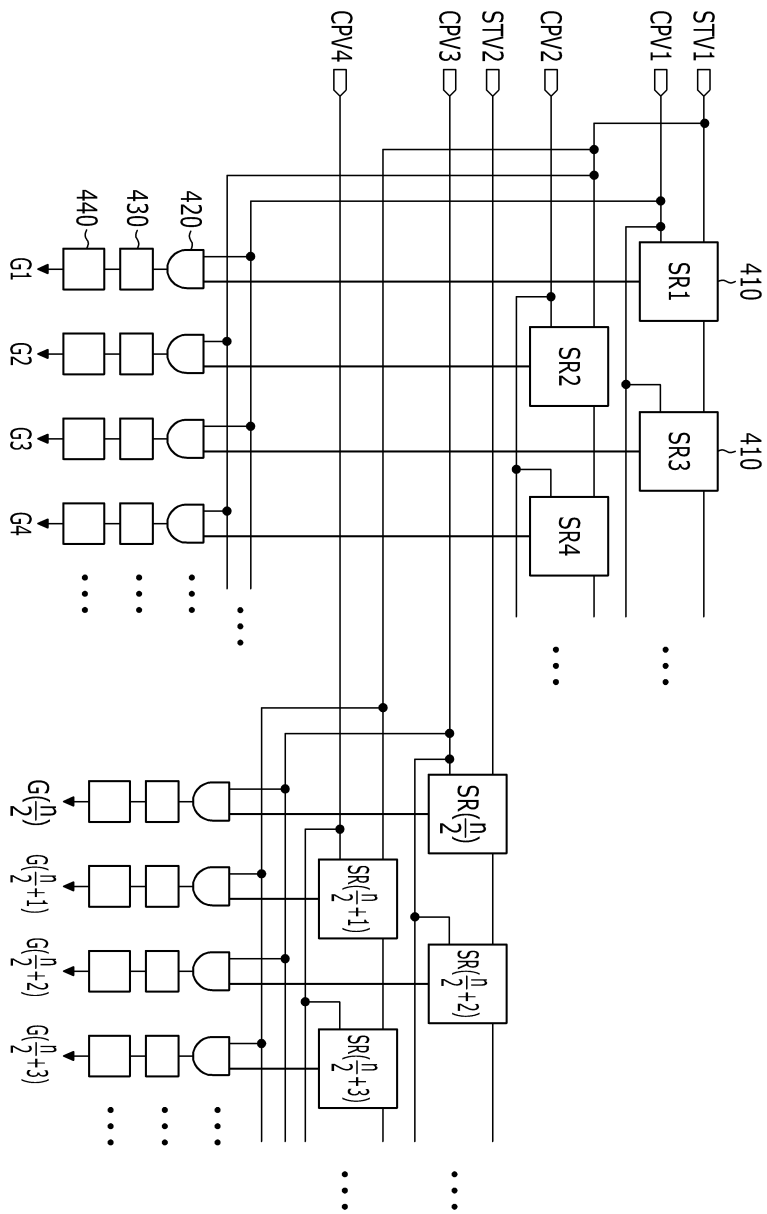
도면10



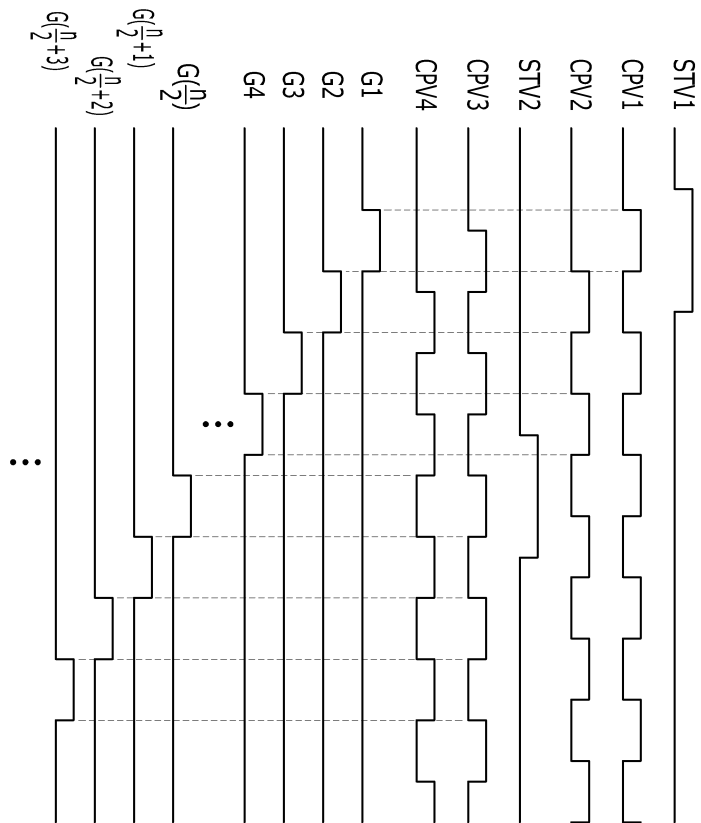
도면11



도면12



도면13



专利名称(译)	栅极驱动器和包括其的液晶显示器		
公开(公告)号	KR1020120128421A	公开(公告)日	2012-11-27
申请号	KR1020110046355	申请日	2011-05-17
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SHIN OK KWON 신옥권 LEE JONGMIN 이종민 SON SUN KYU 손선규 BAN YOUNG IL 반영일 LEE JAE HAN 이재한		
发明人	신옥권 이종민 손선규 반영일 이재한		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G11C19/28 G09G2310/0286 G09G2310/0205 G09G2310/08 G09G3/3677 G11C19/00 G11C19/287 G09G3/3674		
其他公开文献	KR101832409B1		
外部链接	Espacenet		

摘要(译)

本发明提供了一种栅极驱动器和包括该栅极驱动器的液晶显示装置，以通过应用窄边框来控制放电时序。组成：栅极驱动器包括一个或多个移位寄存器（410），一个或多个AND元件（420）一个或多个电平移位器（430）以及一个或多个缓冲器（440）。门集成电路芯片接收两个或更多个扫描开始信号。门集成电路芯片接收两个或更多个时钟控制信号。栅极集成电路芯片输出多个栅极导通电压。两个或更多个扫描开始信号的时序彼此独立。两个或更多个时钟控制信号的时序彼此独立。

