



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0001054
(43) 공개일자 2011년01월06일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2009-0058445

(22) 출원일자 2009년06월29일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

이석우

경기 부천시 원미구 상동 392 한아름아파트
1512-1203

최승찬

경기도 고양시 일산동구 백석동 흰돌마을1단지아
파트 1194번지(금호타운 102동 2704)

(74) 대리인

허용록

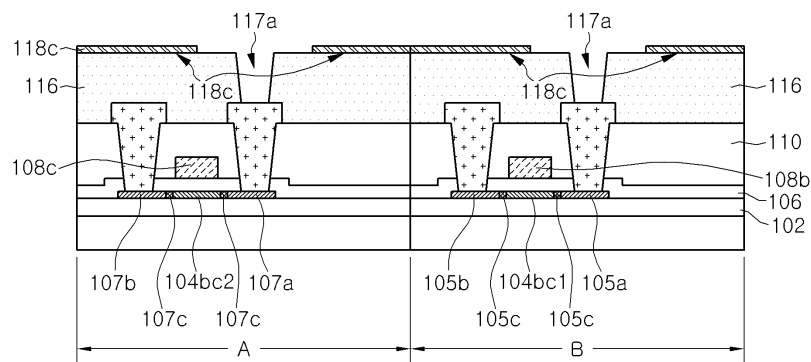
전체 청구항 수 : 총 12 항

(54) 액정표시장치의 제조방법

(57) 요약

본 발명은 액정표시장치의 제조방법에 관한 것으로, 본 발명에 따른 액정표시장치의 제조방법은 제1 마스크공정을 이용하여 기판의 P채널박막트랜지스터형성영역과 N채널박막트랜지스터형성영역 각각에 제1 및 제2 액티브 패턴을 형성하는 단계와, 제2 마스크공정을 이용하여 상기 기판의 P채널박막트랜지스터형성영역에 제1 게이트 전극을 형성하는 단계와, 제3 마스크공정을 이용하여 상기 기판의 N채널박막트랜지스터형성영역에 제2 게이트 전극을 형성하는 단계와, 제4 마스크공정을 이용하여 상기 N소스영역 및 상기 P소스영역을 각각 노출시키는 제1 콘택홀과, 상기 N드레인 영역 및 상기 P드레인 영역을 각각 노출시키는 제2 콘택홀을 형성하는 단계와, 제5 마스크공정을 이용하여 상기 N소스영역 및 상기 P소스 영역과 접속하는 N소스전극 및 P소스 전극을 형성하고, 상기 N드레인 영역 및 상기 P드레인 영역과 접속하는 N드레인전극 및 P드레인전극을 형성하는 단계와, 제6 마스크공정을 이용하여 제3 콘택홀 및 공통전극을 동시에 형성하는 단계와, 제7 마스크공정을 이용하여 상기 N 드레인 전극 및 P 드레인 전극을 노출하는 제4 콘택홀을 형성하는 단계와, 제8 마스크공정을 이용하여 화소전극을 형성하는 단계를 포함한다.

대표도 - 도2f



특허청구의 범위

청구항 1

P채널 박막 트랜지스터 형성영역과 N채널 박막트랜지스터 형성영역으로 구분된 기판을 제공하는 단계와,

제1 마스크공정을 이용하여 상기 기판의 P채널 박막 트랜지스터 형성영역과 N채널 박막트랜지스터 형성영역 각각에 제1 및 제2 액티브 패턴을 형성하는 단계와,

상기 제1 및 제2 액티브 패턴이 형성된 기판 상에 제1 절연막 및 제1 도전막을 형성하는 단계와,

제2 마스크공정을 이용하여 상기 기판의 P채널 박막트랜지스터 형성영역에 상기 제1 도전막으로 이루어진 제1 게이트 전극을 형성하는 단계와,

상기 제1 게이트 전극을 이용하여 상기 제1 액티브 패턴에 P 드레인 영역, P 소스 영역 및 상기 P 드레인 영역 및 P 소스 영역 사이에 P 채널영역을 형성하는 단계와,

제3 마스크공정을 이용하여 상기 기판의 N채널 박막트랜지스터 형성영역에 상기 제1 도전막으로 이루어진 제2 게이트 전극을 형성하는 단계와,

상기 제2 게이트 전극을 이용하여 상기 제2 액티브 패턴에 N 드레인 영역, N 소스 영역 및 상기 N 드레인 영역 및 N 소스 영역 사이에 N 채널영역을 형성하는 단계와,

상기 N 드레인 영역, N 소스 영역 및 N 채널영역이 형성된 기판 상에 제2 절연막을 형성하는 단계와,

제4 마스크공정을 이용하여 상기 제1 및 제2 절연막을 선택적으로 제거하여 상기 N 소스영역 및 상기 P 소스영역의 일부를 각각 노출시키는 제1 콘택홀과, 상기 N 드레인 영역 및 상기 P 드레인 영역의 일부를 각각 노출시키는 제2 콘택홀을 형성하는 단계와,

상기 제1 및 제2 콘택홀이 형성된 기판 상에 제2 도전막을 형성하는 단계와,

제5 마스크공정을 이용하여 상기 제1 콘택홀을 통해 상기 N 소스영역 및 상기 P 소스 영역과 전기적으로 접속하는 N 소스전극 및 P 소스 전극을 형성하고, 제2 콘택홀을 통해 상기 N 드레인 영역 및 상기 P 드레인 영역과 전기적으로 접속하는 N 드레인전극 및 P 드레인전극을 형성하는 단계와,

상기 N 드레인전극 및 P 드레인전극이 형성된 기판 상에 제3 절연막 및 제3 도전막을 형성하는 단계와,

제6 마스크공정을 이용하여 상기 제3 절연막을 관통하는 제3 콘택홀을 형성하고, 상기 제3 절연막 상에 공통전극을 형성하는 단계와,

상기 제3 콘택홀 및 공통전극이 형성된 기판 상에 제4 절연막을 형성하는 단계와,

제7 마스크공정을 이용하여 상기 제4 절연막을 관통하여 상기 N 드레인 전극 및 P 드레인 전극 각각을 노출하는 제4 콘택홀을 형성하는 단계와,

상기 제4 콘택홀이 형성된 기판 상에 제4 도전막을 형성하는 단계와,

제8 마스크공정을 이용하여 상기 제4 콘택홀을 통해 상기 N 드레인 전극 및 P 드레인 전극과 각각 접속하는 화소전극을 형성하는 단계를 포함하는 액정표시장치의 제조방법.

청구항 2

제1 항에 있어서, 상기 제6 마스크공정을 이용하여 상기 제3 절연막을 관통하는 제3 콘택홀을 형성하고, 상기 제3 절연막 상에 공통전극을 형성하는 단계는

상기 제3 절연막 및 제3 도전막이 형성된 기판 상에 상기 제6 마스크를 이용하여 제1포토리소그래피 패턴을 형성하는 단계와,

상기 제1 포토리소그래피 패턴이 형성된 기판 상에 노광공정을 수행하여 상기 제3 도전막을 관통하고 제3 절연막의 일부영역을 노광하여 노광영역을 형성하는 단계와,

상기 제1 포토리소그래피 패턴을 마스크로 하여 노출된 상기 제3 도전막을 제거하는 단계와,

상기 일부가 제거된 제3 도전막이 형성된 기판 상에 현상공정을 수행하여 상기 제3 절연막의 노광영역을 현상하

여 상기 N 드레인전극 및 P 드레인전극을 각각 노출하는 제3 콘택홀을 형성하는 단계와,

상기 제1 포토레지스트 패턴을 에싱하여 제2 포토레지스트 패턴을 형성하는 단계와,

상기 제2 포토레지스트 패턴을 마스크로 하여 노출된 상기 제3 도전막을 제거하여 공통전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 3

제2 항에 있어서, 상기 제6 마스크는

투과영역, 슬릿영역인 반투과영역 및 차단영역을 포함하는 회절 마스크인 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 4

제3 항에 있어서,

상기 차단영역은 상기 공통전극이 형성될 영역에 배치되고, 상기 투과영역은 상기 제3 콘택홀이 형성될 영역에 배치되고, 상기 반투과영역은 상기 공통전극이 형성될 영역과 제3 콘택홀이 형성될 영역 사이의 영역에 배치되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 5

제2 항에 있어서, 상기 제2 포토레지스트 패턴은

상기 공통전극이 형성될영역에만 포토레지스트가 잔존하고, 상기 공통전극이 형성될 영역과 제3 콘택홀이 형성될 영역 사이의 영역에 포토레지스트가 모두 제거된 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 6

제1 항에 있어서, 상기 액티브 패턴을 형성하는 단계이전에,

상기 기판 상에 버퍼층을 형성하는 단계를 더 포함하는 액정표시장치의 제조방법.

청구항 7

제1 항에 있어서, 상기 제1 및 제2 액티브 패턴은

비결정 실리콘박막을 결정화하여 다결정 실리콘박막으로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8

제1 항에 있어서,

상기 P 드레인영역 및 상기 P 소스 영역은 상기 제1 게이트 전극을 마스크로 상기 제1 액티브 패턴에 p+이온을 주입하여 형성하고, 상기 N 드레인영역 및 상기 N 소스 영역은 상기 제2 게이트 전극을 마스크로 상기 제2 액티브 패턴에 n+이온을 주입하여 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9

제1 항에 있어서,

상기 제1 도전막 및 제2 도전막은 불투명 도전물질로 형성되고, 상기 제3 도전막 및 제4 도전막은 투명 도전물질로 형성되고, 상기 제3 절연막은 유기절연물질로 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 10

제1 항에 있어서, 상기 제4 콘택홀은 상기 제3 콘택홀의 형성위치와 동일한 위치에 형성되되, 상기 제4 콘택홀의 크기는 상기 제3 콘택홀의 크기보다 작게 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 11

제1 항에 있어서, 상기 P 드레인 영역, 상기 P 소스 영역 및 상기 P 채널영역을 형성하는 단계 이후에, 상기 P 채널영역과 상기 P 드레인 영역 사이 및 상기 P 채널영역과 상기 P 소스 영역사이에 p- LDD영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 12

제1 항에 있어서, 상기 N 드레인 영역, 상기 N 소스 영역 및 상기 N 채널영역을 형성하는 단계 이후에, 상기 N 채널영역과 상기 N 드레인 영역 사이 및 상기 N 채널영역과 상기 N 소스 영역사이에 n- LDD영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치의 제조방법에 관한 것이다.

배경 기술

[0002] 최근의 정보화 사회에서 디스플레이는 시각정보 전달매체로서 그 중요성이 더 한층 강조되고 있으며, 향후 주요한 위치를 선점하기 위해서는 저소비전력화, 박형화, 경량화, 고화질화 등의 요건을 충족시켜야 한다. 현재 평판 디스플레이(Flat Panel Display; FPD)의 주력 제품인 액정표시장치(Liquid Crystal Display; LCD)는 디스플레이의 이러한 조건들을 만족시킬 수 있는 성능뿐만 아니라 양산성까지 갖추었기 때문에, 이를 이용한 각종 신제품 창출이 급속도로 이루어지고 있으며 기존의 브라운관(Cathode Ray Tube; CRT)을 점진적으로 대체할 수 있는 핵심부품 산업으로서 자리잡았다.

[0003] 일반적으로, 액정표시장치는 매트릭스(matrix) 형태로 배열된 액정셀들에 화상정보에 따른 데이터신호를 개별적으로 공급하여, 상기 액정셀들의 광투과율을 조절함으로써 원하는 화상을 표시할 수 있도록 한 표시장치이다.

[0004] 상기 액정표시장치에 주로 사용되는 구동 방식인 능동 매트릭스(Active Matrix; AM) 방식은 비정질 실리콘 박막 트랜지스터(Amorphous Silicon Thin Film Transistor; a-Si TFT)를 스위칭소자로 사용하여 화소부의 액정을 구동하는 방식이다. 특히, 상기 비정질 실리콘 박막 트랜지스터는 저온 공정이 가능하여 저가의 절연기판을 사용할 수 있기 때문에 활발히 이용되고 있다.

[0005] 그러나, 상기 비정질 실리콘 박막 트랜지스터의 전기적 이동도($\sim 1\text{cm}^2/\text{Vsec}$)로는 1MHz 이상의 고속 동작을 요구하는 주변회로에 이용하는 데는 한계가 있다. 이에 따라 전계효과 이동도(field effect mobility)가 상기 비정질 실리콘 박막 트랜지스터에 비해 큰 다결정 실리콘(Polycrystalline Silicon; poly-Si) 박막 트랜지스터를 이용하여 유리기관 위에 화소부와 구동회로부를 동시에 집적하는 연구가 활발히 진행되고 있다.

[0006] 이동도의 증가는 구동 화소수를 결정하는 구동회로부의 동작 주파수를 향상시킬 수 있으며 이로 인한 표시장치의 고정세화가 용이해진다. 또한 화소부의 신호전압의 충전 시간의 감소로 전달 신호의 왜곡이 줄어들어 화질 향상을 기대할 수 있다.

[0007] 또한 다결정 실리콘 박막트랜지스터는 높은 구동전압($\sim 25\text{V}$)을 갖는 비정질 실리콘 박막트랜지스터에 비해 10V 미만에서 구동이 가능하므로 전력 소모를 감소시킬 수 있다는 장점이 있다.

[0008] 도 1은 일반적인 액정표시장치의 구조를 개략적으로 나타내는 평면도로써, 어레이 기관에 구동회로부를 집적시킨 구동회로 일체형 액정표시장치를 나타내고 있다.

[0009] 도면에 도시된 바와 같이, 액정표시장치는 크게 컬러필터 기관(5)과 어레이 기관(10) 및 상기 컬러필터 기관(5)과 어레이 기관(10) 사이에 형성된 액정층(미도시)으로 이루어져 있다.

[0010] 상기 어레이 기관(10)은 단위 화소들이 매트릭스 형태로 배열된 화상표시 영역인 화소부(35)와 상기 화소부(35)의 외곽에 위치한 데이터 구동회로부(31)와 게이트 구동회로부(32)로 구성된 구동회로부(30)로 이루어져 있다.

- [0011] 이때, 도면에는 도시하지 않았지만, 상기 어레이 기관(10)의 화소부(35)는 상기 기관(10) 위에 중첩으로 배열되어 복수 개의 화소영역을 정의하는 복수 개의 게이트 라인과 데이터 라인, 상기 게이트 라인과 데이터 라인의 교차영역에 형성된 스위칭 소자인 박막 트랜지스터 및 상기 화소영역에 형성된 화소전극으로 구성된다.
- [0012] 상기 박막 트랜지스터는 화소전극에 신호전압을 인가하고 차단하는 스위칭소자로 전계에 의하여 전류의 흐름을 조절한다.
- [0013] 상기 어레이 기관(10)의 구동회로부(30)는 상기 컬러필터 기관(5)에 비해 돌출된 어레이 기관(10)의 화소부(35) 외곽에 위치하는데, 상기 돌출된 어레이 기관(10)의 일측 장(長)변에 데이터 구동회로부(31)가 위치하며, 상기 돌출된 어레이 기관(10)의 일측 단(短)변에 게이트 구동회로부(32)가 위치하게 된다.
- [0014] 이때, 상기 데이터 구동회로부(31)와 게이트 구동회로부(32)는 입력되는 신호를 적절하게 출력시키기 위하여 인버터(inverter)인 CMOS(Complementary Metal Oxide Semiconductor) 구조의 박막 트랜지스터를 사용하게 된다.
- [0015] 참고로, 상기 CMOS는 고속 신호처리가 요구되는 구동회로부 박막 트랜지스터에 사용되는 MOS 구조로 된 집적회로의 일종으로 N 채널 박막 트랜지스터와 P 채널박막 트랜지스터를 모두 필요로 하며 속도와 밀도의 특성은 NMOS와 PMOS의 중간 형태를 나타낸다.
- [0016] 상기 게이트 구동회로부(32)와 데이터 구동회로부(31)는 각각 게이트라인과 데이터라인을 통해 화소전극에 주사 신호 및 데이터신호를 공급하기 위한 장치로써, 외부신호 입력단(미도시)과 연결되어 있어 상기 외부신호 입력단을 통하여 들어온 외부신호를 조절하여 상기 화소전극에 출력하는 역할을 한다.
- [0017] 또한, 상기 컬러필터 기관(5)의 화소부(35)에는 컬러를 구현하는 컬러필터(미도시)와 상기 어레이 기관(10)에 형성된 화소전극의 대향전극인 공통전극(미도시)이 형성되어 있다.
- [0018] 이와 같이 구성된 상기 컬러필터 기관(5)과 어레이 기관(10)은 스페이서(spacer)(미도시)에 의해 일정하게 이격되도록 셀 갭(cell gap)이 마련되고, 화소부(35)의 외곽에 형성된 실 패턴(seal pattern)(미도시)에 의해 합착되어 단위 액정표시패널을 이루게 된다. 이때, 상기 두 기관(5, 10)의 합착은 컬러필터 기관(5) 또는 어레이 기관(10)에 형성된 합착기를 통해 이루어진다.
- [0019] 이와 같이 구성되는 액정표시장치의 제조공정은 기본적으로 박막 트랜지스터를 포함하는 어레이 기관의 제작에 다수의 마스크공정(즉, 포토리소그래피 (photolithography)공정)을 필요로 하므로 생산성 면에서 상기 마스크공정의 수를 줄이는 방법이 요구되어지고 있다.
- [0020] 상기 포토리소그래피 공정은 마스크에 그려진 패턴을 박막이 증착된 기관 위에 전사시켜 원하는 패턴을 형성하는 일련의 공정으로 감광액 도포, 노광, 현상공정 등 다수의 공정으로 이루어지며, 다수의 포토리소그래피공정은 생산 수율을 떨어뜨리는 단점이 있다.
- [0021] 특히, 패턴을 형성하기 위해 설계된 마스크는 매우 고가이므로, 공정에 적용되는 마스크수가 증가하면 액정표시장치의 제조비용이 이에 비례하여 상승하게 된다.

발명의 내용

해결 하고자하는 과제

- [0022] 상술한 문제점을 해결하기 위한 본 발명의 목적은 드레인전극을 노출하는 콘택홀 형성공정과 공통전극 형성공정을 한 번의 마스크공정을 통해 형성함으로써 박막 트랜지스터의 제조에 사용되는 마스크 수를 감소시키는 액정표시장치의 제조방법을 제공함에 있다.

과제 해결수단

- [0023] 상술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 제조방법은 P채널 박막 트랜지스터 형성영역과 N채널 박막트랜지스터 형성영역으로 구분된 기관을 제공하는 단계와, 제1 마스크공정을 이용하여 상기 기관의 P채널 박막 트랜지스터 형성영역과 N채널 박막트랜지스터 형성영역 각각에 제1 및 제2 액티브 패턴을 형성하는 단계와, 상기 제1 및 제2 액티브 패턴이 형성된 기관 상에 제1 절연막 및 제1 도전막을 형성하는 단계와, 제2 마스크공정을 이용하여 상기 기관의 P채널 박막트랜지스터 형성영역에 상기 제1 도전막으로 이루어진 제1 게이트 전극을 형성하는 단계와, 상기 제1 게이트 전극을 이용하여 상기 제1 액티브 패턴에 P 드레인 영역, P 소스 영역 및 상기 P 드레인 영역 및 P 소스 영역 사이에 P 채널영역을 형성하는 단계와, 제3 마스크공정을 이용하여

상기 기판의 N채널 박막트랜지스터 형성영역에 상기 제1 도전막으로 이루어진 제2 게이트 전극을 형성하는 단계와, 상기 제2 게이트 전극을 이용하여 상기 제2 액티브 패턴에 N 드레인 영역, N 소스 영역 및 상기 N 드레인 영역 및 N 소스 영역 사이에 N 채널영역을 형성하는 단계와, 상기 N 드레인 영역, N 소스 영역 및 N 채널영역이 형성된 기판 상에 제2 절연막을 형성하는 단계와, 제4 마스크공정을 이용하여 상기 제1 및 제2 절연막을 선택적으로 제거하여 상기 N 소스영역 및 상기 P 소스영역의 일부를 각각 노출시키는 제1 콘택홀과, 상기 N 드레인 영역 및 상기 P 드레인 영역의 일부를 각각 노출시키는 제2 콘택홀을 형성하는 단계와, 상기 제1 및 제2 콘택홀이 형성된 기판 상에 제2 도전막을 형성하는 단계와, 제5 마스크공정을 이용하여 상기 제1 콘택홀을 통해 상기 N 소스영역 및 상기 P 소스 영역과 전기적으로 접속하는 N 소스전극 및 P 소스 전극을 형성하고, 제2 콘택홀을 통해 상기 N 드레인 영역 및 상기 P 드레인 영역과 전기적으로 접속하는 N 드레인전극 및 P 드레인전극을 형성하는 단계와, 상기 N 드레인전극 및 P 드레인전극이 형성된 기판 상에 제3 절연막 및 제3 도전막을 형성하는 단계와, 제6 마스크공정을 이용하여 상기 제3 절연막을 관통하는 제3 콘택홀을 형성하고, 상기 제3 절연막 상에 공통전극을 형성하는 단계와, 상기 제3 콘택홀 및 공통전극이 형성된 기판 상에 제4 절연막을 형성하는 단계와, 제7 마스크공정을 이용하여 상기 제4 절연막을 관통하여 상기 N 드레인 전극 및 P 드레인 전극 각각을 노출하는 제4 콘택홀을 형성하는 단계와, 상기 제4 콘택홀이 형성된 기판 상에 제4 도전막을 형성하는 단계와, 제8 마스크공정을 이용하여 상기 제4 콘택홀을 통해 상기 N 드레인 전극 및 P 드레인 전극과 각각 접속하는 화소전극을 형성하는 단계를 포함한다.

- [0024] 상기 제6 마스크공정을 이용하여 상기 제3 절연막을 관통하는 제3 콘택홀을 형성하고, 상기 제3 절연막 상에 공통전극을 형성하는 단계는 상기 제3 절연막 및 제3 도전막이 형성된 기판 상에 상기 제6 마스크를 이용하여 제1 포토레지스트 패턴을 형성하는 단계와, 상기 제1 포토레지스트 패턴이 형성된 기판 상에 노광공정을 수행하여 상기 제3 도전막을 관통하고 제3 절연막의 일부영역을 노광하여 노광영역을 형성하는 단계와, 상기 제1 포토레지스트 패턴을 마스크로 하여 노출된 상기 제3 도전막을 제거하는 단계와, 상기 일부가 제거된 제3 도전막이 형성된 기판 상에 현상공정을 수행하여 상기 제3 절연막의 노광영역을 현상하여 상기 N 드레인전극 및 P 드레인전극을 각각 노출하는 제3 콘택홀을 형성하는 단계와, 상기 제1 포토레지스트 패턴을 에칭하여 제2 포토레지스트 패턴을 형성하는 단계와, 상기 제2 포토레지스트 패턴을 마스크로 하여 노출된 상기 제3 도전막을 제거하여 공통전극을 형성하는 단계를 포함한다.
- [0025] 상기 제6 마스크는 투과영역, 슬릿영역인 반투과영역 및 차단영역을 포함하는 회절 마스크이다.
- [0026] 상기 차단영역은 상기 공통전극이 형성될 영역에 배치되고, 상기 투과영역은 상기 제3 콘택홀이 형성될 영역에 배치되고, 상기 반투과영역은 상기 공통전극이 형성될 영역과 제3 콘택홀이 형성될 영역 사이의 영역에 배치된다.
- [0027] 상기 제2 포토레지스트 패턴은 상기 공통전극이 형성될영역에만 포토레지스트가 잔존하고, 상기 공통전극이 형성될 영역과 제3 콘택홀이 형성될 영역 사이의 영역에 포토레지스트가 모두 제거된다.
- [0028] 상기 액티브 패턴을 형성하는 단계이전에, 상기 기판 상에 버퍼층을 형성한다.
- [0029] 상기 제1 및 제2 액티브 패턴은 비결정 실리콘박막을 결정화하여 다결정 실리콘박막으로 형성한다.
- [0030] 상기 P 드레인영역 및 상기 P 소스 영역은 상기 제1 게이트 전극을 마스크로 상기 제1 액티브 패턴에 p⁺이온을 주입하여 형성하고, 상기 N 드레인영역 및 상기 N 소스 영역은 상기 제2 게이트 전극을 마스크로 상기 제2 액티브 패턴에 n⁺이온을 주입하여 형성한다.
- [0031] 상기 제1 도전막 및 제2 도전막은 불투명 도전물질로 형성되고, 상기 제3 도전막 및 제4 도전막은 투명 도전물질로 형성되고, 상기 제3 절연막은 유기절연물질로 형성된다.
- [0032] 상기 제4 콘택홀은 상기 제3 콘택홀의 형성위치와 동일한 위치에 형성되되, 상기 제4 콘택홀의 크기는 상기 제3 콘택홀의 크기보다 작게 형성된다.
- [0033] 상기 P 드레인 영역, 상기 P 소스 영역 및 상기 P 채널영역을 형성하는 단계 이후에, 상기 P 채널영역과 상기 P 드레인 영역 사이 및 상기 P 채널영역과 상기 P 소스 영역사이에 p- LDD영역을 형성하는 단계를 더 포함한다.
- [0034] 상기 N 드레인 영역, 상기 N 소스 영역 및 상기 N 채널영역을 형성하는 단계 이후에, 상기 N 채널영역과 상기 N 드레인 영역 사이 및 상기 N 채널영역과 상기 N 소스 영역사이에 n- LDD영역을 형성하는 단계를 더 포함한다.

효 과

[0035] 이상에서와 같은 본 발명에 따른 액정표시장치의 제조방법은 드레인전극을 노출하는 콘택홀 형성공정과 공통전극 형성공정을 한 번의 마스크공정을 통해 형성함으로써 박막 트랜지스터의 제조에 사용되는 마스크 수를 감소시키는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0036] 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치의 제조방법에 대해 설명하면 다음과 같다.

[0037] 도 2a 내지 도 2h는 본 발명에 따른 액정표시장치의 제조방법을 순차적으로 도시한 공정 순서도이고, 도 3a 내지 3f는 도 2f에 개시된 드레인전극을 노출하는 콘택홀 형성공정과 공통전극 형성공정을 보다 상세히 도시한 공정순서도이다.

[0038] 도 2a 내지 도 2h 및 도 3a 내지 도 3f는 어레이기판의 제조방법을 순차적으로 나타낸 단면도로써, N 채널의 박막트랜지스터 및 P 채널의 박막트랜지스터가 형성되는 어레이기판을 제조하는 과정을 예를 들어 나타내고 있다. 한편, N 채널의 박막 트랜지스터, P 채널의 박막트랜지스터는 구동 회로부 및 화소부 모두에 형성될 수 있다.

[0039] 그리고, 본 발명의 실시예는 횡전계방식(In Plane Switching: IPS)의 액정표시장치를 예를 들어 설명하고 있으나 본 발명이 이에 한정되는 것은 아니다.

[0040] 도 2a에 도시된 바와 같이, 유리와 같은 투명한 절연물질로 이루어진 기판(100) 위에 버퍼층(102)과 실리콘 박막을 형성한 다음, 상기 실리콘 박막을 결정화하여 다결정 실리콘 박막을 형성한다.

[0041] 상기 기판(100)은 N 채널의 박막트랜지스터 형성영역 및 P 채널의 박막트랜지스터 형성영역으로 구분 정의된다.

[0042] 이때, 상기 버퍼층(102)은 상기 기판(100) 내에 존재하는 나트륨(natrium; Na) 등의 불순물이 공정 중에 상부층으로 침투하는 것을 차단하는 역할을 한다.

[0043] 이때, 상기 다결정 실리콘 박막을 박막 트랜지스터의 반도체층으로 이용한 경우를 예를 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니며, 상기 박막 트랜지스터의 반도체층으로 비정질 실리콘 박막을 이용할 수도 있다.

[0044] 또한, 상기 다결정 실리콘 박막은 기판(100) 위에 비정질 실리콘 박막을 증착한 후 여러 가지 결정화 방식을 이용하여 형성할 수 있으며, 이를 설명하면 다음과 같다.

[0045] 먼저, 비정질 실리콘 박막은 여러 가지 방법으로 증착하여 형성할 수 있으며, 상기 비정질 실리콘 박막을 증착하는 대표적인 방법으로는 저압 화학 기상 증착(Low Pressure Chemical Vapor Deposition; LPCVD)방법과 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition; PECVD)방법이 있다.

[0046] 상기 비정질 실리콘 박막을 결정화하는 방법으로는 크게 비정질 실리콘 박막을 고온 요로(furnace)에서 열처리하는 고상 결정화(Solid Phase Crystallization; SPC)방법과 레이저를 이용하는 엑시머 레이저 어닐링(Eximer Laser Annealing; ELA)방법이 있다.

[0047] 상기 레이저 결정화로는 펄스(pulse) 형태의 레이저를 이용한 엑시머 레이저 어닐링 방법이 주로 이용되나, 근래에는 그레인(grain)을 수평방향으로 성장시켜 결정화특성을 향상시킨 순차적 수평결정화(Sequential Lateral Solidification; SLS)방법이 연구되고 있다.

[0048] 그리고, 다결정 실리콘 박막 상에 제1 마스크공정을 통해 제1 포토레지스트 패턴(미도시)을 형성하고 이를 이용하여 상기 다결정 실리콘 박막을 패터닝하여 기판(100)의 N 채널 박막트랜지스터 형성영역(A) 및 P 채널 박막트랜지스터 형성영역(B) 각각에 제1 및 제2 액티브 패턴(104a, 104b)을 형성한다.

[0049] 이어, 도 2b에 도시된 바와 같이, 제1 및 제2 액티브 패턴(104a, 104b)이 형성된 기판(100) 전면에서 제1 절연막(106) 및 제1 도전막(108a)을 형성한다.

[0050] 상기 제1 도전막(108a)은 게이트 전극을 구성하기 위해 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 등과 같은 저저항 불투명 도전성물질로 이루어질 수 있다.

[0051] 다음으로, 제2 마스크공정을 통해 제2 포토레지스트 패턴(미도시)을 형성하고 이를 이용하여 상기 제1 도전막(108a)을 선택적으로 패터닝함으로써, 상기 기판(100)의 P채널 박막트랜지스터 형성 영역(B)에 제1 게이트 전극

(108b)을 형성한다. 이때, 상기 기판(100)의 N 채널 박막트랜지스터 영역(A)에는 상기 제1 도전막(108a)이 패터닝되지 않고 그대로 잔존한다.

[0052] 그리고, 제1 게이트 전극(108b)을 마스크로 상기 기판(100)의 전면에 고농도의 p⁺이온을 주입하여 제2 액티브 패턴(104b)의 소정영역에 P 드레인 영역(105a)과 P 소스 영역(105b)을 형성한다. 이때, P 드레인 영역(105a)과 P 소스 영역(105b) 사이에는 전도채널을 형성하는 P 채널영역(104bc1)이 형성된다.

[0053] 이어, P 드레인 영역(105a) 및 P 소스 영역(105b)가 형성된 기판(100) 전면에 저농도의 p-이온을 주입하여 P 채널영역(104bc1)과 P 드레인 영역(105a) 사이 및 P 채널영역(104bc1)과 P 소스 영역(105b) 사이에 p-LDD(Lightly Doped Drain)영역(105c)이 형성된다.

[0054] 이때, N 채널 박막트랜지스터 형성영역(A)에 형성된 상기 제1 도전막(108a)으로 인해, 상기 P 채널 박막트랜지스터 형성영역(B)에 주입되는 고농도 및 저농도의 p⁺ 이온 및 p-이온은 N채널 박막트랜지스터 형성영역(A)에 주입되는 것이 방지된다.

[0055] 다음으로, 도 2c에 도시된 바와 같이, 제3 마스크공정을 통해 제3 포토레지스트 패턴(미도시)을 형성하고 이를 이용하여 N 채널 박막트랜지스터 형성영역(A)에 형성된 제1 도전막(108a)을 패터닝함으로써, 상기 기판(100)의 N 채널 박막트랜지스터 형성영역(A)에 제2 게이트 전극(108c)을 형성한다.

[0056] 그리고, 제2 게이트 전극(108c)을 마스크로 상기 기판(100)의 전면에 고농도의 n⁺이온을 주입하여 제2 액티브 패턴(104a)의 소정영역에 N 드레인 영역(107a)과 N 소스 영역(107b)을 형성한다. 이때, N 드레인 영역(107a)과 N 소스 영역(107b) 사이에는 전도채널을 형성하는 N 채널영역(104bc2)이 형성된다.

[0057] 이어, N 드레인 영역(107a) 및 N 소스 영역(107b)가 형성된 기판(100) 전면에 저농도의 n-이온을 주입하여 N 채널영역(104bc2)과 N 드레인 영역(107a) 사이 및 N 채널영역(104bc2)과 N 소스 영역(107b) 사이에 n-LDD영역(107c)이 형성된다.

[0058] 다음으로, 도 2d에 도시된 바와 같이, 기판(100) 전면에 제2 절연막(110)을 형성한 후, 제4 마스크공정을 통해 제4 포토레지스트 패턴(미도시)을 형성하고 이를 이용하여 제1 및 제2 절연막(106, 110)의 일부 영역을 선택적으로 제거하여 상기 N 소스영역(105b) 및 P 소스영역(107b)의 일부를 각각 노출시키는 제1 콘택홀(112a)과, N 드레인 영역(105a) 및 P 드레인 영역(107a)의 일부를 각각 노출시키는 제2 콘택홀(112b)을 형성한다.

[0059] 여기서, 상기 제 2 절연막(110)은 실리콘 질화막(SiNx)/실리콘 산화막(SiO₂)의 이중막을 적용할 수 있고, SiNx 단일막 혹은 SiO₂/SiNx/SiO₂의 삼중막 등을 다양하게 적용할 수 있다.

[0060] 다음으로, 도 2e에 도시된 바와 같이, 제1 및 제2 콘택홀(112a, 112b)가 형성된 기판(100) 전면에 제2 도전막을 형성한 후, 제5 마스크 공정을 통해 제5 포토레지스트 패턴(미도시)을 형성하고 이를 이용하여 제2 도전막을 선택적으로 패터닝함으로써, 제1 콘택홀(112a)을 통해 N 소스영역(105b) 및 P 소스 영역(107b)과 전기적으로 접속하는 N 소스전극(114a) 및 P 소스 전극(115a)을 형성하며, 제2 콘택홀(112b)을 통해 N 드레인 영역(105a) 및 P 드레인 영역(107a)과 전기적으로 접속하는 N 드레인 전극(114b) 및 P 드레인 전극(115b)을 형성한다.

[0061] 상기 제2 도전막은 소스 및 드레인 전극을 구성하기 위해 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬, 몰리브덴등과 같은 저저항 불투명 도전성물질로 이루어질 수 있다.

[0062] 다음으로, 도 2f에 도시된 바와 같이, 상기 N 소스전극(114a), P 소스 전극(115a), N 드레인 전극(114b) 및 P 드레인 전극(115b)이 형성된 기판(100)에 제3 절연막(116), 제3 도전막을 순차적으로 형성한 후, 제6 마스크공정을 통해 제6 포토레지스트 패턴(미도시)을 형성하고 이를 이용하여 제3 절연막(116) 및 제3 도전막을 선택적으로 패터닝함으로써, 제3 절연막(116)을 관통하는 제3 콘택홀(117a)을 형성하고, 제3 절연막(116) 상에 공통전극(118c)을 형성한다.

[0063] 제3 절연막(116)은 아크릴(acryl)계 유기화합물, BCB 또는 PFCB 등과 같은 유기 절연물질이 이용되고, 제3 도전막은 상기 공통전극을 구성하기 위해 인듐-틴-옥사이드 또는 인듐-징크-옥사이드와 같은 투과율이 뛰어난 투명한 도전물질로 이루어질 수 있다.

[0064] 다음은 제6 마스크공정을 통해 제3 콘택홀(117a)과 공통전극(118c)을 형성하는 방법에 대해, 도 3a 내지 도 3f를 참조하여 보다 상세히 설명하고자 한다.

[0065] 먼저, 도 3a에 도시된 바와 같이, 제3 절연막(116), 제3 도전막(118a)을 순차적으로 형성된 기판(100)에 제6 마

스크공정을 통해 제6 포토레지스트 패턴(200a)을 형성한다.

- [0066] 이때, 상기 제6 포토레지스트 패턴(200a)은 제3 도전막(118a) 상에 포토레지스트를 형성한 후 제6 마스크(미도시)를 이용한 사진공정으로 형성된다. 이때, 상기 제6 마스크는 광을 투과시키는 투과영역과, 광의 일부분은 투과시키고 일부분은 차단시키는 슬릿영역인 반투과영역과, 광을 차단시키는 차단영역을 포함하는 3개의 서로 다른 투과율을 갖는 회절 마스크를 사용한다. 차단영역에는 포토레지스트가 그대로 잔존하고 있고, 반투과영역에는 차단영역의 포토레지스트보다 낮은 두께로 잔존하고, 투과영역에는 포토레지스트가 잔존하지 않는다.
- [0067] 따라서, 제6 포토레지스트 패턴(200a)에 있어서, 공통전극이 형성될 영역은 차단영역에 배치되므로 포토레지스트가 그대로 잔존하고, 제3 콘택홀이 형성될 영역은 투과영역에 배치되므로 포토레지스트가 잔존하지 않아 제3 도전막(118a)이 노출되며, 공통전극이 형성될 영역과 제3 콘택홀이 형성될 영역 사이의 영역은 반투과영역에 배치되므로 차단영역의 포토레지스트보다 낮은 두께로 잔존한다.
- [0068] 이어, 제6 포토레지스트 패턴(200a)이 형성된 기판(100)상에 노광공정을 수행하여 투명 도전막인 제3 도전막을 관통하고 콘택홀이 형성될 영역에 상응하는 제3 절연막(116)을 노광하여 노광영역(R)을 형성한다.
- [0069] 이어, 도 3b에 도시된 바와 같이, 제6 포토레지스트 패턴(200a)을 마스크로 하여 노출된 제3 도전막(118a)을 제거한다(제거된 후 남겨진 제3 도전막의 도면부호는 118b임).
- [0070] 다음으로, 도 3c에 도시된 바와 같이, 제3 도전막(118a)의 일부가 제거된 기판(100)상에 현상공정을 수행하여 제3 절연막(116)의 노광영역(R)을 현상하여 제거함으로써, N 드레인전극(105a) 및 P 드레인전극(107a)을 각각 노출하는 제4 콘택홀(117a)을 형성한다.
- [0071] 다음으로, 도 3d에 도시된 바와 같이, 제6 포토레지스트 패턴(200a)을 에싱하여 제7 포토레지스트 패턴(200b)을 형성한다.
- [0072] 제7 포토레지스트 패턴(200b)은 공통전극이 형성될 영역에만 포토레지스트가 잔존하고, 공통전극이 형성될 영역과 제3 콘택홀이 형성될 영역 사이의 영역에 포토레지스트가 모두 제거된 상태의 패턴이다. 이로써, 공통전극이 형성될 영역과 제3 콘택홀이 형성될 영역 사이의 영역에 형성된 제3 도전막(118b)은 노출된다.
- [0073] 이어, 도 3e에 도시된 바와 같이, 상기 제7 포토레지스트 패턴(200b)을 마스크로 하여 노출된 제3 도전막(118b)을 제거한다(제거된 후 남겨진 제3 도전막의 도면부호는 118c이고, 이는 공통전극이 된다).
- [0074] 다음으로, 도 3f에 도시된 바와 같이, 상기 제7 포토레지스트 패턴(200b)을 스트립공정을 통해 제거한다. 이로써, 3개의 서로 다른 투과율을 갖는 마스크를 사용한 제6 마스크 공정을 통해 제3 콘택홀(117a) 및 공통전극(118c)을 동시에 형성할 수 있다.
- [0075] 이어, 도 2g에 도시된 바와 같이, 제3 콘택홀(117a) 및 공통전극(118)이 형성된 기판(100)에 제4 절연막(120)을 형성하고, 제7 마스크공정을 통해 제8 포토레지스트 패턴(미도시)을 형성하고 이를 이용하여 제4 절연막(120)을 선택적으로 제거함으로써, 제4 절연막(120)을 관통하여 N 드레인 전극(114b) 및 P 드레인 전극(115b) 각각을 노출하는 제5 콘택홀(117b)을 형성한다.
- [0076] 본 실시예의 경우에는 상기 제5 콘택홀(117b)은 제3 콘택홀(117a)의 형성위치와 동일한 위치에 형성되되, 제5 콘택홀(117b)의 크기는 제3 콘택홀(117a)의 크기보다 작게 형성된다. 즉, 제5 콘택홀(117b)은 제3 콘택홀(117a) 내부에 증착되는 제4 절연막(120)을 선택적으로 제거함으로써 형성되므로, 제3 콘택홀의 형성위치와 다르면서 동시에 제3 콘택홀의 크기보다 크게 되면 제5 절연막(120) 뿐만 아니라 제3 절연막(116) 또한 제거해야 하므로, 공정난이도가 증가하게 된다.
- [0077] 다음으로, 도 2h에 도시된 바와 같이, 제5 콘택홀(120)이 형성된 기판(100) 전면에 제4 도전막을 형성한 후, 제8 마스크 공정을 통해 제9 포토레지스트 패턴(미도시)을 형성하고 이를 이용하여 제4 도전막을 선택적으로 패터닝함으로써, 제5 콘택홀(117b)을 통해 N 드레인 전극(114b) 및 P 드레인 전극(115b)과 전기적으로 접속하는 화소전극(120)을 형성한다.
- [0078] 이때, 제4 도전막은 상기 화소전극을 구성하기 위해 인듐-틴-옥사이드 또는 인듐-징크-옥사이드와 같은 투과율이 뛰어난 투명한 도전물질로 이루어질 수 있다.
- [0079] 이와 같이 구성된 상기 본 발명의 실시예의 어레이 기판은 화상표시 영역의 외곽에 형성된 실런트에 의해 컬러 필터 기판과 대향하여 합착되게 되는데, 이때 상기 컬러필터 기판에는 상기 박막 트랜지스터와 게이트라인 및 데이터라인으로 빛이 새는 것을 방지하는 블랙매트릭스와 적, 녹 및 청색의 컬러를 구현하기 위한 컬러필터가

형성되어 있다.

[0080] 이때, 상기 컬러필터 기판과 어레이 기판의 합착은 상기 컬러필터 기판 또는 어레이 기판에 형성된 합착키를 통해 이루어진다.

[0081] 이때, 본 발명은 액정표시장치뿐만 아니라 박막 트랜지스터를 이용하여 제작하는 다른 표시장치, 예를 들면 구동 트랜지스터에 유기전계발광소자(Organic Light Emitting Diodes; OLED)가 연결된 유기전계발광 디스플레이장치에도 이용될 수 있다.

[0082] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

도면의 간단한 설명

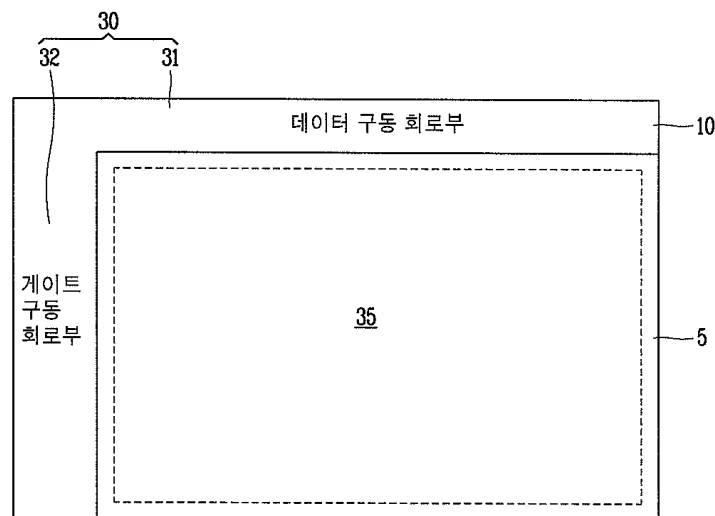
[0083] 도 1은 일반적인 액정표시장치의 구조를 개략적으로 나타내는 평면도

[0084] 도 2a 내지 도 2h는 본 발명에 따른 액정표시장치의 제조방법을 순차적으로 도시한 공정 순서도이고,

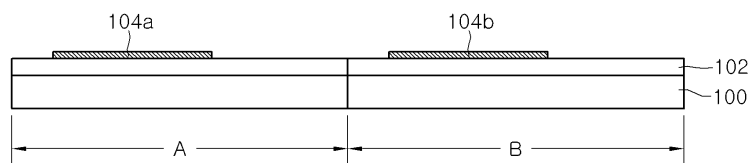
[0085] 도 3a 내지 3f는 도 2f에 개시된 드레인전극을 노출하는 콘택홀 형성공정과 공통전극 형성공정을 보다 상세히 도시한 공정순서도

도면

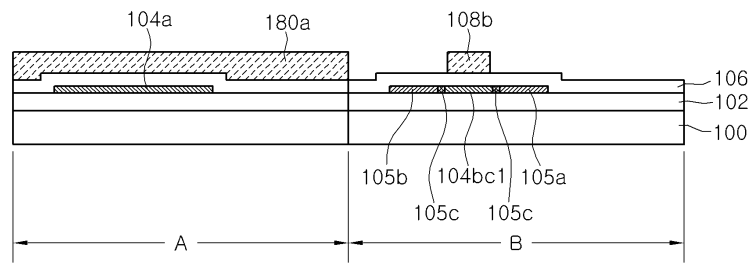
도면1



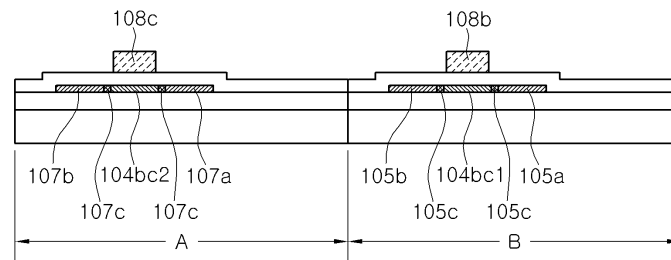
도면2a



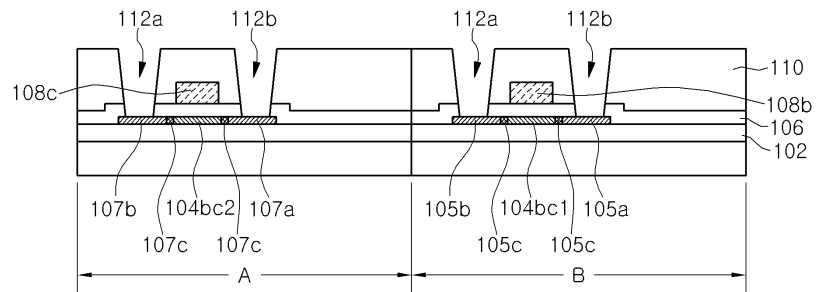
도면2b



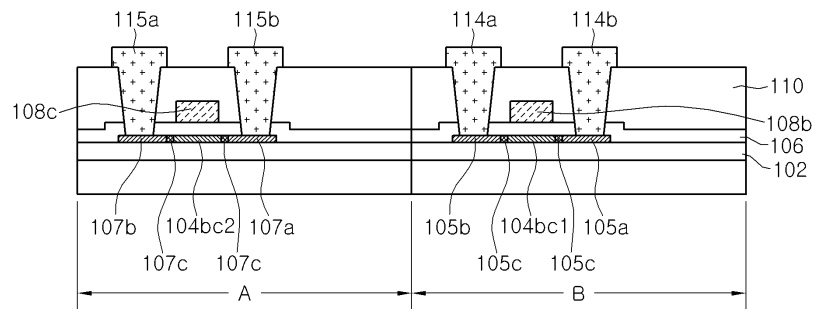
도면2c



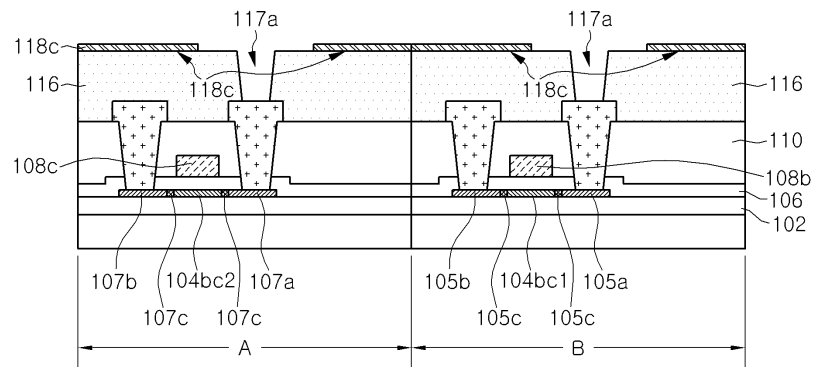
도면2d



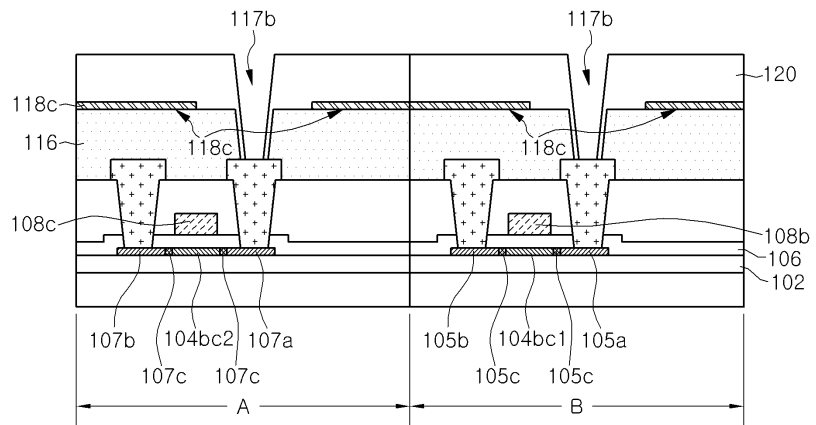
도면2e



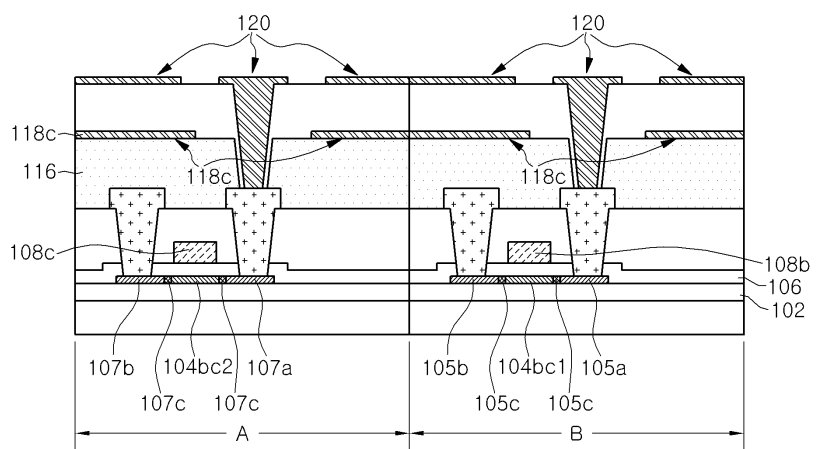
도면2f



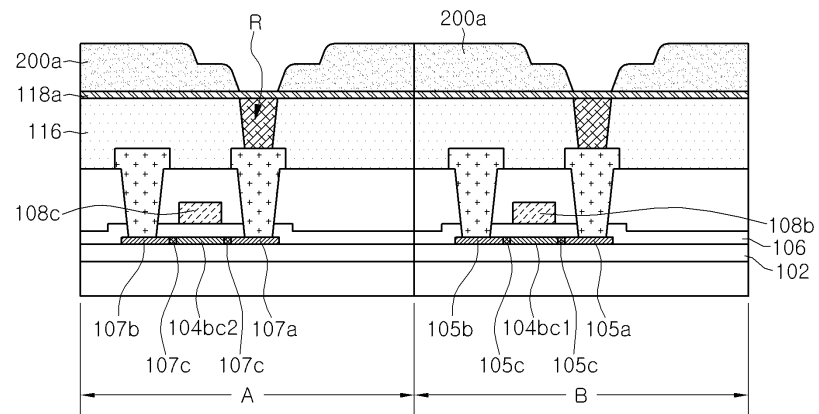
도면2g



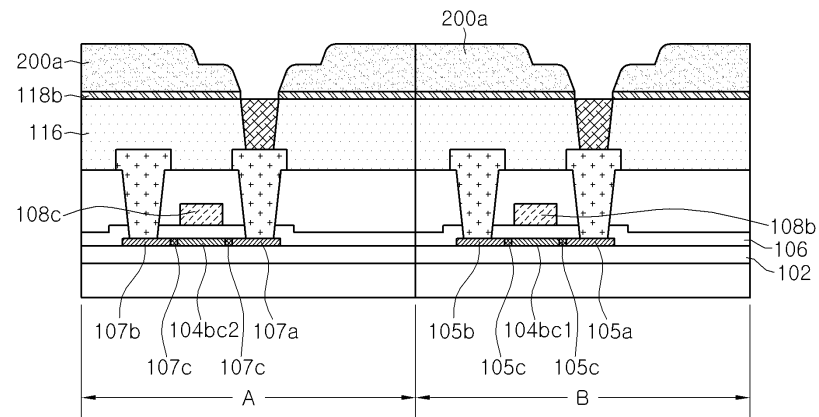
도면2h



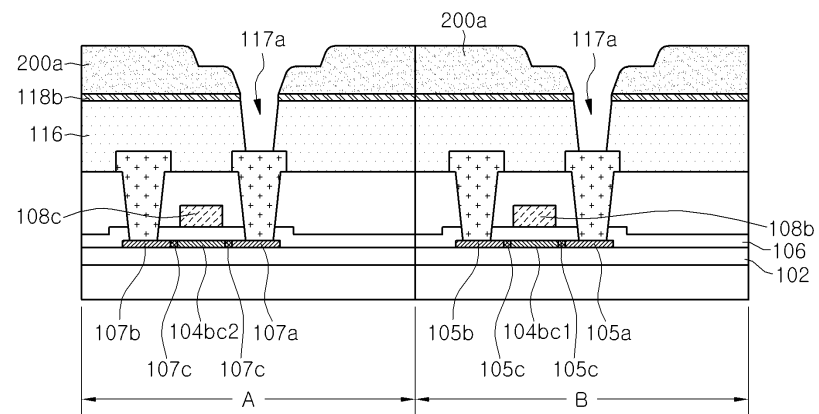
도면3a



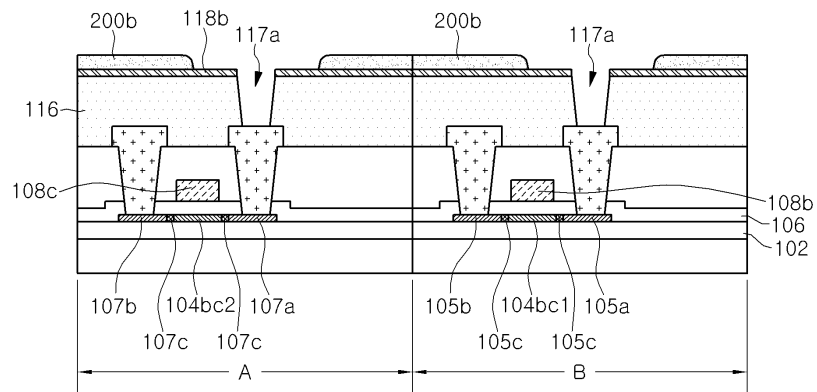
도면3b



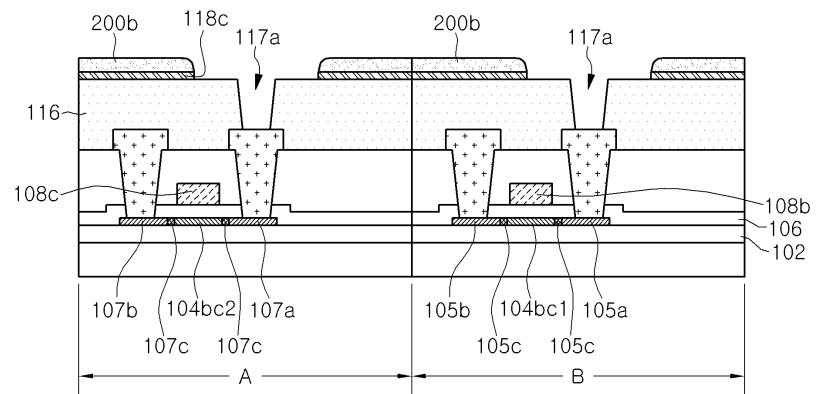
도면3c



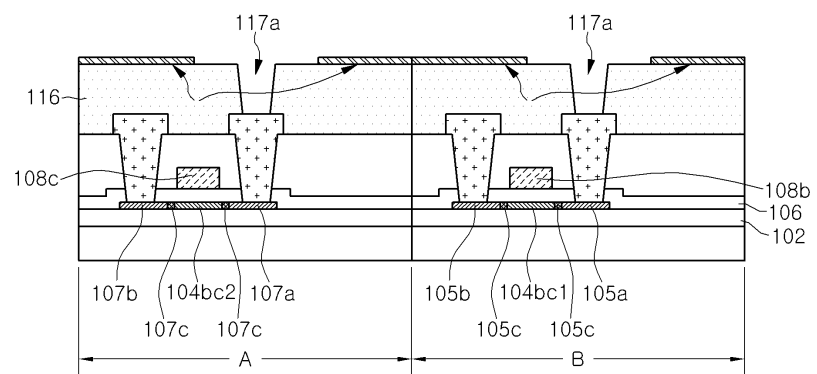
도면3d



도면3e



도면3f



专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	KR1020110001054A	公开(公告)日	2011-01-06
申请号	KR1020090058445	申请日	2009-06-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SEOK WOO 이석우 CHOI SEUNG CHAN 최승찬		
发明人	이석우 최승찬		
IPC分类号	G02F1/136		
CPC分类号	H01L27/1288 G02F1/136227 G02F2001/13625 H01L27/1214 H01L27/1274		
其他公开文献	KR101256708B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种制造液晶显示器件的方法，通过掩模工艺立刻形成接触孔形成工艺和公共电极形成工艺，从而减少制造薄膜晶体管时的掩模数量。组成：基板由玻璃等透明绝缘材料制成。衬底分为N沟道的薄膜晶体管形成区域和P沟道的薄膜晶体管形成区域。缓冲层（102）防止基板中的诸如钠的杂质在处理期间插入上层。在基板上沉积非晶硅薄膜之后，通过各种结晶方法形成多晶硅薄膜。

