

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2010-0109128 (43) 공개일자 2010년10월08일
(51) Int. Cl.		
<i>G02F 1/1335</i> (2006.01) <i>G02F 1/136</i> (2006.01)		
(21) 출원번호	10-2009-0027562	
(22) 출원일자	2009년03월31일	
심사청구일자	없음	
(71) 출원인	삼성전자주식회사 경기도 수원시 영통구 매탄동 416	
(72) 발명자	김용환 서울 용산구 이촌1동 강촌아파트 106동 1602호 김장수 경기 용인시 기흥구 서천동 현대홈타운 104동 2003호 (뒷면에 계속)	
(74) 대리인	팬코리아특허법인	

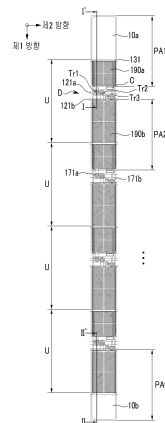
전체 청구항 수 : 총 21 항

(54) 액정 표시 장치

(57) 요약

본 발명은 액정 표시 장치에 관한 것이다. 액정 표시 장치는 제1 화소 전극과 제1 빛샘 방지 부재가 위치하는 첫 번째 화소 영역, 제2 화소 전극과 제2 빛샘 방지 부재가 위치하는 마지막 화소 영역 및 첫 번째 화소 영역과 마지막 화소 영역이 배열되고 제1 화소 전극 및 제2 화소 전극이 위치하는 중간 화소 영역들을 갖는 하판을 포함한다. 따라서 가장 자리에 위치하는 최초 화소 영역과 마지막 화소 영역에서 빛샘을 효과적으로 방지할 수 있다.

대표도 - 도1



(72) 발명자

유홍석

경기 안양시 동안구 평안동 초원리키아파트 504동
1402호

백승수

서울특별시 관악구 남현동 602-55번지 302호

오화열

서울 영등포구 대림3동 751-25

최재호

서울특별시 종로구 창신3동 쌍용아파트 207동 150
8호

김종인

경기 수원시 영통구 영통2동 벽적골9단지아파트 롯데
아파트 943동603호

장상희

경기 부천시 오정구 원종1동 296-19번지 3층

특허청구의 범위

청구항 1

제1 화소 전극과 제1 빔샘 방지 부재가 위치하는 첫 번째 화소 영역,
제2 화소 전극과 제2 빔샘 방지 부재가 위치하는 마지막 화소 영역, 및
상기 첫 번째 화소 영역과 상기 마지막 화소 영역이 배열되고 상기 제1 화소 전극 및 상기 제2 화소 전극이 위치하는 중간 화소 영역들을 갖는 하판을 포함하는 액정 표시 장치.

청구항 2

제1항에서,
상기 제2 화소 전극은 상기 제1 화소 전극보다 크고,
상기 제2 빔샘 방지 부재는 상기 제1 빔샘 방지 부재보다 작은 액정 표시 장치.

청구항 3

제2항에서,
상기 제1 빔샘 방지 부재의 크기는 상기 제2 화소 전극과 동일하고,
상기 제2 빔샘 방지 부재의 크기는 상기 제1 화소 전극과 동일한 액정 표시 장치.

청구항 4

제1항에서,
상기 화소 영역들의 사이에 위치하고 흑색 안료를 포함하는 유기 물질로 이루어진 차광 부재를 더 포함하는 액정 표시 장치.

청구항 5

제4항에서,
상기 제1 빔샘 방지 부재 및 상기 제2 빔샘 방지 부재는 상기 차광 부재와 동일한 물질을 포함하는 액정 표시 장치.

청구항 6

제5항에서,
기판,
기판 위에 위치하며 상기 제1, 제2 및 중간 화소 영역을 각각 둘러싸는 격벽,
상기 격벽의 안쪽에 위치하는 색필터, 및
상기 격벽 및 색필터 위에 위치하는 절연막을 더 포함하고,
상기 제1 빔샘 방지 부재 및 상기 제2 빔샘 방지 부재는 상기 절연막 위에 위치하는 액정 표시 장치.

청구항 7

제1항에서,
기판,
기판 위에 위치하며 상기 제1, 제2 및 중간 화소 영역을 각각 둘러싸는 격벽,
상기 격벽의 안쪽에 위치하는 색필터, 및
상기 격벽 및 색필터 위에 위치하는 절연막을 더 포함하고,

상기 제1 빔샘 방지 부재 및 상기 제2 빔샘 방지 부재는 상기 절연막 위에 위치하는 액정 표시 장치.

청구항 8

제1항에서,

상기 화소 영역들의 사이에 위치하고 적어도 하나의 트랜지스터를 포함하는 구동 회로부들을 더 포함하는 액정 표시 장치.

청구항 9

제8항에서,

상기 제1 빔샘 방지 부재 및 상기 제2 빔샘 방지 부재는 상기 트랜지스터의 드레인 전극 또는 소스 전극과 동일한 층에 위치하는 액정 표시 장치.

청구항 10

제9항에서,

상기 제1 빔샘 방지 부재 및 상기 제2 빔샘 방지 부재는 상기 드레인 전극 또는 상기 소스 전극과 동일한 물질을 포함하는 액정 표시 장치.

청구항 11

제10항에서,

상기 트랜지스터는 게이트 전극, 상기 게이트 전극 위에 위치하는 게이트 절연막, 상기 게이트 절연막 위에 상기 게이트 전극과 중첩되도록 위치하는 반도체 패턴, 상기 반도체 패턴 위에 위치하는 드레인 전극, 상기 반도체 패턴 위에 위치하는 소스 전극, 및 상기 드레인 전극과 상기 반도체 패턴 사이 그리고 상기 소스 전극과 상기 반도체 패턴 사이에 위치하는 저항성 접촉층을 포함하고,

상기 트랜지스터와 상기 게이트 절연막 위에는 보호막이 위치하고,

상기 제1 빔샘 방지 부재 및 상기 제2 빔샘 방지 부재는 상기 게이트 절연막과 상기 보호막 사이에 위치하는 액정 표시 장치.

청구항 12

제8항에서,

상기 제1 빔샘 방지 부재 및 상기 제2 빔샘 방지 부재는 상기 트랜지스터의 게이트 전극과 동일한 층에 위치하는 액정 표시 장치.

청구항 13

제12항에서,

상기 제1 빔샘 방지 부재 및 상기 제2 빔샘 방지 부재는 상기 트랜지스터의 상기 게이트 전극과 동일한 물질을 포함하는 액정 표시 장치.

청구항 14

제13항에서,

상기 게이트 전극과 동일한 층에 위치하는 유지 전극선을 더 포함하고,

상기 제1 빔샘 방지 부재 및 상기 제2 빔샘 방지 부재는 상기 유지 전극선과 연결되어 있는 액정 표시 장치.

청구항 15

제14항에서,

상기 트랜지스터는 기판, 상기 기판 위에 위치하는 게이트 전극, 상기 게이트 전극 위에 위치하는 게이트 절연

막, 상기 게이트 절연막 위에 상기 게이트 전극과 중첩되도록 위치하는 반도체 패턴, 상기 반도체 패턴 위에 위치하는 드레인 전극, 상기 반도체 패턴 위에 위치하는 소스 전극, 및 상기 드레인 전극과 상기 반도체 패턴 사이 그리고 상기 소스 전극과 상기 반도체 패턴 사이에 위치하는 저항성 접촉층을 포함하고,

상기 제1 빔샘 방지 부재 및 상기 제2 빔샘 방지 부재는 상기 기판과 상기 게이트 절연막 사이에 위치하는 액정 표시 장치.

청구항 16

제1항에서,

상기 하판 위에 위치하는 액정층, 및

상기 액정층 위에 위치하고 공통 전극을 갖는 상판을 더 포함하고,

상기 제1 빔샘 방지 부재 및 상기 제2 빔샘 방지 부재는 투명 전극 물질을 포함하고,

상기 공통 전극과 상기 제1 빔샘 방지 부재의 사이 그리고 상기 공통 전극과 상기 제2 빔샘 방지 부재의 사이에는 전압차가 "0"인 액정 표시 장치.

청구항 17

제16항에서,

상기 공통 전극과 상기 제1 빔샘 방지 부재는 전기적으로 연결되어 있고,

상기 공통 전극과 상기 제2 빔샘 방지 부재는 전기적으로 연결되어 있는 액정 표시 장치.

청구항 18

제17항에서,

상기 하판은

기판,

상기 기판 위에 위치하고 상기 화소 영역의 외각과 대응하는 격벽,

상기 격벽 안쪽에 위치하는 색필터, 및 상기 격벽 및 상기 색필터 위에 위치하는 절연막을 더 포함하고,

상기 제1 빔샘 방지 부재와 상기 제2 빔샘 방지 부재는 상기 절연막 위에 위치하는 액정 표시 장치.

청구항 19

제1항에서,

모든 화소 열에서 상기 첫 번째 화소 영역, 상기 중간 화소 영역들 및 상기 마지막 화소 영역이 순서대로 배열되어 있는 액정 표시 장치.

청구항 20

제19항에서,

상기 제1 빔샘 방지 부재들 중 2개 이상이 서로 연결되어 있고, 상기 제2 빔샘 방지 부재들 중 2개 이상이 서로 연결되어 있는 액정 표시 장치.

청구항 21

제20항에서,

상기 제1 빔샘 방지 부재들은 일체로 형성되어 있고,

상기 제2 빔샘 방지 부재들은 일체로 형성되어 있는 액정 표시 장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다. 보다 상세하게 본 발명은 빛샘 방지 효율이 높은 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 현재 다양한 종류의 평판 표시 장치(Flat panel Display)가 개발되어 사용되고 있다. 그 중에서도 상판과 하판 사이에 액정층이 위치하는 액정 표시 장치는 가장 다양한 용도로 널리 사용되고 있다.

[0003] 액정 표시 장치에는 색필터가 위치하는 다수의 화소 영역들이 포함되는데 잉크젯 프린팅 방법으로 화소 영역들을 형성하는 경우, 가장 자리에 위치한 화소 영역들에서 빛샘이 많이 발생하는 문제점이 있었다.

[0004] 이상, '배경 기술'에서 설명된 사항들은 본 발명의 배경에 대한 이해를 돕기 위한 것으로 이 부분에서 설명된 기술이 반드시 종래 기술인 것은 아니며 본 발명의 보호범위에 속하는 기술과 같이 종래에 알려지지 않은 기술일 수 있다.

발명의 내용

해결 하고자하는 과제

[0005] 본 발명의 일 실시예는 가장 자리에 위치하는 최초 화소 영역과 마지막 화소 영역에서 빛샘을 효과적으로 방지할 수 있는 액정 표시 장치를 제공한다.

과제 해결수단

[0006] 본 발명의 일 실시예에 따르면, 액정 표시 장치는 제1 화소 전극과 제1 빛샘 방지 부재가 위치하는 첫 번째 화소 영역, 제2 화소 전극과 제2 빛샘 방지 부재가 위치하는 마지막 화소 영역, 및 첫 번째 화소 영역과 마지막 화소 영역이 배열되고 제1 화소 전극 및 제2 화소 전극이 위치하는 중간 화소 영역들을 갖는 하판을 포함한다.

[0007] 상기 제2 화소 전극은 제1 화소 전극보다 크고, 제2 빛샘 방지 부재는 제1 빛샘 방지 부재보다 작을 수 있다. 제1 빛샘 방지 부재의 크기는 제2 화소 전극과 동일하고, 제2 빛샘 방지 부재의 크기는 제1 화소 전극과 동일할 수 있다.

[0008] 화소 영역들의 사이에 위치하고 흑색 안료를 포함하는 유기 물질로 이루어진 차광 부재를 더 포함할 수 있다. 제1 빛샘 방지 부재 및 제2 빛샘 방지 부재는 차광 부재와 동일한 물질을 포함할 수 있다.

[0009] 액정 표시 장치는 기판, 기판 위에 위치하며 제1, 제2 및 중간 화소 영역을 각각 둘러싸는 격벽, 격벽의 안쪽에 위치하는 색필터, 및 격벽 및 색필터 위에 위치하는 절연막을 더 포함하고, 제1 빛샘 방지 부재 및 제2 빛샘 방지 부재는 절연막 위에 위치할 수 있다.

[0010] 액정 표시 장치는 기판, 기판 위에 위치하며 제1, 제2 및 중간 화소 영역을 각각 둘러싸는 격벽, 격벽의 안쪽에 위치하는 색필터, 및 격벽과 색필터의 위에 위치하는 절연막을 더 포함하고, 제1 빛샘 방지 부재 및 제2 빛샘 방지 부재는 절연막 위에 위치한다.

[0011] 액정 표시 장치는 화소 영역들의 사이에 위치하고 적어도 하나의 트랜지스터를 포함하는 구동 회로부들을 더 포함할 수 있다. 제1 빛샘 방지 부재 및 제2 빛샘 방지 부재는 트랜지스터의 드레인 전극 또는 소스 전극과 동일한 층에 위치할 수 있다. 제1 빛샘 방지 부재 및 제2 빛샘 방지 부재는 드레인 전극 또는 소스 전극과 동일한 물질을 포함할 수 있다.

[0012] 트랜지스터는 게이트 전극, 게이트 전극 위에 위치하는 게이트 절연막, 게이트 절연막 위에 게이트 전극과 중첩되도록 위치하는 반도체 패턴, 반도체 패턴 위에 위치하는 드레인 전극, 반도체 패턴 위에 위치하는 소스 전극, 및 드레인 전극과 반도체 패턴 사이 그리고 소스 전극과 반도체 패턴 사이에 위치하는 저항성 접촉층을 포함하고, 트랜지스터와 게이트 절연막 위에는 보호막이 위치하고, 제1 빛샘 방지 부재 및 제2 빛샘 방지 부재는 게이트

트 절연막과 보호막 사이에 위치할 수 있다.

[0013] 제1 빔샘 방지 부재 및 제2 빔샘 방지 부재는 트랜지스터의 게이트 전극과 동일한 층에 위치할 수 있다. 제1 빔샘 방지 부재 및 제2 빔샘 방지 부재는 트랜지스터의 게이트 전극과 동일한 물질을 포함할 수 있다.

[0014] 액정 표시 장치는 게이트 전극과 동일한 층에 위치하는 유지 전극선을 더 포함하고, 제1 빔샘 방지 부재 및 제2 빔샘 방지 부재는 유지 전극선과 연결되어 있을 수 있다.

[0015] 트랜지스터는 기판, 기판 위에 위치하는 게이트 전극, 게이트 전극 위에 위치하는 게이트 절연막, 게이트 절연막 위에 게이트 전극과 중첩되도록 위치하는 반도체 패턴, 반도체 패턴 위에 위치하는 드레인 전극, 반도체 패턴 위에 위치하는 소스 전극, 및 드레인 전극과 반도체 패턴 사이 그리고 소스 전극과 반도체 패턴 사이에 위치하는 저항성 접촉층을 포함하고, 제1 빔샘 방지 부재 및 제2 빔샘 방지 부재는 기판과 게이트 절연막 사이에 위치할 수 있다.

[0016] 하판 위에 위치하는 액정층, 및 액정층 위에 위치하고 공통 전극을 갖는 상판을 더 포함하고, 제1 빔샘 방지 부재 및 제2 빔샘 방지 부재는 투명 전극 물질을 포함하고, 공통 전극과 제1 빔샘 방지 부재의 사이 그리고 공통 전극과 제2 빔샘 방지 부재의 사이에는 전압차가 "0"일 수 있다. 공통 전극과 제1 빔샘 방지 부재는 전기적으로 연결되어 있고, 공통 전극과 제2 빔샘 방지 부재는 전기적으로 연결되어 있을 수 있다.

[0017] 하판은 기판, 기판 위에 위치하고 화소 영역의 외각과 대응하는 격벽, 격벽 안쪽에 위치하는 색필터, 및 격벽 및 색필터 위에 위치하는 절연막을 더 포함하고, 제1 빔샘 방지 부재와 제2 빔샘 방지 부재는 절연막 위에 위치할 수 있다.

[0018] 모든 화소 열에서 첫 번째 화소 영역, 중간 화소 영역들 및 마지막 화소 영역이 순서대로 배열되어 있을 수 있다. 제1 빔샘 방지 부재들 중 2개 이상이 서로 연결되어 있고, 제2 빔샘 방지 부재들 중 2개 이상이 서로 연결되어 있을 수 있다. 제1 빔샘 방지 부재들은 일체로 형성되어 있고, 제2 빔샘 방지 부재들은 일체로 형성되어 있을 수 있다.

효 과

[0019] 본 발명의 일 실시예에 따르면, 가장 자리에 위치하는 최초 화소 영역과 마지막 화소 영역에서 각각 제1 빔샘 방지 부재와 제2 빔샘 방지 부재가 위치한다. 따라서 화소 영역의 가장자리에서 빔샘을 효과적으로 방지할 수 있다.

[0020] 또한, 가까이 위치하는 제1 빔샘 방지 부재들을 연결하거나 가까이 위치하는 제2 빔샘 방지 부재들을 연결하여 빔샘을 방지할 수 있는 영역을 확장시킴으로써 빔샘 방지 효율을 증가시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0021] 이하, 첨부된 도면들을 참조하여 마그네슘 합금 압연 판재의 형상 정정 방법을 설명한다. 여기서 i) 첨부된 도면들에 도시된 형상, 크기, 비율, 각도, 개수, 동작 등은 개략적인 것으로 다소 변경될 수 있다. ii) 도면은 관찰자의 시선으로 도시되기 때문에 도면을 설명하는 방향이나 위치는 관찰자의 위치에 따라 다양하게 변경될 수 있다. iii) 도면 번호가 다르더라도 동일한 부분에 대해서는 동일한 도면 부호가 사용될 수 있다. iv) '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. v) 단수로 설명되는 경우 다수로도 해석될 수 있다. vi) 수치, 형상, 크기의 비교, 위치 관계 등이 '약', '실질적' 등으로 설명되지 않아도 통상의 오차 범위가 포함되도록 해석된다. vii) '~후', '~전', '이어서', '그리고', '여기서', '후속하여' 등의 용어가 사용되더라도 시간적 위치를 한정하는 의미로 사용되지는 않는다. viii) '제1', '제2' 등의 용어는 단순히 구분의 편의를 위해 선택적, 교환적 또는 반복적으로 사용되며 한정적 의미로 해석되지 않는다. ix) '~위에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우 '바로'가 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 개재될 수도 있다. x) 부분들이 '~또는' 으로 연결되는 경우 부분들 단독뿐만 아니라 조합도 포함되게 해석되나 '~또는 ~중 하나'로 연결되는 경우 부분들 단독으로만 해석된다.

[0022] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 하판을 설명하기 위한 평면도이다. 도 2는 도 1에 도시된 회로 구동부의 확대도이다. 도 3은 도 1의 I-I' 선을 따라 자른 단면도이다. 도 4는 도 1의 II-II' 선을 따라 자른 단면도이다.

[0023] 도 1을 참조하면, 화소는 제1 화소 전극(190a), 제1 화소 전극(190a)보다 큰 제2 화소 전극(190b), 및 제1 화소

전극(190a)과 제2 화소 전극(190b)의 사이에 위치하며 트랜지스터(Tr, transistor)등을 포함하는 구동 회로부(D)를 하나의 형성 단위(U)로 일 방향을 따라 잉크젯 프린팅(printing) 방법을 사용하여 연속적으로 형성된다.

[0024] 화소 전극들이 위치하는 실질적으로 동일한 크기의 영역을 화소 영역(PA, pixel area)라 정의할 때 잉크젯 프린팅 방법을 사용하여 제1 화소 전극(190a), 제2 화소 전극(190b), 및 구동 회로부(D)를 하나의 형성 단위(U)로 형성하는 경우, 도 1에 도시된 첫 번째 화소가 시작되는 첫 번째 화소 영역(PA₁)과 마지막 화소가 끝나는 마지막 화소 영역(PA_f)의 중간에 위치한 중간 화소 영역(PA₂, PA₃, ...)에는 제1 화소 전극(190a)과 제2 화소 전극(190b)이 위치하나, 첫 번째 화소 영역(PA₁)에서는 제1 화소 전극(190a)만 위치하고, 마지막 화소 영역(PA_f)에는 제2 화소 전극(190b)만 위치한다.

[0025] 따라서 본 발명의 실시예들에 따르면 첫 번째 화소가 시작되는 첫 번째 화소 영역(PA₁)에서 제1 화소 전극(190a)이 위치하지 않는 부분과 마지막 화소가 끝나는 마지막 화소 영역(PA_f)에서 제2 화소 전극(190b)이 위치하지 않는 부분에 위치하는 빔샘 방지 부재가 위치한다. 그리고 도 1에서는 설명의 편의상 다섯 개의 화소 영역(PA)들만을 도시하였으나 실제로 화소 영역(PA)의 개수는 더 많을 수 있다.

[0026] 기관(110) 위에 구동 회로부(D)가 위치한다. 이하, 구동 회로부(D)는 전하 공유(charge sharing) 방식을 구현할 수 있도록 제1 트랜지스터(Tr₁), 제2 트랜지스터(Tr₂), 제3 트랜지스터(Tr₃) 및 다운 커패시터(C)를 포함하는 것으로 설명하나 이에 제한되는 것은 아니다. 예를 들어, 구동 회로부(D)는 전하 펌핑(charge pumping) 방법을 구현하도록 변경될 수도 있다.

[0027] 도 1 및 2를 참조하여 구동 회로부(D)를 보다 자세히 설명하면, 기관(110, 도 3 및 4 참조) 위에 유지 전극선(131), 유지 전극(133), 커패시터 하부 전극(134), 제1 게이트선(121a), 제1 게이트 전극(124a), 제2 게이트 전극(124b), 제3 게이트 전극(124c) 및 제2 게이트선(121b)이 위치한다.

[0028] 유지 전극선(131), 제1 게이트선(121a) 및 제2 게이트선(121b)은 제1 방향을 따라 서로 이격하며 순차적으로 배열된다. 그리고 유지 전극선(131), 제1 게이트선(121a) 및 제2 게이트선(121b)은 제1 방향과 교차하는 제2 방향을 따라 연장한다.

[0029] 유지 전극(133)은 한 쌍일 수 있으며 유지 전극선(131)으로부터 제1 방향을 따라 연장한다. 커패시터 하부 전극(134)은 유지 전극(133)으로부터 제2 방향을 따라 연장한다.

[0030] 제1 게이트 전극(124a) 및 제2 게이트 전극(124b)은 제1 게이트선(121a)과 연결된다. 제1 게이트선(121a)에서 폭이 확장된 부분이 구획되어 제1 게이트 전극(124a) 및 제2 게이트 전극(124b)으로 사용될 수 있다. 제3 게이트 전극(124c)은 제2 게이트선(121b)과 연결된다. 제2 게이트선(121b)에서 폭이 확장된 부분이 제3 게이트 전극(124c)으로 사용될 수 있다.

[0031] 유지 전극선(131), 유지 전극(133), 커패시터 하부 전극(134), 제1 게이트선(121a), 제1 게이트 전극(124a), 제2 게이트 전극(124b), 제3 게이트 전극(124c) 및 제2 게이트선(121b)의 위에 게이트 절연막(140, 도 3 및 4 참조)이 위치한다.

[0032] 게이트 절연막(140) 위에 제1 반도체 패턴(155a), 제2 반도체 패턴(155b) 및 제3 반도체 패턴(155c)은 각각 제1 게이트 전극(124a), 제2 게이트 전극(124b) 및 제3 게이트 전극(124c)의 위에 위치한다.

[0033] 게이트 절연막(140) 위에 제1 데이터선(171a)이 화소 영역(PA)들의 좌측에 위치한다. 제2 데이터선(171b)이 화소 영역(PA)들의 우측에 위치한다. 구체적으로 제1 데이터선(171a)은 제1 방향으로 연장하며 제1 및 2 반도체 패턴들(155a, 155b) 보다 외측에 위치한다. 게이트 절연막(140) 위에 제2 데이터선(171b)이 화소 영역(PA)들의 우측에 위치한다. 제2 데이터선(171b)은 제1 방향을 따라 연장한다.

[0034] 제1 소스 전극(173a)은 제1 데이터선(171a)으로부터 연장하여 제1 반도체 패턴(155a)과 부분적으로 중첩(overlap)된다. 제2 소스 전극(173b)은 제1 소스 전극(173a)으로부터 연장하여 제2 반도체 패턴(155b)과 부분적으로 중첩된다. 제3 소스 전극(173c)은 제3 반도체 패턴(155c)과 부분적으로 중첩된다.

[0035] 제1 드레인 전극(175a)은 제1 반도체 패턴(155a) 위에 제1 소스 전극(173a)과 이격되도록 위치한다. 제2 드레인 전극(175b)은 제2 반도체 패턴(155b) 위에 제2 소스 전극(173b)과 이격되도록 위치한다. 제3 드레인 전극(175c)은 제3 반도체 패턴(155c) 위에 제3 소스 전극(173c)과 이격되도록 형성된다.

[0036] 컨택 영역(139)은 제3 소스 전극(173c)로부터 연장하는 형상을 갖는다. 그리고 커패시터 상부 전극(135)은 제3

드레인 전극(175c)로부터 연장하며 커패시터 하부 전극(134)과 중첩된다.

- [0037] 상술한 구조물들 위에 보호막(180p, 도 3 및 4 참조)이 위치한다. 그리고 보호막(180p) 위에 절연막(180q)이 위치한다. 절연막(180q) 및 보호막(180p)에는 제1 드레인 전극(175a), 제2 드레인 전극(175b) 및 컨택 영역(139)을 노출시키는 제1 홀(H_1), 제2 홀(H_2) 및 제3 홀(H_3)이 형성되어 있다.
- [0038] 절연막(180q) 위에 제1 화소 전극(190a)과 제2 화소 전극(190b)이 위치한다. 제1 화소 전극(190a)과 제2 화소 전극(190b)은 제1 데이터선(171a) 및 제2 데이터선(171b)의 사이에 위치하며 제1 및 2 반도체 패턴들(155a, 155b)을 사이에 두고 서로 마주한다.
- [0039] 제1 화소 전극(190a)은 연장부(a1)를 갖는다. 제1 화소 전극(190a)의 연장부(a1)는 제1 홀(H_1)을 통해 제1 드레인 전극(175a)과 연결된다. 제2 화소 전극(190b)은 제1 연장부(b1) 및 제2 연장부(b2)를 포함한다. 제2 화소 전극(190b)의 제1 연장부(b1)는 제2 홀(H_2)을 통해 제2 드레인 전극(175b)과 연결된다. 제2 화소 전극(190b)의 제2 연장부(b2)는 제3 홀(H_3)을 통해 컨택 영역(139)과 연결된다.
- [0040] 제1 게이트 전극(124a), 제1 소스 전극(173a), 제1 드레인 전극(175a) 및 제1 반도체 패턴(155a)은 제1 트랜지스터(Tr_1)를 형성한다. 제2 게이트 전극(124b), 제2 소스 전극(173b), 제2 드레인 전극(175b) 및 제2 반도체 패턴(155b)은 제2 트랜지스터(Tr_2)를 형성한다. 제3 게이트 전극(124c), 제3 소스 전극(173c), 제3 드레인 전극(175c) 및 제3 반도체 패턴(155c)은 제3 트랜지스터(Tr_3)를 형성한다. 커패시터 하부 전극(134), 게이트 절연막(140) 및 커패시터 상부 전극(135)은 다운 커패시터(C)를 형성한다.
- [0041] 제3 트랜지스터(Tr_3)를 사용하여 제1 화소 전극(190a) 및 제2 화소 전극(190b) 사이에 전하 공유 효과를 실현할 수 있다. 구체적으로 제1 및 2 트랜지스터들(Tr_1 , Tr_2)가 턴온(Turn-on)된 상태에서 제3 트랜지스터(Tr_3)를 턴온되는 경우, 전하가 제2 화소 전극(190b)로부터 다운 커패시터(C)로 이동하여 제1 화소 전극(190a)의 전압이 제2 화소 전극(190b) 보다 높게 유지된다. 따라서 제1 화소 전극(190a) 및 제2 화소 전극(190b) 간의 전압차를 통해 측면 시인성 등의 문제를 해결할 수 있다.
- [0042] 도 1 및 3을 참조하면, 보다 상세하게 구동 회로부(D)에 포함된 제1 트랜지스터(Tr_1)는 기판(110) 위에 위치하는 제1 게이트 전극(124a), 제1 게이트 전극(124a) 위에 위치하는 게이트 절연막(140), 게이트 절연막(140) 위에 제1 게이트 전극(124a)과 중첩되도록 위치하는 제1 반도체 패턴(155a), 제1 반도체 패턴(155a)에 위에 위치하는 제1 드레인 전극(175a), 제1 반도체 패턴(155a) 위에 위치하는 제1 소스 전극(173a), 및 제1 드레인 전극(175a)과 제1 반도체 패턴(155a) 사이 그리고 제1 소스 전극(173a)과 제1 반도체 패턴(155a) 사이에 위치하는 저항성 접촉층(160)을 포함한다.
- [0043] 기판(110) 및 구동 회로부(D) 위에 보호막(180p)이 위치한다. 그리고 보호막(180p) 위에 격벽(361)이 위치한다. 격벽(361)은 화소 영역(PA)의 외각과 대응되게 위치한다. 즉, 격벽(361)은 화소 영역(PA)을 둘러싼다. 격벽(361)의 안쪽에는 색필터(230)가 위치한다. 즉, 색필터(230)은 화소 영역(PA)에 형성된다.
- [0044] 보호막(180p), 색필터(230) 및 격벽(361) 위에는 절연막(180q)이 위치한다. 절연막(180q)과 보호막(180p)을 관통하여 제1 트랜지스터(Tr_1)의 제1 드레인 전극(175a)과 연결되는 제1 화소 전극(190a)이 절연막(180q) 위에 첫 번째 화소 영역(PA_1)의 일부까지 연장하도록 위치한다.
- [0045] 그리고 첫 번째 화소 영역(PA_1)에 대응하는 절연막(180q)의 부분 중 제1 화소 전극(190a)이 위치하지 않는 부분에는 흑색 안료를 포함하는 유기 물질로 이루어진 제1 빛샘 방지 부재(10a)가 위치한다. 여기서 제1 빛샘 방지 부재(10a)의 크기는 제2 화소 전극(190b)과 실질적으로 동일할 수 있다.
- [0046] 제2 화소 전극(190b)은 절연막(180q) 위에 두 번째 화소 영역(PA_2)의 일부까지 연장하도록 위치한다. 그리고 두 번째 화소 영역(PA_2)에 대응하는 절연막(180q)의 부분 중 제2 화소 전극(190b)이 위치하지 않는 부분에는 또 다른 제1 화소 전극(190a)이 위치한다.
- [0047] 즉, 첫 번째 화소 영역(PA_1)에는 제1 화소 전극(190a)과 제1 빛샘 방지 부재(10a)가 위치하고, 두 번째 화소 영역(PA_2)에는 제2 화소 전극(190b)과 제1 화소 전극(190a)이 위치하게 된다.

- [0048] 절연막(180q) 위에 차광 부재(22)가 화소 영역(PA)들의 사이로 구동 회로부(D)의 위쪽에 위치한다. 차광 부재(22)는 제1 빔샘 방지 부재(10a)와 실질적으로 동일한 물질을 포함할 수 있다.
- [0049] 차광 부재(22)는 구동 회로부(D)의 위쪽에서 제1 트랜지스터(Tr_1)의 제1 드레인 전극(175a)과 연결되는 제1 화소 전극(190a)의 부분 위에 위치할 수 있다. 이 경우, 절연막(180q)에 형성된 접촉 구멍을 제1 화소 전극(190a)과 함께 채울 수 있다.
- [0050] 도 1 및 4를 참조하면, 첫 번째 화소 영역(PA_1)과 마지막 화소 영역(PA_f)의 사이에 위치하는 중간 화소 영역($PA_2, PA_3, PA_4, \dots$) 위에는 제1 화소 전극(190a) 및 제2 화소 전극(190b)이 위치하나, 마지막 화소 영역(PA_f)에는 제2 화소 전극(190b)만이 절연막(180q) 위에 마지막 화소 영역(PA_f)의 일부까지 연장하도록 위치한다.
- [0051] 그리고 마지막 화소 영역(PA_f)에 대응하는 절연막(180q)의 부분 중 제2 화소 전극(190b)이 위치하지 않는 부분에는 흑색 안료를 포함하는 유기 물질로 이루어진 제2 빔샘 방지 부재(10b)가 위치한다. 여기서 제2 빔샘 방지 부재(10b)의 크기는 제1 빔샘 방지 부재(10a) 보다 작을 수 있다. 예를 들어, 제2 빔샘 방지 부재(10b)의 크기는 제1 화소 전극(190a)과 실질적으로 동일할 수 있다.
- [0052] 도 5 및 6은 본 발명의 일 실시예에 따른 액정 표시 장치의 하판을 설명하기 위한 단면도들이다. 여기서 도 5 및 6은 각각 도 1의 I-I'선 및 II-II'선에 대응하는 영역을 따라 자른 단면도이다.
- [0053] 본 실시예에 따른 액정 표시 장치의 하판은 도 1 내지 4에서 설명된 실시예와 빔샘 방지 부재를 제외하고 실질적으로 동일하다. 따라서 동일한 부분에 대해서는 동일한 참조 부호를 사용하고 이에 대한 설명은 생략한다.
- [0054] 도 5를 참조하면, 첫 번째 화소 영역(PA_1)에 대응하는 절연막(180q)의 부분 중 제1 화소 전극(190a)이 위치하지 않는 부분에는 제1 빔샘 방지 부재(20a)가 위치한다. 여기서 제1 빔샘 방지 부재(20a)의 크기는 제2 화소 전극(190b)과 실질적으로 동일할 수 있다.
- [0055] 제1 빔샘 방지 부재(20a)는 구동 회로부(D)에 포함된 어느 한 트랜지스터(Tr)의 드레인 전극 또는 소스 전극과 동일한 공정에 의해서 형성될 수 있다. 이 경우, 제1 빔샘 방지 부재(20a)는 드레인 전극 또는 소스 전극과 동일한 물질을 포함하며 드레인 전극 또는 소스 전극과 동일하게 게이트 절연막(140)과 보호막(180p)의 사이에 위치한다.
- [0056] 일 예로, 제1 빔샘 방지 부재(20a)는 제1 트랜지스터(Tr_1)의 제1 드레인 전극(175a) 또는 제1 소스 전극(173a)과 동일한 공정에 의해서 형성될 수 있다. 다른 예로, 제1 빔샘 방지 부재(20a)는 제2 트랜지스터(Tr_2)의 제2 드레인 전극(175b) 또는 제2 소스 전극(173b)과 동일한 공정에 의해서 형성될 수 있다. 또 다른 예로, 제1 빔샘 방지 부재(20a)는 제3 트랜지스터(Tr_3)의 제3 드레인 전극(175c) 또는 제3 소스 전극(173c)과 동일한 공정에 의해서 형성될 수 있다 그리고 제1 빔샘 방지 부재(20a)는 드레인 전극 및 소스 전극과 모두 이격될 수 있다.
- [0057] 도 6을 참조하면, 마지막 화소 영역(PA_f) 중 제2 화소 전극(190b)이 위치하지 않는 부분에는 제2 빔샘 방지 부재(20b)가 위치한다. 여기서 제2 빔샘 방지 부재(20b)의 크기는 제1 빔샘 방지 부재(20a)보다 작을 수 있다. 예를 들어, 제2 빔샘 방지 부재(20b)의 크기는 제1 화소 전극(190a)과 실질적으로 동일할 수 있다.
- [0058] 제2 빔샘 방지 부재(20b)는 구동 회로부(D)에 포함된 어느 한 트랜지스터(Tr)의 드레인 전극 또는 소스 전극과 동일한 공정에 의해서 형성될 수 있다. 이 경우, 제2 빔샘 방지 부재(20b)는 드레인 전극 또는 소스 전극과 동일한 물질을 포함하며 드레인 전극 또는 소스 전극과 동일하게 게이트 절연막(140)과 보호막(180p)의 사이에 위치한다.
- [0059] 일 예로, 제2 빔샘 방지 부재(20b)는 제1 트랜지스터(Tr_1)의 제1 드레인 전극(175a) 또는 제1 소스 전극(173a)과 동일한 공정에 의해서 형성될 수 있다. 다른 예로, 제2 빔샘 방지 부재(20b)는 제2 트랜지스터(Tr_2)의 제2 드레인 전극(175b) 또는 제2 소스 전극(173b)과 동일한 공정에 의해서 형성될 수 있다. 또 다른 예로, 제2 빔샘 방지 부재(20b)는 제3 트랜지스터(Tr_3)의 제3 드레인 전극(175c) 또는 제3 소스 전극(173c)과 동일한 공정에 의해서 형성될 수 있다. 그리고 제2 빔샘 방지 부재(20b)는 드레인 전극 및 소스 전극과 모두 이격될 수 있다.
- [0060] 도 7 및 8은 본 발명의 일 실시예에 따른 액정 표시 장치의 하판을 설명하기 위한 단면도들이다. 여기서 도 7 및 8은 각각 도 1의 I-I'선 및 II-II'선에 대응하는 영역을 따라 자른 단면도이다.

- [0061] 본 실시예에 따른 액정 표시 장치의 하판은 도 1 내지 4에서 설명된 실시예와 빗샘 방지 부재를 제외하고 실질적으로 동일하다. 따라서 동일한 부분에 대해서는 동일한 참조 부호를 사용하고 이에 대한 설명은 생략한다.
- [0062] 도 7을 참조하면, 첫 번째 화소 영역(PA₁) 중 제1 화소 전극(190a)이 위치하지 않는 부분에는 제1 빗샘 방지 부재(30a)가 위치한다. 여기서 제1 빗샘 방지 부재(30a)의 크기는 제2 화소 전극(190b)과 실질적으로 동일할 수 있다.
- [0063] 제1 빗샘 방지 부재(30a)는 구동 회로부(D)에 포함된 어느 한 트랜지스터(Tr)의 게이트 전극과 동일한 공정에 의해서 형성될 수 있다. 이 경우, 제1 빗샘 방지 부재(30a)는 게이트 전극과 동일한 물질을 포함하며 게이트 전극과 동일하게 게이트 절연막(140)과 보호막(180p)의 사이에 위치한다. 그리고 게이트 전극과 연결될 수도 있으며 이와 달리 이격될 수도 있다.
- [0064] 일 예로, 제1 빗샘 방지 부재(30a)는 제1 트랜지스터(Tr₁)의 제1 게이트 전극(124a)과 동일한 공정에 의해서 형성될 수 있다. 다른 예로, 제1 빗샘 방지 부재(30a)는 제2 트랜지스터(Tr₂)의 제2 게이트 전극(124b, 도 2 참조)과 동일한 공정에 의해서 형성될 수 있다. 또 다른 예로, 제2 빗샘 방지 부재(30a)는 제3 트랜지스터(Tr₃)의 제3 게이트 전극(124c, 도 2 참조)과 동일한 공정에 의해서 형성될 수 있다. 그리고 제1 빗샘 방지 부재(30a)는 게이트 전극들과 이격되어 있을 수 있다.
- [0065] 또한, 제1 게이트 전극(124a)을 형성하는 공정에서 유지 전극선(131)이 제1 게이트 전극(124a)과 동일한 층에 형성될 수 있다. 그리고 여기서 유지 전극선(131)과 제1 빗샘 방지 부재(30a)가 연결된 구조로 형성될 수 있다.
- [0066] 도 8을 참조하면, 마지막 화소 영역(PA_f) 중 제2 화소 전극(190b)이 위치하지 않는 부분에는 제2 빗샘 방지 부재(30b)가 위치한다. 여기서 제2 빗샘 방지 부재(30b)의 크기는 제1 빗샘 방지 부재(30a)보다 작을 수 있다. 예를 들어, 제2 빗샘 방지 부재(30b)의 크기는 제1 화소 전극(190a)과 실질적으로 동일할 수 있다.
- [0067] 제2 빗샘 방지 부재(30b)는 구동 회로부(D)에 포함된 어느 한 트랜지스터(Tr)의 게이트 전극과 동일한 공정에 의해서 형성될 수 있다. 이 경우, 제2 빗샘 방지 부재(30b)는 게이트 전극과 동일한 물질을 포함하며 게이트 전극과 동일하게 게이트 절연막(140)과 보호막(180p)의 사이에 위치한다. 그리고 게이트 전극과 연결될 수도 있으며 이와 달리 이격될 수도 있다.
- [0068] 일 예로, 제2 빗샘 방지 부재(30b)는 제1 트랜지스터(Tr₁)의 제1 게이트 전극(124a)과 동일한 공정에 의해서 형성될 수 있다. 다른 예로, 제2 빗샘 방지 부재(30b)는 제2 트랜지스터(Tr₂)의 제2 게이트 전극(124b, 도 2 참조)과 동일한 공정에 의해서 형성될 수 있다. 또 다른 예로, 제2 빗샘 방지 부재(30b)는 제3 트랜지스터(Tr₃)의 제3 게이트 전극(124c, 도 2 참조)과 동일한 공정에 의해서 형성될 수 있다. 그리고 제2 빗샘 방지 부재(30b)는 게이트 전극들과 이격되어 있을 수 있다.
- [0069] 또한, 제1 게이트 전극(124a)을 형성하는 공정에서 유지 전극선(131)이 제1 게이트 전극(124a)과 동일한 층에 형성될 수 있다. 그리고 여기서 유지 전극선(131)과 제2 빗샘 방지 부재(30b)가 연결된 구조로 형성될 수 있다.
- [0070] 도 9 및 10은 본 발명의 일 실시예에 따른 액정 표시 장치를 설명하기 위한 단면도들이다. 여기서 도 9 및 10은 각각 도 1의 I-I'선 및 II-II'선에 대응하는 영역을 따라 자른 단면도이다.
- [0071] 도 9 및 10에 도시된 액정 표시 장치의 하판은 도 1 내지 4에서 설명된 실시예와 빗샘 방지 부재를 제외하고 실질적으로 동일하다. 따라서 동일한 부분에 대해서는 동일한 참조 부호를 사용하고 이에 대한 설명은 생략한다. 그리고 도 9 및 10에는 빗샘 방지 부재의 동작 원리를 설명하기 위하여 액정 표시 장치의 하판뿐만 아니라 액정 층과 상판도 도시된다.
- [0072] 도 9를 참조하면, 첫 번째 화소 영역(PA₁)에 위치하는 절연막(180q)의 부분 중 제1 화소 전극(190a)이 위치하지 않는 부분 위에는 제1 빗샘 방지 부재(40a)가 위치한다. 여기서 제1 빗샘 방지 부재(40a)의 크기는 제2 화소 전극(190b)과 실질적으로 동일할 수 있다. 제1 빗샘 방지 부재(40a)는 ITO(Indium Tin Oxide)와 같은 투명 전극 물질을 포함한다.
- [0073] 공통 전극(270)을 갖는 상판이 액정 표시 장치의 하판과 대향하도록 위치한다. 공통 전극(270)과 액정 표시 장치의 하판 사이에는 액정층(3)이 위치한다. 그리고 하판과 액정층(3)의 사이와 상판과 액정층(3)의 사이에는 배향막(도시 안됨)이 위치할 수 있다.

- [0074] 도 10을 참조하면, 마지막 화소 영역(PA_f)에 위치하는 절연막(180q)의 부분 중 제2 화소 전극(190b)이 위치하지 않는 부분 위에는 제2 빔샘 방지 부재(40b)가 위치한다. 여기서 제2 빔샘 방지 부재(40b)의 크기는 제1 빔샘 방지 부재(40a)의 크기보다 작을 수 있다. 예를 들어, 제2 빔샘 방지 부재(40a)의 크기는 제1 화소 전극(190a)과 실질적으로 동일할 수 있다. 제2 빔샘 방지 부재(40b)는 ITO와 같은 투명 전극 물질을 포함할 수 있다.
- [0075] 공통 전극(270)을 갖는 상판이 액정 표시 장치의 하판과 대향하도록 위치한다. 공통 전극(270)과 액정 표시 장치의 하판 사이에는 액정층(3)이 위치한다. 그리고 하판과 액정층(3)의 사이와 상판과 액정층(3)의 사이에는 배향막(도시 안됨)이 위치할 수 있다.
- [0076] 제1 빔샘 방지 부재(40a)와 공통 전극(270)의 사이에는 전압차가 인가되지 않는다. 즉, 제1 빔샘 방지 부재(40a)와 공통 전극(270)은 서로 전기적으로 연결될 수 있다. 이 경우, 제1 빔샘 방지 부재(40a)와 공통 전극(270)의 사이에 위치하는 액정층(3)의 액정은 기울어 지지 않기 때문에 빔샘 방지 효과를 실현할 수 있다.
- [0077] 도 11은 본 발명의 일 실시예에 따른 액정 표시 장치의 하판에 포함된 화소 영역들의 배열을 설명하기 위한 평면도이다.
- [0078] 도 11을 참조하면, 화소 영역들이 행 방향 및 열 방향으로 배열된다. 행 방향으로서는 같은 종류의 화소 영역이 배열되며, 열 방향으로서는 첫 번째 화소 영역(PA_1), 중간 화소 영역들($PA_2, PA_3, PA_4, \dots$), 및 마지막 화소 영역(PA_f)이 순서대로 배열된다. 즉, 모든 화소 열에서 첫 번째 화소 영역(PA_1), 중간 화소 영역들($PA_2, PA_3, PA_4, \dots$), 및 마지막 화소 영역(PA_f)이 순서대로 배열될 수 있다.
- [0079] 도 1 내지 10에서 설명한 바와 같이, 첫 번째 화소 영역(PA_1)에는 제1 빔샘 방지 부재(10a, 20a, 30a, 40a)가 위치하고, 마지막 화소 영역(PA_f)에는 제2 빔샘 방지 부재(10b, 20b, 30b, 40b)가 위치한다.
- [0080] 본 실시예에서 제1 빔샘 방지 부재(10a, 20a, 30a, 40a)들은 행 방향으로 적어도 둘이 연결된다. 그리고 제2 빔샘 방지 부재(10b, 20b, 30b, 40b)들은 행 방향으로 적어도 둘이 연결된다. 또한, 제1 빔샘 방지 부재(10a, 20a, 30a, 40a)들은 일체로 형성될 수 있다. 그리고 제2 빔샘 방지 부재(10b, 20b, 30b, 40b)들도 일체로 형성될 수 있다.
- [0081] 제1 빔샘 방지 부재(10a, 20a, 30a, 40a)들과 제2 빔샘 방지 부재(10b, 20b, 30b, 40b)들이 행 방향으로 연결된 구조는 확장된 면적을 가지기 때문에 보다 효과적으로 빔샘을 방지할 수 있다.
- [0082] 이상에서 본 발명의 실시예들을 설명하였지만 실시예들은 단지 하기의 특허청구범위에 기재된 본 발명의 보호범위를 설명하기 위한 '예'들이며 본 발명의 보호범위를 한정하지 않는다. 또한, 본 발명의 보호범위는 특허청구범위와 기술적으로 균등한 범위까지 확대될 수 있다.

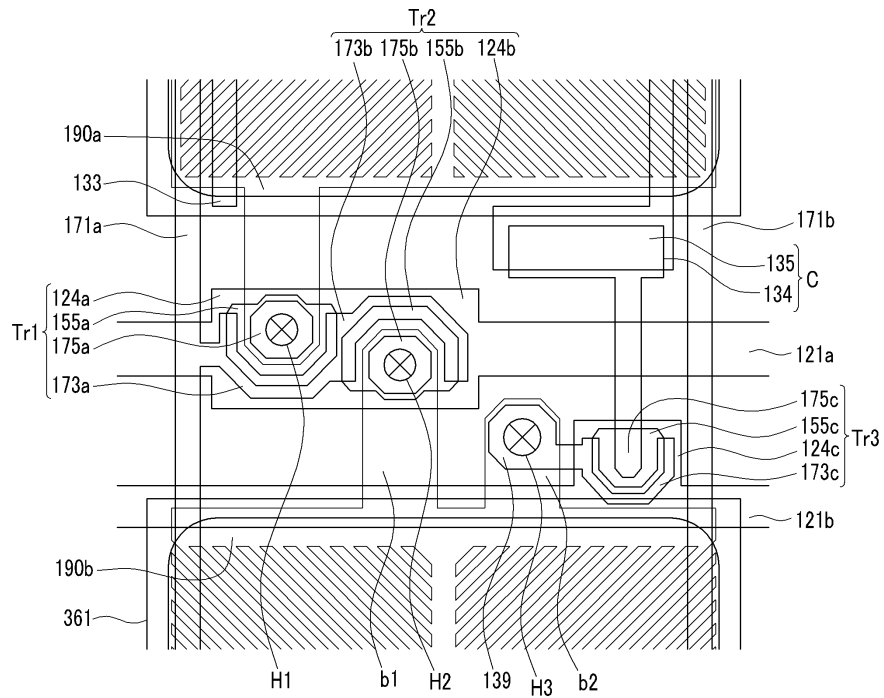
도면의 간단한 설명

- [0083] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 하판을 설명하기 위한 평면도이다.
- [0084] 도 2는 도 1에 도시된 구동 회로부의 확대도이다.
- [0085] 도 3은 도 1의 I-I'선을 따라 자른 단면도이다.
- [0086] 도 4는 도 1의 II-II'선을 따라 자른 단면도이다.
- [0087] 도 5 및 6은 본 발명의 일 실시예에 따른 액정 표시 장치의 하판을 설명하기 위한 단면도들이다.
- [0088] 도 7 및 8은 본 발명의 일 실시예에 따른 액정 표시 장치의 하판을 설명하기 위한 단면도들이다.
- [0089] 도 9 및 10은 본 발명의 일 실시예에 따른 액정 표시 장치를 설명하기 위한 단면도들이다.
- [0090] 도 11은 본 발명의 일 실시예에 따른 액정 표시 장치의 하판에 포함된 화소 영역들의 배열을 설명하기 위한 평면도이다.

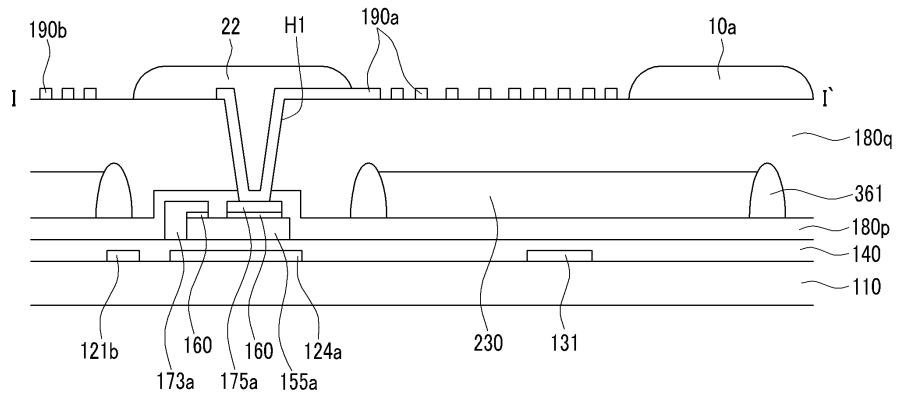
- [0091] <도면 주요 부호에 대한 설명>

- | | | |
|--------|-------------------|-------------------|
| [0092] | 3 : 액정층 | 22 : 차광 부재 |
| [0093] | 10a : 제1 빔샘 방지 부재 | 10b : 제2 빔샘 방지 부재 |

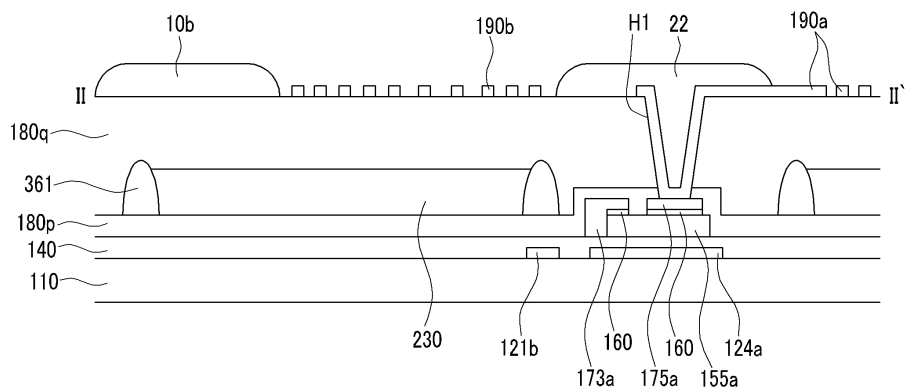
도면2



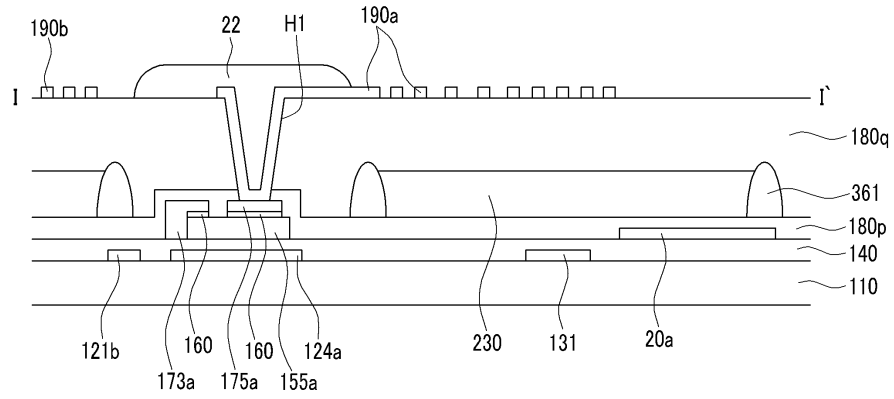
도면3



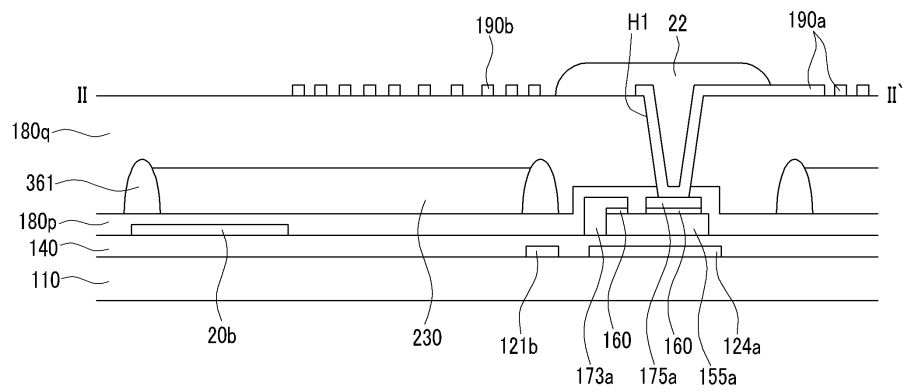
도면4



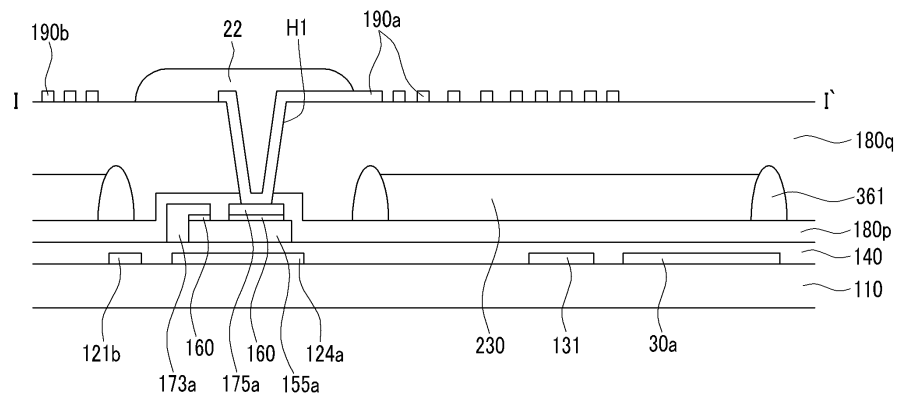
도면5



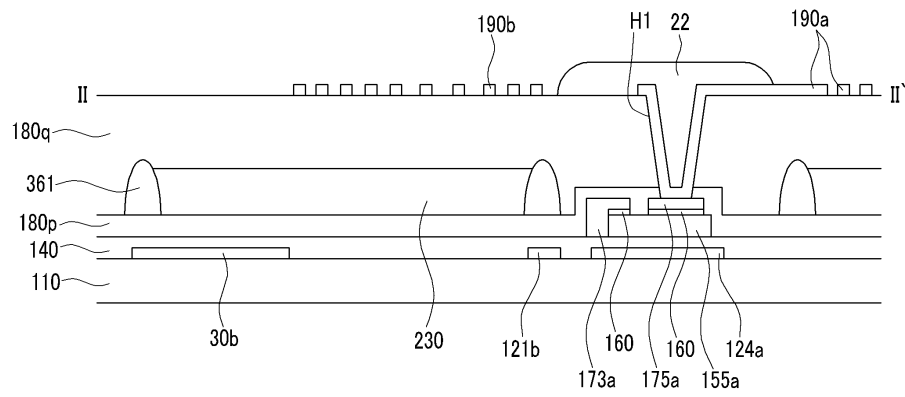
도면6



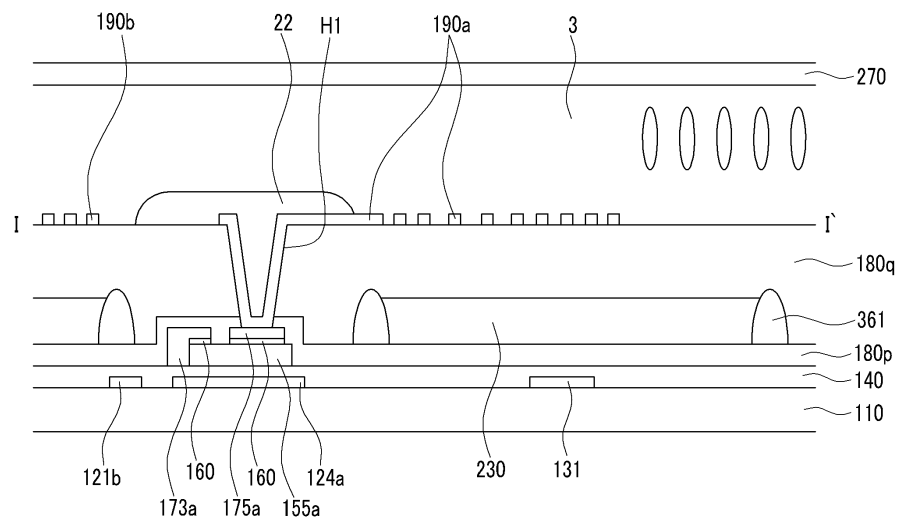
도면7



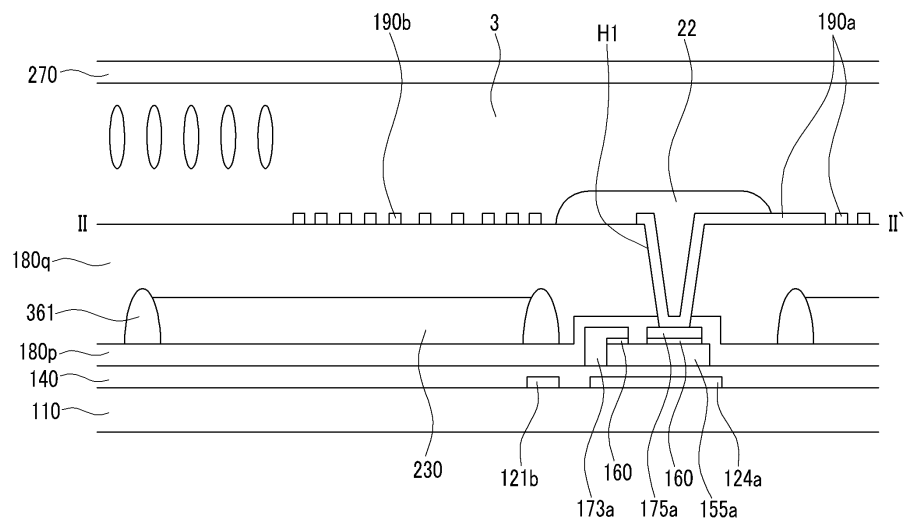
도면8



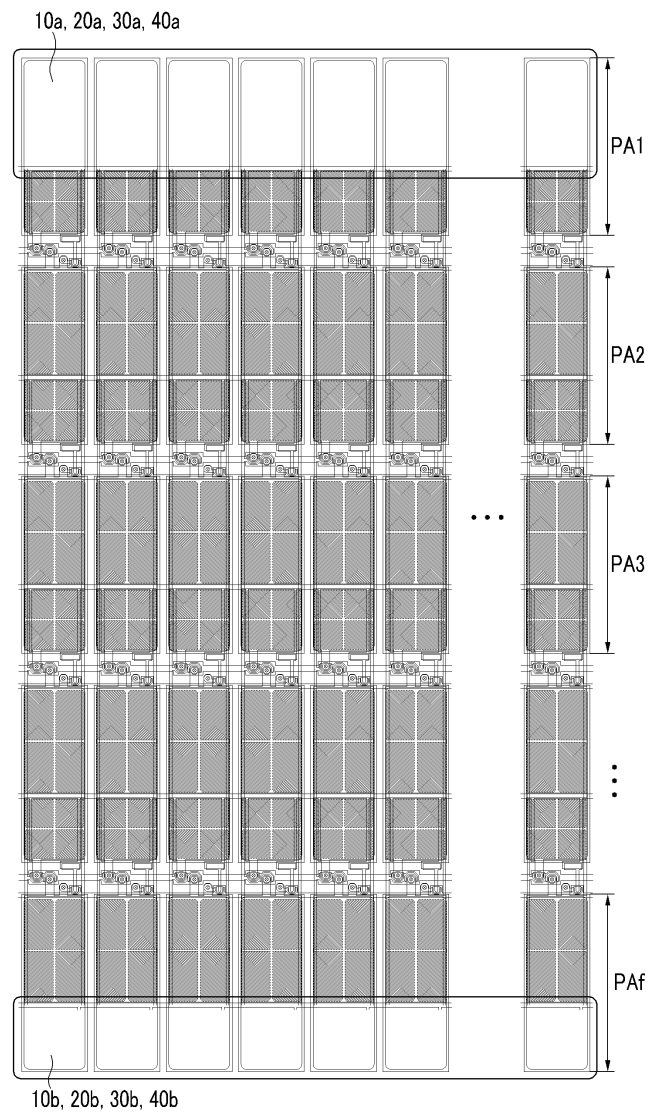
도면9



도면10



도면11



专利名称(译)	液晶显示器		
公开(公告)号	KR1020100109128A	公开(公告)日	2010-10-08
申请号	KR1020090027562	申请日	2009-03-31
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM YONG HWAN 김용환 KIM JANG SOO 김장수 YOO HONG SUK 유홍석 BAEK SEUNG SOO 백승수 OH HWA YEUL 오화열 CHOI JAE HO 최재호 KIM JONG IN 김종인 JANG SANG HEE 장상희		
发明人	김용환 김장수 유홍석 백승수 오화열 최재호 김종인 장상희		
IPC分类号	G02F1/1335 G02F1/136		
CPC分类号	G02F1/136209		
其他公开文献	KR101566430B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及液晶显示装置。在液晶显示装置中，第一像素电极和第一遮光构件所在的第一像素区域，第二像素电极和第二遮光构件所在最后像素区域，以及第一像素区域和最后像素区域被布置并且，下基板具有第一像素电极和第二像素电极所在的中间像素区域。因此，可以在位于边缘的第一像素区域和最后像素区域中有效地防止漏光。

