



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0069770
(43) 공개일자 2010년06월25일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0128289

(22) 출원일자 2008년12월17일

심사청구일자 없음

(71) 출원인

엘지이노텍 주식회사

서울특별시 중구 남대문로5가 541 서울스퀘어

(72) 발명자

최상철

경기도 안양시 동안구 호계2동 푸른마을삼성아파트 현대홈타운 206동 501호

홍광표

서울 종로구 계동 75-4 계동빌라 301호

(74) 대리인

서교준

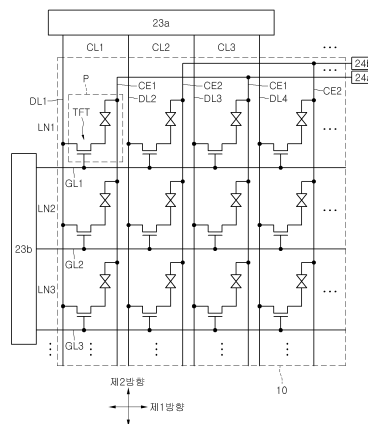
전체 청구항 수 : 총 9 항

(54) 액정표시장치

(57) 요약

액정표시장치가 개시된다. 액정표시장치는 제 1 방향으로 연장되는 다수 개의 게이트 배선들; 게이트 배선들에 교차하며 제 2 방향으로 연장되는 다수 개의 데이터 배선들; 게이트 배선들 및 상기 데이터 배선들에 의해서 정의되는 영역들에 각각 배치되는 다수 개의 화소전극들; 화소전극들에 대향되며, 상기 제 2 방향으로 연장되는 다수 개의 제 1 공통전극들; 및 제 1 공통전극들 사이에 각각 배치되는 다수 개의 제 2 공통전극들을 포함한다. 제 1 공통전극들 및 제 2 공통전극들은 따로 구동될 수 있고, 이에 따라서, 액정표시장치는 향상된 화질을 구현하도록 도트 반전 방식으로 구동될 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

제 1 방향으로 연장되는 다수 개의 게이트 배선들;

상기 게이트 배선들에 교차하며 제 2 방향으로 연장되는 다수 개의 데이터 배선들;

상기 게이트 배선들 및 상기 데이터 배선들에 의해서 정의되는 화소 영역들에 각각 배치되는 다수 개의 화소전극들;

상기 화소전극들에 대향되며, 상기 제 2 방향으로 연장되는 다수 개의 제 1 공통전극들; 및

상기 제 1 공통전극들 사이에 각각 배치되는 다수 개의 제 2 공통전극들을 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서, 상기 제 1 공통전극들 및 상기 제 2 공통전극들은 서로 교대로 나란히 배치되며,

상기 제 1 공통전극들은 서로 전기적으로 연결되고,

상기 제 2 공통전극들은 서로 전기적으로 연결되는 액정표시장치.

청구항 3

제 1 항에 있어서, 상기 제 1 공통전극들에 제 1 공통전압신호를 인가하고, 상기 제 2 공통전극들에 제 2 공통전압신호를 인가하는 구동부를 포함하는 액정표시장치.

청구항 4

제 3 항에 있어서, 상기 화소전극들은

상기 제 1 공통전극들에 대향하는 제 1 화소전극들; 및

상기 제 2 공통전극들에 대향하는 제 2 화소전극들을 포함하며,

상기 구동부는 상기 제 1 화소전극들에 제 1 극성의 전압을 인가하고, 상기 제 2 화소전극들에 제 2 극성의 전압을 인가하는 액정표시장치.

청구항 5

제 4 항에 있어서, 상기 구동부는 상기 제 1 화소전극들 및 상기 제 2 화소전극들에 도트 단위로 극성이 반전되는 전압을 공급하는 액정표시장치.

청구항 6

제 3 항에 있어서, 상기 제 1 공통전압신호는 상기 제 1 공통전극들에 제 1 전압 및 제 2 전압을 서로 교번하여 인가되는 신호이고,

상기 제 2 공통전압신호는 상기 제 2 공통전극들에 상기 제 2 전압 및 상기 제 1 전압이 서로 교번하여 인가되는 신호인 액정표시장치.

청구항 7

제 3 항에 있어서, 상기 구동부는

상기 제 1 공통전압신호를 생성하는 제 1 커먼 드라이버; 및

상기 제 2 공통전압신호를 생성하는 제 2 커먼 드라이버를 포함하는 액정표시장치.

청구항 8

제 3 항에 있어서, 상기 제 1 공통전압신호 및 상기 제 2 공통전압신호는 서로 역 위상을 가지는 액정표시장치.

청구항 9

제 1 항에 있어서, 상기 게이트 배선들, 상기 데이터 배선들 및 상기 화소전극들이 배치되는 제 1 기판; 및
상기 제 1 공통전극들 및 상기 제 2 공통전극들이 배치되는 제 2 기판을 포함하는 액정표시장치.

명 세 서

발명의 상세한 설명

기술 분야

[0001] 실시예는 액정표시장치에 관한 것이다.

배 경 기 술

[0002] 정보처리기술이 발달함에 따라서, LCD, PDP 및 AMOLED와 같은 표시장치들이 널리 사용되고 있다.

[0003] 이러한 표시장치들 중 LCD는 서로 대향하는 공통전극들 및 화소전극들 및 두 전극들 사이에 개재되는 액정층을 포함할 수 있다. 이때, 공통전극들 및 화소전극들은 프레임 인버전, 라인 인버전 및 도트 인버전 등과 같은 다양한 방식으로 구동될 수 있다.

발명의 내용

해결 하고자하는 과제

[0004] 실시예는 향상된 화질을 가지고, 전력소모가 적은 액정표시장치를 제공하고자 한다.

과제 해결수단

[0005] 실시예에 따른 액정표시장치는 제 1 방향으로 연장되는 다수 개의 게이트 배선들; 상기 게이트 배선들에 교차하며 제 2 방향으로 연장되는 다수 개의 데이터 배선들; 상기 게이트 배선들 및 상기 데이터 배선들에 의해서 정의되는 영역들에 각각 배치되는 다수 개의 화소전극들; 상기 화소전극들에 대향되며, 상기 제 2 방향으로 연장되는 다수 개의 제 1 공통전극들; 및 상기 제 1 공통전극들 사이에 각각 배치되는 다수 개의 제 2 공통전극들을 포함한다.

효 과

[0006] 실시예에 따른 액정표시장치는 제 1 공통전극들 및 제 2 공통전극들을 다른 방식으로 구동할 수 있다. 즉, 제 1 공통전극들에 제 1 공통전압신호가 인가되고, 제 2 공통전극들에 제 2 공통전압신호가 인가될 수 있다.

[0007] 또한, 제 1 공통전극들에 대향하는 제 1 화소전극들에 부극성의 전압을 인가하고, 제 2 공통전극들에 대향하는 제 2 화소전극들에 정극성의 전압을 인가할 수 있다.

[0008] 이후, 제 1 공통전극들, 제 2 공통전극들, 제 1 화소전극들, 제 2 화소전극들에 인가되는 전압들은 반전되거나 교번될 수 있다.

[0009] 이와 같은 방식으로 실시예에 따른 액정표시장치는 도트 반전 방식으로 구동될 수 있다.

[0010] 또한, 실시예에 따른 액정표시장치는 공통전극을 두 종류로 분류하여, 각각에 두 종류의 신호를 인가하여, 도트 반전 방식을 구현한다.

[0011] 따라서, 실시예에 따른 액정표시장치는 많은 전력을 소모하지 않고, 도트 반전 방식을 구현할 수 있다.

발명의 실시를 위한 구체적인 내용

[0012] 실시 예의 설명에 있어서, 각 패널, 층, 전극, 배선 또는 기판 등이 각 패널, 층, 전극, 배선 또는 기판 등의 "상(on)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상(on)"과 "아래(under)"는 "직접(directly)" 또는 "다른 구성요소를 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 구성요소의 상 또는 아래에 대한 기준은 도면을 기준으로 설명한다. 도면에서의 각 구성요소들의 크기는 설명을 위하여 과

장될 수 있으며, 실제로 적용되는 크기를 의미하는 것은 아니다.

- [0013] 도 1은 실시예에 따른 액정표시장치를 도시한 회로도이다. 도 2는 실시예에 따른 액정표시장치를 도시한 블록도이다. 도 3은 실시예에 따른 액정표시장치를 도시한 평면도이다. 도 4는 도 3에서 A-A'를 따라서 절단한 단면을 도시한 단면도이다. 도 5는 도 3에서 B-B'를 따라서 절단한 단면을 도시한 단면도이다. 도 6은 공통전압신호들, 데이터 신호들 및 게이트 신호들을 도시한 파형도이다. 도 7은 실시예에 따른 액정표시장치의 반전 방식을 도시한 도면이다.
- [0014] 도 1 내지 도 5를 참조하면, 액정표시장치는 액정패널(10) 및 드라이버IC(20)를 포함한다.
- [0015] 상기 액정패널(10)은 다수 개의 게이트 배선들(GL1, GL2,...), 다수 개의 데이터 배선들(DL1, DL2,...), 다수 개의 박막트랜지스터들(TFT), 다수 개의 화소전극들(PE1, PE2) 및 다수 개의 공통전극들(CE1, CE2)을 포함한다.
- [0016] 상기 게이트 배선들(GL1, GL2,...)은 제 1 방향으로 연장되며, 서로 나란히 배치된다. 상기 게이트 배선들(GL1, GL2,...)은 제 1 투명기관(100) 상에 배치된다. 상기 게이트 배선들(GL1, GL2,...)로 사용되는 물질의 예로서는 알루미늄, 구리, 텅스텐, 몰리브덴, 티타늄 및 이들의 합금 등을 들 수 있다.
- [0017] 상기 데이터 배선들(DL1, DL2,...)은 상기 게이트 배선들(GL1, GL2,...)에 교차하여 배치된다. 상기 데이터 배선들(DL1, DL2,...)은 제 2 방향으로 연장되며, 서로 나란히 배치된다.
- [0018] 상기 게이트 배선들(GL1, GL2,...) 및 상기 데이터 배선들(DL1, DL2,...)에 의해서 다수 개의 화소 영역들(P)이 형성된다. 상기 화소 영역들(P)은 직사각형 형상을 가진다.
- [0019] 또한, 상기 게이트 배선들(GL1, GL2,...) 및 상기 데이터 배선들(DL1, DL2,...) 사이에는 상기 게이트 배선들(GL1, GL2,...)을 덮는 게이트 절연막(101)이 배치될 수 있다.
- [0020] 상기 박막트랜지스터들(TFT)은 상기 게이트 배선들(GL1, GL2,...) 및 상기 데이터 배선들(DL1, DL2,...)이 교차하는 영역에 배치된다. 상기 박막트랜지스터들(TFT)은 상기 게이트 배선들(GL1, GL2,...)을 통하여 인가되는 게이트 신호들(GS1, GS2,...)에 따라서, 턴-온 또는 턴-오프된다.
- [0021] 이에 따라서, 상기 박막트랜지스터들(TFT)은 상기 데이터 배선들(DL1, DL2,...)을 통하여 인가되는 데이터 신호들(DS1, DS2)을 상기 화소전극들(PE1, PE2)에 선택적으로 인가한다.
- [0022] 상기 화소전극들(PE1, PE2)은 상기 화소 영역들(P)에 배치된다. 더 자세하게, 상기 화소전극들(PE1, PE2)은 상기 화소 영역들(P)에 각각 하나씩 배치된다. 즉, 상기 화소전극들(PE1, PE2)은 매트릭스 형태로 배치된다.
- [0023] 또한, 상기 액정패널(10)은 상기 데이터 배선을 덮는 보호막(102)을 가지며, 상기 화소전극들(PE1, PE2)은 상기 보호막(102) 상에 배치된다.
- [0024] 상기 제 1 공통전극들(CE1)은 상기 제 2 방향으로 연장된다. 상기 제 1 공통전극들(CE1)은 서로 나란히 배치된다. 상기 제 1 공통전극들(CE1)은 상기 화소전극들(PE1)에 대향되어 배치된다. 상기 제 1 공통전극들(CE1)은 제 2 투명기관(200) 아래에 배치된다. 또한, 상기 제 1 공통전극들(CE1)은 상기 데이터 배선들(DL1, DL2,...)과 나란히 배치되며, 상기 데이터 배선들(DL1, DL2,...)에 대응한다.
- [0025] 상기 제 1 공통전극들(CE1)은 서로 전기적으로 연결된다. 예를 들어, 상기 제 1 공통전극들(CE1)은 일체로 형성되어, 상기 드라이버IC(20)로부터 서로 동일한 신호를 인가받는다.
- [0026] 상기 제 2 공통전극들(CE2)은 상기 제 2 방향으로 연장된다. 상기 제 2 공통전극들(CE2)은 서로 나란히 배치된다. 상기 제 2 공통전극들(CE2)은 상기 화소전극들(PE2)에 대향되어 배치된다. 상기 제 2 공통전극들(CE2)은 상기 제 2 투명기관(200) 아래에 배치된다.
- [0027] 또한, 상기 제 2 공통전극들(CE2)은 상기 제 1 공통전극들(CE1)과 교대로 배치된다. 예를 들어, 상기 제 2 공통전극들(CE2)은 상기 제 1 공통전극들(CE1)사이 에 각각 하나씩 배치된다.
- [0028] 또한, 상기 제 2 공통전극들(CE2)은 상기 데이터 배선들(DL1, DL2,...) 및 상기 제 1 공통전극들(CE1)과 나란히 배치된다.
- [0029] 상기 제 2 공통전극들(CE2)은 서로 전기적으로 연결된다. 예를 들어, 상기 제 2 공통전극들(CE2)은 일체로 형성되어, 상기 드라이버IC(20)로부터 서로 동일한 신호를 인가받는다.
- [0030] 따라서, 상기 화소전극들(PE1, PE2)은 상기 제 1 공통전극들(CE1)에 대향하는 제 1 화소전극들(PE1) 및 상기 제

2 공통전극들(CE2)에 대항하는 제 2 화소전극들(PE2)로 나누어진다. 예를 들어, 상기 제 1 공통전극들(CE1)은 기수 번째 컬럼들(CL1, CL3,...)의 화소 영역들에 대응하고, 상기 제 1 화소전극들(PE1)은 기수 번째 컬럼들(CL1, CL3,...)의 화소 영역들에 각각 배치된다.

- [0031] 마찬가지로, 상기 제 2 공통전극들(CE2)은 우수 번째 컬럼들(CL2, CL4,...)의 화소 영역들에 대응하고, 상기 제 2 화소전극들(PE2)은 우수 번째 컬럼들(CL2, CL4,...)의 화소 영역들에 각각 배치된다.
- [0032] 또한, 상기 액정패널(10)은 상기 제 1 투명기판(100) 및 상기 제 2 투명기판(200) 사이에 개재되는 액정층(300)을 포함하며, 상기 공통전극들(CE1, CE2) 및 상기 제 2 투명기판(200) 사이에 개재되는 컬러필터층(201)을 포함한다.
- [0033] 상기 드라이버IC(20)는 상기 액정패널(10)을 구동하기 위한 신호를 생성하여, 상기 액정패널(10)에 공급한다. 상기 드라이버IC(20)는 상기 액정패널(10)에 실장될 수 있다. 상기 드라이버IC(20)는 상기 액정패널(10)을 구동하기 위한 다수 개의 회로들이 집적된 칩 일 수 있다.
- [0034] 상기 드라이버IC(20)는 래치부(21), 표시 램(22), 소오스 드라이버(23a), 게이트 드라이버(23b), 제 1 커먼 드라이버(24a) 및 제 2 커먼 드라이버(24b), 레지스터(27), 어드레스 카운터(25), 타이밍 콘트롤러(26) 및 전원회로(28)를 포함한다.
- [0035] 상기 래치부(21)는 인터페이스로부터 RGB 데이터 등의 영상을 표시하기 위한 데이터를 인가받아 래치시킨다. 또한, 상기 래치부(21)는 상기 래치된 데이터를 상기 표시 램(22)에 전달한다.
- [0036] 상기 표시 램(22)은 상기 래치된 데이터를 저장하고, 상기 저장된 데이터를 로딩하여, 상기 소오스 드라이버(23a)에 전송한다.
- [0037] 상기 소오스 드라이버(23a)는 상기 표시 램(22)으로부터 상기 데이터를 입력받는다. 또한, 상기 소오스 드라이버(23a)는 상기 타이밍 콘트롤러(26)로부터 타이밍 신호를 인가받아 상기 데이터 신호들(DS1, DS2)을 생성하여, 상기 액정패널(10)에 공급한다. 더 자세하게, 상기 소오스 드라이버는 상기 데이터 신호들(DS1, DS2)을 상기 데이터 배선들(DL1, DL2,...)에 공급한다.
- [0038] 상기 게이트 드라이버(23b)는 상기 타이밍 콘트롤러(26)로부터 타이밍 신호를 인가받아, 상기 게이트 신호들(GS1, GS2,...)을 생성하여, 상기 액정패널(10)에 공급한다. 더 자세하게, 상기 게이트 드라이버(23b)는 상기 게이트 신호들(GS1, GS2,...)을 상기 게이트 배선들(GL1, GL2,...)에 공급한다.
- [0039] 상기 제 1 커먼 드라이버(24a)는 상기 타이밍 콘트롤러(26)로부터 타이밍 신호를 인가받아, 상기 제 1 공통전압 신호(CS1)를 생성하여, 상기 액정패널(10)에 공급한다. 더 자세하게, 상기 제 1 커먼 드라이버는 상기 제 1 공통전극들(CE1)에 상기 제 1 공통전압신호(CS1)를 인가한다.
- [0040] 상기 제 2 커먼 드라이버(24b)는 상기 타이밍 콘트롤러로부터 타이밍 신호를 인가받아, 상기 제 2 공통전압신호(CS2)를 생성하여, 상기 액정패널(10)에 공급한다. 더 자세하게, 상기 제 2 커먼 드라이버(24b)는 상기 제 2 공통전극들(CE2)에 상기 제 2 공통전압신호(CS2)를 공급한다.
- [0041] 상기 레지스터(27)는 상기 인터페이스로부터 커맨드 신호들(DE, HSYNC, VSYNC)을 입력받아, 상기 타이밍 콘트롤러(26) 및 상기 어드레스 카운터(25) 등을 제어한다.
- [0042] 상기 레지스터(27)는 상기 커맨드 신호들(DE, HSYNC, VSYNC)을 저장 및 로딩할 수 있는 데이터 레지스터 및 상기 타이밍 콘트롤러(26) 및 상기 어드레스 카운터(25)를 제어하는 콘트롤 레지스터 등을 포함할 수 있다.
- [0043] 상기 타이밍 콘트롤러(26)는 내부의 기준으로 발생하는 클럭신호를 변환시켜 타이밍 신호들을 생성한다. 또한, 상기 타이밍 콘트롤러(26)는 상기 표시 램(22) 및 상기 드라이버들(23a, 23b, 24a, 24b)에 상기 타이밍 신호들을 전송한다.
- [0044] 이때, 상기 표시 램(22)은 상기 타이밍 신호에 의해서, 상기 데이터를 저장 및 로딩한다.
- [0045] 상기 전원회로(28)는 외부로부터의 외부전압(Vcc)을 입력받아, 상기 드라이버IC(20)의 내부에서 사용되는 내부전압을 생성한다. 더 자세하게, 상기 전원회로(28)는 상기 래치부(21), 상기 표시 램(22), 상기 드라이버들(23a, 23b, 24a, 24b), 상기 레지스터(27), 상기 어드레스 카운터(25) 및 상기 타이밍 콘트롤러(26)를 구동하기 위한 전압을 생성한다.
- [0046] 상기 전원회로(28)는 또한, 외부로부터 그라운드 전압(GND)을 인가받는다.

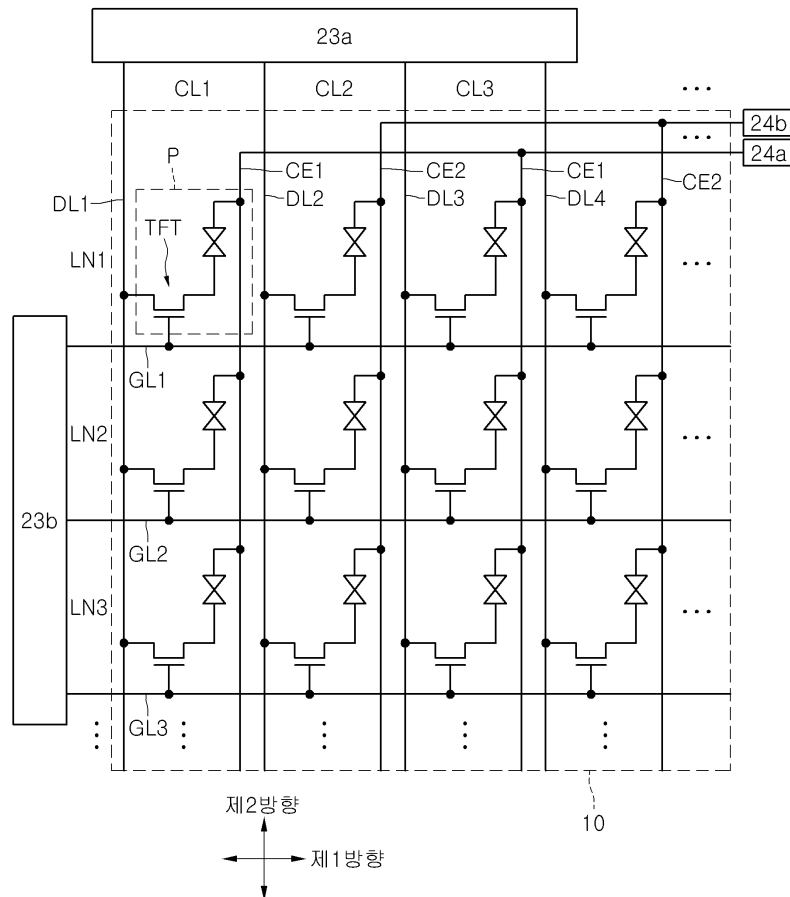
- [0047] 도 6에 도시된 바와 같이, 상기 제 1 공통전압신호(CS1) 및 상기 제 2 공통전압신호(CS2)는 서로 역 위상을 가진다. 예를 들어, 상기 제 1 커먼 드라이버(24a)가 상기 제 1 공통전극들(CE1)에 하이 전압(VH)을 인가할 때, 상기 제 2 커먼 드라이버(24b)는 상기 제 2 공통전극들(CE2)에 로우 전압(VL)을 인가한다. 또한, 상기 제 1 커먼 드라이버(24a)가 상기 제 1 공통전극들(CE1)에 로우 전압(VL)을 인가할 때, 상기 제 2 커먼 드라이버(24b)는 상기 제 2 공통전극들(CE2)에 하이 전압(VH)을 인가한다.
- [0048] 즉, 상기 제 1 공통전압신호(CS1) 및 상기 제 2 공통전압신호(CS2)는 하이 전압(VH) 및 로우 전압(VL)이 서로 교번되는 신호이다.
- [0049] 또한, 상기 제 1 커먼 드라이버(24a) 및 상기 제 2 커먼 드라이버(24b)는 상기 제 1 공통전극들(CE1) 및 상기 제 2 공통전극들(CE2)이 서로 다른 전압레벨들을 가지도록, 상기 제 1 공통전극들(CE1) 및 상기 제 2 공통전극들(CE2)에 인가되는 전압을 계속해서 교번시킨다.
- [0050] 상기 데이터 드라이버(23a)는 제 1 데이터 신호들(DS1)을 기수 번째 데이터 배선들(DL1, DL3,...)을 통하여, 상기 제 1 화소전극들(PE1)에 인가한다. 마찬가지로, 상기 데이터 드라이버(23a)는 제 2 데이터 신호들(DS2)을 우수 번째 데이터 배선들(DL2, DL4,...)을 통하여, 상기 제 2 화소전극들(PE2)에 인가한다.
- [0051] 이때, 상기 게이트 드라이버(23b)는 상기 게이트 배선들(GL1, GL2,...)에 각각 게이트 신호들(GS1, GS2,...)을 인가하여, 턴-온되는 박막트랜지스터들(TFT)을 결정한다. 즉, 상기 게이트 드라이버(23b)는 영상이 표시되는 라인을 결정한다.
- [0052] 도 6 및 도 7을 참조하면, 첫 번째 게이트 배선(GL1)을 통하여, 첫 번째 라인(LN1)의 박막트랜지스터들(TFT)에 턴-온 신호가 인가된다. 동시에, 기수 번째 데이터 배선들(DL1, DL3,...)에 상기 제 1 데이터 신호들(DS1)이 인가되고, 우수 번째 데이터 배선들(DL2, DL4,...)에 상기 제 2 데이터 신호들(DS2)이 인가된다.
- [0053] 이에 따라서, 첫 번째 라인(LN1)의 제 1 화소전극들(PE1)에는 정(+)극성의 전압이 인가되고, 상기 제 1 공통전극들(CE1)에 로우 전압(VL)이 인가된다. 또한, 첫 번째 라인(LN1)의 제 2 화소전극들(PE2)에는 부(-)극성의 전압이 인가되고, 상기 제 2 공통전극들(CE2)에 하이 전압(VH)이 인가된다.
- [0054] 이에 따라서, 첫 번째 라인(LN1)의 화소 영역들에 영상이 표시된다.
- [0055] 이후, 두 번째 게이트 배선(GL2)을 통하여, 두 번째 라인(LN2)의 박막트랜지스터들(TFT)에 턴-온 신호가 인가된다. 동시에, 기수 번째 데이터 배선들(DL1, DL3,...)에 상기 제 1 데이터 신호들(DS1)이 인가되고, 우수 번째 데이터 배선들(DL2, DL4,...)에 상기 제 2 데이터 신호들(DS2)이 인가된다.
- [0056] 이에 따라서, 두 번째 라인(LN2)의 제 1 화소전극들(PE1)에는 부(-)극성의 전압이 인가되고, 상기 제 1 공통전극들(CE1)에 하이 전압(VH)이 인가된다. 또한, 두 번째 라인(LN2)의 제 2 화소전극들(PE2)에는 정(+)극성의 전압이 인가되고, 상기 제 2 공통전극들(CE2)에 로우 전압(VL)이 인가된다.
- [0057] 이에 따라서, 두 번째 라인(LN2)의 화소 영역들에 영상이 표시된다.
- [0058] 이와 같은 방식으로 각각의 라인(LN1, LN2,...)의 화소 영역들에 영상이 표시된다.
- [0059] 또한, 도 7에서 도시된 바와 같이, 하나의 프레임을 기준으로, 서로 인접하는 화소 영역들에 포함된 화소전극들(PE1, PE2)은 서로 다른 극성의 전압이 인가된다. 즉, 상기 화소전극들(PE1, PE2)에는 도트 단위로 극성이 반전되는 전압이 인가된다.
- [0060] 이와 같이, 실시예에 따른 액정표시장치는 도트 반전 방식으로 구동이 가능하고, 향상된 화면을 구현할 수 있다.
- [0061] 또한, 실시예에 따른 액정표시장치는 상기 공통전극들(CE1, CE2)에 두 종류의 신호만을 인가하여, 도트 반전을 구현할 수 있으므로, 많은 전력 소모 없이도, 향상된 화질을 구현할 수 있다.
- [0062] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

도면의 간단한 설명

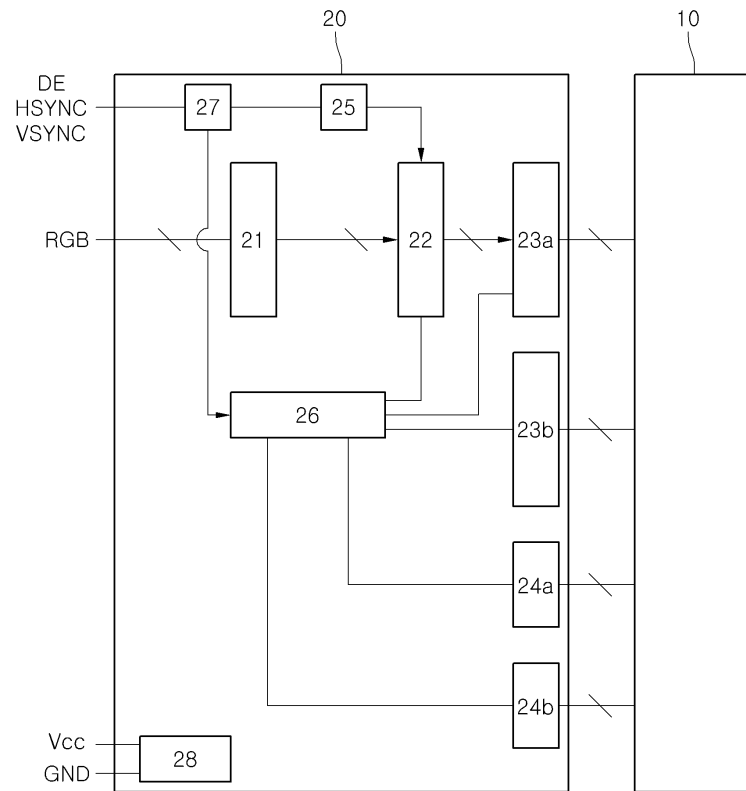
- [0063] 도 1은 실시예에 따른 액정표시장치를 도시한 회로도이다.
- [0064] 도 2는 실시예에 따른 액정표시장치를 도시한 블록도이다.
- [0065] 도 3은 실시예에 따른 액정표시장치를 도시한 평면도이다.
- [0066] 도 4는 도 3에서 A-A'를 따라서 절단한 단면을 도시한 단면도이다.
- [0067] 도 5는 도 3에서 B-B'를 따라서 절단한 단면을 도시한 단면도이다.
- [0068] 도 6은 공통전압신호들, 데이터 신호들 및 게이트 신호들을 도시한 파형도이다.
- [0069] 도 7은 실시예에 따른 액정표시장치의 반전 방식을 도시한 도면이다.

도면

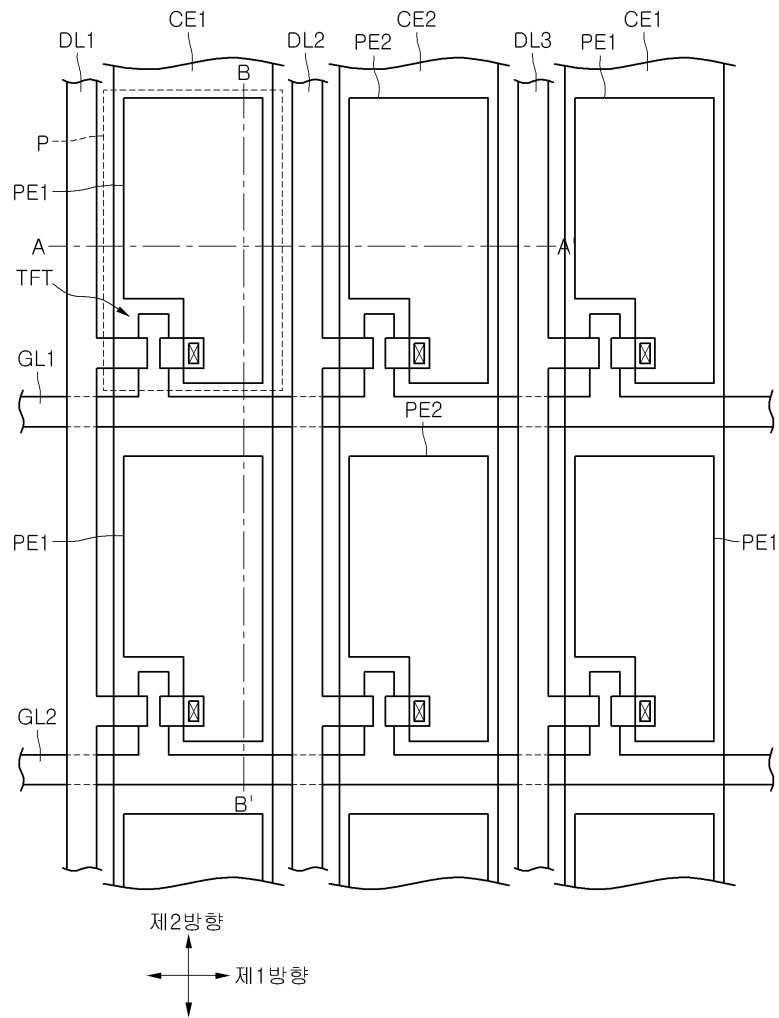
도면1



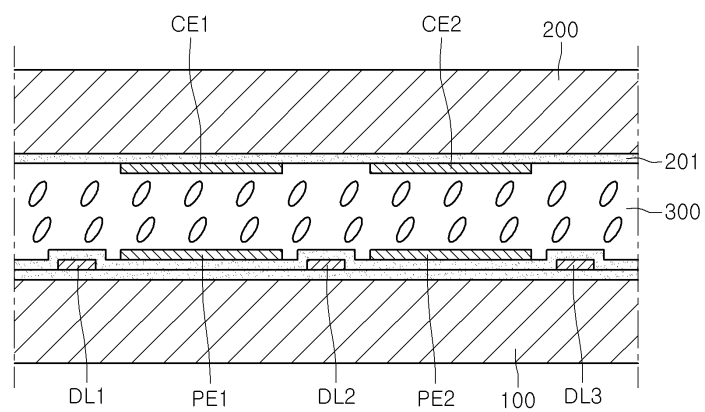
도면2



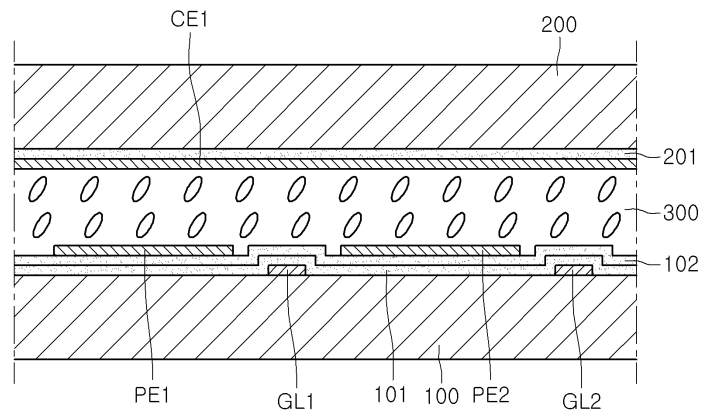
도면3



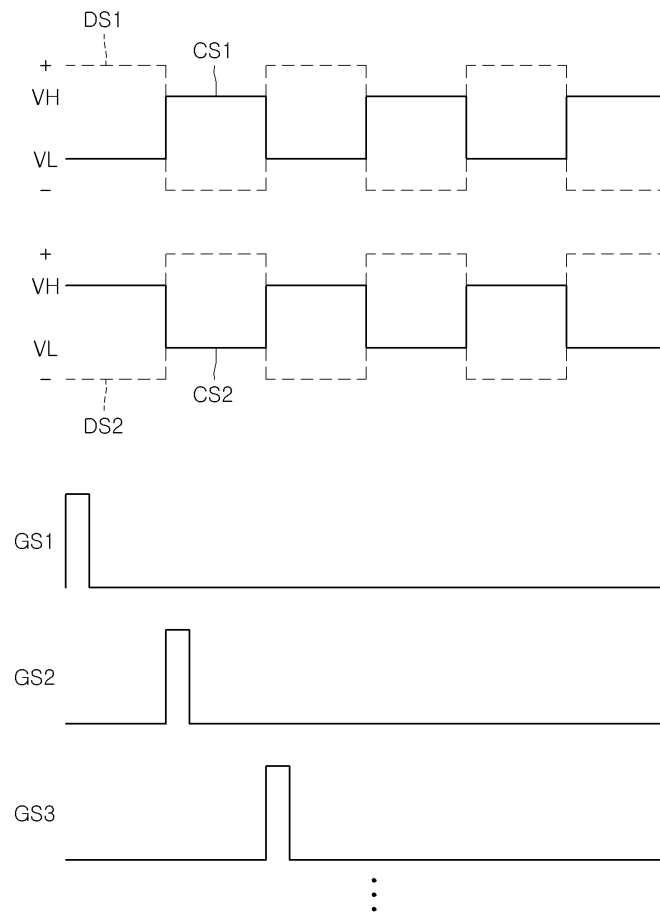
도면4



도면5



도면6



도면7

	CL1	CL2	CL3	CL4	CL5	...
LN1	+	-	+	-	+	
LN2	-	+	-	+	-	
LN3	+	-	+	-	+	
LN4	-	+	-	+	-	
LN5	+	-	+	-	+	
⋮						

专利名称(译)	液晶显示器		
公开(公告)号	KR1020100069770A	公开(公告)日	2010-06-25
申请号	KR1020080128289	申请日	2008-12-17
[标]申请(专利权)人(译)	印诺泰克公司		
申请(专利权)人(译)	LG伊诺特有限公司		
当前申请(专利权)人(译)	LG伊诺特有限公司		
[标]发明人	CHOI SANG CHEOL 최상철 HONG KWANG PYO 홍광표		
发明人	최상철 홍광표		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G2300/0439 G02F2001/134318 G09G3/3655 G09G3/3614 G09G2300/0426		
外部链接	Espacenet		

摘要(译)

公开了一种液晶显示器。液晶显示器包括延伸到第一方向的多个栅极布线;多条数据线在栅极布线中交叉时延伸到第二方向;栅极布线;多个第二公共电极,其面对多个像素电极:布置在由数据线限定的域框架中的像素电极,并且布置在多个第一公共电极和延伸到第二方向的第一公共电极之间。可以分别驱动第一公共电极和第二公共电极。因此可以相应地驱动点反转方法,使得液晶显示器实现改善的图像质量。点,反转,液晶,普通,电极。

