



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0010040
(43) 공개일자 2010년01월29일

(51) Int. Cl.

G02F 1/1337 (2006.01) G02F 1/1343 (2006.01)

(21) 출원번호 10-2010-0000604(분할)

(22) 출원일자 2010년01월05일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김희섭

경기 화성시 반송동 نار마을월드메르디앙아파트
643동 1002호

김종래

서울특별시 송파구 가락동 쌍용아파트 305동 405
호

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

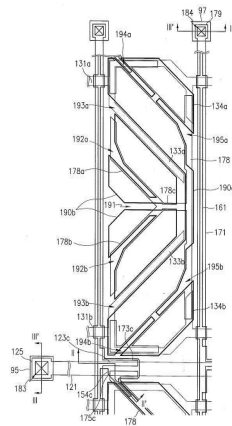
전체 청구항 수 : 총 1 항

(54) 박막 트랜지스터 표시판

(57) 요약

본 발명에 따른 박막 트랜지스터 표시판은 절연 기관, 절연 기관 위에 위치하는 제1 신호선, 절연 기관 위에 위치하며 상기 제1 신호선과 교차하는 제2 신호선, 제1 신호선 및 상기 제2 신호선과 연결되어 있는 제1 박막 트랜지스터, 제1 박막 트랜지스터와 연결되어 있는 제1 전극, 제1 화소 전극과 서로 다른 전압이 인가되는 제2 전극을 포함하고, 제1 전극과 접촉구를 통해서 연결되어 있는 제3 전극을 포함한다.

대표도 - 도1



(72) 발명자

홍성규

경기 성남시 분당구 야탑동 탑마을경남아파트 701
동 402호

신경주

경기 화성시 반월동 신영통현대2차아파트 205동
602호

양영철

경기도 성남시 분당구 정자동 한솔마을주공6단지아
파트 610동 1104호

특허청구의 범위

청구항 1

절연 기판, 상기 절연 기판 위에 위치하는 제1 신호선, 상기 절연 기판 위에 위치하며 상기 제1 신호선과 교차하는 제2 신호선, 상기 제1 신호선 및 상기 제2 신호선과 연결되어 있는 제1 박막 트랜지스터, 상기 제1 박막 트랜지스터와 연결되어 있는 제1 전극, 그리고 상기 제1 화소 전극과 서로 다른 전압이 인가되는 제2 전극을 포함하고, 상기 제1 전극과 접촉구를 통해서 연결되어 있는 제3 전극을 포함하는 박막 트랜지스터 표시판.

명세서

기술 분야

[0001] 본 발명은 박막 트랜지스터 표시판에 관한 것으로 특히 액정 표시 장치용 박막 트랜지스터 표시판에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 일반적으로 공통 전극과 컬러 필터(color filter) 등이 형성되어 있는 상부 표시판과 박막 트랜지스터와 화소 전극 등이 형성되어 있는 하부 표시판 사이에 액정 물질을 주입해 놓고, 화소 전극과 공통 전극에 서로 다른 전위를 인가함으로써 전계를 형성하여 액정 분자들의 배열을 변경시키고, 이를 통해 빛의 투과율을 조절함으로써 화상을 표현하는 장치이다.

[0003] 그런데 액정 표시 장치는 시야각이 좁은 것이 중요한 단점이다. 이러한 단점을 극복하고자 시야각을 넓히기 위한 다양한 방안이 개발되고 있는데, 그 중에서도 액정 분자를 상하 표시판에 대하여 수직으로 배향하고 화소 전극과 그 대향 전극인 공통 전극에 일정한 절개 패턴을 형성하거나 돌기를 형성하는 방법이 유력시되고 있다.

[0004] 절개 패턴을 형성하는 방법으로는 화소 전극과 공통 전극에 각각 절개 패턴을 형성하여 이들 절개 패턴으로 인하여 형성되는 프린지 필드(fringe field)를 이용하여 액정 분자들이 눕는 방향을 조절함으로써 시야각을 넓히는 방법이 있다.

[0005] 돌기를 형성하는 방법은 상하 기판 위에 형성되어 있는 화소 전극과 공통 전극 위에 각각 돌기를 형성해 둠으로써 돌기에 의하여 왜곡되는 전기장을 이용하여 액정 분자의 눕는 방향을 조절하는 방식이다.

[0006] 또 다른 방법으로는, 하부 기판 위에 형성되어 있는 화소 전극에는 절개 패턴을 형성하고 상부 기판에 형성되어 있는 공통 전극 위에는 돌기를 형성하여 절개 패턴과 돌기에 의하여 형성되는 프린지 필드를 이용하여 액정의 눕는 방향을 조절함으로써 도메인을 형성하는 방식이 있다.

[0007] 이러한 시야각을 넓히기 위한 다양한 방안 가운데 공통 전극에 절개 패턴을 형성하는 방법은, 공통 전극을 패터닝하기 위하여 별도의 마스크가 필요하고, 색 필터 위에 오버코트막이 없는 구조에서는 색 필터의 안료가 액정 물질에 영향을 주게 되므로 색 필터 위에 오버코트막을 형성하여야 하며, 패터닝된 전극의 가장자리에서 전경이 심하게 발생하는 등의 문제점이 존재한다. 또, 돌기를 형성하는 방법 역시 돌기를 형성하기 위한 별도의 공정을 필요로 하거나 기존의 공정을 변형시켜야 하므로 액정 표시 장치의 제조 방법을 복잡하게 만드는 문제점이 있다. 또한 돌기나 절개부로 인하여 개구율이 감소한다.

발명의 내용

해결하려는 과제

[0008] 본 발명이 이루고자 하는 기술적 과제는 제조 공정이 복잡하지 않으면서 안정한 다중 도메인을 형성하는 액정 표시 장치를 제공하는 것이다.

[0009] 본 발명이 이루고자 하는 다른 기술적 과제는 안정한 다중 도메인을 형성하기 위하여 절개부와 방향 제어 전극 및 결합 전극의 배치를 최적화하는 것이다.

과제의 해결 수단

[0010] 상기한 과제를 달성하기 위한 본 발명에 따른 박막 트랜지스터 표시판은 절연 기판, 절연 기판 위에 위치하는 제1 신호선, 절연 기판 위에 위치하며 상기 제1 신호선과 교차하는 제2 신호선, 제1 신호선 및 상기 제2 신호선과 연결되어 있는 제1 박막 트랜지스터, 제1 박막 트랜지스터와 연결되어 있는 제1 전극, 제1 화소 전극과 서로 다른 전압이 인가되는 제2 전극을 포함하고, 제1 전극과 접촉구를 통해서 연결되어 있는 제3 전극을 포함한다.

발명의 효과

[0011] 이상과 같이, 본 발명에서는 방향 제어 전극을 이용하여 도메인의 안정성을 향상하고, 하나의 화소 영역 내에서 서로 다른 전압이 인가되는 두 개의 화소 전극을 둥으로써 측면 시인성을 향상한다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 2와 도 3은 각각 도 1의 II-II'선과 III-III'선에 대한 단면도이고, 도 4는 본 발명의 제1 실시예에 따른 액정 표시 장치의 회로도이고, 도 5는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 6은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 7은 도 6의 VII-VII'선에 대한 단면도이고, 도 8 내지 도 10은 각각 본 발명의 제3 내지 제5 실시예에 따른 액정 표시 장치의 회로도이고, 도 11은 본 발명의 제6 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 12는 본 발명의 제6 실시예에 따른 액정 표시 장치의 회로도이고, 도 13은 본 발명의 제7 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 14 내지 도 16은 각각 본 발명의 제7 내지 제9 실시예에 따른 액정 표시 장치의 회로도이고, 도 17은 본 발명의 제10 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 18은 본 발명의 제10 실시예에 따른 액정 표시 장치의 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0014] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0015] 그러면 도면을 참고로 하여 본 발명의 실시예에 따른 다중 도메인 액정 표시 장치에 대하여 설명한다.

[0016] 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 2와 도 3은 각각 도 1의 II-II'선과 III-III'선에 대한 단면도이고, 도 4는 본 발명의 제1 실시예에 따른 액정 표시 장치의 회로도이다.

[0017] 본 발명의 제1 실시예에 따른 액정 표시 장치는 박막 트랜지스터 표시판과, 이와 대향하는 색필터 표시판 및 이들 사이에 주입되어 있는 액정층으로 이루어져 있다.

[0018] 박막 트랜지스터 표시판에는 게이트선(121)과 데이터선(171)이 교차하여 화소 영역을 정의하고 있고, 기준 전위(Vcom)가 인가되는 유지 전극선(131a, 131b)이 주로 게이트선(121)과 나란하게 형성되어 있다. 이 때, 게이트선(121)을 통하여는 주사 신호가 전달되고, 데이터선(171)을 통하여는 화상 신호가 전달되며, 유지 전극선(131a, 131b)에는 기준 전위가 인가된다.

- [0019] 각 화소 영역에는 게이트선(121)에 연결되어 있는 게이트 전극(123c), 데이터선(171)에 연결되어 있는 소스 전극(173c) 및 방향 제어 전극(178)에 연결되어 있는 드레인 전극(175c)을 가지는 방향 제어 전극용 박막 트랜지스터가 하나씩 형성되어 있다.
- [0020] 또, 각 화소 영역에는 2개의 화소 전극(190a, 190b)이 형성되어 있고, 방향 제어 전극(178)은 두 화소 전극(190a, 190b)과 용량성 결합을 이루고 있고, 이들 사이의 정전 용량은 Cdcea와 Cdceb라고 표시한다. 두 화소 전극(190a, 190b)은 선택필터 표시판의 공통 전극(270)과의 사이에 액정 축전기를 형성하고, 그 정전 용량은 각각 Clca와 Clcb로 표시한다. 또, 방향 제어 전극(178)은 유지 전극선(131a, 131b)과의 사이에 유지 축전기를 형성하고, 그 정전 용량은 Cst로 표시한다.
- [0021] 화소 전극(190a, 190b)은 부유되어 있고, 방향 제어 전극(178)과의 용량성 결합에 의한 커플링 전압이 인가된다.
- [0022] 본 발명에 따른 액정 표시 장치의 화소 전극(190a, 190b)은 절개부(192a, 192b, 194a, 194b, 195a, 195b)를 가지며, 이 절개부(192a, 192b, 194a, 194b, 195a, 195b)를 통하여 방향 제어 전극(178)에 의한 전계가 유출될 수 있도록 방향 제어 전극(178)과 절개부(192a, 192b, 194a, 194b, 195a, 195b)가 중첩되어 있다. 절개부를 (192a, 192b, 194a, 194b, 195a, 195b) 통하여 유출되는 방향 제어 전극(178)의 전계에 의하여 액정 분자가 선경사(pretilt)를 갖게되고, 선경사를 가지는 액정 분자는 화소 전극의 전계가 인가되면 흐트러짐 없이 신속하게 선경사에 의하여 결정된 방향으로 배향된다.
- [0023] 그런데 방향 제어 전극의 전계에 의하여 액정 분자가 선경사를 가지려면 공통 전극에 대한 방향 제어 전극의 전위차(이하 "방향 제어 전극 전압"이라 한다.)가 공통 전극에 대한 화소 전극의 전위차(이하 "화소 전극 전압"이라 한다.)에 비하여 소정의 값 이상으로 더 커야 한다. 본 발명에 따른 액정 표시 장치에서는 화소 전극을 부유 상태로 두고, 방향 제어 전극과의 용량성 결합에 의한 커플링 전압이 인가되도록 함으로써 이러한 조건을 용이하게 만족시킬 수 있다. 그러면 그 이유를 도 4를 참고로 하여 설명한다.
- [0024] 방향 제어 전극 전압 Vdce는 Vd와 동일하므로, 전압 분배 법칙에 의하여 제1 화소 전극(190a)의 전압(Va)은
- [0025] $V_a = V_d \times C_{dcea} / (C_{dcea} + C_{lca})$ 이고,
- [0026] 제2 화소 전극(190b)의 전압(Vb)은
- [0027] $V_b = V_d \times C_{dceb} / (C_{dceb} + C_{lcb})$ 이다.
- [0028] 따라서, 방향 제어 전극 전압(Vdec=Vd)이 항상 두 화소 전극 전압(Va, Vb)보다 크게된다.
- [0029] 한편, 하나의 화소 영역 내에서 영역을 나누어 두 영역에서 조금 차이가 나는 전계가 형성되도록 하면 두 영역의 영향이 서로 보상되어 측면 시인성이 향상된다.
- [0030] 이 때, 제1 화소 전극(190a)의 전압(Va)을 제2 화소 전극(190b)의 전압(Vb)보다 높게 설정하고자 한다면,
- [0031] $C_{dcea} / (C_{dcea} + C_{lca}) > C_{dceb} / (C_{dceb} + C_{lcb})$
- [0032] 를 만족하도록 Cdcea, Clca, Cdceb, Clcb를 결정하면 된다. 이들 정전 용량은 제1 및 제2 화소 전극(190a, 190b)과 방향 제어 전극(178)이 중첩하는 면적을 변경함으로써 조절할 수 있다.
- [0033] 그러면, 본 발명의 제1 실시예에 따른 액정 표시 장치에 대하여 좀더 구체적으로 설명한다.
- [0034] 그러면, 박막 트랜지스터 표시판에 대하여 좀 더 상세히 설명한다.
- [0035] 절연 기판(110) 위에 게이트선(121)이 형성되어 있고, 게이트선(121)과 교차하도록 데이터선(171)이 형성되어 있다. 게이트선(121)과 데이터선(171)은 서로 절연되어 있으며 이들이 교차하여 이루는 화소 영역에는 게이트 전극(123c), 소스 전극(173c) 및 드레인 전극(175c)의 3단자를 가지는 방향 제어용 박막 트랜지스터가 하나씩 형성되어 있고, 방향 제어 전극(178)과 제1 및 제2 화소 전극(190a, 190b)이 각각 형성되어 있다.
- [0036] 방향 제어용 박막 트랜지스터는 방향 제어 전극(178)에 인가되는 신호 전압을 스위칭하기 위한 것이다. 방향 제어용 박막 트랜지스터의 게이트 전극(123c), 소스 전극(173c) 및 드레인 전극(175c)은 각각 게이트선(121), 데이터선(171) 및 방향 제어 전극(178)에 연결되어 있다. 방향 제어 전극(178)은 액정 분자의 선경사(pretilt)를 제어하기 위한 방향 제어 전압을 인가받아 공통 전극(270)과의 사이에 방향 제어 전계를 형성한다. 여기서 방향 제어 전극(178)은 데이터선(171)을 형성하는 단계에서 형성한다.

- [0037] 제1 및 제2 화소 전극(190a, 190b)은 데이터선(171)이나 게이트선(121)과 연결되지 않고 부유되어 있고, 방향 제어 전극(178)과 중첩하여 용량성 결합을 이루고 있다.
- [0038] 박막 트랜지스터 표시판에 대하여 각 층 구조까지 고려하여 상세히 설명한다.
- [0039] 절연 기판(110) 위에 가로 방향으로 게이트선(121)이 형성되어 있고, 게이트 전극(123c)이 게이트선(121)에 연결되어 있다. 게이트선(121)의 일단에는 게이트 패드(125)가 연결되어 있다. 또 절연 기판(110) 위에는 제1 및 제2 유지 전극선(131a, 131b)과 제1 내지 제4 유지 전극(133a, 133b, 134a, 134b)이 형성되어 있다. 제1 및 제2 유지 전극선(131a, 131b)은 각 화소 영역에서는 주변부를 따라 굴절되어 있으나 전체적으로는 가로 방향으로 뻗어 있고 제1 및 제2 유지 전극(133a, 133b)은 각각 제1 및 제2 유지 전극선(131a, 131b)으로부터 세로 방향으로 뻗어 있다. 제3 및 제4 유지 전극(134a, 134b)은 세로 방향으로 뻗어 나오다가 굴절되어 사선 방향으로 뻗어 있다. 제1 유지 전극선(131a), 제1 및 제3 유지 전극(133a, 134a)으로 이루어지는 제1 유지 배선과 제2 유지 전극선(131a), 제2 및 제4 유지 전극(133b, 134b)으로 이루어지는 제2 유지 배선은 서로 반전 대칭을 이루고 있다. 게이트 배선(121, 123a, 123b, 123c, 125) 및 유지 전극 배선(131, 133a, 133b, 133c, 133d)은 알루미늄 또는 그 합금, 크롬 또는 그 합금, 몰리브덴 또는 그 합금 등으로 이루어져 있으며, 필요에 따라서는 물리 화학적 특성이 우수한 Cr 또는 Mo 합금 등으로 이루어지는 제1층과, 저항이 작은 Al 또는 Ag 합금 등으로 이루어지는 제2층의 이중층으로 형성할 수도 있다.
- [0040] 게이트 배선(121, 123a, 123b, 123c, 125) 및 유지 전극 배선(131a, 131b, 133a, 133b, 134a, 134b)의 위에는 게이트 절연막(140)이 형성되어 있다.
- [0041] 게이트 절연막(140) 위에는 비정질 규소 등의 반도체로 이루어진 반도체층(151, 154c)이 형성되어 있다. 반도체층(151, 154c)은 박막 트랜지스터의 채널을 형성하는 채널부 반도체층(154c)과 데이터선(171) 아래에 위치하는 데이터선부 반도체층(151)을 포함한다. 반도체층(151, 154c)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 nt 수소화 비정질 규소 따위의 물질로 만들어진 저항성 접촉층(161, 163c, 165c)이 각각 형성되어 있다.
- [0042] 저항성 접촉층(161, 163c, 165c) 및 게이트 절연막(140) 위에는 데이터 배선(171, 173c, 175c, 179)이 형성되어 있다. 데이터 배선(171, 173c, 175c, 179)은 세로 방향으로 형성되어 있으며 게이트선(121)과 교차하여 화소를 정의하는 데이터선(171), 데이터선(171)에 연결되어 있는 소스 전극(173c), 게이트 전극(123c) 상부에서 대향하고 있는 소스 전극(173c)과 대향하고 있는 드레인 전극(175c), 외부로 회로와의 연결을 위하여 폭이 확장되어 있는 데이터선의 시단부(179)를 포함한다.
- [0043] 또 게이트선(121)과 데이터선(171)이 교차하여 이루는 화소 영역 내에는 방향 제어 전극(178, 178a, 178b, 178c)이 형성되어 있다. 이 때, 방향 제어 전극(178, 178a, 178b, 178c)은 드레인 전극(175c)과 연결되어 있고, 밀변이 잘린 V자 모양의 줄기부(178)와 갈매기 모양의 가지부(178a, 178b, 178c)로 이루어져 있다.
- [0044] 데이터 배선(171, 173c, 175c, 179) 및 방향 제어 전극(178, 178a, 178b, 178c)은 알루미늄 또는 그 합금, 크롬 또는 그 합금, 몰리브덴 또는 그 합금 등으로 이루어져 있으며, 필요에 따라서는 물리 화학적 특성이 우수한 Cr 또는 Mo 합금 등으로 이루어지는 제1층과, 저항이 작은 Al 또는 Ag 합금 등으로 이루어지는 제2층의 이중층으로 형성할 수도 있다.
- [0045] 데이터 배선(171, 173c, 175c, 179) 위에는 질화 규소 또는 유기 절연막으로 이루어진 보호막(180)이 형성되어 있다.
- [0046] 보호막(180) 위에는 제1 및 제2 화소 전극(190a, 190b)이 형성되어 있다. 제1 화소 전극(190a)은 한 쌍의 사선 방향 절개부(192a, 192b)를 가지고 있고, 제2 화소 전극(190b)은 두 쌍의 사선 방향 절개부(194a, 194b, 195a, 195b)를 가지고 있다. 사선 방향 절개부(192a, 192b, 193a, 193b, 194a, 194b, 195a, 195b)는 화소 영역을 상하로 반분하는 선을 중심으로 하여 반전 대칭을 이루고 있다. 이 때, 절개부(192a, 192b, 194a, 194b, 195a, 195b)는 방향 제어 전극(178, 178a, 178b, 178c)과 중첩한다.
- [0047] 한편 제1 및 제2 화소 전극(190a, 190b)도 화소 영역을 상하로 반분하는 선을 중심으로 하여 반전 대칭을 이루고 있다.
- [0048] 제1 화소 전극(190a)과 제2 화소 전극(190b)을 나누는 경계는 게이트선(121)에 대하여 45°를 이루는 부분(193a, 193b)과 수직을 이루는 부분으로 구분되고, 이중 45°를 이루는 두 부분(193a, 193b)이 수직을 이루는 부분에 비하여 길이가 길다. 또, 45°를 이루는 두 부분(193a, 193b)은 서로 수직을 이루고 있으며, 유지 전

극(133a, 133b)과 중첩한다.

- [0049] 본 실시예에서는 제2 화소 전극(190b)이 상하로 분리되어 있는데 제2 화소 전극(190b)을 둘로 나누는 절개부(191)는 게이트선(121)과 나란하게 형성되어 있다. 상하로 분리된 두 개의 제2 화소 전극(190b)은 절개부(191)에 대하여 반전 대칭을 이루고 있어서 서로 분리되어 있기는 하지만 실질적으로 동일한 전위를 갖는다.
- [0050] 또 보호막(180) 위에는 보호막(180)과 게이트 절연막(140)을 관통하는 접촉구(183)를 통하여 게이트선(121)의 시단부(125)와 연결되는 접촉 보조 부재(95)와, 보호막(180)을 관통하는 접촉구(184)를 통하여 데이터선(171)의 시단부(179)와 연결되는 접촉 보조 부재(97)가 형성되어 있다. 여기서, 화소 전극(190a, 190b)과 접촉 보조 부재(95, 97)는 IZO(indium zinc oxide)로 이루어져 있다. 화소 전극(190a, 190b) 및 접촉 보조 부재(95, 97)는 ITO로 형성할 수도 있다.
- [0051] 이상에서, 화소 전극(190a, 190b)은 화소 영역을 다수의 도메인으로 분할하기 위한 절개부 패턴(191, 192a, 192b, 194a, 194b, 195a, 195b)을 가지며, 절개부(191, 192a, 192b, 194a, 194b, 195a, 195b)는 방향 제어 전극(178, 178a, 178b, 178c)과 중첩되어 있다. 즉, 액정 표시 장치를 위에서 바라볼 때 방향 제어 전극(178, 178a, 178b, 178c)이 절개부(191, 192a, 192b, 194a, 194b, 195a, 195b)를 통하여 노출되어 보이도록 방향 제어 전극(178, 178a, 178b, 178c)과 절개부(191, 192a, 192b, 194a, 194b, 195a, 195b)를 배열한다.
- [0052] 한편, 방향 제어 전극(178, 178a, 178b, 178c)은 게이트 배선(121, 123c, 125)과 같은 층에 형성할 수도 있다. 또, 방향 제어 전극(178, 178a, 178b, 178c) 상부의 보호막(180)을 제거하여 트렌치를 형성할 수도 있다.
- [0053] 색필터 표시판에 대하여 좀 더 상세히 설명한다.
- [0054] 유리 등의 투명한 절연 물질로 이루어진 기판(210)의 아래 면에 빛샘을 방지하기 위한 블랙 매트릭스(220)와 적, 녹, 청의 색필터(230) 및 ITO 또는 IZO 등의 투명한 도전 물질로 이루어져 있는 공통 전극(270)이 형성되어 있다.
- [0055] 액정층(3)에 포함되어 있는 액정 분자는 화소 전극(190a, 190b)과 공통 전극(270) 사이에 전계가 인가되지 않은 상태에서 그 방향자가 하부 기판(110)과 상부 기판(210)에 대하여 수직을 이루도록 배향되어 있고, 음의 유전율 이방성을 가진다. 하부 기판(110)과 상부 기판(210)은 화소 전극(190a, 190b)이 색필터(230)와 대응하여 정확하게 중첩되도록 정렬된다.
- [0056] 이렇게 하면, 화소 영역은 절개부(191, 192a, 192b, 194a, 194b, 195a, 195b) 및 두 화소 전극(190a, 190b)의 경계(193a, 193b)에 의하여 다수의 소도메인으로 분할된다. 또, 방향 제어 전극(178, 178a, 178b, 178c)에 의하여 분할된 도메인 내에서 액정의 배향이 더욱 안정해진다.
- [0057] 또한, 제1 화소 전극(190a)과 제2 화소 전극(190b)에 서로 다른 전위가 인가되도록 함으로써 측면 시인성을 향상할 수 있다.
- [0058] 위에서는 액정 분자가 음의 유전율 이방성을 가지며 기판(110, 210)에 대하여 수직 배향되어 있는 경우를 예로 들었으나, 양의 유전율 이방성을 가지는 액정 분자를 기판(110, 210)에 대하여 수평 배향하여 액정층(3)을 형성할 수도 있다.
- [0059] 도 1 내지 3으로 도시된 박막 트랜지스터 표시판의 구조는 5회의 사진 식각 공정을 통하여 제조된 것이나, 제1 실시예에 따른 박막 트랜지스터 표시판은 4회의 사진 식각 공정을 통하여 제조할 수도 있는데, 이 경우에는 데이터 배선과 방향 제어 전극이 비정질 규소층, 저항성 접촉층 및 금속층의 3중층으로 형성되고, 이들 3개층의 평면 패턴이 실질적으로 동일한 모양으로 된다는 특징이 있다. 이는 하나의 감광막을 이용하여 비정질 규소층, 저항성 접촉층 및 금속층을 패터닝하기 때문이다. 이러한 제조 공정에 대하여는 액정 표시 장치에 대하여 통상의 지식을 가진자에게 일반적으로 알려져 있는 사항이므로 구체적인 설명은 생략한다.
- [0060] 이상과 같은 액정 표시 장치에서 도메인을 분할하는 역할은 화소 전극의 절개부가 하고, 방향 제어 전극과 유지 전극이 도메인의 안정성을 강화한다. 따라서 절개부와 방향 제어 전극 및 유지 전극의 배치에 따라 도메인 분할이 이루어지거나 그렇지 못할 수 있으며, 도메인의 안정성 또한 이들의 배치에 의하여 크게 영향받는다.
- [0061] 도 5는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이다.
- [0062] 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판은 상하로 분리되어 있던 제2 화소 전극(190b)이 연결부(C)에 의하여 하나로 연결되어 있다는 점을 제외하고는 제1 실시예와 동일하다.

- [0063] 제1 및 제2 실시예에서는 화소 전극(190a, 190b)을 부유시키거나 이와 달리 박막 트랜지스터를 통해 전위를 인가할 수도 있다. 이하에서는 그러한 방법에 대하여 설명한다.
- [0064] 도 6은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 7은 도 6의 VII-VII'선에 대한 단면도이며, 도 8은 본 발명의 제3 실시예에 따른 액정 표시 장치의 회로도이다.
- [0065] 본 발명의 제3 실시예에 따른 액정 표시 장치 역시 박막 트랜지스터 표시판, 이와 대향하는 색필터 표시판 및 이들 사이에 주입되어 있는 액정층으로 이루어져 있고, 박막 트랜지스터 표시판의 게이트 배선(121), 데이터선(171), 유지 전극선(131) 등의 기본 배선 구조도 제1 실시예와 거의 동일하다.
- [0066] 그러나 제3 실시예에서는 각 화소 영역마다 3개의 박막 트랜지스터(T1, T2, T3)가 배치되고, 방향 제어 전극(178)이 제1 화소 전극(190a)과만 용량성 결합을 이루며, 제1 화소 전극(190a)과 제2 화소 전극(190b)을 용량성으로 결합하는 결합 전극(176)이 형성된다는 점이 제1 실시예와 차별화 된다.
- [0067] 제3 실시예에 따른 액정 표시 장치에서 각 화소 영역에는 게이트선(121)에 연결되어 있는 게이트 전극(121a), 데이터선(171)에 연결되어 있는 소스 전극(173ab) 및 제1 화소 전극(190a)에 연결되어 있는 드레인 전극(175a)을 포함하는 제1 화소 전극용 박막 트랜지스터(T10, 전단의 게이트선(121)에 연결되어 있는 게이트 전극(123c), 전단의 데이터선(171)에 연결되어 있는 소스 전극(173c) 및 방향 제어 전극(178)에 연결되어 있는 드레인 전극(175c)을 가지는 방향 제어 전극용 박막 트랜지스터(T2), 및 전단의 게이트선(121)에 연결되어 있는 게이트 전극(123b), 자기 단의 데이터선(171)에 연결되어 있는 소스 전극(173ab) 및 제1 화소 전극(190a)에 연결되어 있는 드레인 전극(175b)을 가지는 제2 화소 전극용 박막 트랜지스터(T3)가 각각 하나씩 형성되어 있다.
- [0068] 방향 제어 전극(178)은 제1 화소 전극(190a)과 용량성 결합을 이루고 있고, 화소 영역에는 제1 화소 전극(190a)과 연결되어 있는 결합 전극(176)이 형성되어 있고, 결합 전극(176)은 제2 화소 전극(190b)과 중첩하여 제1 화소 전극(190a)과 제2 화소 전극(190b)을 용량성으로 결합한다.
- [0069] 도 8에서는 방향 제어 전극(178)과 제1 화소 전극(190a) 사이의 정전 용량을 Cdcea, 제1 화소 전극(190a)과 제2 화소 전극(190b) 사이의 정전 용량을 Cdceb, 제1 및 제2 화소 전극(190a)과 색필터 표시판의 공통 전극(270) 사이의 액정 용량을 각각 Clca 및 Clcb, 제1 화소 전극(190a)과 유지 전극선(131a, 131b)과의 사이의 용량을 Cst, 방향 제어 전극(178)과 공통 전극(270) 사이의 정전 용량을 Cdc로 표시한다.
- [0070] 본 발명에 따른 액정 표시 장치의 화소 전극(190a, 190b)은 절개부(191, 192a, 192b, 194a, 194b, 195a, 195b)를 가지며, 이 절개부(191, 192a, 192b, 194a, 194b, 195a, 195b)를 통하여 방향 제어 전극(178) 및 결합 전극(176)에 의한 전계가 유출될 수 있도록 방향 제어 전극(178) 및 결합 전극(176)과 절개부(191, 192a, 192b, 194a, 194b, 195a, 195b)가 중첩되어 있다. 절개부(191, 192a, 192b, 194a, 194b, 195a, 195b)를 통하여 유출되는 방향 제어 전극(178) 및 결합 전극(176)의 전계에 의하여 액정 분자가 선경사(pretilt)를 갖게되고, 선경사를 가지는 액정 분자는 화소 전극의 전계가 인가되면 흐트러짐 없이 신속하게 선경사에 의하여 결정된 방향으로 배향된다.
- [0071] 또한, 제1 화소 전극(190a)과 제2 화소 전극(190b)에 서로 다른 전위가 인가되도록 함으로써 측면 시인성을 향상할 수 있다.
- [0072] 이러한 구조의 액정 표시 장치에 점 반전 구동을 적용하면, 전단 게이트선(Gate N-1)의 온 신호에 의하여 T2와 T3이 함께 온되어 방향 제어 전극(178)에는 양(+)극성의 게조 전압이 충전되고, 제1 화소 전극(190a)에는 음(-)극성의 게조 전압이 충전된다. 따라서 방향 제어 전극(178)의 초기 전압(Vdce)은 좌우 두 데이터선으로부터 인가되는 양극성 게조 전압과 음극성 게조 전압간의 차가 된다. 이후, 자기 단의 게이트선(Gate N)에 온 신호가 인가되어 T1이 온될 때는 T2와 T3은 모두 오프되어 방향 제어 전극(178)이 부유 상태에 있게 되므로 방향 제어 전극 전압은 제1 화소 전극(190a)에 충전되는 전압(Va)과 Vdce-Va만큼의 차를 유지하며 함께 상승하게 된다.
- [0073] 이와 같이, 제3 실시예에 따른 구조에서는 방향 제어 전극 전압이 제1 화소 전극(190a)의 전압보다 항상 Vdce-Va 만큼 높게됨으로써 액정 배열의 선경사각이 확보된다.
- [0074] 여기서 도 8을 참고로 하여 Vdce를 계산하면 다음과 같다. 아래의 수식을 유도함에 있어서 게이트 전극과 드레인 전극간의 기생 용량은 무시하였다.
- [0075]
$$Vdce = Vd1 + [-C3 \times Vd1 + (C2 + C3)Vd2 + C2 \times Vd3] / (C2 + C3)$$
- [0076]
$$C1 = Clac + Cst + (Cdec \times Clcb) / (Cdceb + Clcb)$$

- [0077] $C2=C_{deca}$
- [0078] $C3=C_{dc}$
- [0079] 한편, 제1 화소 전극(190a)의 전압을 V_a 라하고 제2 화소 전극(190b)의 전압을 V_b 라 하면, 도 8에서 전압 분배 법칙에 의하여
- [0080] $V_b = V_a \times C_{dceb} / (C_{dceb} + C_{1cb})$
- [0081] 가 된다. 여기서, $C_{dceb} / (C_{dceb} + C_{1cb})$ 는 항상 1보다 작으므로 V_a 가 V_b 보다 항상 소정 비율로 높은 전압을 가지게 된다.
- [0082] 이와 같이, 하나의 화소 영역 내에서 전압이 다른 두 화소 전극을 배치함으로써 두 화소 전극이 서로 보상하여 측면 시인성을 향상시킨다.
- [0083] 도 9와 도 10은 각각 본 발명의 제4 및 제5 실시예에 따른 액정 표시 장치의 회로도이다.
- [0084] 제4 실시예는, 도 9를 보면, 방향 제어 전극용 박막 트랜지스터(T2)의 소스 전극이 접지되어 있는 것이 제3 실시예와 다른 점이다. 소스 전극을 접지시키는 것은 소스 전극을 유지 전극선에 연결함으로써 가능하다. 이를 위하여는 보호막과 게이트 절연막을 관통하여 유지 전극선을 노출하는 접촉구와 보호막을 관통하여 소스 전극을 노출하는 접촉구를 통하여 양자를 연결하는 소스 전극 연결부를 보호막 위에 형성함으로써 가능하다.
- [0085] 여기서 도 9를 참고로 하여 V_{dce} 를 계산하면 다음과 같다. 아래의 수식을 유도함에 있어서 게이트 전극과 드레인 전극간의 기생 용량은 무시하였다.
- [0086] $V_{dce} = V_{d1} + [-C3 \times V_{d1} + C2 \times V_{d3}] / (C2 + C3)$
- [0087] $C1 = C_{1ac} + C_{st} + (C_{dec} \times C_{1cb}) / (C_{dceb} + C_{1cb})$
- [0088] $C2 = C_{deca}$
- [0089] $C3 = C_{dc}$
- [0090] 제5 실시예는, 도 10을 보면, 제2 화소 전극용 박막 트랜지스터(T3)의 소스 전극이 접지되어 있는 것이 제3 실시예와 다른 점이다. 소스 전극을 접지시키는 것은 소스 전극을 유지 전극선에 연결함으로써 가능하다. 이를 위하여는 보호막과 게이트 절연막을 관통하여 유지 전극선을 노출하는 접촉구와 보호막을 관통하여 소스 전극을 노출하는 접촉구를 통하여 양자를 연결하는 소스 전극 연결부를 보호막 위에 형성함으로써 가능하다.
- [0091] 여기서 도 10을 참고로 하여 V_{dce} 를 계산하면 다음과 같다. 아래의 수식을 유도함에 있어서 게이트 전극과 드레인 전극간의 기생 용량은 무시하였다.
- [0092] $V_{dce} = V_{d1} + [-C3 \times V_{d1} + (C2 + C3)V_{d2}] / (C2 + C3)$
- [0093] $C1 = C_{1ac} + C_{st} + (C_{dec} \times C_{1cb}) / (C_{dceb} + C_{1cb})$
- [0094] $C2 = C_{deca}$
- [0095] $C3 = C_{dc}$
- [0096] 도 11은 본 발명의 제6 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 12는 본 발명의 제6 실시예에 따른 액정 표시 장치의 회로도이다.
- [0097] 제6 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판은 제2 화소 전극용 박막 트랜지스터가 생략된 점이 제3 실시예와 다르다.
- [0098] 여기서 도 11을 참고로 하여 V_{dce} 를 계산하면 다음과 같다. 아래의 수식을 유도함에 있어서 게이트 전극과 드레인 전극간의 기생 용량은 무시하였다.
- [0099] $V_{dce} = (C1 + C3) [(2 - C3/C2)V_{d1} + V_{d2}] / (2C2 + C1)$
- [0100] $C1 = C_{1ac} + C_{st} + (C_{dec} \times C_{1cb}) / (C_{dceb} + C_{1cb})$
- [0101] $C2 = C_{deca}$
- [0102] $C3 = C_{dc}$

- [0103] 제3 내지 제6 실시예에 따른 액정 표시 장치에서는 결합 전극(176)을 이용하여 제1 화소 전극(190a)과 제2 화소 전극(190b)을 용량성으로 결합한다. 그러나, 방향 제어 전극(178)을 이용하여 제1 화소 전극(190a)과 제2 화소 전극(190b)을 용량성으로 결합할 수도 있다. 이하에서는 이러한 방법에 대하여 설명한다.
- [0104] 도 13은 본 발명의 제7 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 14는 본 발명의 제7 실시예에 따른 액정 표시 장치의 회로도이다.
- [0105] 본 발명의 제7 실시예에 따른 액정 표시 장치 역시 박막 트랜지스터 표시판, 이와 대향하는 색필터 표시판 및 이들 사이에 주입되어 있는 액정층으로 이루어져 있다. 박막 트랜지스터 표시판의 게이트 배선(121), 데이터선(171), 유지 전극선(131) 등의 기본 배선 구조 및 3개의 박막 트랜지스터(T1, T2, T3)도 제3 실시예와 거의 동일하다.
- [0106] 그러나 제7 실시예에서는 결합 전극이 생략되고 방향 제어 전극(178, 178a, 178b)이 제1 화소 전극(190a)은 물론 제2 화소 전극(190b)과도 용량성으로 결합한다는 점이 제3 실시예와 다르다.
- [0107] 도 14에서는 방향 제어 전극(178, 178a, 178b)과 제1 화소 전극(190a) 사이의 정전 용량을 C_{dca} , 방향 제어 전극(178, 178a, 178b)과 제2 화소 전극(190b) 사이의 정전 용량을 C_{dcb} , 제1 및 제2 화소 전극(190a)과 색필터 표시판의 공통 전극(270) 사이의 액정 용량을 각각 C_{lca} 및 C_{lcb} , 제1 화소 전극(190a)과 유지 전극선(131a, 131b)과의 사이의 용량을 C_{st} , 방향 제어 전극(178, 178a, 178b)과 공통 전극(270) 사이의 정전 용량을 C_{dc} 로 표시한다.
- [0108] 제7 실시예에 따른 액정 표시 장치의 화소 전극(190a, 190b)도 절개부(191, 192a, 192b, 194a, 194b, 195a, 195b)를 가지며, 이 절개부(191, 192a, 192b, 194a, 194b, 195a, 195b)를 통하여 방향 제어 전극(178, 178a, 178b)에 의한 전계가 유출될 수 있도록 방향 제어 전극(178, 178a, 178b)과 절개부(191, 192a, 192b, 194a, 194b, 195a, 195b)가 중첩되어 있다. 절개부(191, 192a, 192b, 194a, 194b, 195a, 195b)를 통하여 유출되는 방향 제어 전극(178, 178a, 178b)의 전계에 의하여 액정 분자가 선경사(pretilt)를 갖게되고, 선경사를 가지는 액정 분자는 화소 전극의 전계가 인가되면 흐트러짐 없이 신속하게 선경사에 의하여 결정된 방향으로 배향된다.
- [0109] 또한, 제1 화소 전극(190a)과 제2 화소 전극(190b)에 서로 다른 전위가 인가되도록 함으로써 측면 시인성을 향상할 수 있다.
- [0110] 이러한 구조의 액정 표시 장치에 점 반전 구동을 적용하면, 전단 게이트선(Gate N-1)의 온 신호에 의하여 T2와 T3이 함께 온되어 방향 제어 전극(178, 178a, 178b)에 양(+)극성의 계조 전압이 충전되고, 제1 화소 전극(190a)에는 음(-)극성의 계조 전압이 충전된다. 따라서 방향 제어 전극(178)의 초기 전압(V_{dce})은 좌우 두 데이터선으로부터 인가되는 양극성 계조 전압과 음극성 계조 전압간의 차가 된다. 이후, 자기 단의 게이트선(Gate N)에 온 신호가 인가되어 T1이 온될 때는 T2와 T3은 모두 오프되어 방향 제어 전극(178)이 부유 상태에 있게 되므로 방향 제어 전극 전압은 제1 화소 전극(V_a)화소 전극에 충전되는 전압과 $V_{dce}-V_p$ 만큼의 차를 유지하며 함께 상승하게 된다.
- [0111] 이와 같이, 제7 실시예에 따른 구조에서는 방향 제어 전극 전압이 제1 화소 전극(190a)의 전압보다 항상 $V_{dce}-V_a$ 만큼 높게됨으로써 액정 배열의 선경사각이 확보된다.
- [0112] 여기서 도 14를 참고로 하여 V_{dce} 를 계산하면 다음과 같다. 아래의 수식을 유도함에 있어서 게이트 전극과 드레인 전극간의 기생 용량은 무시하였다.
- [0113]
$$V_{dce}=V_{d1}+[-C_3 \times V_{d1}+(C_2+C_3)V_{d2}+C_2 \times V_{d3}]/(C_2+C_3)$$
- [0114]
$$C_1=C_{lac}+C_{st}$$
- [0115]
$$C_2=C_{dca}$$
- [0116]
$$C_3=C_{dc}+(C_{dcb} \times C_{lcb})/(C_{dcb}+C_{lcb})$$
- [0117] 한편, 방향 제어 전극(178, 178a, 178b)의 전압을 V_{dce} 라하고 제2 화소 전극(190b)의 전압을 V_b 라 하면, 도 14에서 전압 분배 법칙에 의하여
- [0118]
$$V_b=V_{dce} \times C_{dcb}/(C_{dcb}+C_{lcb})$$
- [0119] 가 된다.

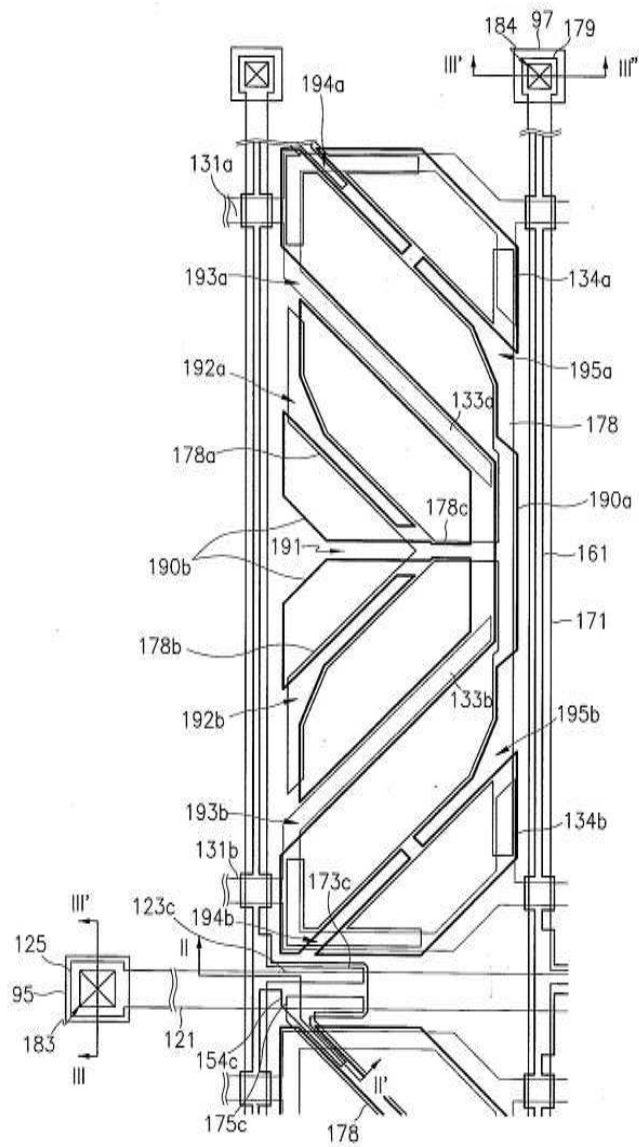
- [0120] 이와 같이, 하나의 화소 영역 내에서 전압이 다른 두 화소 전극을 배치함으로써 두 화소 전극이 서로 보상하여 측면 시인성을 향상시킨다.
- [0121] 도 15 및 도 16은 각각 본 발명의 제8 및 제9 실시예에 따른 액정 표시 장치의 회로도이다.
- [0122] 제8 실시예는, 도 15를 보면, 방향 제어 전극용 박막 트랜지스터(T2)의 소스 전극이 접지되어 있는 것이 제7 실시예와 다른 점이다. 소스 전극을 접지시키는 것은 소스 전극을 유지 전극선에 연결함으로써 가능하다. 이를 위하여는 보호막과 게이트 절연막을 관통하여 유지 전극선을 노출하는 접촉구와 보호막을 관통하여 소스 전극을 노출하는 접촉구를 통하여 양자를 연결하는 소스 전극 연결부를 보호막 위에 형성함으로써 가능하다.
- [0123] 여기서 도 15를 참고로 하여 V_{dce} 를 계산하면 다음과 같다. 아래의 수식을 유도함에 있어서 게이트 전극과 드레인 전극간의 기생 용량은 무시하였다.
- [0124] $V_{dce}=V_{d1}+[-C3 \times V_{d1}+C2 \times V_{d3}]/(C2+C3)$
- [0125] $C1=C_{lac}+C_{st}$
- [0126] $C2=C_{deca}$
- [0127] $C3=C_{dc}+(C_{dec b} \times C_{lcb})/(C_{dec b}+C_{lcb})$
- [0128] 제9 실시예는, 도 16을 보면, 제2 화소 전극용 박막 트랜지스터(T3)의 소스 전극이 접지되어 있는 것이 제7 실시예와 다른 점이다. 소스 전극을 접지시키는 것은 소스 전극을 유지 전극선에 연결함으로써 가능하다. 이를 위하여는 보호막과 게이트 절연막을 관통하여 유지 전극선을 노출하는 접촉구와 보호막을 관통하여 소스 전극을 노출하는 접촉구를 통하여 양자를 연결하는 소스 전극 연결부를 보호막 위에 형성함으로써 가능하다.
- [0129] 여기서 도 16을 참고로 하여 V_{dce} 를 계산하면 다음과 같다. 아래의 수식을 유도함에 있어서 게이트 전극과 드레인 전극간의 기생 용량은 무시하였다.
- [0130] $V_{dce}=V_{d1}+[-C3 \times V_{d1}+(C2+C3)V_{d2}]/(C2+C3)$
- [0131] $C1=C_{lac}+C_{st}$
- [0132] $C2=C_{deca}$
- [0133] $C3=C_{dc}+(C_{dec b} \times C_{lcb})/(C_{dec b}+C_{lcb})$
- [0134] 도 17은 본 발명의 제10 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 18은 본 발명의 제10 실시예에 따른 액정 표시 장치의 회로도이다.
- [0135] 제10 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판은 제2 화소 전극용 박막 트랜지스터가 생략된 점이 제7 실시예와 다르고, 나머지 구조는 동일하다.
- [0136] 여기서 도 18을 참고로 하여 V_{dce} 를 계산하면 다음과 같다. 아래의 수식을 유도함에 있어서 게이트 전극과 드레인 전극간의 기생 용량은 무시하였다.
- [0137] $V_{dce}=(C1+C3)[(2-C3/C2)V_{d1}+V_{d2}]/(2C2+C1)$
- [0138] $C1=C_{lac}+C_{st}$
- [0139] $C2=C_{deca}$
- [0140] $C3=C_{dc}+(C_{dec b} \times C_{lcb})/(C_{dec b}+C_{lcb})$
- [0141] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

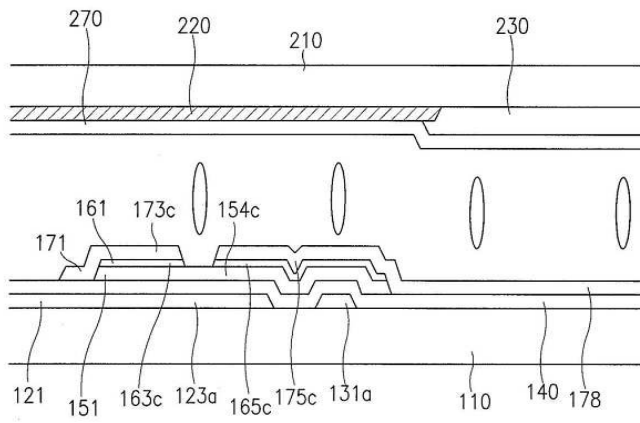
[0142]	3: 액정층	95, 97: 접촉 보조 부재121: 게이트선
	123a, 123b, 123c: 게이트 전극	125: 게이트 패드
	131a, 131b: 유지 전극선	133a, 133b, 134a, 134b: 유지 전극
	140: 게이트 절연막	151, 154a, 154b, 154c: 반도체
	161, 163a, 163b, 163c, 165a, 165b, 165c: 저항성 접촉층	
	171: 데이터선	173a, 173b, 173c: 소스 전극
	175a, 175b, 175c: 드레인 전극	176: 결합전극
	178, 178a, 178b, 178c: 방향 제어 전극	
	179: 데이터 패드	180: 보호막
	183, 184: 접촉구	190a, 190b: 화소 전극
	191, 192a, 192b, 194a, 194b, 195a, 195b: 절개부	
	110, 210: 기판	220: 블랙 매트릭스
	230: 색필터	270: 공통 전극

도면

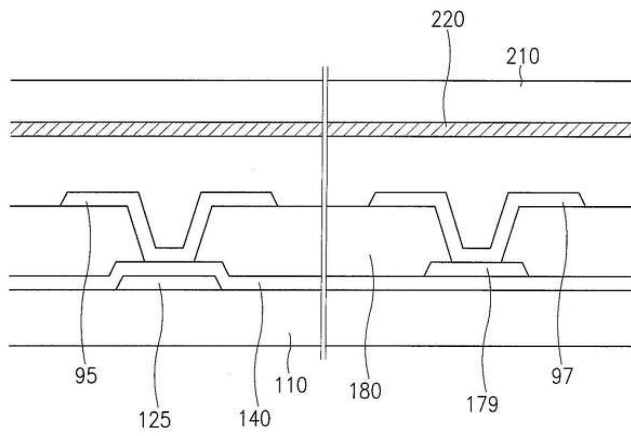
도면1



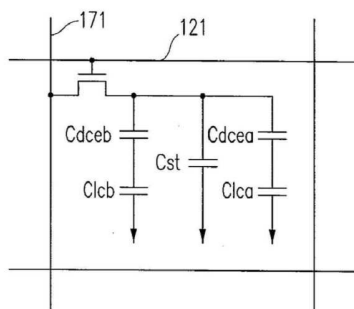
도면2



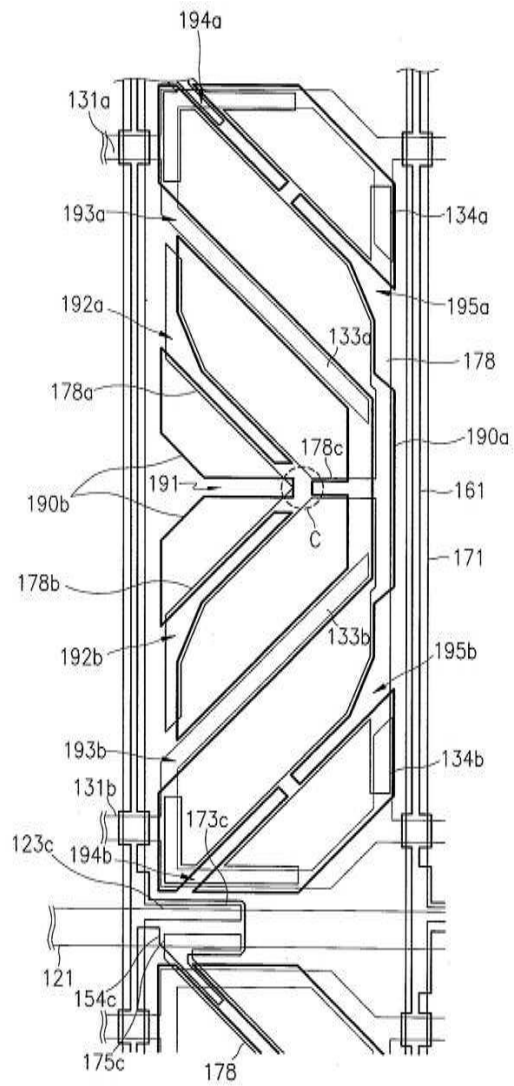
도면3



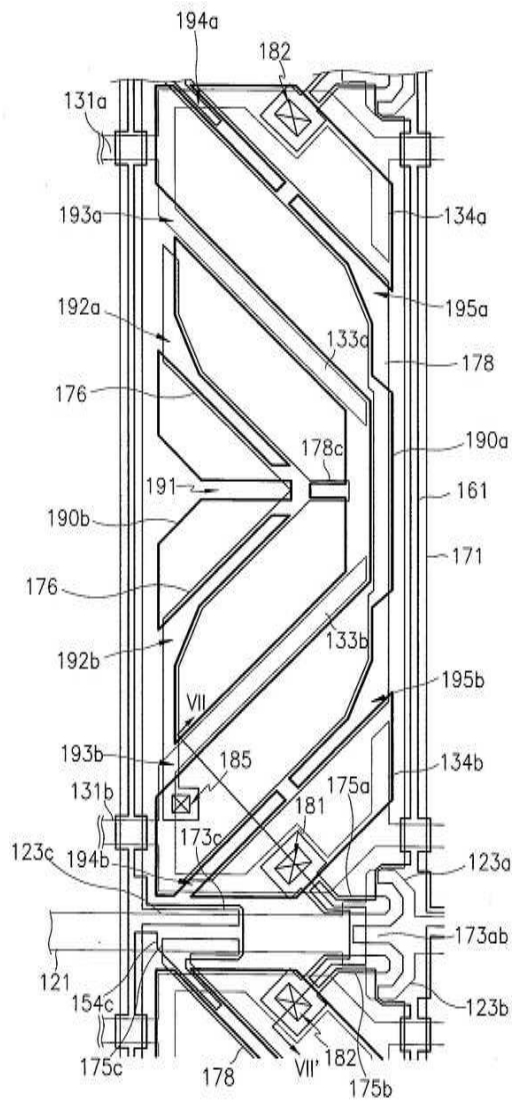
도면4



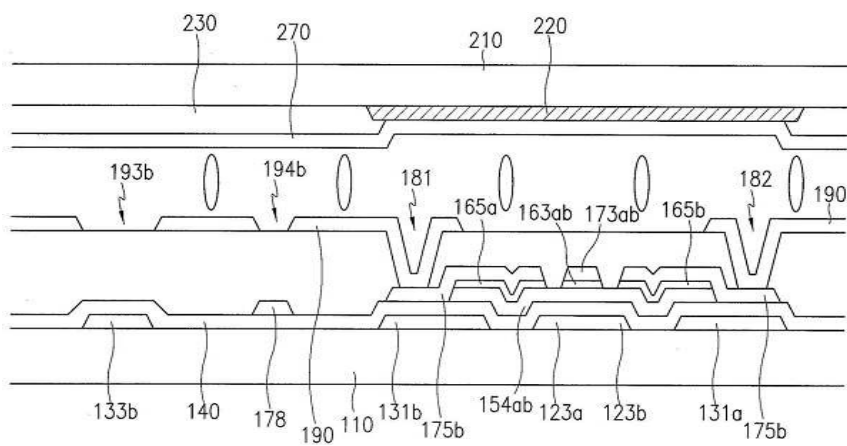
도면5



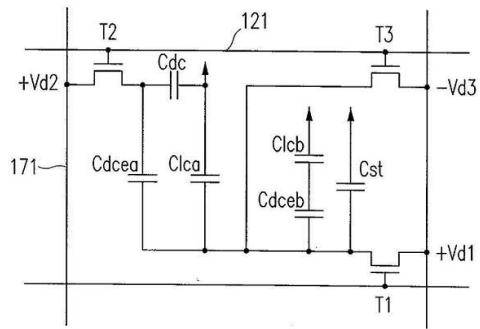
도면6



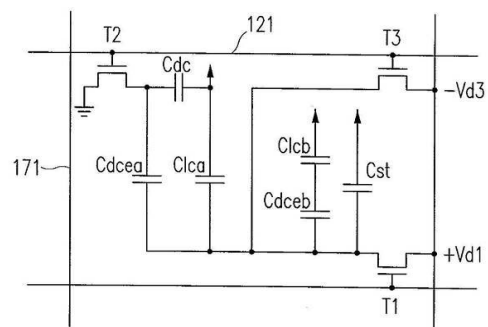
도면7



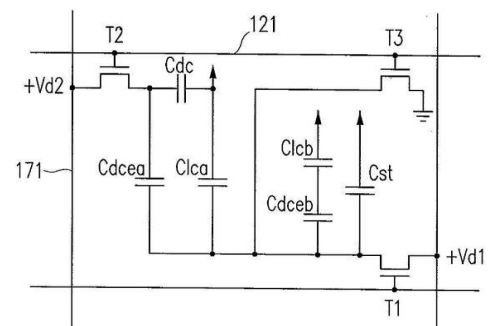
도면8



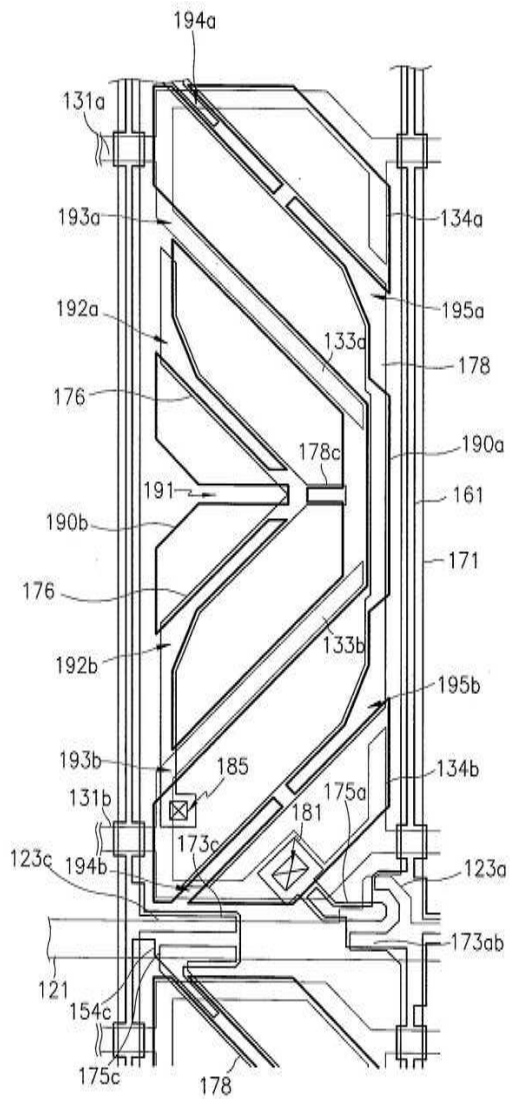
도면9



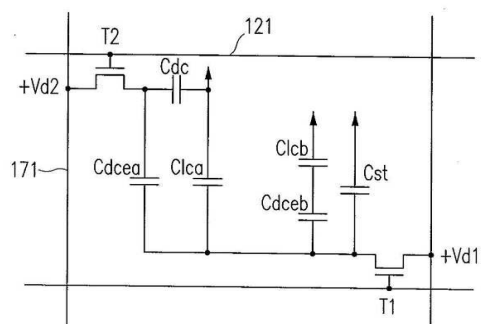
도면10



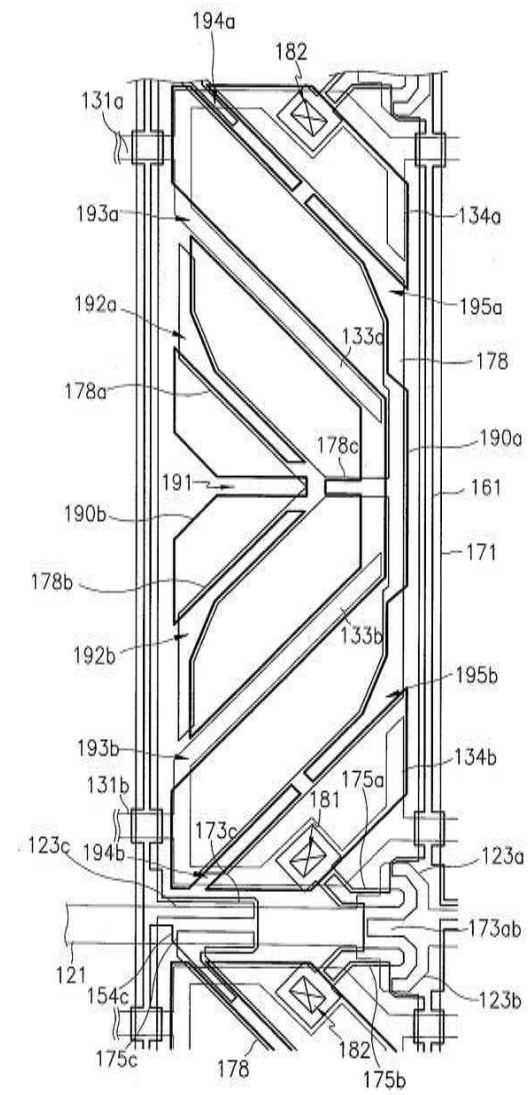
도면11



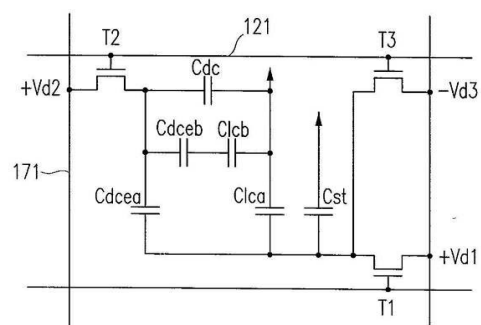
도면12



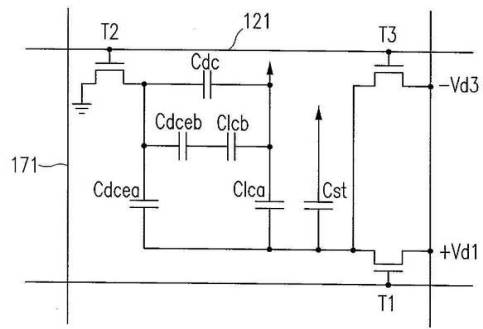
도면13



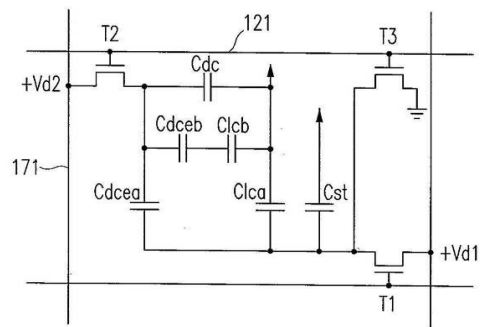
도면14



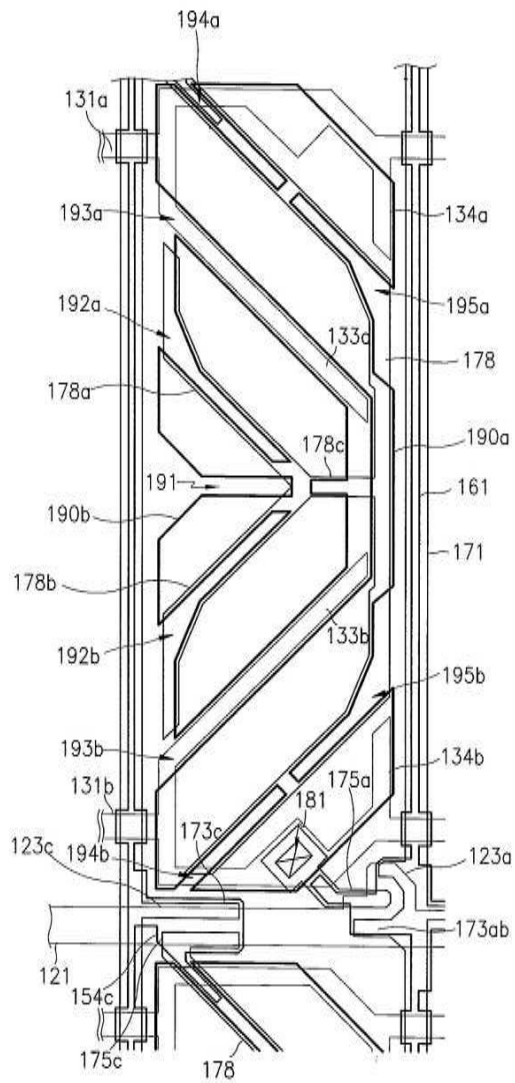
도면15



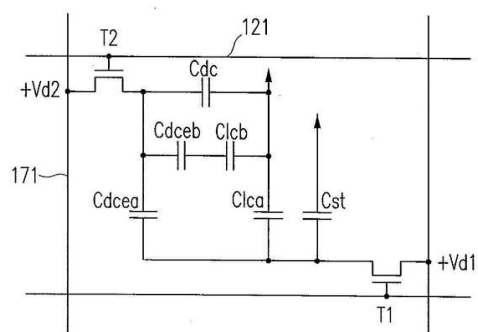
도면16



도면17



도면18



专利名称(译)	薄膜晶体管标志		
公开(公告)号	KR1020100010040A	公开(公告)日	2010-01-29
申请号	KR1020100000604	申请日	2010-01-05
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM HEE SEOP 김희섭 KIM JONG LAE 김종래 HONG SUNG KYU 홍성규 SHIN KYOUNG JU 신경주 YANG YOUNG CHOL 양영철		
发明人	김희섭 김종래 홍성규 신경주 양영철		
IPC分类号	G02F1/1337 G02F1/1343		
CPC分类号	G02F1/133707 G02F1/134309 G02F1/136213		
其他公开文献	KR100984364B1		
外部链接	Espacenet		

摘要(译)

根据本发明的薄膜晶体管基板包括绝缘基板，位于绝缘基板上的栅极线，以及位于绝缘基板上的栅极线和包括数据线交叉的连接电极，薄膜晶体管连接到栅极线和数据线，第一像素电极与薄膜晶体管连接，第二像素电极通过第一像素电极和接触孔连接。关于第二像素电极，向第一像素电极施加不同的电压。

