



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0092644  
(43) 공개일자 2009년09월01일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0017995

(22) 출원일자 2008년02월27일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김종우

경북 구미시 원평동 937-68(6/12)

주공아파트110-106

남현택

대구 동구 신암1동 프란체 106동 1003호

(뒷면에 계속)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 8 항

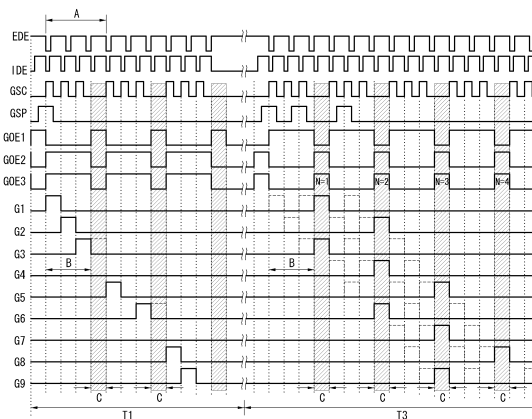
(54) 액정표시장치와 그 구동방법

(57) 요약

본 발명은 임펄스브 구동되는 액정표시장치와 그 구동방법에 관한 것이다.

이 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널; 상기 데이터라인들에 비디오 데이터전압과 블랙전압을 공급하는 데이터 구동회로; 및 제1 기간 동안 상기 비디오 데이터전압에 동기되는 게이트펄스를 이웃하는 상기 게이트라인들에 순차적으로 공급한 후, 제2 기간 동안 상기 블랙전압에 동기되는 게이트펄스를 1 라인 이상의 간격을 두고 이격된 상기 게이트라인들에 동시에 공급하는 다수의 게이트 드라이브 IC를 구비한다.

대표도 - 도11



(72) 발명자

**장수혁**

대구 북구 동천동 영남2차타운 103동 902호

**문명국**

대구 달서구 용산동 230-10번지 용산롯데캐슬그랜드 103-802

---

## 특허청구의 범위

### 청구항 1

다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널;

상기 데이터라인들에 비디오 데이터전압과 블랙전압을 공급하는 데이터 구동회로; 및

제1 기간 동안 상기 비디오 데이터전압에 동기되는 게이트펄스를 이웃하는 상기 게이트라인들에 순차적으로 공급한 후, 제2 기간 동안 상기 블랙전압에 동기되는 게이트펄스를 1 라인 이상의 간격을 두고 이격된 상기 게이트라인들에 동시에 공급하는 다수의 게이트 드라이브 IC를 구비하는 것을 특징으로 하는 액정표시장치.

### 청구항 2

제 1 항에 있어서,

상기 데이터 구동회로를 제어하기 위한 데이터 타이밍 제어신호와 상기 게이트 드라이브 IC를 제어하기 위한 게이트 타이밍 제어신호를 발생하는 타이밍 컨트롤러를 구비하는 것을 특징으로 하는 액정표시장치.

### 청구항 3

제 2 항에 있어서,

상기 타이밍 컨트롤러는,

외부 데이터 인에이블신호보다 주파수가 높은 내부 데이터 인에이블신호를 발생하고 상기 내부 데이터 인에이블신호에 기초하여 디지털 비디오 데이터를 샘플링하여 상기 데이터 구동회로에 공급함과 아울러, 상기 내부 데이터 인에이블신호를 기준으로 하여 상기 데이터 타이밍 제어신호와 상기 게이트 타이밍 제어신호를 발생하는 것을 특징으로 하는 액정표시장치.

### 청구항 4

제 2 항에 있어서,

상기 게이트 타이밍 제어신호는,

상기 제1 기간의 초기에 1회만 발생되어 상기 게이트 드라이브 IC들의 쉬프트 동작을 개시시키는 제1 게이트 스타트 펄스;

상기 제2 기간의 초기에 시간차를 두고 3 회 이상 발생되어 상기 게이트 드라이브 IC들의 쉬프트 동작을 개시시키는 제2 게이트 스타트 펄스;

상기 제1 기간 동안 발생되고 하이논리구간보다 긴 로우논리구간을 포함하여 상기 게이트 드라이브 IC들의 출력을 제어하는 제1 게이트 출력 인에이블신호;

상기 제2 기간 동안 발생되고 상기 제1 게이트 출력 인에이블신호의 역위상으로 발생되어 상기 게이트 드라이브 IC들의 출력을 제어하는 제1 게이트 출력 인에이블신호; 및

3 회 이상 발생하는 펄스들을 포함하는 펄스군들과, 상기 펄스군들 사이에서 상기 펄스들 사이의 간격보다 긴 휴지구간을 포함하여 상기 게이트 드라이브 IC들의 쉬프트 동작을 제어하는 게이트 쉬프트 클럭을 포함하는 것을 특징으로 하는 액정표시장치.

### 청구항 5

제 4 항에 있어서,

상기 게이트 쉬프트 클럭의 휴지구간은 상기 제1 게이트 출력 인에이블신호의 하이논리구간과 상기 제2 게이트 출력 인에이블신호의 로우논리구간에 중첩되는 것을 특징으로 하는 액정표시장치.

### 청구항 6

제 5 항에 있어서,

상기 게이트 출력 인에이블신호들은 상기 게이트 드라이브 IC 각각에 독립적으로 공급되는 것을 특징으로 하는 액정표시장치.

#### 청구항 7

제 6 항에 있어서,

상기 게이트 드라이브 IC들 중 어느 하나의 IC에는 상기 제1 게이트 출력 인에이블신호가 공급됨과 동시에 다른 게이트 드라이브 IC들에는 상기 제2 게이트 출력 인에이블신호가 공급되는 것을 특징으로 하는 액정표시장치.

#### 청구항 8

다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널을 가지는 액정표시장치의 구동방법에 있어서,

상기 데이터라인들에 비디오 데이터전압과 블랙전압을 공급하는 단계;

제1 기간 동안 상기 비디오 데이터전압에 동기되는 게이트펄스를 이웃하는 상기 게이트라인들에 순차적으로 공급하는 단계; 및

제2 기간 동안 상기 블랙전압에 동기되는 게이트펄스를 1 라인 이상의 간격을 두고 이격된 상기 게이트라인들에 동시에 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

### 명세서

#### 발명의 상세한 설명

##### 기술 분야

<1> 본 발명은 임펄쓰브 구동되는 액정표시장치와 그 구동방법에 관한 것이다.

##### 배경 기술

- <2> 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 빠르게 음극선관을 대체하고 있다.
- <3> 액정표시장치는 액정의 유지특성에 의해 동영상에서 화면이 선명하지 못하고 흐릿하게 보이는 모션 블러(Motion Blur) 현상이 나타나게 된다. CRT는 도 1과 같이 매우 짧은 시간 동안만 형광체를 발광시켜 셀에 데이터를 표시한 후에 그 셀에서 발광이 없는 임펄쓰브 구동으로 화상을 표시한다. 이에 비하여, 액정표시장치는 도 2와 같이 스캐닝기간 동안, 액정셀에 데이터가 공급된 후 나머지 펄드 기간(또는 프레임기간) 동안 그 액정셀에 충전된 데이터가 유지되는 홀드 구동으로 화상을 표시한다.
- <4> CRT에 표시되는 동영상은 임펄쓰브 구동으로 표시되기 때문에 도 3과 같이 관람자가 느끼는 지각영상(Perceived image)이 선명하게 된다. 이에 비하여, 액정표시장치에서는 동영상에서 액정의 유지특성 때문에 도 4와 같이 관람자가 느끼는 지각영상의 명암이 뚜렷하지 않고 흐릿하게 보여진다. 이러한 지각영상의 차이는 움직임에 추종하는 눈에서 일시적으로 지속되는 영상의 적분효과에 기인한다. 따라서, 액정표시장치의 응답속도가 빠르다 하더라도, 눈의 움직임과 매 프레임의 정적영상(static image) 사이의 불일치로 인하여 관람자는 흐릿한 화면을 보게 된다. 모션 블러 현상을 개선하기 위하여, 비디오 데이터를 화면 상에 표시한 후에 그 화면에 블랙 데이터를 공급함으로써 액정표시장치를 임펄쓰브 구동하는 기술 예컨대, 블랙 데이터 삽입방식(Black Data Insertion, BDI)이 제안되고 있다. 일례로, 블랙 데이터 삽입방식은 도 5와 같이 화면을 3 분할하고 그 중 어느 한 블록(A1)에서 비디오 데이터 전압을 1 라인씩 순차적으로 충전하고 다른 블록(A2)에서 이웃하는 4 개의 라인들에 블랙전압을 동시에 충전시킨다. 이와 같은 방식으로 블랙 데이터 삽입방식은 각 블록들(A1 내지 A3)에서 비디오 데이터라인들을 순차적으로 충전시킨 후에 블랙전압을 4 개 라인씩 순차적으로 충전시켜 임펄쓰브 구동효과를 얻고 있다. 블랙전압이 충전되는 라인들을 동시에 선택하기 위하여 게이트 드라이브 IC는 이웃하는 게이트라인들에 동시에 게이트펄스를 인가한다. 그런데 이웃하는 게이트라인들에 동시에 게이트펄스를 인가하기 위한 제어신호를 게이트 드라이브 IC에 인가하면 게이트 드라이브 IC의 종류에 따라 그 게이트 드라이브 IC

에서 출력이 발생되지 않거나 오동작할 수 있다.

## 발명의 내용

### 해결 하고자하는 과제

- <5> 따라서, 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 어떠한 게이트 드라이브 IC를 이용하더라도 블랙전압이 충전되는 블록에서 2 개 이상의 게이트라인들에 게이트펄스를 동시에 안정하게 공급할 수 있는 액정표시장치와 그 구동방법을 제공하는데 있다.

### 과제 해결수단

- <6> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 다수의 데이터라인들과 다수의 게이트 라인들이 교차되는 액정표시패널; 상기 데이터라인들에 비디오 데이터전압과 블랙전압을 공급하는 데이터 구동 회로; 및 제1 기간 동안 상기 비디오 데이터전압에 동기되는 게이트펄스를 이웃하는 상기 게이트라인들에 순차 적으로 공급한 후, 제2 기간 동안 상기 블랙전압에 동기되는 게이트펄스를 1 라인 이상의 간격을 두고 이격된 상기 게이트라인들에 동시에 공급하는 다수의 게이트 드라이브 IC를 구비한다.
- <7> 본 발명의 실시예에 따른 액정표시장치의 구동방법은 상기 데이터라인들에 비디오 데이터전압과 블랙전압을 공 급하는 단계; 제1 기간 동안 상기 비디오 데이터전압에 동기되는 게이트펄스를 이웃하는 상기 게이트라인들에 순차적으로 공급하는 단계; 및 제2 기간 동안 상기 블랙전압에 동기되는 게이트펄스를 1 라인 이상의 간격을 두 고 이격된 상기 게이트라인들에 동시에 공급하는 단계를 포함한다.

### 효 과

- <8> 본 발명의 실시예에 따른 액정표시장치와 그 구동방법은 게이트 타이밍 제어신호를 조정하여 1 라인 이상의 간 격을 두고 이격된 2 개 이상의 게이트라인들에 게이트펄스를 동시에 공급할 수 있다. 따라서, 본 발명의 실시 예에 따른 액정표시장치와 그 구동방법은 어떠한 게이트 드라이브 IC를 이용하더라도 블랙전압이 충전되는 블록 에서 2 개 이상의 게이트라인들에 게이트펄스를 동시에 공급할 수 있다.

### 발명의 실시를 위한 구체적인 내용

- <9> 이하, 도 6 내지 도 13을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- <10> 도 6을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널, 타이밍 콘트롤러(61), 데이터 구동회 로(62), 및 게이트 구동회로(63)를 구비한다. 데이터 구동회로(62)는 다수의 소스 드라이브 IC들을 포함한다. 게이트 구동회로(63)는 다수의 게이트 드라이브 IC들(631 내지 633)을 포함한다.
- <11> 액정표시패널은 두 장의 유리기관 사이에 액정층이 형성된다. 이 액정표시패널은 m 개의 데이터라인들(64)과 n 개의 게이트라인들(65)의 교차 구조에 의해 매트릭스 형태로 배치된  $m \times n$  개의 액정셀들(Clc)을 포함한다.
- <12> 액정표시패널의 하부 유리기관에는 데이터라인들(64), 게이트라인들(65), TFT들, 및 스토리지 커패시터(Cst)가 형성된다. 액정셀들(Clc)은 TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 액정 표시패널의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다. 액정표시패널의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- <13> 액정표시패널의 표시화면은 게이트 드라이브 IC들(631 내지 633)에 인가되는 게이트 타이밍 제어신호에 따라 다 수의 블록(BL1 내지 BL3)으로 분할 구동된다. 블록들(BL1 내지 BL3) 각각은 1 라인씩 비디오 데이터전압을 충 전하는 비디오 데이터 충전기간, 데이터전압을 유지하는 데이터 유지기간, 및 1 라인 간격 이상으로 이격된 2 개 이상의 라인들에 블랙전압을 동시에 충전하는 블랙 충전기간으로 시분할 구동된다. 여기서, 라인은 화소행 을 의미한다.
- <14> 타이밍 콘트롤러(61)는 수직/수평 동기신호(Vsync, Hsync), 외부 데이터 인에이블 신호(External Data Enable, EDE), 도트 클럭(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(62)와 게이트 구동회로(63)의 동작 타이밍 을 제어하기 위한 제어신호들을 발생한다. 제어신호들은 게이트 타이밍 제어신호와 데이터 타이밍 제어신호를

포함한다. 또한, 타이밍 콘트롤러(61)는 데이터 구동회로(62)에 디지털 비디오 데이터(RGB)를 공급한다.

<15> 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE1 내지 GOE3) 등을 포함한다. 게이트 스타트 펄스(GSP)는 제1 게이트 드라이브 IC(631)에 인가되어 제1 게이트 드라이브 IC(631)로부터 첫 번째 게이트펄스가 발생되도록 스캔이 시작되는 시작 라인을 지시한다. 본 발명의 실시예에 따른 액정표시장치와 그 구동방법에서, 데이터 충전기간에 발생하는 게이트 스타트 펄스(GSP)와 블랙 충전기간에 발생하는 게이트 스타트 펄스(GSP)의 개수 및 간격은 다르다. 데이터 충전기간 동안, 게이트 스타트 펄스(GSP)는 게이트 드라이브 IC(631 내지 633)로부터 1 라인씩 순차적으로 게이트펄스가 공급되도록 대략 1 수평기간의 펄스폭으로 1회 발생된다. 블랙 충전기간 동안, 게이트 스타트 펄스(GSP)는 게이트 드라이브 IC(631 내지 633)로부터 1 라인 이상의 간격을 두고 이격된 2 개 이상의 게이트라인들에 동시에 게이트펄스가 공급되도록 대략 1 수평기간의 간격을 두고 2 회 이상 발생된다. 블랙 충전기간 동안 발생하는 게이트 스타트 펄스들(GSP) 각각의 펄스폭은 대략 1 수평기간이다. 게이트 쉬프트 클럭(GSC)은 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다. 게이트 드라이브 IC들(631 내지 633)의 쉬프트 레지스터는 게이트 쉬프트 클럭(GSC)의 라이징 에지에서 게이트 스타트 펄스(GSP)를 쉬프트시킨다. 제2 및 제3 게이트 드라이브 IC(632 내지 633)는 앞단 게이트 드라이브 IC의 캐리신호를 게이트 스타트 펄스로 입력받아 동작하기 시작한다. 게이트 출력 인에이블신호(GOE1 내지 GOE3)는 게이트 드라이브 IC들(631 내지 633)에 개별적으로 인가된다. 게이트 드라이브 IC들(631 내지 633)은 게이트 출력 인에이블신호(GOE1 내지 GOE3)의 로우논리기간 즉, 이전 펄스의 폴링타임 직후로부터 그 다음 펄스의 라이징 타임 직전까지의 기간 동안 게이트펄스를 출력한다. 게이트 출력 인에이블신호(GOE1 내지 GOE3)의 하이논리기간 동안 게이트 드라이브 IC들(631 내지 633)은 게이트펄스를 발생하지 않는다. 데이터 충전기간 동안 게이트 출력 인에이블신호(GOE1 내지 GOE3)는 3 라인 이상의 게이트라인들에 게이트펄스가 순차적으로 공급되도록 로우논리기간이 하이논리기간에 비하여 3 배 이상 길다. 이에 비하여, 블랙 충전기간 동안 게이트 출력 인에이블신호(GOE1 내지 GOE3)는 데이터를 충전하는 블록에 공급되는 데이터전압들을 차단하기 위하여 하이논리기간이 로우논리기간에 비하여 3 배 이상 길다. 따라서, 데이터 충전기간 동안 발생하는 게이트 출력 인에이블신호(GOE1 내지 GOE3)는 블랙 충전기간 동안 발생하는 게이트 출력 인에이블신호(GOE1 내지 GOE3)에 비하여 듀티비(Duty ratio)가 작고 역위상이다.

<16> 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity : POL), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터가 표시될 1 수평라인에서 시작 화소를 지시한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터 구동회로(62) 내에서 데이터의 래치동작을 지시한다. 극성 제어신호(POL)는 데이터 구동회로(62)로부터 출력되는 아날로그 비디오 데이터전압의 극성을 제어한다. 소스 출력 인에이블신호(SOE)는 데이터 구동회로(62)의 출력을 제어한다.

<17> 데이터 구동회로(62)의 데이터 드라이브 IC들 각각은 쉬프트 레지스터, 래치, 디지털-아날로그 변환기, 출력 버퍼 등을 포함한다. 데이터 구동회로(62)는 타이밍 콘트롤러(61)의 제어 하에 디지털 비디오 데이터(RGB')를 래치한다. 그리고 데이터 구동회로(62)는 디지털 비디오 데이터(RGB')를 극성제어신호(POL)에 따라 아날로그 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 아날로그 데이터전압을 발생하고 그 데이터전압을 데이터 충전기간과 데이터 유지기간으로 동작하는 블록들이 스캐닝될 때 데이터라인들(64)에 공급한다. 또한, 데이터 구동회로(62)는 블랙전압을 발생하고 그 블랙전압을 블랙 충전기간으로 동작하는 블록이 스캐닝될 때 데이터라인들에 공급한다. 블랙전압은 액정셀(C1c)에서 표시되는 데이터의 표현 가능한 계조들 중에서 최저계조 즉, 블랙계조의 데이터전압이다. 블랙전압은 다양한 방법으로 발생될 수 있다. 예컨대, 타이밍 콘트롤러(61)나 외부에서 생성되는 디지털 블랙 데이터를 발생하고, 데이터 구동회로(62)는 디지털 블랙 데이터를 정극성/부극성 감마보상전압으로 변환하여 데이터라인들(64)에 공급될 블랙전압을 발생할 수 있다. 또한, 본원 출원인에 의해 기출원된 대한민국 특허출원 제10-2007-0127758호에 개시된 바와 같이 데이터 구동회로(62)에서 발생하는 차지 셰어전압(charge share voltage)이나 프리차지전압(pre-charge voltage)을 블랙전압으로 대신할 수도 있다.

<18> 게이트 드라이브 IC들(631 내지 633) 각각은 게이트 타이밍 제어신호들에 응답하여 게이트펄스를 게이트라인들(65)에 순차적으로 공급한다. 이러한 게이트 드라이브 IC들(631 내지 633)은 도 7과 같이 구성된다.

<19> 도 7은 게이트 드라이브 IC들(631 내지 633)을 나타낸다.

<20> 도 7을 참조하면, 게이트 드라이브 IC들(631 내지 633) 각각은 쉬프트 레지스터(70), 레벨 쉬프터(72), 쉬프트 레지스터(70)와 레벨 쉬프터(72) 사이에 접속된 다수의 논리곱 게이트(이하, "AND 게이트"라 함)(71) 및 게이트



출력 인에이블신호(GOE1 내지 GOE3)를 반전시키기 위한 인버터(73)를 구비한다.

- <21> 쉬프트 레지스터(70)는 종속적으로 접속된 다수의 D-플립플롭을 이용하여 게이트 스타트 펄스(GSP)를 게이트 쉬프트 클럭(GSC)에 따라 순차적으로 쉬프트시킨다. AND 게이트들(71) 각각은 쉬프트 레지스터(70)의 출력신호와 게이트 출력 인에이블신호(GOE1 내지 GOE3)의 반전신호를 논리곱하여 출력을 발생한다. 인버터(73)는 게이트 출력 인에이블신호(GOE1 내지 GOE3)를 반전시켜 AND 게이트들(71)에 공급한다. 따라서, 게이트 드라이브 IC들(631 내지 633)은 게이트 출력 인에이블신호(GOE1 내지 GOE3)가 로우논리구간일 때에만 출력을 발생한다.
- <22> 레벨 쉬프터(72)는 AND 게이트(71)의 출력전압 스윙폭을 액정표시패널의 TFT의 동작이 가능한 스윙폭으로 쉬프트시킨다. 레벨 쉬프터(72)의 출력신호(G1 내지 Gk)는 k(k는 정수) 개의 게이트라인들에 순차적으로 공급된다. 한편, 레벨 쉬프터(72)는 쉬프트 레지스터(70)의 앞단에 배치되고, 쉬프트 레지스터(70)는 화소 어레이의 TFT와 함께 액정표시패널의 유리기판에 직접 형성될 수 있다.
- <23> 본 발명의 실시예에 따른 액정표시장치는 종래의 액정표시장치에서 3 개의 라인에 데이터를 충전하는 기간 내에, 비디오 데이터 전압이 충전되는 블록에서 3 개의 라인에 비디오 데이터를 충전시키고 블랙전압이 충전되는 블록에서 1 라인 이상의 간격으로 이격된 2 개 이상의 라인들에 블랙전압을 동시에 충전한다. 이를 위하여, 본 발명의 실시예에 따른 액정표시장치는 도 8과 같은 타이밍 콘트롤러(61)를 이용하여 데이터 구동회로(62)에 전송되는 디지털 비디오 데이터의 전송 주파수를 빠르게 함과 동시에, 데이터 구동회로(62)와 게이트 구동회로(63)의 동작 타이밍을 빠르게 하여야 한다.
- <24> 도 8은 타이밍 콘트롤러(61)의 데이터 처리 및 타이밍 제어신호 처리부분을 상세히 나타낸다.
- <25> 도 8을 참조하면, 타이밍 콘트롤러(61)는 메모리(81), 내부 데이터 인에이블신호 발생부(82), 리드 클럭 발생부(Read clock generator)(83), 블랙 데이터용 신호 발생부(Signal generator for black data)(84), 비디오 데이터용 신호 발생부(Signal generator for video data)(85) 및 선택기(86)를 구비한다.
- <26> 메모리(81)는 3 라인의 디지털 비디오 데이터들을 저장할 수 있도록 3 개의 라인 메모리를 포함한다. 이 메모리(81)는 리드 클럭 발생부(83)로부터의 리드클럭(RCLK)에 응답하여 저장된 디지털 비디오 데이터들(RGB')을 출력한다. 내부 데이터 인에이블신호 발생부(82)는 외부 데이터 인에이블신호(EDE)를 리드 클럭(RCLK)을 카운트하여 1 라인씩 유효한 데이터의 존재구간을 지시하는 내부 데이터 인에이블신호(IDE)를 발생한다. 내부 데이터 인에이블신호(IDE)는 리드 클럭 발생부(83)에 의해 리드 클럭(RCLK)의 주파수가 빨라지므로 외부 데이터 인에이블신호(EDE)에 비하여 주파수가 빠른 내부 데이터 인에이블신호(IDE)를 발생한다.
- <27> 리드 클럭 발생부(83)는 도트클럭(CLK)을 입력받아 그 도트클럭(CLK)에 비하여 주파수가 빠른 리드 클럭(RCLK)을 발생한다. 예컨대, 리드 클럭 발생부(83)는 4/3 배만큼 도트클럭(CLK)의 주파수를 빠르게 하여 리드 클럭(RCLK)을 발생할 수 있다. 리드 클럭(RCLK)의 주파수가 도트클럭(RCLK)에 비하여 4/3 배 만큼 빨라지면 리드 클럭 발생부(83)는 외부 데이터 인에이블신호(EDE)에서 3 개의 펄스들이 존재하는 기간 동안 4 개의 펄스를 발생하여 내부 데이터 인에이블신호(IDE)를 발생한다. 이 경우, 메모리(81)는 4/3 배만큼 빨라진 리드 클럭(RCLK)에 응답하여 내부 데이터 인에이블신호(IDE)에 동기되는 디지털 비디오 데이터들(RGB')을 출력하여, 데이터 구동회로(62)에 공급되는 디지털 비디오 데이터들(RGB')의 전송 주파수를 빠르게 한다.
- <28> 블랙 데이터용 신호 발생부(84)는 내부 데이터 인에이블신호(IDE)에 응답하여 블랙 충전기간 동안 데이터 구동회로(62)를 제어하기 위한 데이터 타이밍 제어신호와 게이트 구동회로(63)를 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 비디오 데이터용 신호 발생부(85)는 내부 데이터 인에이블신호(IDE)에 응답하여 데이터 충전기간 동안 데이터 구동회로(62)를 제어하기 위한 데이터 타이밍 제어신호와 게이트 구동회로(63)를 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 블랙 충전기간 동안 발생하는 데이터 타이밍 제어신호 중에서 일부 예컨대, 소스 출력 인에이블신호(SOE)의 듀티비는 데이터 충전기간 동안 발생하는 그 것에 비하여 높아질 수 있다. 블랙 충전기간 동안 발생하는 게이트 타이밍 제어신호 중에서 게이트 스타트 펄스(GSP)의 개수는 데이터 충전기간 동안 발생하는 그 것에 비하여 많아진다. 또한, 블랙 충전기간 동안 발생하는 게이트 타이밍 제어신호 중에서 게이트 출력 인에이블신호(GOE1 내지 GOE3)는 데이터 충전기간 동안 발생하는 그것에 비하여 역위상으로 발생된다.
- <29> 선택기(86)는 블랙 충전기간 동안 블랙 데이터용 신호 발생부(84)의 출력을 선택하고, 데이터 충전기간 동안 비디오 데이터용 신호 발생부(85)의 출력을 선택한다. 이 선택기(86)는 멀티플렉서(Multiplexer)로 구현될 수 있다.
- <30> 도 9 및 도 10은 본 발명의 실시예에 따른 액정표시장치에서 비디오 데이터와 블랙 데이터의 스캐닝 동작을 보

여 주는 도면들이다.

- <31> 도 9 및 도 10을 참조하면, 각 블록들(BL1 내지 BL3)은 비디오 데이터 충전기간, 데이터 유지기간 및 블랙 충전기간으로 시분할 구동된다.
- <32> T1 기간 동안, 제1 게이트 드라이브 IC(631)는 T1 기간의 시작과 동시에 1회만 발생하는 게이트 스타트 펄스(GSP)로 인하여 동작하기 시작하여 게이트펄스를  $i$  ( $i$ 는 3 이상의 정수) 개의 게이트라인들에 순차적으로 공급한 후 1 수평기간 동안 출력을 멈춘 다음, 다시 게이트라인들에 게이트펄스를 순차적으로 공급하는 동작을 반복한다. 이러한 제1 게이트 드라이브 IC(631)에 의해 스캐닝되는 제1 블록(BL1)의 액정셀들은 T1 기간 동안 데이터 구동회로(62)로부터의 비디오 데이터전압을 1 라인씩 순차적으로 충전한다. 제2 게이트 드라이브 IC(632)에는 T1 기간의 시작과 동시에 제1 게이트 드라이브 IC(631)로부터 캐리신호를 입력받는다. 이 캐리신호는 이전 프레임의 T3 기간에 제1 게이트 드라이브 IC(631)에 인가되었던 게이트 스타트 펄스(GSP)의 쉬프트에 의해 발생된 캐리신호로써 제2 게이트 드라이브 IC(632)의 게이트 스타트 펄스(GSP)이다. 제2 게이트 드라이브 IC(632)에 의해 스캐닝되는 제2 블록(BL2)의 액정셀들은 데이터 구동회로(62)로부터의 블랙전압을 1 라인 이상의 간격을 두고 이격된 2 개 이상의 라인씩 충전한다. 제1 블록(BL1)의 액정셀들이  $i$  수평기간 동안  $i$  개의 라인들이 순차적으로 비디오 데이터전압을 충전한 직후, 제2 블록(BL2)의 액정셀들이 1 수평기간 동안 1 라인 이상의 간격을 두고 이격된 2 개 이상의 라인들에 블랙전압을 동시에 충전하는 동작을 반복한다. T1 기간 동안, 제3 게이트 드라이브 IC(633)에는 제2 게이트 드라이브 IC(632)로부터 캐리신호를 입력받지 못한다. 제3 블록(BL3)은 이전 프레임의 T3 기간에 충전하였던 비디오 데이터전압을 유지한다.
- <33> T2 기간 동안, 제1 게이트 드라이브 IC(631)는 타이밍 컨트롤러(61)로부터 게이트 스타트 펄스(GSP)를 입력받지 못한다. 이 제1 게이트 드라이브 IC(631)는 쉬프트 동작을 할 수 없으므로 T2 기간 동안 게이트펄스를 출력하지 못한다. 따라서, 제1 블록(BL1)은 T1 기간에 충전하였던 비디오 데이터전압을 유지한다. T2 기간의 시작과 동시에, 제2 게이트 드라이브 IC(632)에는 T2 기간의 시작과 동시에 제1 게이트 드라이브 IC(631)로부터 캐리신호를 입력받는다. 이 캐리신호는 T1 기간에 제1 게이트 드라이브 IC(631)에 인가되었던 게이트 스타트 펄스(GSP)의 쉬프트에 의해 발생된 캐리신호로써 제2 게이트 드라이브 IC(632)의 게이트 스타트 펄스(GSP)이다. 제2 게이트 드라이브 IC(632)에 의해 스캐닝되는 제2 블록(BL2)의 액정셀들은 데이터 구동회로(62)로부터의 비디오 데이터전압을 1 라인씩 순차적으로 충전한다. 제3 게이트 드라이브 IC(633)에는 T3 기간의 시작과 동시에 제2 게이트 드라이브 IC(632)로부터 캐리신호를 입력받는다. 이 캐리신호는 T1 기간에 제2 게이트 드라이브 IC(632)에 인가되었던 게이트 스타트 펄스(GSP)의 쉬프트에 의해 발생된 캐리신호로써 제3 게이트 드라이브 IC(633)의 게이트 스타트 펄스(GSP)이다. 제3 블록(BL3)의 액정셀들은 데이터 구동회로(62)로부터의 블랙전압을 1 라인 이상의 간격을 두고 이격된 2 개 이상의 라인씩 충전한다. 제2 블록(BL2)에서  $i$  수평기간 동안  $i$  개의 라인들이 순차적으로 비디오 데이터전압을 충전한 직후, 제3 블록(BL3)에서 1 수평기간 동안 1 라인 이상의 간격을 두고 이격된 2 개 이상의 라인들에 블랙전압을 동시에 충전하는 동작을 반복한다.
- <34> T3 기간의 시작과 동시에, 제1 게이트 드라이브 IC(631)에는 타이밍 컨트롤러(11)로부터 3 회 이상 연속으로 발생하는 게이트 스타트펄스를 입력 받는다. 이 제1 게이트 드라이브 IC(631)에 의해 스캐닝되는 제1 블록(BL1)의 액정셀들은 데이터 구동회로(62)로부터의 블랙전압을 1 라인 이상의 간격을 두고 이격된 2 개 이상의 라인씩 충전한다. 제2 게이트 드라이브 IC(632)는 T3 기간 동안 제1 게이트 드라이브 IC(631)로부터 캐리신호를 전달받지도 못한다. 이 제2 게이트 드라이브 IC(632)는 쉬프트 동작을 할 수 없으므로 T3 기간 동안 게이트펄스를 출력하지 못한다. 따라서, 제2 블록(BL2)은 T2 기간에 충전하였던 비디오 데이터전압을 유지한다. T3 기간의 시작과 동시에, 제3 게이트 드라이브 IC(633)에는 제2 게이트 드라이브 IC(632)로부터 캐리신호를 입력받는다. 이 캐리신호는 T2 기간에 제2 게이트 드라이브 IC(632)에 인가되었던 게이트 스타트 펄스(GSP)의 쉬프트에 의해 발생된 캐리신호로써 제3 게이트 드라이브 IC(633)의 게이트 스타트 펄스(GSP)이다. 제3 게이트 드라이브 IC(633)에 의해 스캐닝되는 제3 블록(BL3)의 액정셀들은 1 라인씩 순차적으로 데이터 구동회로(62)로부터의 비디오 데이터전압을 충전한다.
- <35> 도 11 내지 도 13은 본 발명의 다양한 실시예들에 따른 액정표시장치의 게이트 타이밍 제어신호와 게이트펄스를 나타낸다. 도 11 내지 도 13에 있어서, 게이트펄스들은 지면의 제약으로 인하여 제1 내지 제9 게이트라인들(G1 내지 G9)에 공급되는 게이트펄스들만으로 예시되고, T2 기간은 생략된다.
- <36> 도 11은 본 발명의 제1 실시예에 따른 액정표시장치에 공급되는 게이트 타이밍 제어신호와 게이트펄스들을 나타낸다. 도 11에 있어서, 점선은 게이트 드라이브 IC들(631 내지 633) 내의 쉬프트 레지스터(70)에 의해 쉬프트되는 출력이며, 이 출력은 게이트 출력 인에이블신호(GOE1 내지 GOE3)에 의해 차단된다. 게이트라인들(G1 내지



G9)에는 실선으로 표시된 게이트펄스가 인가된다.

<37> 도 11을 참조하면, 본 발명의 제1 실시예에 따른 액정표시장치는 외부 데이터 인에이블신호(EDE)에 비하여 주파수가 빠른 내부 데이터 인에이블신호(IDE)를 발생한다. 그리고 본 발명의 제1 실시예에 따른 액정표시장치는 내부 데이터 인에이블신호(IDE)를 기준으로 하여 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭(GSC), 게이트 출력 인에이블신호(GOE1 내지 GOE3)를 발생한다. 게이트 스타트 펄스(GSP)는 제1 게이트 드라이브 IC(631)에만 직접 인가되고, 제2 및 제3 게이트 드라이브 IC(632, 633)는 앞단 게이트 드라이브 IC로부터의 캐리신호를 게이트 스타트 펄스로 입력받는다. 게이트 쉬프트 클럭(GSC)은 게이트 드라이브 IC들(631 내지 633)에 공통으로 입력된다. 게이트 출력 인에이블신호(GOE1 내지 GOE3)는 게이트 드라이브 IC(631 내지 633)에 1:1로 즉, 독립적으로 입력된다.

<38> T1 기간 동안, 제1 게이트 드라이브 IC(631)는 데이터 구동회로(62)로부터의 비디오 데이터전압에 동기되는 게이트펄스를 1 라인씩 순차적으로 3 개의 게이트라인들(G1 내지 G3)에 게이트펄스를 공급한 후에, 1 수평기간 뒤에 다시 1 라인씩 순차적으로 3 개의 게이트라인들(G4 내지 G6)에 게이트펄스를 공급하는 동작을 반복한다. 제1 게이트 드라이브 IC(631)에 인가되는 게이트 스타트 펄스(GSP)는 T1 기간의 시작과 동시에 1회만 발생된다. 제1 게이트 드라이브 IC(631)의 쉬프트 동작을 제어하기 위한 게이트 쉬프트 클럭(GSC)은 대략 3 수평기간 동안 1 수평기간 주기의 펄스로 3 회 연속 발생된 후 대략 1 수평기간 동안 로우논리를 유지한 다음, 다시 3 회 연속 발생된다. 제1 게이트 드라이브 IC(631)의 출력을 제어하기 위한 제1 게이트 출력 인에이블신호(GOE1)는 대략 1 수평기간 동안 하이논리를 유지하는 펄스폭으로 1회 발생된 후, 대략 3 수평기간 동안 로우논리를 유지한다. 이러한 게이트 타이밍 제어신호에 응답하여 제1 게이트 드라이브 IC(631)의 쉬프트 레지스터(70)는 3 회 연속으로 발생하는 게이트 쉬프트 클럭(GSC)의 라이징에지마다 게이트 스타트 펄스(GSP)를 쉬프트시킨다. 이어서, 게이트 쉬프트 클럭(GSC)이 대략 1 수평기간 동안 로우논리를 유지하기 때문에 제1 게이트 드라이브 IC(631)에서 쉬프트 레지스터(70)의 제3 D 플립플롭은 제4 수평기간 동안 하이논리를 유지한다. 제1 내지 제3 수평기간 즉, B 기간 동안 제1 게이트 출력 인에이블신호(GOE1)는 로우논리를 유지하므로 제1 게이트 드라이브 IC(631)는 게이트펄스를 제1 내지 제3 게이트라인들(G1 내지 G3)에 순차적으로 공급한다. 제4 수평기간 즉, C 기간 동안 제1 게이트 출력 인에이블신호(GOE1)는 하이논리로 반전되므로 AND 게이트(71)의 출력이 '0'으로 변하고 그 결과, 쉬프트 레지스터(70)의 제3 D 플립플롭의 출력이 '1'이더라도 제3 게이트라인(G3)의 전압은 저전위전압(Vg1)으로 변한다. 이어서, 제5 내지 제7 수평기간 즉, B 기간 동안 제1 게이트 출력 인에이블신호(GOE1)는 로우논리를 유지하고 3 회 연속 발생하는 게이트 쉬프트 클럭(GSC)에 의해 쉬프트 동작이 정상화되므로 제1 게이트 드라이브 IC(631)는 게이트펄스를 제4 내지 제6 게이트라인들(G4 내지 G6)에 순차적으로 공급한다. 제8 수평기간 즉, C 기간 동안 제1 게이트 출력 인에이블신호(GOE1)는 하이논리로 반전되므로 쉬프트 레지스터(70)의 제6 D 플립플롭의 출력이 '1'이더라도 제6 게이트라인(G6)의 출력은 저전위전압(Vg1)으로 변한다. 이와 같이 제1 게이트 드라이브 IC(631)는 T1 기간 동안 3 개의 게이트라인들에 게이트펄스를 순차적으로 공급한 후 1 수평기간 동안 게이트펄스를 출력하지 않는다.

<39> T1 기간의 시작과 동시에, 제2 게이트 드라이브 IC(632)는 서로 다른 시간차를 두고 3 회 연속으로 입력되는 캐리신호를 게이트 스타트 펄스(GSP)로써 제1 게이트 드라이브 IC(631)로부터 입력받는다. 이 제2 게이트 드라이브 IC(632)는 T1 기간 동안 C 기간에만 로우논리로 변하는 제2 게이트 출력 인에이블신호(GOE2)에 응답하여 1 라인 간격으로 이격된 2 개의 게이트라인들에 동시에 게이트펄스를 공급한 후, B 기간 동안 하이논리로 유지되는 제2 게이트 출력 인에이블신호(GOE2)에 응답하여 출력을 발생하지 않는 동작을 반복한다.

<40> T1 기간 동안, 제3 게이트 드라이브 IC(633)에는 게이트 쉬프트 클럭(GSC)이 정상적으로 인가되고 제2 게이트 출력 인에이블신호(GOE2)와 동위상의 제3 게이트 출력 인에이블신호(GOE3)가 인가된다. 그러나 T1 기간 동안, 제3 게이트 드라이브 IC(633)에는 제2 게이트 드라이브 IC(632)로부터 캐리신호가 입력되지 않는다. 따라서, 제3 블록(BL3)의 액정셀들은 이전 프레임의 T3 기간에 충전하였던 비디오 데이터전압을 유지한다.

<41> T1 기간 동안, 펄스가 일시적으로 발생되지 않는 게이트 쉬프트 클럭(GSC)의 휴지구간은 제1 게이트 출력 인에이블신호(GOE1)의 하이논리구간과 제2 및 제3 게이트 출력 인에이블신호(GOE2, GOE3)의 로우논리구간에 중첩된다.

<42> T3 기간의 초기에, 게이트 쉬프트 클럭(GSC)은 이전과 같은 패턴으로 발생하는 반면, 제1 게이트 드라이브 IC(631)에 인가되는 게이트 스타트 펄스(GSP)는 시간차가 서로 다른 3 개의 펄스들로 변한다. 각 펄스들은 대략 1 수평기간의 펄스폭을 갖는다. 두 번째 펄스는 첫 번째 펄스에 이어서 대략 1 수평기간 뒤에 발생되며, 세 번째 펄스는 두 번째 펄스에 이어서 대략 2 수평기간 뒤에 발생된다. T3 기간 동안, 제1 게이트 출력 인에이블

신호(GOE1)는 T1 기간에 비하여 듀티비가 높아진다. 이 제1 게이트 출력 인에이블신호(GOE1)는 대략 3 수평기간 동안 하이논리를 유지하는 펄스들 사이에 대략 1 수평기간의 로우논리 구간을 포함한다. 이러한 게이트 타이밍 제어신호에 응답하여 제1 게이트 드라이브 IC(631)의 쉬프트 레지스터(70)는 게이트 쉬프트 클럭(GSC)의 라이징에지마다 점선과 같이 게이트 스타트 펄스(GSP)를 쉬프트시킨다. 이러한 쉬프트 과정 중에, 게이트 쉬프트 클럭(GSC)이 대략 1 수평기간 동안 로우논리를 유지할 때 제1 게이트 드라이브 IC(631)에서 쉬프트 레지스터(70)는 이전 출력을 유지한다. 제1 내지 제3 수평기간 즉, B 기간 동안 제1 게이트 출력 인에이블신호(GOE1)는 하이논리를 유지하므로 제1 게이트 드라이브 IC(631)의 출력은 없다. 제4 수평기간 즉, C 기간 동안 제1 게이트 출력 인에이블신호(GOE1)는 로우논리로 반전되므로 제1 게이트 드라이브 IC(631)는 제1 및 제3 게이트라인들(G1, G3)에 동시에 게이트펄스들을 공급한다. 이어서, 제5 내지 제7 수평기간 즉, B 기간 동안 제1 게이트 드라이브 IC(631)의 쉬프트 레지스터(70)는 쉬프트 동작을 계속한다. 이 제5 내지 제7 수평기간 동안 제1 게이트 드라이브 IC(631)는 제1 게이트 출력 인에이블신호(GOE1)가 하이논리이므로 출력을 발생하지 않는다. 제8 수평기간 즉, C 기간 동안 제1 게이트 출력 인에이블신호(GOE1)는 로우논리로 반전되므로 제1 게이트 드라이브 IC(631)는 제2, 제4 및 제6 게이트라인들(G2, G4, G6)에 게이트펄스들을 동시에 출력한다. 이와 같이 제1 게이트 드라이브 IC(631)는 T3 기간 동안 데이터 구동회로(62)로부터의 블랙전압에 동기되는 게이트펄스를 1 라인 이상의 간격을 두고 이격된 2 개의 게이트라인들에 게이트펄스들을 동시에 공급한다.

- <43> T3 기간 동안, 제2 게이트 드라이브 IC(632)에는 게이트 쉬프트 클럭(GSC)이 인가되고 듀티비가 작은 제2 게이트 출력 인에이블신호(GOE2)가 인가된다. 이 T3 기간 동안 제2 게이트 드라이브 IC(632)에는 제1 게이트 드라이브 IC(631)로부터 캐리신호가 입력되지 않는다. 따라서, 제2 블록(BL2)의 액정셀들은 이전 프레임의 T3 기간에 충전하였던 비디오 데이터전압을 유지한다.
- <44> T3 기간 동안, 제3 게이트 드라이브 IC(633)는 하나의 펄스만을 포함한 캐리신호를 제2 게이트 드라이브 IC(632)로부터 입력받는다. 이 제3 게이트 드라이브 IC(633)는 T3 기간 동안 B 기간에 로우논리로 변하는 제3 게이트 출력 인에이블신호(GOE3)에 응답하여 3 개의 게이트라인들에 게이트펄스를 1 라인씩 순차적으로 공급하고 1 수평기간 동안 출력을 멈추는 동작을 반복한다.
- <45> 한편, T2 기간 동안 제1 게이트 드라이브 IC(631)는 제3 게이트 드라이브 IC(633)로부터 캐리신호를 입력받지 못하므로 출력을 발생하지 않는다. 따라서, 제1 블록(BL1)의 액정셀들은 T1 기간에 충전하였던 비디오 데이터전압을 유지한다.
- <46> T2 기간의 시작 시점에 제1 게이트 드라이브 IC(631)는 T1 기간에 인가되었던 게이트 스타트 펄스(GSP)와 동일한 신호를 캐리신호로써 제2 게이트 드라이브 IC(632)에 전달한다. 이 T2 기간 동안, 제2 게이트 인에이블신호(GOE2)는 듀티비가 낮은 펄스 형태로 변하는 반면, 게이트 쉬프트 클럭(GSC)은 T1 기간과 동일한 패턴을 반복한다. 따라서, 제2 게이트 드라이브 IC(632)는 T2 기간 동안 데이터 구동회로(62)로부터의 비디오 데이터전압들에 동기되는 게이트펄스를 3 개의 게이트라인들에 순차적으로 공급한 후, 1 수평기간 동안 출력을 멈추는 동작을 반복한다. T2 기간 동안 제2 블록(BL2)의 액정셀들은 비디오 데이터전압을 1 라인씩 순차적으로 충전한다.
- <47> T2 기간의 시작 시점에 제2 게이트 드라이브 IC(632)는 T3 기간에 제1 게이트 드라이브 IC(631)에 인가되는 게이트 스타트 펄스(GSP)와 동일한 3 개의 펄스들을 캐리신호로써 제3 게이트 드라이브 IC(633)에 전달한다. 이 T2 기간 동안, 제3 게이트 인에이블신호(GOE3)는 T1 기간과 동일한 패턴 즉, 듀티비가 높은 펄스로 발생되며, 게이트 쉬프트 클럭(GSC) 역시 T1 기간과 동일한 패턴을 반복한다. 따라서, 제3 게이트 드라이브 IC(633)는 T2 기간 동안 데이터 구동회로(62)로부터의 블랙전압에 동기되는 게이트펄스를 1 개 이상의 라인을 두고 이격된 2 개 이상의 게이트라인들에 동시에 공급한다. T2 기간 동안, 제3 블록(BL3)의 액정셀들은 블랙전압을 충전한다.
- <48> 도 11과 같은 스캐닝 동작으로 인하여 각 블록들(BL1 내지 BL3)이 블랙전압을 충전할 때, 블록들(BL1 내지 BL3) 각각에서 충전순서는 다음과 같다. 게이트펄스가 발생하는 횟수를 'N'이라 할 때 블록들(BL1 내지 BL3) 각각의 블랙전압 충전 순서는 아래의 수학적 식 1과 같다.

### 수학적 식 1

- <49>  $3N + 1, 3N + 3 \quad (N = 0)$
- <50>  $3N - 1, 3N + 1, 3N + 3 \quad (N \geq 1)$
- <51> 도 12는 본 발명의 제2 실시예에 따른 액정표시장치에 공급되는 게이트 타이밍 제어신호와 게이트펄스들을 나타

낸다. 도 12에 있어서, 게이트 드라이브 IC들(631 내지 633) 내의 쉬프트 레지스터(70)에 의해 쉬프트되는 출력 파형에서 게이트 출력 인에이블신호(GOE1 내지 GOE3)에 의해 차단되는 파형은 생략된다.

<52> 도 12를 참조하면, 본 발명의 제2 실시예에 따른 액정표시장치는 외부 데이터 인에이블신호(EDE)에 비하여 주파수가 빠른 내부 데이터 인에이블신호(IDE)를 발생한다. 그리고 본 발명의 제2 실시예에 따른 액정표시장치는 내부 데이터 인에이블신호(IDE)를 기준으로 하여 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭(GSC), 게이트 출력 인에이블신호(GOE1 내지 GOE3)를 발생한다. 게이트 스타트 펄스(GSP)는 제1 게이트 드라이브 IC(631)에만 직접 인가되고, 제2 및 제3 게이트 드라이브 IC(632, 633)는 앞단 게이트 드라이브 IC로부터의 캐리신호를 게이트 스타트 펄스로 입력받는다. 게이트 쉬프트 클럭(GSC)은 게이트 드라이브 IC들(631 내지 633)에 공통으로 입력된다. 게이트 출력 인에이블신호(GOE1 내지 GOE3)는 게이트 드라이브 IC(631 내지 633)에 1:1로 즉, 독립적으로 입력된다.

<53> T1 기간 동안, 제1 게이트 드라이브 IC(631)는 데이터 구동회로(62)로부터의 비디오 데이터전압에 동기되는 게이트펄스를 1 라인씩 순차적으로 5 개의 게이트라인들(G1 내지 G5)에 게이트펄스를 공급한 후에, 1 수평기간 뒤에 다시 1 라인씩 순차적으로 5 개의 게이트라인들(G6 내지 G10)에 게이트펄스를 공급하는 동작을 반복한다. 제1 게이트 드라이브 IC(631)에 인가되는 게이트 스타트 펄스(GSP)는 대략 1 수평기간의 펄스폭을 가지며 T1 기간의 시작과 동시에 1회만 발생된다. 게이트 쉬프트 클럭(GSC)은 대략 5 수평기간 동안 1 수평기간 주기의 펄스로 5 회 연속 발생된 후 대략 1 수평기간 동안 로우논리를 유지한 다음, 다시 5 회 연속 발생된다. 제1 게이트 출력 인에이블신호(GOE1)는 대략 1 수평기간 동안 하이논리를 유지하는 펄스폭으로 1회 발생된 후, 대략 5 수평기간 동안 로우논리를 유지한다. 이러한 게이트 타이밍 제어신호에 응답하여 제1 게이트 드라이브 IC(631)의 쉬프트 레지스터(70)는 5 회 연속으로 발생하는 게이트 쉬프트 클럭(GSC)의 라이징에지마다 게이트 스타트 펄스(GSP)를 쉬프트시킨다. 이어서, 게이트 쉬프트 클럭(GSC)이 대략 1 수평기간 동안 로우논리를 유지하기 때문에 제1 게이트 드라이브 IC(631)에서 쉬프트 레지스터(70)의 제5 D 플립플롭은 제6 수평기간 동안 하이논리를 유지한다. 제1 내지 제5 수평기간 즉, B 기간 동안 제1 게이트 출력 인에이블신호(GOE1)는 로우논리를 유지하므로 제1 게이트 드라이브 IC(631)는 게이트펄스를 제1 내지 제5 게이트라인들(G1 내지 G5)에 순차적으로 공급한다. 제6 수평기간 즉, C 기간 동안 제1 게이트 출력 인에이블신호(GOE1)는 하이논리로 반전되므로 AND 게이트(71)의 출력이 '0'으로 변하고 그 결과, 쉬프트 레지스터(70)의 제5 D 플립플롭의 출력이 '1'이더라도 제5 게이트라인(G5)의 전압은 C 기간 동안 저전위전압(Vg1)으로 변한다. 이어서, 제7 내지 제10 수평기간 즉, B 기간 동안 제1 게이트 출력 인에이블신호(GOE1)는 로우논리를 유지하고 5 회 연속 발생하는 게이트 쉬프트 클럭(GSC)에 의해 쉬프트 동작이 정상화되므로 제1 게이트 드라이브 IC(631)는 게이트펄스를 제6 내지 제10 게이트라인들(G6 내지 G10)에 순차적으로 공급한다. 이와 같이 제1 게이트 드라이브 IC(631)는 T1 기간 동안 5 개의 게이트라인들에 게이트펄스를 순차적으로 공급한 후 1 수평기간 동안 게이트펄스를 출력하지 않는다.

<54> T1 기간의 시작과 동시에, 제2 게이트 드라이브 IC(632)는 서로 다른 시간차를 두고 3 회 연속으로 입력되는 캐리신호를 게이트 스타트 펄스(GSP)로써 제1 게이트 드라이브 IC(631)로부터 입력받는다. 이 제2 게이트 드라이브 IC(632)는 T1 기간 동안 C 기간에만 로우논리로 변하는 제2 게이트 출력 인에이블신호(GOE2)에 응답하여 1 라인 간격으로 이격된 3 개 또는 4 개의 게이트라인들에 동시에 게이트펄스를 공급한 후, B 기간 동안 하이논리로 유지되는 제2 게이트 출력 인에이블신호(GOE2)에 응답하여 출력을 발생하지 않는 동작을 반복한다.

<55> T1 기간 동안, 제3 게이트 드라이브 IC(633)에는 게이트 쉬프트 클럭(GSC)이 정상적으로 인가되고 제2 게이트 출력 인에이블신호(GOE2)와 동위상의 제3 게이트 출력 인에이블신호(GOE3)가 인가된다. 그러나 T1 기간 동안, 제3 게이트 드라이브 IC(633)에는 제2 게이트 드라이브 IC(632)로부터 캐리신호가 입력되지 않는다. 따라서, 제3 블록(BL3)의 액정셀들은 이전 프레임의 T3 기간에 충전하였던 비디오 데이터전압을 유지한다.

<56> T3 기간의 초기에, 게이트 쉬프트 클럭(GSC)은 이전과 같은 패턴으로 발생하는 반면, 제1 게이트 드라이브 IC(631)에 인가되는 게이트 스타트 펄스(GSP)는 시간차가 서로 다른 3 개의 펄스들로 변한다. 각 펄스들은 대략 1 수평기간의 펄스폭을 갖는다. 두 번째 펄스는 첫 번째 펄스에 이어서 대략 1 수평기간 뒤에 발생되며, 세 번째 펄스는 두 번째 펄스에 이어서 대략 2 수평기간 뒤에 발생된다. T3 기간 동안, 제1 게이트 출력 인에이블신호(GOE1)는 T1 기간에 비하여 듀티비가 높아진다. 이 제1 게이트 출력 인에이블신호(GOE1)는 대략 5 수평기간 동안 하이논리를 유지하는 펄스들 사이에 대략 1 수평기간의 로우논리구간이 존재한다. 이러한 게이트 타이밍 제어신호에 응답하여 제1 게이트 드라이브 IC(631)의 쉬프트 레지스터(70)는 게이트 쉬프트 클럭(GSC)의 라이징에지마다 게이트 스타트 펄스(GSP)를 쉬프트시킨다. 이러한 쉬프트 과정 중에, 게이트 쉬프트 클럭(GSC)이 대략 1 수평기간 동안 로우논리를 유지할 때 제1 게이트 드라이브 IC(631)에서 쉬프트 레지스터(70)는 이전 출력을 유지한다. 제1 내지 제5 수평기간 즉, B 기간 동안 제1 게이트 출력 인에이블신호(GOE1)는 하이논리를 유

지하므로 제1 게이트 드라이브 IC(631)의 출력은 없다. 제6 수평기간 즉, C 기간 동안 제1 게이트 출력 인에이블신호(GOE1)는 로우논리로 반전되므로 제1 게이트 드라이브 IC(631)는 제1, 제3 및 제5 게이트라인들(G1, G3, G5)에 동시에 게이트펄스들을 공급한다. 이어서, 제7 내지 제11 수평기간 즉, B 기간 동안 제1 게이트 드라이브 IC(631)의 쉬프트 레지스터(70)는 쉬프트 동작을 계속한다. 이 제7 내지 제11 수평기간 동안 제1 게이트 드라이브 IC(631)는 제1 게이트 출력 인에이블신호(GOE1)가 하이논리이므로 출력을 발생하지 않는다. 제12 수평기간 즉, C 기간 동안 제1 게이트 출력 인에이블신호(GOE1)는 로우논리로 반전되므로 제1 게이트 드라이브 IC(631)는 제2, 제4, 제6 및 제8 게이트라인들(G2, G4, G6, G8)에 게이트펄스들을 동시에 출력한다. 이와 같이 제1 게이트 드라이브 IC(631)는 T3 기간 동안 데이터 구동회로(62)로부터의 블랙전압에 동기되는 게이트펄스들 1 라인 이상의 간격을 두고 이격된 3 개 또는 4 개의 게이트라인들에 게이트펄스들을 동시에 공급한다.

<57> T3 기간 동안, 제2 게이트 드라이브 IC(632)에는 게이트 쉬프트 클럭(GSC)이 인가되고 듀티비가 작은 제2 게이트 출력 인에이블신호(GOE2)가 인가된다. 이 T3 기간 동안 제2 게이트 드라이브 IC(632)에는 제1 게이트 드라이브 IC(631)로부터 캐리신호가 입력되지 않는다. 따라서, 제2 블록(BL2)의 액정셀들은 이전 프레임의 T3 기간에 충전하였던 비디오 데이터전압을 유지한다.

<58> T3 기간 동안, 제3 게이트 드라이브 IC(633)는 하나의 펄스만을 포함한 캐리신호를 제2 게이트 드라이브 IC(632)로부터 입력받는다. 이 제3 게이트 드라이브 IC(633)는 T3 기간 동안 B 기간에 로우논리로 변하는 제3 게이트 출력 인에이블신호(GOE3)에 응답하여 5 개의 게이트라인들에 게이트펄스들 1 라인씩 순차적으로 공급하고 1 수평기간 동안 출력을 멈추는 동작을 반복한다.

<59> 한편, T2 기간 동안 제1 게이트 드라이브 IC(631)는 제3 게이트 드라이브 IC(633)로부터 캐리신호를 입력받지 못하므로 출력을 발생하지 않는다. 따라서, 제1 블록(BL1)의 액정셀들은 T1 기간에 충전하였던 비디오 데이터전압을 유지한다.

<60> T2 기간의 시작과 동시에 제1 게이트 드라이브 IC(631)는 T1 기간에 인가되었던 게이트 스타프 펄스(GSP)와 동일한 신호를 캐리신호로써 제2 게이트 드라이브 IC(632)에 전달한다. 이 T2 기간 동안, 제2 게이트 인에이블신호(GOE2)는 듀티비가 낮은 펄스 형태로 변하는 반면, 게이트 쉬프트 클럭(GSC)은 T1 기간과 동일한 패턴을 반복한다. 따라서, 제2 게이트 드라이브 IC(632)는 T2 기간 동안 데이터 구동회로(62)로부터의 비디오 데이터전압들에 동기되는 게이트펄스들 5 개의 게이트라인들에 순차적으로 공급한 후, 1 수평기간 동안 출력을 멈추는 동작을 반복한다. T2 기간 동안 제2 블록(BL2)의 액정셀들은 비디오 데이터전압을 1 라인씩 순차적으로 충전한다.

<61> T2 기간의 시작과 동시에 제2 게이트 드라이브 IC(632)는 T3 기간에 제1 게이트 드라이브 IC(631)에 인가되는 게이트 스타프 펄스(GSP)와 동일한 3 개의 펄스들을 캐리신호로써 제3 게이트 드라이브 IC(633)에 전달한다. 이 T2 기간 동안, 제3 게이트 인에이블신호(GOE3)는 T1 기간과 동일한 패턴 즉, 듀티비가 높은 펄스로 발생되며, 게이트 쉬프트 클럭(GSC) 역시 T1 기간과 동일한 패턴을 반복한다. 따라서, 제3 게이트 드라이브 IC(633)는 T2 기간 동안 데이터 구동회로(62)로부터의 블랙전압에 동기되는 게이트펄스들 1 개 이상의 라인을 두고 이격된 2 개 이상의 게이트라인들에 동시에 공급한다. T2 기간 동안, 제3 블록(BL3)의 액정셀들은 블랙전압을 충전한다.

<62> 도 12와 같은 스캐닝 동작으로 인하여 각 블록들(BL1 내지 BL3)이 블랙전압을 충전할 때, 블록들(BL1 내지 BL3) 각각에서 충전순서는 다음과 같다. 게이트펄스가 발생하는 횟수를 'N'이라 할 때 블록들(BL1 내지 BL3) 각각의 블랙전압 충전 순서는 아래의 수학식 2와 같다.

## 수학식 2

<63>  $5N + 1, 5N + 3, 5N + 5 \quad (N = 0)$

<64>  $5N - 3, 5N - 1, 5N + 1, 5N + 3, 5N + 5 \quad (N \geq 1)$

<65> 도 13은 본 발명의 제3 실시예에 따른 액정표시장치에 공급되는 게이트 타이밍 제어신호와 게이트펄스들을 나타낸다. 도 13에 있어서, 게이트 드라이브 IC들(631 내지 633) 내의 쉬프트 레지스터(70)에 의해 쉬프트되는 출력 파형에서 게이트 출력 인에이블신호(GOE1 내지 GOE3)에 의해 차단되는 파형은 생략된다.

<66> 도 13을 참조하면, 본 발명의 제3 실시예에 따른 액정표시장치는 외부 데이터 인에이블신호(EDE)에 비하여 주파수가 빠른 내부 데이터 인에이블신호(IDE)를 발생한다. 그리고 본 발명의 제3 실시예에 따른 액정표시장치는 내부 데이터 인에이블신호(IDE)를 기준으로 하여 게이트 스타프 펄스(GSP), 게이트 쉬프트 클럭(GSC), 게이트



출력 인에이블신호(GOE1 내지 GOE3)를 발생한다. 게이트 스타트 펄스(GSP)는 제1 게이트 드라이브 IC(631)에만 직접 인가되고, 제2 및 제3 게이트 드라이브 IC(632, 633)는 앞단 게이트 드라이브 IC로부터의 캐리신호를 게이트 스타트 펄스로써 입력받는다. 게이트 쉬프트 클럭(GSC)은 게이트 드라이브 IC들(631 내지 633)에 공통으로 입력된다. 게이트 출력 인에이블신호(GOE1 내지 GOE3)는 게이트 드라이브 IC(631 내지 633)에 1:1로 즉, 독립적으로 입력된다.

<67> T1 기간 동안, 제1 게이트 드라이브 IC(631)는 데이터 구동회로(62)로부터의 비디오 데이터전압에 동기되는 게이트펄스를 1 라인씩 순차적으로 3 개의 게이트라인들(G1 내지 G3)에 게이트펄스를 공급한 후에, 1 수평기간 뒤에 다시 1 라인씩 순차적으로 3 개의 게이트라인들(G4 내지 G6)에 게이트펄스를 공급하는 동작을 반복한다. 제1 게이트 드라이브 IC(631)에 인가되는 게이트 스타트 펄스(GSP)는 대략 1 수평기간의 펄스폭을 가지며 T1 기간의 시작과 동시에 1회만 발생된다. 게이트 쉬프트 클럭(GSC)은 대략 3 수평기간 동안 1 수평기간 주기의 펄스로 3 회 연속 발생된 후 대략 1 수평기간 동안 로우논리를 유지한 다음, 다시 3 회 연속 발생된다. 제1 게이트 출력 인에이블신호(GOE1)는 대략 1 수평기간 동안 하이논리를 유지하는 펄스폭으로 1회 발생된 후, 대략 3 수평기간 동안 로우논리를 유지한다. 이러한 게이트 타이밍 제어신호에 응답하여 제1 게이트 드라이브 IC(631)의 쉬프트 레지스터(70)는 3 회 연속으로 발생하는 게이트 쉬프트 클럭(GSC)의 라이징에지마다 게이트 스타트 펄스(GSP)를 쉬프트시킨다. 이어서, 게이트 쉬프트 클럭(GSC)이 대략 1 수평기간 동안 로우논리를 유지하기 때문에 제1 게이트 드라이브 IC(631)에서 쉬프트 레지스터(70)의 제3 D 플립플롭은 제4 수평기간 동안 하이논리를 유지한다. 제1 내지 제3 수평기간 즉, B 기간 동안 제1 게이트 출력 인에이블신호(GOE1)는 로우논리를 유지하므로 제1 게이트 드라이브 IC(631)는 게이트펄스를 제1 내지 제3 게이트라인들(G1 내지 G3)에 순차적으로 공급한다. 제4 수평기간 즉, C 기간 동안 제1 게이트 출력 인에이블신호(GOE1)는 하이논리로 반전되므로 AND 게이트(71)의 출력이 '0'으로 변하고 그 결과, 쉬프트 레지스터(70)의 제3 D 플립플롭의 출력이 '1'이더라도 제3 게이트라인(G3)의 전압은 C 기간 동안 저전위전압(Vg1)으로 변한다. 이어서, 제5 내지 제7 수평기간 즉, B 기간 동안 제1 게이트 출력 인에이블신호(GOE1)는 로우논리를 유지하고 3 회 연속 발생하는 게이트 쉬프트 클럭(GSC)에 의해 쉬프트 동작이 정상화되므로 제1 게이트 드라이브 IC(631)는 게이트펄스를 제4 내지 제6 게이트라인들(G4 내지 G6)에 순차적으로 공급한다. 이와 같이 제1 게이트 드라이브 IC(631)는 T1 기간 동안 3 개의 게이트라인들에 게이트펄스를 순차적으로 공급한 후 1 수평기간 동안 게이트펄스를 출력하지 않는다.

<68> T1 기간의 시작과 동시에, 제2 게이트 드라이브 IC(632)는 대략 4 수평기간의 시간차를 두고 3 회 연속으로 입력되는 캐리신호를 게이트 스타트 펄스(GSP)로써 제1 게이트 드라이브 IC(631)로부터 입력받는다. 이 제2 게이트 드라이브 IC(632)는 T1 기간 동안 C 기간에만 로우논리로 변하는 제2 게이트 출력 인에이블신호(GOE2)에 응답하여 제2 블록(BL2) 내의 세 번째 게이트라인에 게이트 펄스를 공급한 후에 1 라인 간격으로 이격된 2 개 또는 3 개의 게이트라인들에 동시에 게이트펄스를 공급한 다음, B 기간 동안 하이논리로 유지되는 제2 게이트 출력 인에이블신호(GOE2)에 응답하여 출력을 발생하지 않는 동작을 반복한다.

<69> T1 기간 동안, 제3 게이트 드라이브 IC(633)에는 게이트 쉬프트 클럭(GSC)이 정상적으로 인가되고 제2 게이트 출력 인에이블신호(GOE2)와 동위상의 제3 게이트 출력 인에이블신호(GOE3)가 인가된다. 그러나 T1 기간 동안, 제3 게이트 드라이브 IC(633)에는 제2 게이트 드라이브 IC(632)로부터 캐리신호가 입력되지 않는다. 따라서, 제3 블록(BL3)의 액정셀들은 이전 프레임의 T3 기간에 충전하였던 비디오 데이터전압을 유지한다.

<70> T3 기간의 초기에, 게이트 쉬프트 클럭(GSC)은 이전과 같은 패턴으로 발생하는 반면, 제1 게이트 드라이브 IC(631)에 인가되는 게이트 스타트 펄스(GSP)는 대략 4 수평기간의 시간차를 두고 연속으로 발생하는 3 개의 펄스들을 포함한다. 각 펄스들은 대략 1 수평기간의 펄스폭을 갖는다. 두 번째 펄스는 첫 번째 펄스에 이어서 대략 4 수평기간 뒤에 발생되며, 세 번째 펄스는 두 번째 펄스에 이어서 대략 4 수평기간 뒤에 발생된다. T3 기간 동안, 제1 게이트 출력 인에이블신호(GOE1)는 T1 기간에 비하여 듀티비가 높아진다. 이 제1 게이트 출력 인에이블신호(GOE1)는 대략 3 수평기간 동안 하이논리를 유지하는 펄스들 사이에 존재하는 대략 1 수평기간의 로우논리구간을 포함한다. 이러한 게이트 타이밍 제어신호에 응답하여 제1 게이트 드라이브 IC(631)의 쉬프트 레지스터(70)는 게이트 쉬프트 클럭(GSC)의 라이징에지마다 게이트 스타트 펄스(GSP)를 쉬프트시킨다. 이러한 쉬프트 과정 중에, 게이트 쉬프트 클럭(GSC)이 대략 1 수평기간 동안 로우논리를 유지할 때 제1 게이트 드라이브 IC(631)에서 쉬프트 레지스터(70)는 이전 출력을 유지한다. 제1 내지 제3 수평기간 즉, B 기간 동안 제1 게이트 출력 인에이블신호(GOE1)는 하이논리를 유지하므로 제1 게이트 드라이브 IC(631)의 출력은 없다. 제4 수평기간 즉, C 기간 동안 제1 게이트 출력 인에이블신호(GOE1)는 로우논리로 반전되므로 제1 게이트 드라이브 IC(631)는 제3 게이트라인(G3)에 게이트펄스를 공급한다. 제5 내지 제7 수평기간 즉, B 기간 동안 제1 게이트 드라이브 IC(631)의 쉬프트 레지스터(70)는 쉬프트 동작을 계속한다. 이 제5 내지 제7 수평기간 동안 제1 게이트



트 드라이브 IC(631)는 제1 게이트 출력 인에이블신호(GOE1)가 하이논리이므로 출력을 발생하지 않는다. 제8 수평기간 즉, C 기간 동안 제1 게이트 출력 인에이블신호(GOE1)는 로우논리로 반전되므로 제1 게이트 드라이브 IC(631)는 제2 및 제6 게이트라인들(G2, G6)에 게이트펄스들을 동시에 출력한다. 제9 내지 제11 수평기간 동안 제1 게이트 드라이브 IC(631)의 쉬프트 레지스터(70)는 쉬프트 동작을 계속한다. 이 제9 내지 제11 수평기간 동안 제1 게이트 드라이브 IC(631)는 제1 게이트 출력 인에이블신호(GOE1)가 하이논리이므로 출력을 발생하지 않는다. 제12 수평기간 동안 제1 게이트 출력 인에이블신호(GOE1)는 로우논리로 반전되므로 제1 게이트 드라이브 IC(631)는 제1, 제5 및 제9 게이트라인들(G1, G5, G9)에 게이트펄스들을 동시에 출력한다. 이와 같이 제1 게이트 드라이브 IC(631)는 T3 기간 동안 데이터 구동회로(62)로부터의 블랙전압에 동기되는 게이트펄스를 1 라인 이상의 간격을 두고 이격된 2 개 또는 3 개의 게이트라인들에 게이트펄스들을 동시에 공급한다.

<71> T3 기간 동안, 제2 게이트 드라이브 IC(632)에는 게이트 쉬프트 클럭(GSC)이 인가되고 듀티비가 작은 제2 게이트 출력 인에이블신호(GOE2)가 인가된다. 이 T3 기간 동안 제2 게이트 드라이브 IC(632)에는 제1 게이트 드라이브 IC(631)로부터 캐리신호가 입력되지 않는다. 따라서, 제2 블록(BL2)의 액정셀들은 이전 프레임의 T3 기간에 충전하였던 비디오 데이터전압을 유지한다.

<72> T3 기간 동안, 제3 게이트 드라이브 IC(633)는 하나의 펄스만을 포함한 캐리신호를 제2 게이트 드라이브 IC(632)로부터 입력받는다. 이 제3 게이트 드라이브 IC(633)는 T3 기간 동안 B 기간에 로우논리로 변하는 제3 게이트 출력 인에이블신호(GOE3)에 응답하여 5 개의 게이트라인들에 게이트펄스를 1 라인씩 순차적으로 공급하고 1 수평기간 동안 출력을 멈추는 동작을 반복한다.

<73> 한편, T2 기간 동안 제1 게이트 드라이브 IC(631)는 제3 게이트 드라이브 IC(633)로부터 캐리신호를 입력받지 못하므로 출력을 발생하지 않는다. 따라서, 제1 블록(BL1)의 액정셀들은 T1 기간에 충전하였던 비디오 데이터전압을 유지한다.

<74> T2 기간의 시작과 동시에 제1 게이트 드라이브 IC(631)는 T1 기간에 인가되었던 게이트 스타프 펄스(GSP)와 동일한 신호를 캐리신호로써 제2 게이트 드라이브 IC(632)에 전달한다. 이 T2 기간 동안, 제2 게이트 인에이블신호(GOE2)는 듀티비가 낮은 펄스 형태로 변하는 반면, 게이트 쉬프트 클럭(GSC)은 T1 기간과 동일한 패턴을 반복한다. 따라서, 제2 게이트 드라이브 IC(632)는 T2 기간 동안 데이터 구동회로(62)로부터의 비디오 데이터전압들에 동기되는 게이트펄스를 3 개의 게이트라인들에 순차적으로 공급한 후, 1 수평기간 동안 출력을 멈추는 동작을 반복한다. T2 기간 동안 제2 블록(BL2)의 액정셀들은 비디오 데이터전압을 1 라인씩 순차적으로 충전한다.

<75> T2 기간의 시작과 동시에 제2 게이트 드라이브 IC(632)는 T3 기간에 제1 게이트 드라이브 IC(631)에 인가되는 게이트 스타프 펄스(GSP)와 동일한 3 개의 펄스들을 캐리신호로써 제3 게이트 드라이브 IC(633)에 전달한다. 이 T2 기간 동안, 제3 게이트 인에이블신호(GOE3)는 T1 기간과 동일한 패턴 즉, 듀티비가 높은 펄스로 발생되며, 게이트 쉬프트 클럭(GSC) 역시 T1 기간과 동일한 패턴을 반복한다. 따라서, 제3 게이트 드라이브 IC(633)는 T2 기간 동안 데이터 구동회로(62)로부터의 블랙전압에 동기되는 게이트펄스를 1 개 이상의 라인을 두고 이격된 2 개 이상의 게이트라인들에 동시에 공급한다. T2 기간 동안, 제3 블록(BL3)의 액정셀들은 블랙전압을 충전한다.

<76> 도 13과 같은 스캐닝 동작으로 인하여 각 블록들(BL1 내지 BL3)이 블랙전압을 충전할 때, 블록들(BL1 내지 BL3) 각각에서 충전순서는 다음과 같다. 게이트펄스가 발생하는 횟수를 'N'이라 할 때 블록들(BL1 내지 BL3) 각각의 블랙전압 충전 순서는 아래의 수학적 식 3과 같다.

### 수학적 식 3

<77>  $3N + 3$  ( $N = 0$ )

<78>  $3N - 1, 3N + 3$  ( $N = 1$ )

<79>  $3N - 5, 3N - 1, 3N + 3$  ( $N \geq 2$ )

<80> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### 도면의 간단한 설명

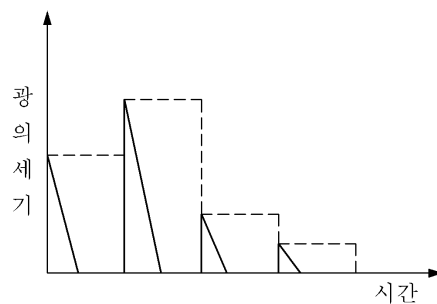
- <81> 도 1은 음극선관의 발광특성을 나타내는 특성도.
- <82> 도 2는 액정표시장치의 유지특성을 나타내는 특성도.
- <83> 도 3은 관람자가 느끼는 음극선관의 지각영상을 나타내는 도면.
- <84> 도 4는 관람자가 느끼는 액정표시장치의 지각영상을 나타내는 도면.
- <85> 도 5는 블랙 데이터 방식에서 비디오 데이터 전압과 블랙전압의 스캐닝을 나타내는 도면.
- <86> 도 6은 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도.
- <87> 도 7은 도 6에 도시된 게이트 드라이브 IC를 상세히 나타내는 회로도.
- <88> 도 8은 도 6에 도시된 타이밍 콘트롤러를 상세히 나타내는 블록도.
- <89> 도 9는 본 발명의 실시예에 따른 액정표시장치에서 비디오 데이터와 블랙 데이터의 스캐닝 동작을 보여 주는 도면.
- <90> 도 10은 본 발명의 실시예에 따른 액정표시장치에서 각 블록의 동작을 나타내는 도면.
- <91> 도 11은 본 발명의 제1 실시예에 따른 액정표시장치의 게이트 타이밍 제어신호와 게이트펄스를 나타내는 타이밍도.
- <92> 도 12는 본 발명의 제2 실시예에 따른 액정표시장치의 게이트 타이밍 제어신호와 게이트펄스를 나타내는 타이밍도.
- <93> 도 13은 본 발명의 제3 실시예에 따른 액정표시장치의 게이트 타이밍 제어신호와 게이트펄스를 나타내는 타이밍도.

<94> <도면의 주요 부분에 대한 부호의 설명>

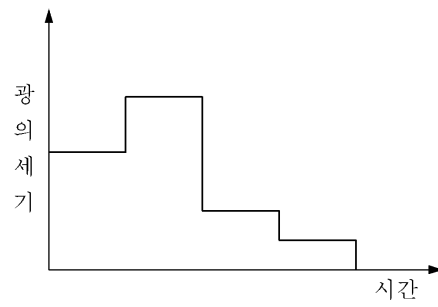
- |       |                        |                      |
|-------|------------------------|----------------------|
| <95>  | 61 : 타이밍 컨트롤러          | 62 : 데이터 구동회로        |
| <96>  | 63 : 게이트 구동회로          | 70 : 쉬프트 레지스터        |
| <97>  | 71 : AND 게이트           | 72 : 레벨 쉬프터          |
| <98>  | 73 : 인버터               | 81 : 메모리             |
| <99>  | 82 : 내부 데이터 인에이블신호 발생부 | 83 : 리드 클럭 발생부       |
| <100> | 84 : 블랙 데이터용 신호 발생부    | 85 : 비디오 데이터용 신호 발생부 |
| <101> |                        | 86 : 선택기             |

도면

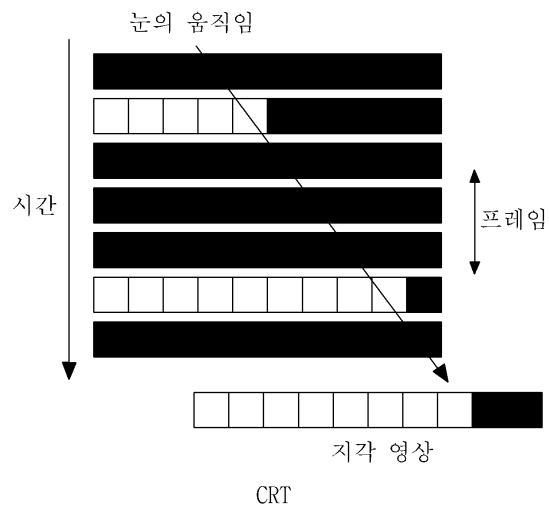
도면1



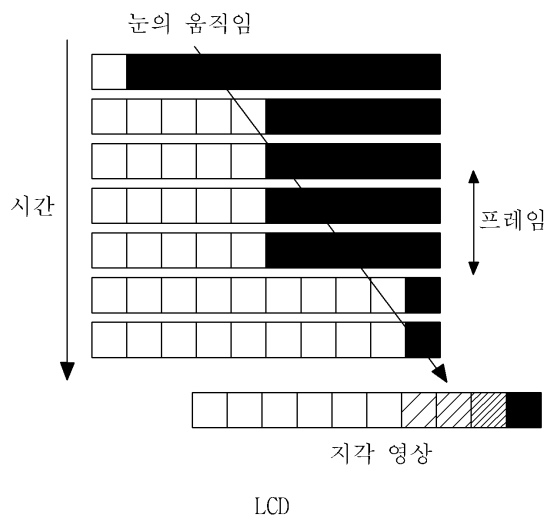
도면2



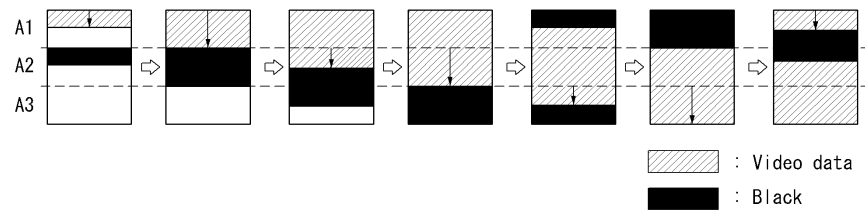
도면3



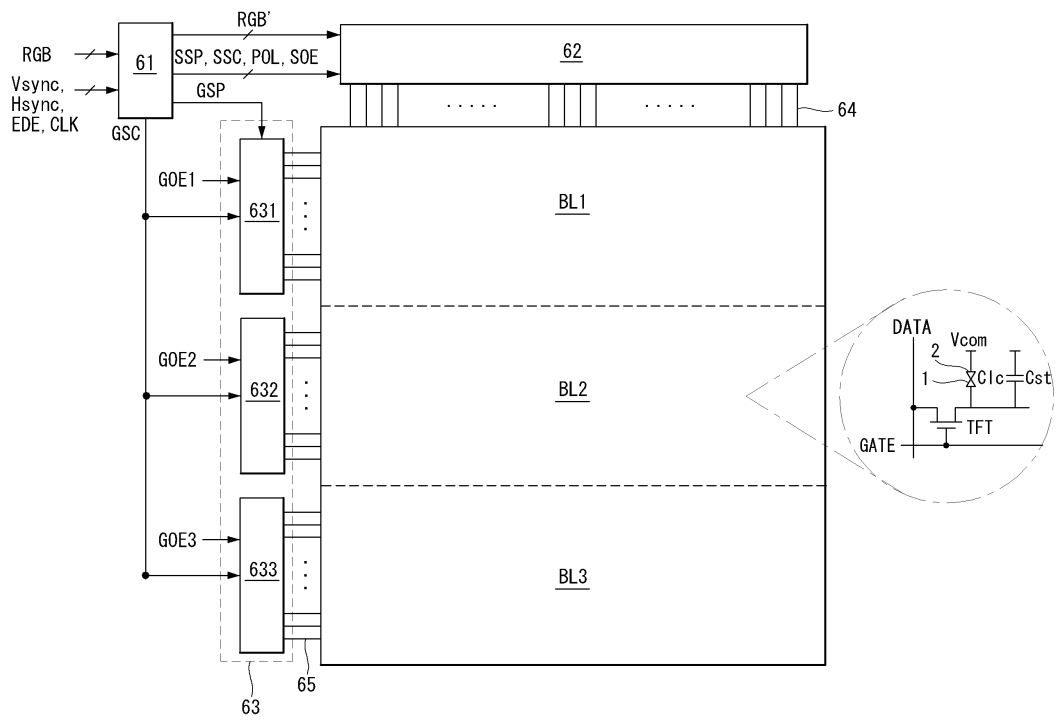
도면4



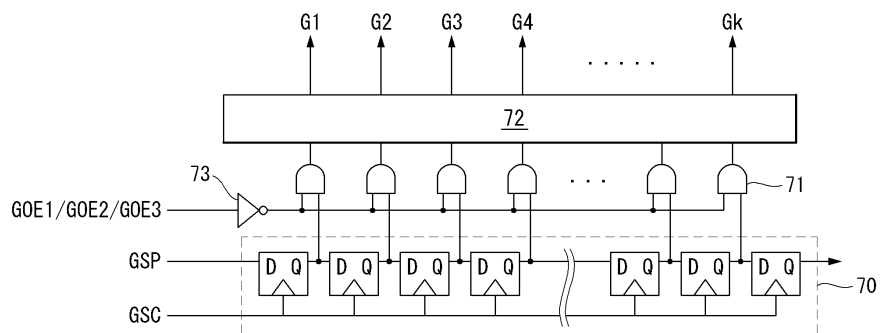
도면5



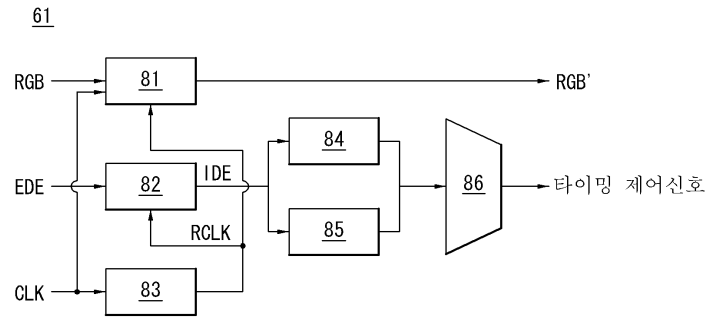
도면6



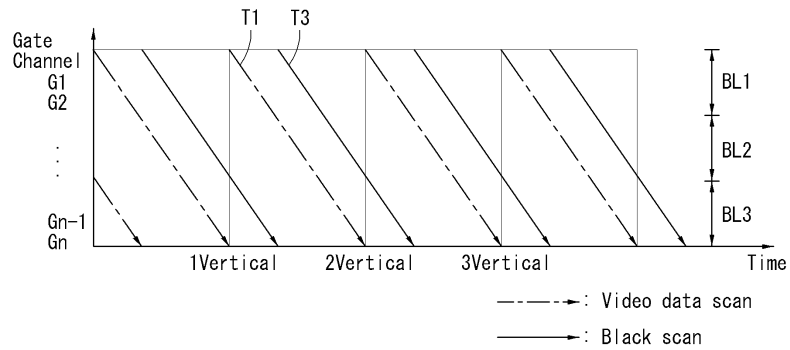
도면7



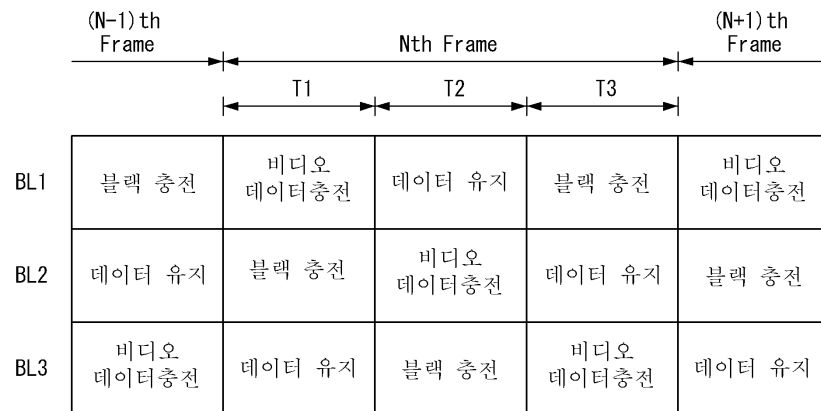
도면8



도면9

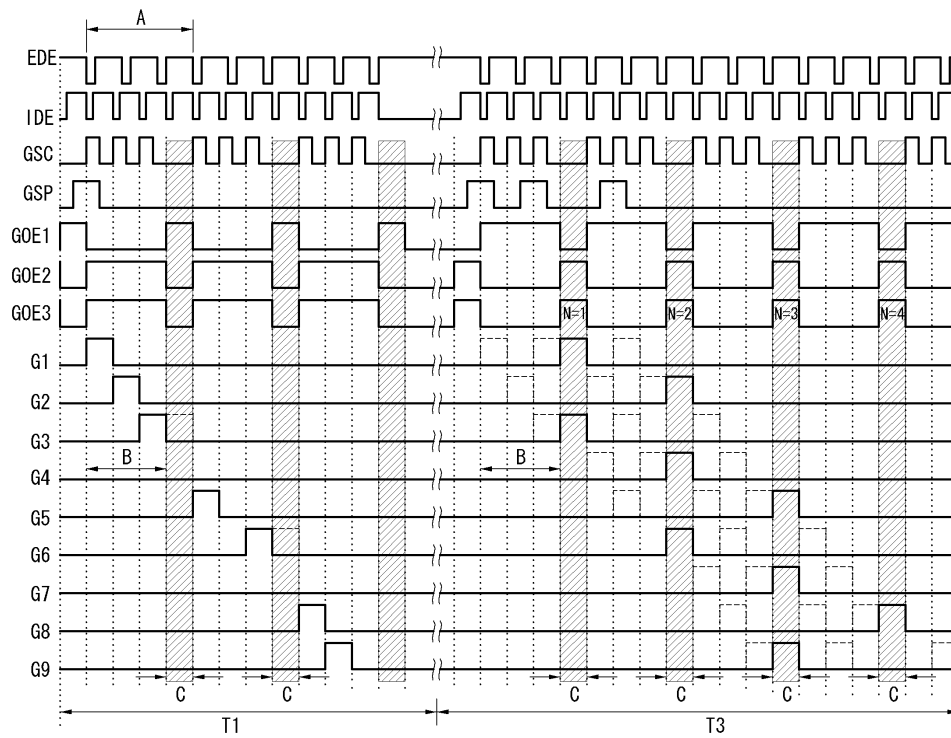


도면10

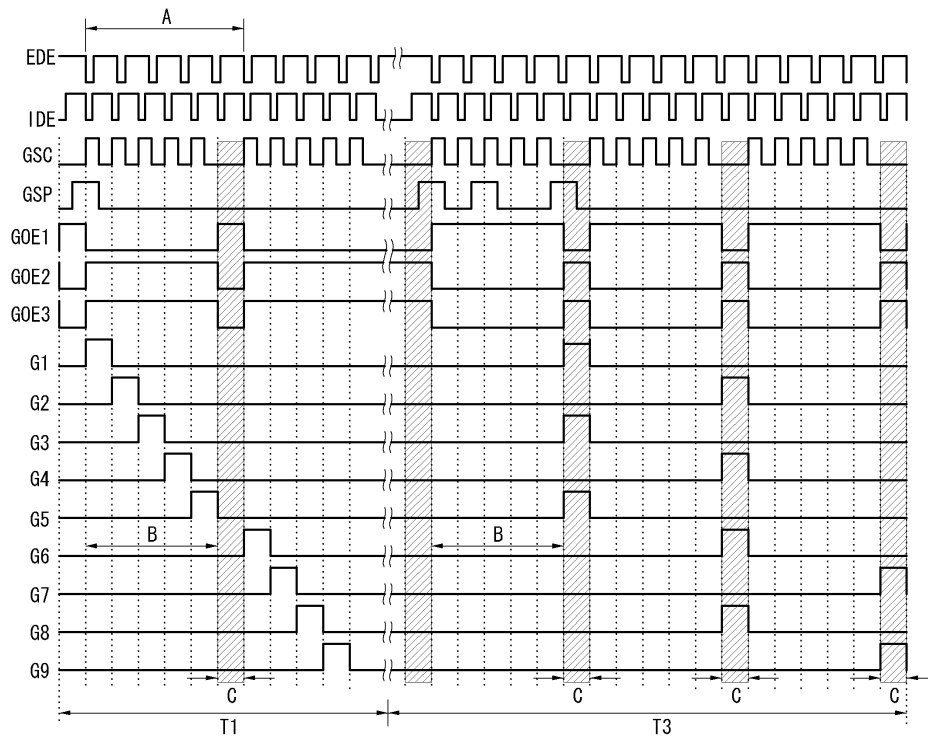




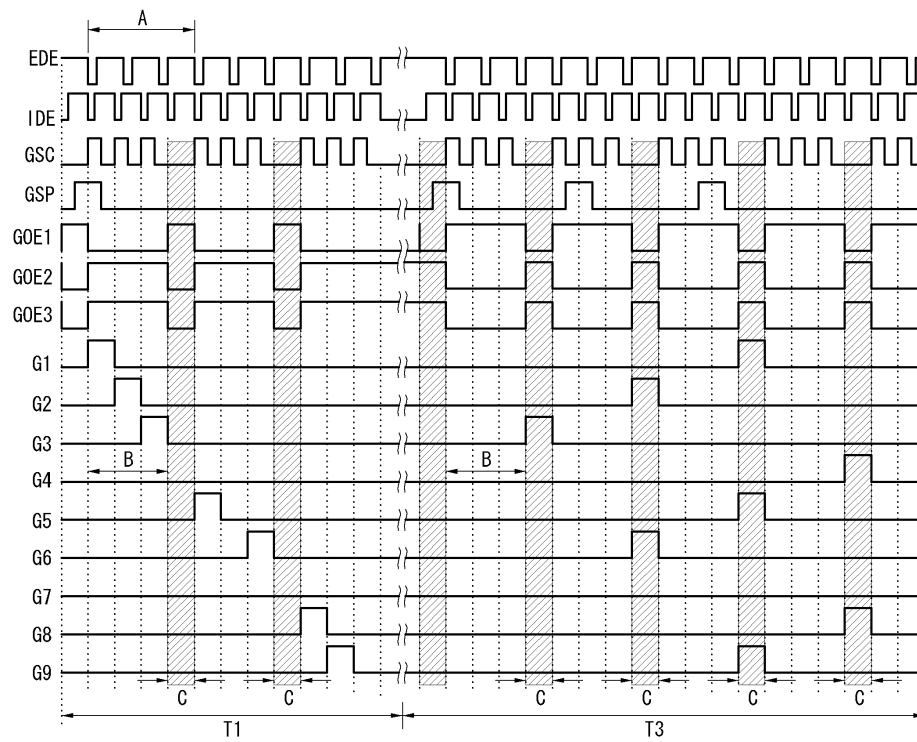
도면11



도면12



도면13



|                |                                                                                              |         |            |
|----------------|----------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示装置及其驱动方法                                                                                 |         |            |
| 公开(公告)号        | <a href="#">KR1020090092644A</a>                                                             | 公开(公告)日 | 2009-09-01 |
| 申请号            | KR1020080017995                                                                              | 申请日     | 2008-02-27 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                                                     |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                                                                    |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                                                                    |         |            |
| [标]发明人         | KIM JONG WOO<br>김종우<br>NAM HYUN TAEK<br>남현택<br>JANG SU HYUK<br>장수혁<br>MOON MYUNG KOOK<br>문명국 |         |            |
| 发明人            | 김종우<br>남현택<br>장수혁<br>문명국                                                                     |         |            |
| IPC分类号         | G09G3/36 G09G3/20 G02F1/133                                                                  |         |            |
| CPC分类号         | G09G3/3648 G09G2310/067 G09G2310/08 G09G2310/062 G09G2320/0261 G09G2370/08                   |         |            |
| 其他公开文献         | KR101298438B1                                                                                |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                    |         |            |

#### 摘要(译)

本发明涉及一种驱动珍珠筛的液晶显示器及其驱动方法。该液晶显示器包括LCD面板，其中多条栅极线与多条数据线交叉;数据驱动电路，提供数据线和黑电压的视频数据电压;多栅极驱动集成电路同时在第二时间段供电后，连续地将与黑电压同步的栅极脉冲提供给栅极线，栅极线与第一持续时间的视频数据电压相邻的栅极脉冲相邻栅极线分开1线或更大;时序控制器，产生用于控制数据驱动电路的数据时序控制信号和用于控制栅极驱动集成电路的栅极时序控制信号。

