



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년03월28일
(11) 등록번호 10-1963388
(24) 등록일자 2019년03월22일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
(21) 출원번호 10-2011-0139529
(22) 출원일자 2011년12월21일
심사청구일자 2016년12월15일
(65) 공개번호 10-2013-0071995
(43) 공개일자 2013년07월01일
(56) 선행기술조사문헌
KR101077031 B1*
KR1020020057036 A*
KR1020030095112 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김광민
부산광역시 수영구 연수로235번길 12, 유성빌라
2동 302호 (망미동)
(74) 대리인
특허법인로알

전체 청구항 수 : 총 7 항

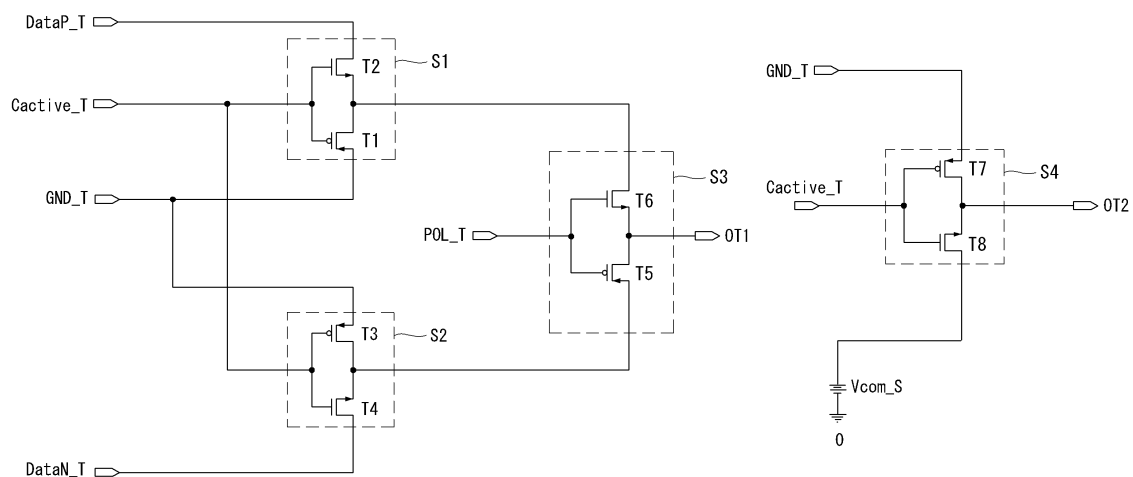
심사관 : 하정균

(54) 발명의 명칭 액정표시장치와 그 구동방법

(57) 요약

본 발명은 액정의 직류화 잔상을 개선할 수 있는 액정표시장치와 그 구동방법에 관한 것이다. 본 발명의 실시예에 따른 액정표시장치는 데이터 라인들과 게이트 라인들이 형성된 표시패널; 입력된 디지털 비디오 데이터를 아날로그 데이터 전압으로 변환하여 상기 데이터 라인들에 공급하는 데이터 구동회로; 및 상기 데이터 전압에 동기되는 게이트 펄스를 상기 게이트 라인들에 순차적으로 공급하는 게이트 구동회로를 구비하고, 상기 데이터 구동회로는, 액티브 기간 동안 상기 데이터 전압을 출력하고 상기 액티브 기간 이전의 휴지 기간인 제1 버티컬 블랭크 기간과 상기 액티브 기간 이후의 휴지 기간인 제2 버티컬 블랭크 기간 동안 그라운드 전압을 출력하는 데이터 전압 출력부와, 상기 액티브 기간 동안 직류 공통전압을 출력하고 상기 제1 및 제2 버티컬 블랭크 기간 동안 상기 그라운드 전압을 출력하는 공통전압 출력부를 포함하는 출력회로를 구비하는 것을 특징으로 한다.

대 표 도 - 도3



명세서

청구범위

청구항 1

데이터 라인들과 게이트 라인들이 형성된 표시패널;

입력된 디지털 비디오 데이터를 아날로그 데이터 전압으로 변환하여 상기 데이터 라인들에 공급하는 데이터 구동회로; 및

상기 데이터 전압에 동기되는 게이트 펄스를 상기 게이트 라인들에 순차적으로 공급하는 게이트 구동회로를 구비하고,

상기 데이터 구동회로는,

유효한 데이터전압이 표시패널에 공급되는 액티브 기간 동안 제1 출력단자를 통해서 상기 데이터 전압을 출력하고, 상기 액티브 기간 이전의 휴지 기간인 제1 버티컬 블랭크 기간과 상기 액티브 기간 이후의 휴지 기간인 제2 버티컬 블랭크 기간 동안 상기 제1 출력단자를 그라운드 전압이 인가되는 그라운드 전압 입력 단자에 연결하는 데이터 전압 출력부; 및

상기 액티브 기간 동안 제2 출력단자를 통해서 직류 공통전압을 출력하고, 상기 제1 및 제2 버티컬 블랭크 기간 동안 상기 제2 출력단자를 상기 그라운드 전압 입력 단자와 연결하는 공통전압 출력부를 포함하는 출력회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 그라운드 전압은 상기 직류 공통전압보다 높은 전압인 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 데이터 전압 출력부는,

상기 액티브 기간과 제1 및 제2 버티컬 블랭크 기간을 구분할 수 있는 액티브 기간 구분신호에 응답하여 정극성 데이터 전압과 상기 그라운드 전압 중에 어느 하나의 전압을 선택하여 출력하는 제1 선택부;

상기 액티브 기간 구분신호에 응답하여 부극성 데이터 전압과 상기 그라운드 전압 중에 어느 하나의 전압을 선택하여 출력하는 제2 선택부; 및

상기 데이터 전압의 극성을 지시하는 극성제어신호에 응답하여, 상기 제1 및 제2 선택부의 출력 전압 중 어느 하나의 전압을 선택하여 상기 제1 출력단자로 출력하는 제3 선택부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 선택부는 제1 로직 레벨의 액티브 기간 구분신호에 응답하여 상기 그라운드 전압을 상기 제1 선택부의 출력 단자에 공급하는 제1 TFT와, 제2 로직 레벨의 액티브 기간 구분신호에 응답하여 상기 정극성 데이터 전압을 상기 제1 선택부의 출력 단자에 공급하는 제2 TFT를 포함하고,

상기 제2 선택부는 상기 제1 로직 레벨의 액티브 기간 구분신호에 응답하여 상기 그라운드 전압을 상기 제2 선택부의 출력 단자에 공급하는 제3 TFT와, 상기 제2 로직 레벨의 액티브 기간 구분신호에 응답하여 상기 부극성 데이터 전압을 상기 제2 선택부의 출력 단자에 공급하는 제4 TFT를 포함하며,

상기 제3 선택부는 제1 로직 레벨의 극성제어신호에 응답하여 상기 제2 선택부의 출력 전압을 상기 제1 출력 단

자에 공급하는 제5 TFT와, 제2 로직 레벨의 극성제어신호에 응답하여 상기 제1 선택부의 출력 전압을 상기 제1 출력 단자에 공급하는 제6 TFT를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 공통전압 출력부는,

상기 액티브 기간 구분신호에 응답하여 상기 직류 공통전압과 그라운드 전압 중에 어느 하나의 전압을 선택하여 상기 제2 출력단자로 출력하는 제4 선택부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 제4 선택부는 제1 로직 레벨의 극성제어신호에 응답하여 상기 그라운드 전압을 상기 제2 출력 단자에 공급하는 제7 TFT와, 제2 로직 레벨의 극성제어신호에 응답하여 상기 직류 공통전압을 상기 제2 출력 단자에 공급하는 제8 TFT를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7

데이터 라인들과 게이트 라인들이 형성된 표시패널; 입력된 디지털 비디오 데이터를 아날로그 데이터 전압으로 변환하여 상기 데이터 라인들에 공급하는 데이터 구동회로; 및 상기 데이터 전압에 동기되는 게이트 펄스를 상기 게이트 라인들에 순차적으로 공급하는 게이트 구동회로를 구비하는 액정표시장치에 있어서,

유효한 데이터전압이 표시패널에 공급되는 액티브 기간 동안 제1 출력단자를 통해서 상기 데이터 전압을 출력하고, 상기 액티브 기간 이전의 휴지 기간인 제1 버티컬 블랭크 기간과 상기 액티브 기간 이후의 휴지 기간인 제2 버티컬 블랭크 기간 동안 상기 제1 출력단자를 그라운드 전압이 인가되는 그라운드 전압 입력 단자에 연결하는 단계; 및

상기 액티브 기간 동안 제2 출력단자를 통해서 직류 공통전압을 출력하고 상기 제1 및 제2 버티컬 블랭크 기간 동안 상기 제2 출력단자를 상기 그라운드 전압 입력 단자와 연결하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

발명의 설명

기술분야

[0001] 본 발명은 액정의 직류화 잔상을 개선할 수 있는 액정표시장치와 그 구동방법에 관한 것이다.

배경기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 영상을 표시하고 있다. 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.

[0003] 액정표시장치는 데이터 라인들과 게이트 라인들이 교차하고 그 교차 구조로 정의된 영역들에 액정셀들이 매트릭스 형태로 배치된 표시패널을 포함한다. 데이터 라인들과 게이트 라인들의 교차부에는 TFT가 형성된다. 액정표시장치는 게이트 라인들에 스캔 신호를 공급하는 게이트 구동회로와 데이터 라인들에 데이터 전압을 공급하는 데이터 구동회로를 이용하여 영상을 표시한다. 데이터 구동회로는 액정의 직류화(direct current, DC) 잔상과 액정의 열화를 방지하기 위해 데이터 전압을 교류로 공급한다. 즉, 데이터 전압은 공통전압 대비 정극성 및 부극성으로 매 프레임 기간마다 교대로 공급된다. 액정의 직류화 잔상은 데이터 전압이 직류로 공급되는 경우 액정분자의 하전입자가 배향막에 쌓이게 되어 액정분자의 프리틸트각(pre-tilt angle)이 변경됨으로써 액정분자에 의해 잔상이 발생하는 것을 의미한다.

[0004] 한편, 1 프레임 기간은 액티브 기간(active period)과 버티컬 블랭크 기간(vertical blank period)로 분할될 수 있다. 액티브 기간은 유효한 데이터 전압이 표시패널에 공급되는 기간을 의미하고, 버티컬 블랭크 기간은 휴지 기간을 의미한다. 버티컬 블랭크 기간은 휴지 기간임에도 불구하고, 버티컬 블랭크 기간 동안 데이터 전압과 공통전압 간의 전압 차에 의해 잔류 전압이 축적될 수 있다. 이로 인해 액정의 직류화 잔상이 발생하는 문제가 발생할 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 액정의 직류화 잔상을 개선할 수 있는 액정표시장치와 그 구동방법을 제공한다.

과제의 해결 수단

[0006] 본 발명의 실시예에 따른 액정표시장치는 데이터 라인들과 게이트 라인들이 형성된 표시패널; 입력된 디지털 비디오 데이터를 아날로그 데이터 전압으로 변환하여 상기 데이터 라인들에 공급하는 데이터 구동회로; 및 상기 데이터 전압에 동기되는 게이트 펄스를 상기 게이트 라인들에 순차적으로 공급하는 게이트 구동회로를 구비하고, 상기 데이터 구동회로는, 액티브 기간 동안 상기 데이터 전압을 출력하고 상기 액티브 기간 이전의 휴지 기간인 제1 버티컬 블랭크 기간과 상기 액티브 기간 이후의 휴지 기간인 제2 버티컬 블랭크 기간 동안 그라운드 전압을 출력하는 데이터 전압 출력부와, 상기 액티브 기간 동안 직류 공통전압을 출력하고 상기 제1 및 제2 버티컬 블랭크 기간 동안 상기 그라운드 전압을 출력하는 공통전압 출력부를 포함하는 출력회로를 구비하는 것을 특징으로 한다.

[0007] 본 발명의 또 다른 실시예에 따른 액정표시장치는 데이터 라인들과 게이트 라인들이 형성된 표시패널; 입력된 디지털 비디오 데이터를 아날로그 데이터 전압으로 변환하여 상기 데이터 라인들에 공급하는 데이터 구동회로; 및 상기 데이터 전압에 동기되는 게이트 펄스를 상기 게이트 라인들에 순차적으로 공급하는 게이트 구동회로를 구비하고, 상기 데이터 구동회로는, 상기 데이터 전압을 출력하는 데이터 전압 출력부와, 액티브 기간 동안 직류 공통전압을 출력하고 상기 액티브 기간 이전의 제1 버티컬 블랭크 기간과 상기 액티브 기간 이후의 제2 버티컬 블랭크 기간 동안 상기 데이터 전압 출력부의 출력 전압과 실질적으로 동일한 전압을 출력하는 공통전압 출력부를 포함하는 출력회로를 구비하는 것을 특징으로 한다.

[0008] 본 발명의 실시예에 따른 액정표시장치의 구동방법은 데이터 라인들과 게이트 라인들이 형성된 표시패널; 입력

된 디지털 비디오 데이터를 아날로그 데이터 전압으로 변환하여 상기 데이터 라인들에 공급하는 데이터 구동회로; 및 상기 데이터 전압에 동기되는 게이트 펄스를 상기 게이트 라인들에 순차적으로 공급하는 게이트 구동회로를 구비하는 액정표시장치에 있어서, 액티브 기간 동안 상기 데이터 전압을 출력하고 상기 액티브 기간 이전의 휴지 기간인 제1 버티컬 블랭크 기간과 상기 액티브 기간 이후의 휴지 기간인 제2 버티컬 블랭크 기간 동안 그라운드 전압을 출력하는 단계; 및 상기 액티브 기간 동안 직류 공통전압을 출력하고 상기 제1 및 제2 버티컬 블랭크 기간 동안 상기 그라운드 전압을 출력하는 단계를 포함하는 것을 특징으로 한다.

[0009] 본 발명의 또 다른 실시예에 따른 액정표시장치의 구동방법은 데이터 라인들과 게이트 라인들이 형성된 표시패널; 입력된 디지털 비디오 데이터를 아날로그 데이터 전압으로 변환하여 상기 데이터 라인들에 공급하는 데이터 구동회로; 및 상기 데이터 전압에 동기되는 게이트 펄스를 상기 게이트 라인들에 순차적으로 공급하는 게이트 구동회로를 구비하는 액정표시장치에 있어서, 상기 데이터 전압을 출력하는 단계; 및 액티브 기간 동안 직류 공통전압을 출력하고 상기 액티브 기간 이전의 제1 버티컬 블랭크 기간과 상기 액티브 기간 이후의 제2 버티컬 블랭크 기간 동안 상기 데이터 전압 출력부의 출력 전압과 실질적으로 동일한 전압을 출력하는 단계를 포함하는 것을 특징으로 한다.

발명의 효과

[0010] 본 발명은 버티컬 블랭크 기간 동안 공통전압과 데이터 전압을 실질적으로 동등하게 인가한다. 그 결과, 본 발명은 버티컬 블랭크 기간 동안 공통 전압과 데이터 전압 간의 전압 차를 없앨 수 있으므로, 액정의 직류화 잔상을 개선할 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 실시예에 따른 액정표시장치를 개략적으로 보여주는 블록도.
 도 2는 소스 드라이브 IC를 보여주는 블록도.
 도 3은 본 발명의 제1 실시예에 따른 출력회로의 회로도.
 도 4는 도 3의 출력회로에 입력되는 액티브 기간 구분신호, 극성제어신호, 및 데이터 전압과 공통전압의 출력을 보여주는 파형도.
 도 5는 본 발명의 제2 실시예에 따른 출력회로의 회로도.
 도 6은 도 5의 출력회로에 입력되는 액티브 기간 구분신호, 극성제어신호, 및 데이터 전압과 공통전압의 출력을 보여주는 파형도.

발명을 실시하기 위한 구체적인 내용

[0012] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0013] 도 1은 본 발명의 실시예에 따른 액정표시장치를 개략적으로 보여주는 블록도. 도 1을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(10), 백라이트 유닛, 게이트 구동회로(110), 데이터 구동회로(120), 및 타이밍 컨트롤러(130) 등을 포함한다.

[0014] 액정표시패널(10)은 두 장의 유리기판 사이에 액정층이 형성된다. 액정표시패널(10)은 데이터 라인(D)들과 게이트 라인(G)들의 교차 구조에 의해 매트릭스 형태로 배치된 픽셀들을 포함한다. 액정표시패널(10)의 박막 트랜지스터(Thin Film Transistor, 이하 'TFT'라 칭함) 어레이 기판에는 데이터 라인(D)들, 데이터 라인(D)들과 교차되는 게이트 라인(G)들, 데이터 라인(D)들과 게이트 라인(G)들의 교차부에 형성된 TFT, TFT에 접속된 액정

셀(C1c)의 화소 전극(1), 화소 전극(1)에 접속된 스토리지 커패시터(Cst) 등이 형성된다.

- [0015] 액정셀(C1c)은 TFT에 접속되어 화소 전극(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 공통전극(2)에는 공통전압(Vcom)이 공급된다. 공통전극(2)은 TFT 어레이 기판 및/또는 컬러필터 어레이 기판에 형성될 수 있다. 액정표시패널(10)의 컬러필터 어레이 기판에는 블랙매트릭스, 컬러필터 등이 형성된다. 액정표시패널(10)의 TFT 어레이 기판과 컬러필터 어레이 기판 각각에는 편광판이 부착된다. TFT 어레이 기판과 컬러필터 어레이 기판 각각에서 액정층과 접하는 면에는 액정분자들의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0016] 액정표시패널(10)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식으로 구현되거나 IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식으로 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛(20)이 필요하다. 백라이트 유닛(20)은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0017] 데이터 구동회로(120)는 다수의 소스 드라이브 IC(Integrated Circuit)를 포함한다. 소스 드라이브 IC는 데이터 타이밍 제어신호(DCS)에 응답하여 타이밍 콘트롤러(130)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 정극성/부극성 감마전압으로 변환하여 정극성/부극성 데이터 전압을 생성한다. 데이터 구동회로(120)로부터 출력된 정극성/부극성 데이터 전압은 데이터 라인(D)들에 공급된다. 데이터 구동회로(120)의 소스 드라이브 IC들은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 표시패널(10)의 데이터 라인(D)들에 접속될 수 있다. 소스 드라이브 IC에 대한 자세한 설명은 도 2를 결부하여 후술한다.
- [0018] 게이트 구동회로(110)는 게이트 타이밍 제어신호(GCS)에 응답하여 데이터 전압과 동기되는 게이트 펄스를 게이트 라인(G)들에 순차적으로 공급한다. 게이트 구동회로(110)는 게이트 스타트 펄스(Gate Start Pulse)를 게이트 쉬프트 클럭(Gate Shift Clock)에 따라 순차적으로 쉬프트하여 출력하는 쉬프트 레지스터, 쉬프트 레지스터의 출력을 화소의 TFT 구동에 적합한 스윙폭으로 변환하는 레벨 쉬프터, 및 출력 버퍼 등을 포함한다. 게이트 구동회로(110)는 GIP(Gate In Panel) 방식으로 표시패널(10)의 TFT 어레이 기판상에 직접 형성되거나 TAB 방식으로 표시패널(10)의 게이트 라인(G)들에 접속될 수 있다.
- [0019] 타이밍 콘트롤러(130)는 호스트 시스템(140)으로부터 공급된 입력 영상의 디지털 비디오 데이터(DATA)를 데이터 구동회로(120)에 공급한다. 타이밍 콘트롤러(130)는 호스트 시스템(140)으로부터 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호(Data Enable), 도트 클럭(CLK) 등의 타이밍 신호를 입력받아 데이터 구동회로(120)와 게이트 구동회로(110)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 게이트 구동회로(110)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GCS), 데이터 구동회로(120)의 동작 타이밍과 데이터전압의 극성을 제어하기 위한 데이터 타이밍 제어신호(DCS)를 포함한다.
- [0020] 게이트 타이밍 제어신호(GCS)는 게이트 스타트 펄스, 게이트 쉬프트 클럭, 게이트 출력 인에이블신호(Gate Output Enable) 등을 포함한다. 게이트 스타트 펄스는 첫 번째 게이트 펄스를 발생하는 게이트 드라이브 IC에 인가되어 첫 번째 게이트 펄스가 발생되도록 그 게이트 드라이브 IC를 제어한다. 게이트 쉬프트 클럭은 게이트 드라이브 IC들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스를 쉬프트시키기 위한 클럭신호이다. 게이트 출력 인에이블 신호는 게이트 드라이브 IC들의 출력을 제어한다.
- [0021] 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse), 소스 샘플링 클럭(Source Sampling Clock), 극성(Polarity) 제어신호(POL), 소스 출력 인에이블 신호(Source Output Enable, SOE), 및 액티브 기간 구분신호(Cactive) 등을 포함한다. 소스 스타트 펄스는 소스 드라이브 IC의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블 신호(SOE)는 소스 드라이브 IC의 출력 타이밍을 제어한다. 극성제어신호(POL)는 소스 드라이브 IC로부터 출력되는 데이터 전압의 극성을 지시한다. 액티브 기간 구분신호(Cactive)는 액티브 기간(active period, ACTIVE)과 버티컬 블랭크 기간(vertical blank period, VBI1, VBI2)을 구분한다. 소스 드라이브 IC는 액티브 기간 구분신호(Cactive)에 따라 액티브 기간(ACTIVE)과 버티컬 블랭크 기간(VBI1, VBI2)에서 소스 드라이브 IC로부터 출력되는 데이터 전압과 공통전압을 다르게 제어한다. 한편, 소스 드라이브 IC에 입력될 디지털 비디오 데이터(DATA)가 mini LVDS(Low Voltage Differential Signaling) 인터페이스 규격으로 전송된다면, 소스 스타트 펄스와 소스 샘플링 클럭은 생략될 수 있다.

- [0022] 호스트 시스템(140)은 스케일러(scaler)가 내장된 시스템 온 칩(System on Chip, 이하 "SoC"라 함)을 포함하여 외부 비디오 소스 기기로부터 입력된 디지털 영상 데이터를 표시패널(10)에 표시하기에 적합한 해상도의 데이터 포맷으로 변환할 수 있다. 호스트 시스템(140)은 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 디지털 영상 데이터(DATA)를 타이밍 컨트롤러(130)에 공급한다. 또한, 호스트 시스템(140)은 수직동기신호, 수평동기신호, 데이터 인에이블 신호, 및 도트 클럭 등의 타이밍 신호들을 타이밍 컨트롤러(130)에 공급한다.
- [0023] 도 2는 소스 드라이브 IC를 보여주는 블록도이다. 도 2를 참조하면, 소스 드라이브 IC는 데이터 레지스터(121), 쉬프트 레지스터(122), 2 라인 래치(123), DAC(Digital-to-Analog Converter)(124), 및 출력회로(125)들을 포함한다.
- [0024] 데이터 레지스터(121)는 타이밍 컨트롤러(130)로부터 수신되는 디지털 비디오 데이터(DATA)를 병렬 데이터로 변환하여 2 라인 래치(123)에 공급한다. 쉬프트 레지스터(122)는 소스 스타트 펄스(SSP)를 소스 샘플링 클럭(SSC)에 맞추어 쉬프트시킴으로써 샘플링 클럭을 순차적으로 발생한다. 2 라인 래치(123)는 쉬프트 레지스터(122)로부터 순차적으로 입력되는 샘플링 클럭을 기준으로 데이터 레지스터(121)로부터 입력되는 디지털 비디오 데이터(DATA)를 샘플링하고 소스 출력 인에이블신호(SOE)의 로우 로직 전압에 응답하여 다른 소스 드라이브 IC들의 2 라인 래치와 동시에 래치된 데이터들을 출력한다. DAC(124)은 감마전압 발생회로로부터 정극성/부극성 감마전압(GMAs)을 공급받고, 정극성/부극성 감마전압을 이용하여 2 라인 래치(123)로부터 입력되는 디지털 비디오 데이터(DATA)를 정극성/부극성 아날로그 데이터 전압으로 변환한다. 이때, 8 비트(bits)의 디지털 비디오 데이터(DATA)가 공급되는 경우, 디지털 비디오 데이터(DATA)는 제0 내지 제255 계조(gray level)(G0~G255)를 갖는 256개의 데이터로 표현될 수 있다.
- [0025] 출력회로(125)는 극성제어신호(POL)의 극성(polarity)에 따라 정극성/부극성 아날로그 데이터 전압을 출력한다. 또한, 출력회로(125)는 액티브 기간 구분신호(Cactive)에 따라 액티브 기간(ACTIVE)과 버티컬 블랭크 기간(VBI1, VBI2)에서 데이터 전압(Vdata)과 공통전압(Vcom)에 인가되는 전압을 다르게 제어한다. 출력회로(125)에 대한 자세한 설명은 도 3 내지 도 6을 결부하여 후술한다.
- [0026] 도 3은 본 발명의 제1 실시예에 따른 출력회로의 회로도이다. 도 3을 참조하면, 본 발명의 제1 실시예에 따른 출력회로(125)는 데이터 전압 출력부(125a)와 공통전압 출력부(125b)를 포함한다.
- [0027] 데이터 전압 출력부(125a)는 제1 내지 제3 선택부(s1, s2, s3)를 포함한다. 제1 선택부(s1)는 액티브 기간 구분신호 입력 단자(Cactive_T)를 통해 공급되는 액티브 기간 구분신호(Cactive)에 응답하여 정극성 데이터 전압(DataP)과 그라운드 전압(GND) 중에 어느 하나의 전압을 선택하여 출력한다. 제2 선택부(s2)는 액티브 기간 구분신호 입력 단자(Cactive_T)를 통해 공급되는 액티브 기간 구분신호(Cactive)에 응답하여 부극성 데이터 전압(DataN)과 그라운드 전압(GND) 중에 어느 하나의 전압을 선택하여 출력한다. 제3 선택부(s3)는 극성제어신호(POL) 입력 단자를 통해 공급되는 극성제어신호(POL)에 응답하여 제1 및 제2 선택부(s1, s2)의 출력 전압 중 어느 하나의 전압을 선택하여 출력한다.
- [0028] 제1 내지 제3 선택부(s1, s2, s3) 각각은 2 개의 TFT를 포함한다. 제1 선택부(s1)는 제1 및 제2 TFT(T1, T2)를 포함한다. 제1 선택부(s1)의 제1 TFT(T1)는 액티브 기간 구분신호 입력 단자(Cactive_T)를 통해 공급되는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 응답하여 턴-온되어 그라운드 전압 입력 단자(GND_T)를 통해 공급되는 그라운드 전압(GND)을 제1 선택부(s1)의 출력 단자에 공급한다. 제1 선택부(s1)의 제1 TFT(T1)의 게이트 전극은 액티브 기간 구분신호 입력 단자(Cactive_T)에 접속되고, 소스 전극은 그라운드 전압 입력 단자(GND_T)에 접속되며, 드레인 전극은 제1 선택부(s1)의 출력 단자에 접속된다. 제1 선택부(s1)의 제2 TFT(T2)는 액티브 기간 구분신호 입력 단자(Cactive_T)를 통해 공급되는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 응답하여 턴-온되어 정극성 데이터 전압 입력 단자(DataP_T)를 통해 공급되는 정극성 데이터 전압(DataP)을 제1 선택부(s1)의 출력 단자에 공급한다. 제1 선택부(s1)의 제2 TFT(T2)의 게이트 전극은 액티브 기간 구분신호 입력 단자(Cactive_T)에 접속되고, 소스 전극은 제1 선택부(s1)의 출력 단자에 접속되며, 드레인 전극은 정극성 데이터 전압 입력 단자(DataP_T)에 접속된다.
- [0029] 제2 선택부(s2)는 제3 및 제4 TFT(T3, T4)를 포함한다. 제2 선택부(s2)의 제3 TFT(T3)는 액티브 기간 구분신호 입력 단자(Cactive_T)를 통해 공급되는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 응답하여 턴-온되

어 그라운드 전압 입력 단자(GND_T)를 통해 공급되는 그라운드 전압(GND)을 제2 선택부(s2)의 출력 단자에 공급한다. 제2 선택부(s2)의 제3 TFT(T3)의 게이트 전극은 액티브 기간 구분신호 입력 단자(Cactive_T)에 접속되고, 소스 전극은 그라운드 전압 입력 단자(GND_T)에 접속되며, 드레인 전극은 제2 선택부(s2)의 출력 단자에 접속된다. 제2 선택부(s2)의 제4 TFT(T4)는 액티브 기간 구분신호 입력 단자(Cactive_T)를 통해 공급되는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 응답하여 턴-온되어 부극성 데이터 전압 입력 단자(DataN_T)를 통해 공급되는 부극성 데이터 전압(DataN)을 제2 선택부(s2)의 출력 단자에 공급한다. 제2 선택부(s2)의 제4 TFT(T4)의 게이트 전극은 액티브 기간 구분신호 입력 단자(Cactive_T)에 접속되고, 소스 전극은 제2 선택부(s2)의 출력 단자에 접속되며, 드레인 전극은 부극성 데이터 전압 입력 단자(DataN_T)에 접속된다.

[0030] 제3 선택부(s3)는 제5 및 제6 TFT(T5, T6)를 포함한다. 제3 선택부(s3)의 제5 TFT(T5)는 극성제어신호 입력 단자(POL_T)를 통해 공급되는 제1 로직 레벨의 극성제어신호(Cactive)에 응답하여 턴-온되어 제2 선택부(s2)의 출력 단자를 통해 공급되는 전압을 제3 선택부(s3)의 출력 단자에 공급한다. 제3 선택부(s3)의 제5 TFT(T5)의 게이트 전극은 극성제어신호 입력 단자(POL_T)에 접속되고, 소스 전극은 제2 선택부(s2)의 출력 단자에 접속되며, 드레인 전극은 제3 선택부(s3)의 출력 단자에 접속된다. 제3 선택부(s3)의 제6 TFT(T6)는 극성제어신호 입력 단자(POL_T)를 통해 공급되는 제2 로직 레벨의 극성제어신호(Cactive)에 응답하여 턴-온되어 제1 선택부(s1)의 출력 단자를 통해 공급되는 전압을 제3 선택부(s3)의 출력 단자에 공급한다. 제3 선택부(s3)의 제6 TFT(T6)의 게이트 전극은 극성제어신호 입력 단자(POL_T)에 접속되고, 소스 전극은 제3 선택부(s3)의 출력 단자에 접속되며, 드레인 전극은 제1 선택부(s1)의 출력 단자에 접속된다.

[0031] 제3 선택부(s3)의 출력 단자는 데이터 전압 출력부(125a)의 출력 단자(OT1)에 접속된다. 데이터 전압 출력부(125a)의 출력 단자(OT1)로부터 출력된 전압은 표시패널(10)의 데이터 라인에 데이터 전압(Vdata)으로 공급된다.

[0032] 공통전압 출력부(125b)는 제4 선택부(s4)를 포함한다. 제4 선택부(s4)는 액티브 기간 구분신호 입력 단자(Cactive_T)를 통해 공급되는 액티브 기간 구분신호(Cactive)에 응답하여 직류 공통전압(Vcom_DC)과 그라운드 전압(GND) 중에 어느 하나의 전압을 선택하여 출력한다. 그라운드 전압(GND)은 표시패널(10)의 TFT의 기생용량으로 인해 발생하는 킥백 전압(kickback voltage)을 고려하여 도 4와 같이 직류 공통전압(Vcom_DC)보다 높은 전압으로 설정될 수 있다.

[0033] 제4 선택부(s4)는 제7 및 제8 TFT(T7, T8)를 포함한다. 제4 선택부(s4)의 제7 TFT(T7)는 액티브 기간 구분신호 입력 단자(Cactive_T)를 통해 공급되는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 응답하여 턴-온되어 그라운드 전압 입력 단자(GND_T)를 통해 공급되는 그라운드 전압(GND)을 제4 선택부(s4)의 출력 단자에 공급한다. 제4 선택부(s4)의 제7 TFT(T7)의 게이트 전극은 액티브 기간 구분신호 입력 단자(Cactive_T)에 접속되고, 소스 전극은 그라운드 전압 입력 단자(GND_T)에 접속되며, 드레인 전극은 제4 선택부(s4)의 출력 단자에 접속된다. 제4 선택부(s4)의 제8 TFT(T8)는 액티브 기간 구분신호 입력 단자(Cactive_T)를 통해 공급되는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 응답하여 턴-온되어 직류 공통전압 공급원(Vcom_S)을 통해 공급되는 직류 공통전압(Vcom_DC)을 제4 선택부(s4)의 출력 단자에 공급한다. 제4 선택부(s4)의 제8 TFT(T8)의 게이트 전극은 액티브 기간 구분신호 입력 단자(Cactive_T)에 접속되고, 소스 전극은 제4 선택부(s4)의 출력 단자에 접속되며, 드레인 전극은 직류 공통전압 공급원(Vcom_S)에 접속된다.

[0034] 제4 선택부(s4)의 출력 단자는 공통전압 출력부(125b)의 출력 단자(OT2)에 접속된다. 공통전압 출력부(125b)의 출력 단자(OT2)로부터 출력된 전압은 표시패널(10)의 공통라인에 공통전압(Vcom)으로 공급된다.

[0035] 한편, 본 발명의 제1 실시예에서는 제1, 제3, 제5, 및 제7 TFT(T1, T3, T5, T7)는 P 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 구현되고, 제2, 제4, 제6, 및 제8 TFT(T2, T4, T6, T8)는 N 타입 MOSFET으로 구현된 것을 중심으로 설명하였지만, 이에 한정되지 않음에 주의하여야 한다. 즉, 제1, 제3, 제5, 및 제7 TFT(T1, T3, T5, T7)는 N 타입 MOSFET으로 구현되고, 제2, 제4, 제6, 및 제8 TFT(T2, T4, T6, T8)는 P 타입 MOSFET으로 구현될 수도 있다.

[0036] 도 4는 도 3의 출력회로에 입력되는 액티브 기간 구분신호, 극성제어신호, 및 데이터 전압과 공통전압의 출력을 보여주는 파형도이다. 도 4에는 제N(N은 자연수) 내지 N+2 프레임 기간 동안 출력회로(125)에 공급되는 액티브 기간 구분신호(Cactive)와 극성제어신호(POL)가 나타나 있다. 또한, 도 4에는 제N 내지 제N+2 프레임 기간 동안 데이터 라인을 통해 공급되는 데이터 전압(Vdata)과 공통전압(Vcom)의 일 예가 나타나 있다.

- [0037] 도 4를 참조하면, 제N 내지 제N+2 프레임 기간 각각은 액티브 기간(ACTIVE)과 제1 및 제2 버티컬 블랭크 기간(VBI1, VBI2)을 포함한다. 액티브 기간(ACTIVE)은 유효한 데이터 전압이 표시패널에 공급되는 기간을 의미하고, 제1 및 제2 버티컬 블랭크 기간(VBI1, VBI2)은 휴지 기간을 의미한다. 특히, 제1 버티컬 블랭크 기간(VBI1)은 액티브 기간(ACTIVE) 이전의 휴지 기간을 의미하고, 제2 버티컬 블랭크 기간(VBI2)은 액티브 기간(ACTIVE) 이후의 휴지 기간을 의미한다.
- [0038] 액티브 기간 구분신호(Cactive)는 제1 로직 레벨과 제2 로직 레벨 사이를 스위칭한다. 극성제어신호(POL)는 1 프레임 기간을 주기로 제1 로직 레벨과 제2 로직 레벨 사이를 스위칭한다. 본 발명의 제1 실시예에서는 제1 로직 레벨은 로우 로직 레벨(L), 제2 로직 레벨은 하이 로직 레벨(H)인 것을 중심으로 설명하였으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 제1 및 제2 로직 레벨은 제1 내지 제8 TFT(T1, T2, T3, T4, T5, T6, T7, T8)가 P 타입 MOSFET, N 타입 MOSFET 중 어떤 타입으로 구현되느냐에 따라 달라질 수 있다.
- [0039] 예를 들어, 도 4와 같이 액티브 기간 구분신호(Cactive)는 제N 및 제N+1 프레임 기간의 액티브 기간(ACTIVE) 동안 제2 로직 레벨로 발생하고, 제N 및 제N+1 프레임 기간의 제1 및 제2 버티컬 블랭크 기간(VBI1, VBI2) 동안 제1 로직 레벨로 발생할 수 있다. 극성제어신호(POL)는 제N 프레임 기간의 액티브 기간(ACTIVE) 및 제2 버티컬 블랭크 기간(VBI2)과, 제N+1 프레임 기간의 제1 버티컬 블랭크 기간(VBI1) 동안 제2 로직 레벨로 발생할 수 있다. 극성제어신호(POL)는 제N+1 프레임 기간의 액티브 기간(ACTIVE) 및 제2 버티컬 블랭크 기간(VBI2)과, 제N+2 프레임 기간의 제1 버티컬 블랭크 기간(VBI1) 동안 제1 로직 레벨로 발생할 수 있다.
- [0040] 이하에서, 도 3 및 도 4를 참조하여 제N 및 제N+1 프레임 기간 동안 데이터 전압(Vdata)과 공통전압(Vcom)의 출력에 대하여 상세히 설명한다.
- [0041] 첫 번째로, 제N 프레임 기간의 제1 버티컬 블랭크 기간(VBI1) 동안 제1 로직 레벨의 액티브 기간 구분신호(Cactive)가 액티브 기간 구분신호 입력 단자(Cactive_T)로 공급되고, 제1 로직 레벨의 극성제어신호(POL)가 극성제어신호 입력 단자(POL_T)로 공급된다. 제1 선택부(s1)의 제1 TFT(T1)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온되고, 제2 TFT(T2)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프된다. 따라서, 제1 선택부(s1)는 그라운드 전압 입력 단자(GND_T)를 통해 공급되는 그라운드 전압(GND)을 출력한다. 제2 선택부(s2)의 제3 TFT(T3)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온되고, 제4 TFT(T4)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프된다. 따라서, 제2 선택부(s2)는 그라운드 전압 입력 단자(GND_T)를 통해 공급되는 그라운드 전압(GND)을 출력한다. 제3 선택부(s3)의 제5 TFT(T5)는 제1 로직 레벨의 극성제어신호(POL)에 의해 턴-온되고, 제6 TFT(T6)는 제1 로직 레벨의 극성제어신호(POL)에 의해 턴-오프된다. 따라서, 제3 선택부(s3)는 제2 선택부(s2)의 출력 전압인 그라운드 전압(GND)을 출력한다. 제4 선택부(s4)의 제7 TFT(T7)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온되고, 제8 TFT(T8)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프된다. 따라서, 제4 선택부(s4)는 그라운드 전압 입력 단자(GND_T)를 통해 공급되는 그라운드 전압(GND)을 출력한다. 결국, 데이터 전압 출력부(125a)는 그라운드 전압(GND)을 출력하고, 공통전압 출력부(125b)는 그라운드 전압(GND)을 출력한다.
- [0042] 두 번째로, 제N 프레임 기간의 액티브 기간(ACTIVE) 동안 제2 로직 레벨의 액티브 기간 구분신호(Cactive)가 액티브 기간 구분신호 입력 단자(Cactive_T)로 공급되고, 제2 로직 레벨의 극성제어신호(POL)가 극성제어신호 입력 단자(POL_T)로 공급된다. 제1 선택부(s1)의 제1 TFT(T1)는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프되고, 제2 TFT(T2)는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온된다. 따라서, 제1 선택부(s1)는 정극성 데이터 전압 입력 단자(DataP_T)를 통해 공급되는 정극성 데이터 전압(DataP)을 출력한다. 제2 선택부(s2)의 제3 TFT(T3)는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프되고, 제4 TFT(T4)는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온된다. 따라서, 제2 선택부(s2)는 부극성 데이터 전압 입력 단자(DataN_T)를 통해 공급되는 부극성 데이터 전압(DataN)을 출력한다. 제3 선택부(s3)의 제5 TFT(T5)는 제2 로직 레벨의 극성제어신호(POL)에 의해 턴-오프되고, 제6 TFT(T6)는 제2 로직 레벨의 극성제어신호(POL)에 의해 턴-온된다. 따라서, 제3 선택부(s3)는 제1 선택부(s1)의 출력 전압인 정극성 데이터 전압(DataP)을 출력한다. 제4 선택부(s4)의 제7 TFT(T7)는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프되고, 제8 TFT(T8)는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온된다. 따라서, 제4 선택부(s4)는 공통전압 공급원(Vcom_S)을 통해 공급되는 직류 공통전압(Vcom_DC)을 출력한다. 결국, 데이터 전압 출력부(125a)는 정극성 데이터 전압(DataP)을 출력하고, 공통전압 출력부(125b)는 직류 공통전압(Vcom_DC)을 출력한다.
- [0043] 세 번째로, 제N 프레임 기간의 제2 버티컬 블랭크 기간(VBI2) 동안 제1 로직 레벨의 액티브 기간 구분신호

(Cactive)가 액티브 기간 구분신호 입력 단자(Cactive_T)로 공급되고, 제2 로직 레벨의 극성제어신호(POL)가 극성제어신호 입력 단자(POL_T)로 공급된다. 제1 선택부(s1)의 제1 TFT(T1)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온되고, 제2 TFT(T2)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프된다. 따라서, 제1 선택부(s1)는 그라운드 전압 입력 단자(GND_T)를 통해 공급되는 그라운드 전압(GND)을 출력한다. 제2 선택부(s2)의 제3 TFT(T3)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온되고, 제4 TFT(T4)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프된다. 따라서, 제2 선택부(s2)는 그라운드 전압 입력 단자(GND_T)를 통해 공급되는 그라운드 전압(GND)을 출력한다. 제3 선택부(s3)의 제5 TFT(T5)는 제2 로직 레벨의 극성제어신호(POL)에 의해 턴-오프되고, 제6 TFT(T6)는 제2 로직 레벨의 극성제어신호(POL)에 의해 턴-온된다. 따라서, 제3 선택부(s3)는 제1 선택부(s1)의 출력 전압인 그라운드 전압(GND)을 출력한다. 제4 선택부(s4)의 제7 TFT(T7)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온되고, 제8 TFT(T8)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프된다. 따라서, 제4 선택부(s4)는 그라운드 전압 입력 단자(GND_T)를 통해 공급되는 그라운드 전압(GND)을 출력한다. 결국, 데이터 전압 출력부(125a)는 그라운드 전압(GND)을 출력하고, 공통전압 출력부(125b)는 그라운드 전압(GND)을 출력한다.

[0044] 네 번째로, 제N+1 프레임 기간의 제1 버티컬 블랭크 기간(VBI1) 동안 제1 로직 레벨의 액티브 기간 구분신호(Cactive)가 액티브 기간 구분신호 입력 단자(Cactive_T)로 공급되고, 제2 로직 레벨의 극성제어신호(POL)가 극성제어신호 입력 단자(POL_T)로 공급된다. 따라서, 제N+1 프레임 기간의 제1 버티컬 블랭크 기간(VBI1) 동안 제1 내지 제4 선택부(s1~s4)의 출력은 제N 프레임 기간의 제2 버티컬 블랭크 기간(VBI2) 동안 제1 내지 제4 선택부(s1~s4)의 출력과 실질적으로 동일하므로, 이에 대한 설명은 생략하기로 한다. 결국, 데이터 전압 출력부(125a)는 그라운드 전압(GND)을 출력하고, 공통전압 출력부(125b)는 그라운드 전압(GND)을 출력한다.

[0045] 다섯 번째로, 제N+1 프레임 기간의 액티브 기간(ACTIVE) 동안 제2 로직 레벨의 액티브 기간 구분신호(Cactive)가 액티브 기간 구분신호 입력 단자(Cactive_T)로 공급되고, 제1 로직 레벨의 극성제어신호(POL)가 극성제어신호 입력 단자(POL_T)로 공급된다. 제1 선택부(s1)의 제1 TFT(T1)는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프되고, 제2 TFT(T2)는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온된다. 따라서, 제1 선택부(s1)는 정극성 데이터 전압 입력 단자(DataP_T)를 통해 공급되는 정극성 데이터 전압(DataP)을 출력한다. 제2 선택부(s2)의 제3 TFT(T3)는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프되고, 제4 TFT(T4)는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온된다. 따라서, 제2 선택부(s2)는 부극성 데이터 전압 입력 단자(DataN_T)를 통해 공급되는 부극성 데이터 전압(DataN)을 출력한다. 제3 선택부(s3)의 제5 TFT(T5)는 제1 로직 레벨의 극성제어신호(POL)에 의해 턴-온되고, 제6 TFT(T6)는 제1 로직 레벨의 극성제어신호(POL)에 의해 턴-오프된다. 따라서, 제3 선택부(s3)는 제2 선택부(s2)의 출력 전압인 부극성 데이터 전압(DataN)을 출력한다. 제4 선택부(s4)의 제7 TFT(T7)는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프되고, 제8 TFT(T8)는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온된다. 따라서, 제4 선택부(s4)는 공통전압 공급원(Vcom_S)을 통해 공급되는 직류 공통전압(Vcom_DC)을 출력한다. 결국, 데이터 전압 출력부(125a)는 부극성 데이터 전압(DataN)을 출력하고, 공통전압 출력부(125b)는 직류 공통전압(Vcom_DC)을 출력한다.

[0046] 여섯 번째로, 제N+1 프레임 기간의 제2 버티컬 블랭크 기간(VBI2) 동안 제1 로직 레벨의 액티브 기간 구분신호(Cactive)가 액티브 기간 구분신호 입력 단자(Cactive_T)로 공급되고, 제1 로직 레벨의 극성제어신호(POL)가 극성제어신호 입력 단자(POL_T)로 공급된다. 제1 선택부(s1)의 제1 TFT(T1)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온되고, 제2 TFT(T2)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프된다. 따라서, 제1 선택부(s1)는 그라운드 전압 입력 단자(GND_T)를 통해 공급되는 그라운드 전압(GND)을 출력한다. 제2 선택부(s2)의 제3 TFT(T3)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온되고, 제4 TFT(T4)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프된다. 따라서, 제2 선택부(s2)는 그라운드 전압 입력 단자(GND_T)를 통해 공급되는 그라운드 전압(GND)을 출력한다. 제3 선택부(s3)의 제5 TFT(T5)는 제1 로직 레벨의 극성제어신호(POL)에 의해 턴-온되고, 제6 TFT(T6)는 제1 로직 레벨의 극성제어신호(POL)에 의해 턴-오프된다. 따라서, 제3 선택부(s3)는 제2 선택부(s2)의 출력 전압인 그라운드 전압(GND)을 출력한다. 제4 선택부(s4)의 제7 TFT(T7)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온되고, 제8 TFT(T8)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프된다. 따라서, 제4 선택부(s4)는 그라운드 전압 입력 단자(GND_T)를 통해 공급되는 그라운드 전압(GND)을 출력한다. 결국, 데이터 전압 출력부(125a)는 그라운드 전압(GND)을 출력하고, 공통전압 출력부(125b)는 그라운드 전압(GND)을 출력한다.

[0047] 종합해보면, 본 발명의 제1 실시예의 경우, 제1 및 제2 버티컬 블랭크 기간(VBI1, VBI2) 동안 데이터 전압

(Vdata)과 공통전압(Vcom)을 그라운드 전압(GND)으로 실질적으로 동등하게 인가한다. 그 결과, 본 발명의 제1 실시예는 제1 및 제2 버티컬 블랭크 기간(VBI1, VBI2) 동안 데이터 전압(Vdata)과 공통 전압(Vcom) 간의 전압차를 없앨 수 있으므로, 액정의 직류화 잔상을 개선할 수 있다.

- [0048] 도 5는 본 발명의 제2 실시예에 따른 출력회로의 회로도이다. 도 5를 참조하면, 본 발명의 제2 실시예에 따른 출력회로(125)는 데이터 전압 출력부(125a)와 공통전압 출력부(125b)를 포함한다.
- [0049] 데이터 전압 출력부(125a)는 제1 선택부(s11)를 포함한다. 제1 선택부(s11)는 극성제어신호 입력 단자(POL_T)를 통해 공급되는 극성제어신호(POL)에 응답하여 정극성 데이터 전압(DataP)과 부극성 데이터 전압(DataN) 중 어느 하나의 전압을 선택하여 출력한다.
- [0050] 제1 선택부(s11)는 제1 및 제2 TFT(T1, T2)를 포함한다. 제1 선택부(s11)의 제1 TFT(T1)는 극성제어신호 입력 단자(POL_T)를 통해 공급되는 제1 로직 레벨의 극성제어신호(POL)에 응답하여 턴-온되어 부극성 데이터 전압 입력 단자(DataN_T)를 통해 공급되는 부극성 데이터 전압(DataN)을 제1 선택부(s1)의 출력 단자에 공급한다. 제1 선택부(s11)의 제1 TFT(T1)의 게이트 전극은 극성제어신호 입력 단자(POL_T)에 접속되고, 소스 전극은 부극성 데이터 전압 입력 단자(DataN_T)에 접속되며, 드레인 전극은 제1 선택부(s11)의 출력 단자에 접속된다. 제1 선택부(s11)의 제2 TFT(T2)는 극성제어신호 입력 단자(POL_T)를 통해 공급되는 제2 로직 레벨의 극성제어신호(POL)에 응답하여 턴-온되어 정극성 데이터 전압 입력 단자(DataP_T)를 통해 공급되는 정극성 데이터 전압(DataP)을 제1 선택부(s1)의 출력 단자에 공급한다. 제1 선택부(s11)의 제1 TFT(T1)의 게이트 전극은 극성제어신호 입력 단자(POL_T)에 접속되고, 소스 전극은 정극성 데이터 전압 입력 단자(DataP_T)에 접속되며, 드레인 전극은 제1 선택부(s11)의 출력 단자에 접속된다.
- [0051] 제1 선택부(s4)의 출력 단자는 데이터 전압 출력부(125a)의 출력 단자(OT1)에 접속된다. 데이터 전압 출력부(125a)의 출력 단자(OT1)로부터 출력된 전압은 표시패널(10)의 데이터 라인에 데이터 전압(Vdata)으로 공급된다.
- [0052] 공통전압 출력부(125b)는 제2 내지 제4 선택부(s12, s13, s14)를 포함한다. 제2 선택부(s12)는 액티브 기간 구분신호 입력 단자(Cactive_T)를 통해 공급되는 액티브 기간 구분신호(Cactive)에 응답하여 정극성 데이터 전압(DataP)과 직류 공통전압(Vcom_DC) 중에 어느 하나의 전압을 선택하여 출력한다. 제3 선택부(s13)는 액티브 기간 구분신호 입력 단자(Cactive_T)를 통해 공급되는 액티브 기간 구분신호(Cactive)에 응답하여 부극성 데이터 전압(DataN)과 직류 공통전압(Vcom_DC) 중에 어느 하나의 전압을 선택하여 출력한다. 제4 선택부(s4)는 극성제어신호 입력 단자(POL_T)를 통해 공급되는 극성제어신호(Cactive)에 응답하여 제2 및 제3 선택부(s12, s13)의 출력 전압 중 어느 하나의 전압을 선택하여 출력한다.
- [0053] 제2 선택부(s12)는 제3 및 제4 TFT(T3, T4)를 포함한다. 제2 선택부(s12)의 제3 TFT(T3)는 액티브 기간 구분신호 입력 단자(Cactive_T)를 통해 공급되는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 응답하여 턴-온되어 정극성 데이터 전압 입력 단자(DataP_T)를 통해 공급되는 정극성 데이터 전압(DataP)을 제2 선택부(s2)의 출력 단자에 공급한다. 제2 선택부(s12)의 제3 TFT(T3)의 게이트 전극은 액티브 기간 구분신호 입력 단자(Cactive_T)에 접속되고, 소스 전극은 정극성 데이터 전압 입력 단자(DataP_T)에 접속되며, 드레인 전극은 제1 선택부(s11)의 출력 단자에 접속된다. 제2 선택부(s12)의 제4 TFT(T4)는 액티브 기간 구분신호 입력 단자(Cactive_T)를 통해 공급되는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 응답하여 턴-온되어 공통전압 공급원(Vcom_S)을 통해 공급되는 직류 공통전압(Vcom_DC)을 제2 선택부(s2)의 출력 단자에 공급한다. 제2 선택부(s12)의 제4 TFT(T4)의 게이트 전극은 액티브 기간 구분신호 입력 단자(Cactive_T)에 접속되고, 소스 전극은 제2 선택부(s12)의 출력 단자에 접속되며, 드레인 전극은 공통전압 공급원(Vcom_S)에 접속된다.
- [0054] 제3 선택부(s13)는 제5 및 제6 TFT(T5, T6)를 포함한다. 제3 선택부(s13)의 제5 TFT(T5)는 액티브 기간 구분신호 입력 단자(Cactive_T)를 통해 공급되는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 응답하여 턴-온되어 부극성 데이터 전압 입력 단자(DataN_T)를 통해 공급되는 부극성 데이터 전압(DataN)을 제3 선택부(s3)의 출력 단자에 공급한다. 제3 선택부(s13)의 제5 TFT(T5)의 게이트 전극은 액티브 기간 구분신호 입력 단자(Cactive_T)에 접속되고, 소스 전극은 부극성 데이터 전압 입력 단자(DataN_T)에 접속되며, 드레인 전극은 제2 선택부(s12)의 출력 단자에 접속된다. 제3 선택부(s13)의 제6 TFT(T6)는 액티브 기간 구분신호 입력 단자(Cactive_T)를 통해 공급되는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 응답하여 턴-온되어 공통전압 공급원(Vcom_S)을 통해 공급되는 직류 공통전압(Vcom_DC)을 제3 선택부(s3)의 출력 단자에 공급한다. 제3 선택

부(s13)의 제6 TFT(T6)의 게이트 전극은 액티브 기간 구분신호 입력 단자(Cactive_T)에 접속되고, 소스 전극은 제2 선택부(s13)의 출력 단자에 접속되며, 드레인 전극은 공통전압 공급원(Vcom_S)에 접속된다.

[0055] 제4 선택부(s14)는 제7 및 제8 TFT(T7, T8)를 포함한다. 제4 선택부(s14)의 제7 TFT(T7)는 극성제어신호 입력 단자(POL_T)를 통해 공급되는 제1 로직 레벨의 극성제어신호(POL)에 응답하여 턴-온되어 제3 선택부(s13)의 출력 전압을 제4 선택부(s4)의 출력 단자에 공급한다. 제4 선택부(s14)의 제7 TFT(T7)의 게이트 전극은 극성제어신호 입력 단자(POL_T)에 접속되고, 소스 전극은 제3 선택부(s13)의 출력 단자에 접속되며, 드레인 전극은 제4 선택부(s14)의 출력 단자에 접속된다. 제4 선택부(s14)의 제8 TFT(T8)는 극성제어신호 입력 단자(POL_T)를 통해 공급되는 제2 로직 레벨의 극성제어신호(POL)에 응답하여 턴-온되어 제2 선택부(s12)의 출력 전압을 제4 선택부(s4)의 출력 단자에 공급한다. 제4 선택부(s14)의 제8 TFT(T8)의 게이트 전극은 극성제어신호 입력 단자(POL_T)에 접속되고, 소스 전극은 제4 선택부(s14)의 출력 단자에 접속되며, 드레인 전극은 제2 선택부(s12)의 출력 단자에 접속된다.

[0056] 제4 선택부(s14)의 출력 단자는 공통전압 출력부(125b)의 출력 단자(OT2)에 접속된다. 공통전압 출력부(125b)의 출력 단자(OT2)로부터 출력된 전압은 표시패널(10)의 공통라인에 공통전압(Vcom)으로 공급된다.

[0057] 한편, 본 발명의 제2 실시예에서는 제1, 제3, 제5, 및 제7 TFT(T1, T3, T5, T7)는 P 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 구현되고, 제2, 제4, 제6, 및 제8 TFT(T2, T4, T6, T8)는 N 타입 MOSFET으로 구현된 것을 중심으로 설명하였지만, 이에 한정되지 않음에 주의하여야 한다. 즉, 제1, 제3, 제5, 및 제7 TFT(T1, T3, T5, T7)는 N 타입 MOSFET으로 구현되고, 제2, 제4, 제6, 및 제8 TFT(T2, T4, T6, T8)는 P 타입 MOSFET으로 구현될 수도 있다.

[0058] 도 6은 도 5의 출력회로에 입력되는 액티브 기간 구분신호, 극성제어신호, 및 데이터 전압과 공통전압의 출력을 보여주는 파형도이다. 도 6에는 제N 내지 N+2 프레임 기간 동안 출력회로(125)에 공급되는 액티브 기간 구분신호(Cactive)와 극성제어신호(POL)가 나타나 있다. 또한, 도 6에는 제N 내지 제N+2 프레임 기간 동안 데이터 라인을 통해 공급되는 데이터 전압(Vdata)과 공통전압(Vcom)의 일 예가 나타나 있다.

[0059] 도 6을 참조하면, 제N 내지 제N+2 프레임 기간 각각은 액티브 기간(ACTIVE)과 제1 및 제2 버티컬 블랭크 기간(VBI1, VBI2)을 포함한다. 액티브 기간(ACTIVE)은 유효한 데이터 전압이 표시패널에 공급되는 기간을 의미하고, 제1 및 제2 버티컬 블랭크 기간(VBI1, VBI2)은 휴지 기간을 의미한다. 특히, 제1 버티컬 블랭크 기간(VBI1)은 액티브 기간(ACTIVE) 이전의 휴지 기간을 의미하고, 제2 버티컬 블랭크 기간(VBI2)은 액티브 기간(ACTIVE) 이후의 휴지 기간을 의미한다.

[0060] 액티브 기간 구분신호(Cactive)는 제1 로직 레벨과 제2 로직 레벨 사이를 스윙한다. 극성제어신호(POL)는 1 프레임 기간을 주기로 제1 로직 레벨과 제2 로직 레벨 사이를 스윙한다. 본 발명의 제1 실시예에서는 제1 로직 레벨은 로우 로직 레벨(L), 제2 로직 레벨은 하이 로직 레벨(H)인 것을 중심으로 설명하였으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 제1 및 제2 로직 레벨은 제1 및 제2 TFT(T2)가 P 타입 MOSFET, N 타입 MOSFET 중 어떤 타입으로 구현되느냐에 따라 달라질 수 있다.

[0061] 예를 들어, 도 6과 같이 액티브 기간 구분신호(Cactive)는 제N 및 제N+1 프레임 기간의 액티브 기간(ACTIVE) 동안 제2 로직 레벨로 발생하고, 제N 및 제N+1 프레임 기간의 제1 및 제2 버티컬 블랭크 기간(VBI1, VBI2) 동안 제1 로직 레벨로 발생할 수 있다. 극성제어신호(POL)는 제N 프레임 기간의 액티브 기간(ACTIVE) 및 제2 버티컬 블랭크 기간(VBI2)과, 제N+1 프레임 기간의 제1 버티컬 블랭크 기간(VBI1) 동안 제2 로직 레벨로 발생할 수 있다. 극성제어신호(POL)는 제N+1 프레임 기간의 액티브 기간(ACTIVE) 및 제2 버티컬 블랭크 기간(VBI2)과, 제N+2 프레임 기간의 제1 버티컬 블랭크 기간(VBI1) 동안 제1 로직 레벨로 발생할 수 있다.

[0062] 이하에서, 도 5 및 도 6을 참조하여 제N 및 제N+1 프레임 기간 동안 데이터 전압(Vdata)과 공통전압(Vcom)의 출력에 대하여 상세히 설명한다.

[0063] 첫 번째로, 제N 프레임 기간의 제1 버티컬 블랭크 기간(VBI1) 동안 제1 로직 레벨의 액티브 기간 구분신호(Cactive)가 액티브 기간 구분신호 입력 단자(Cactive_T)로 공급되고, 제1 로직 레벨의 극성제어신호(POL)가 극성제어신호 입력 단자(POL_T)로 공급된다. 제1 선택부(s11)의 제1 TFT(T1)는 제1 로직 레벨의 극성제어신호(POL)에 의해 턴-온되고, 제2 TFT(T2)는 제1 로직 레벨의 극성제어신호(POL)에 의해 턴-오프된다. 따라서, 제1 선택부(s11)는 부극성 데이터 전압 입력 단자(DataN_T)를 통해 공급되는 부극성 데이터 전압(DataN)을 출력한다. 제2 선택부(s12)의 제3 TFT(T3)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온되

고, 제4 TFT(T4)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프된다. 따라서, 제2 선택부(s12)는 정극성 데이터 전압 입력 단자(DataP_T)를 통해 공급되는 정극성 데이터 전압(DataP)을 출력한다. 제3 선택부(s13)의 제5 TFT(T5)는 제1 로직 레벨의 극성제어신호(POL)에 의해 턴-온되고, 제6 TFT(T6)는 제1 로직 레벨의 극성제어신호(POL)에 의해 턴-오프된다. 따라서, 제3 선택부(s13)는 부극성 데이터 전압 입력 단자(DataN_T)를 통해 공급되는 부극성 데이터 전압(DataN)을 출력한다. 제4 선택부(s14)의 제7 TFT(T7)는 제1 로직 레벨의 극성제어신호(POL)에 의해 턴-온되고, 제8 TFT(T8)는 제1 로직 레벨의 극성제어신호(POL)에 의해 턴-오프된다. 따라서, 제4 선택부(s14)는 제3 선택부(s13)의 출력 전압인 부극성 데이터 전압(DataN)을 출력한다. 결국, 데이터 전압 출력부(125a)는 부극성 데이터 전압(DataN)을 출력하고, 공통전압 출력부(125b)는 부극성 데이터 전압(DataN)을 출력한다.

[0064]

두 번째로, 제N 프레임 기간의 액티브 기간(ACTIVE) 동안 제2 로직 레벨의 액티브 기간 구분신호(Cactive)가 액티브 기간 구분신호 입력 단자(Cactive_T)로 공급되고, 제2 로직 레벨의 극성제어신호(POL)가 극성제어신호 입력 단자(POL_T)로 공급된다. 제1 선택부(s11)의 제1 TFT(T1)는 제2 로직 레벨의 극성제어신호(POL)에 의해 턴-오프되고, 제2 TFT(T2)는 제2 로직 레벨의 극성제어신호(POL)에 의해 턴-온된다. 따라서, 제1 선택부(s11)는 정극성 데이터 전압 입력 단자(DataP_T)를 통해 공급되는 정극성 데이터 전압(DataP)을 출력한다. 제2 선택부(s12)의 제3 TFT(T3)는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프되고, 제4 TFT(T4)는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온된다. 따라서, 제2 선택부(s12)는 공통전압 공급원(Vcom_S)를 통해 공급되는 직류 공통전압(Vcom_DC)을 출력한다. 제3 선택부(s13)의 제5 TFT(T5)는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프되고, 제6 TFT(T6)는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온된다. 따라서, 제3 선택부(s13)는 공통전압 공급원(Vcom_S)를 통해 공급되는 직류 공통전압(Vcom_DC)을 출력한다. 제4 선택부(s14)의 제7 TFT(T7)는 제2 로직 레벨의 극성제어신호(POL)에 의해 턴-오프되고, 제8 TFT(T8)는 제2 로직 레벨의 극성제어신호(POL)에 의해 턴-온된다. 따라서, 제4 선택부(s14)는 제2 선택부(s12)의 출력 전압인 직류 공통전압(Vcom_DC)을 출력한다. 결국, 데이터 전압 출력부(125a)는 정극성 데이터 전압(DataP)을 출력하고, 공통전압 출력부(125b)는 직류 공통전압(Vcom_DC)을 출력한다.

[0065]

세 번째로, 제N 프레임 기간의 제2 버티컬 블랭크 기간(VBI2) 동안 제1 로직 레벨의 액티브 기간 구분신호(Cactive)가 액티브 기간 구분신호 입력 단자(Cactive_T)로 공급되고, 제2 로직 레벨의 극성제어신호(POL)가 극성제어신호 입력 단자(POL_T)로 공급된다. 제1 선택부(s11)의 제1 TFT(T1)는 제2 로직 레벨의 극성제어신호(POL)에 의해 턴-오프되고, 제2 TFT(T2)는 제2 로직 레벨의 극성제어신호(POL)에 의해 턴-온된다. 따라서, 제1 선택부(s11)는 정극성 데이터 전압 입력 단자(DataP_T)를 통해 공급되는 정극성 데이터 전압(DataP)을 출력한다. 제2 선택부(s12)의 제3 TFT(T3)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온되고, 제4 TFT(T4)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프된다. 따라서, 제2 선택부(s12)는 정극성 데이터 전압 입력 단자(DataP_T)를 통해 공급되는 정극성 데이터 전압(DataP)을 출력한다. 제3 선택부(s13)의 제5 TFT(T5)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온되고, 제6 TFT(T6)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프된다. 따라서, 제3 선택부(s13)는 부극성 데이터 전압 입력 단자(DataN_T)를 통해 공급되는 부극성 데이터 전압(DataN)을 출력한다. 제4 선택부(s14)의 제7 TFT(T7)는 제2 로직 레벨의 극성제어신호(POL)에 의해 턴-오프되고, 제8 TFT(T8)는 제2 로직 레벨의 극성제어신호(POL)에 의해 턴-온된다. 따라서, 제4 선택부(s14)는 제2 선택부(s12)의 출력 전압인 정극성 데이터 전압(DataP)을 출력한다. 결국, 데이터 전압 출력부(125a)는 정극성 데이터 전압(DataP)을 출력하고, 공통전압 출력부(125b)는 정극성 데이터 전압(DataP)을 출력한다.

[0066]

네 번째로, 제N+1 프레임 기간의 제1 버티컬 블랭크 기간(VBI1) 동안 제1 로직 레벨의 액티브 기간 구분신호(Cactive)가 액티브 기간 구분신호 입력 단자(Cactive_T)로 공급되고, 제2 로직 레벨의 극성제어신호(POL)가 극성제어신호 입력 단자(POL_T)로 공급된다. 따라서, 제N+1 프레임 기간의 제1 버티컬 블랭크 기간(VBI1) 동안 제1 내지 제4 선택부(s1~s4)의 출력은 제N 프레임 기간의 제2 버티컬 블랭크 기간(VBI2) 동안 제1 내지 제4 선택부(s1~s4)의 출력과 실질적으로 동일하므로, 이에 대한 설명은 생략하기로 한다. 결국, 데이터 전압 출력부(125a)는 그라운드 전압(GND)을 출력하고, 공통전압 출력부(125b)는 그라운드 전압(GND)을 출력한다.

[0067]

다섯 번째로, 제N+1 프레임 기간의 액티브 기간(ACTIVE) 동안 제2 로직 레벨의 액티브 기간 구분신호(Cactive)가 액티브 기간 구분신호 입력 단자(Cactive_T)로 공급되고, 제1 로직 레벨의 극성제어신호(POL)가 극성제어신호 입력 단자(POL_T)로 공급된다. 제1 선택부(s11)의 제1 TFT(T1)는 제1 로직 레벨의 극성제어신호(POL)에 의해 턴-온되고, 제2 TFT(T2)는 제1 로직 레벨의 극성제어신호(POL)에 의해 턴-오프된다. 따라서, 제1 선택부(s11)는 부극성 데이터 전압 입력 단자(DataN_T)를 통해 공급되는 부극성 데이터 전압(DataP)을 출력한다. 제2

선택부(s12)의 제3 TFT(T3)는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프되고, 제4 TFT(T4)는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온된다. 따라서, 제2 선택부(s12)는 공통전압 공급원(Vcom_S)를 통해 공급되는 직류 공통전압(Vcom_DC)을 출력한다. 제3 선택부(s13)의 제5 TFT(T5)는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프되고, 제6 TFT(T6)는 제2 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온된다. 따라서, 제3 선택부(s13)는 공통전압 공급원(Vcom_S)를 통해 공급되는 직류 공통전압(Vcom_DC)을 출력한다. 제4 선택부(s14)의 제7 TFT(T7)는 제1 로직 레벨의 극성제어신호(POL)에 의해 턴-온되고, 제8 TFT(T8)는 제1 로직 레벨의 극성제어신호(POL)에 의해 턴-오프된다. 따라서, 제4 선택부(s14)는 제3 선택부(s13)의 출력 전압인 직류 공통전압(Vcom_DC)을 출력한다. 결국, 데이터 전압 출력부(125a)는 부극성 데이터 전압(DataN)을 출력하고, 공통전압 출력부(125b)는 직류 공통전압(Vcom_DC)을 출력한다.

[0068] 여섯 번째로, 제N+1 프레임 기간의 제2 버티컬 블랭크 기간(VBI2) 동안 제1 로직 레벨의 액티브 기간 구분신호(Cactive)가 액티브 기간 구분신호 입력 단자(Cactive_T)로 공급되고, 제1 로직 레벨의 극성제어신호(POL)가 극성제어신호 입력 단자(POL_T)로 공급된다. 제1 선택부(s11)의 제1 TFT(T1)는 제1 로직 레벨의 극성제어신호(POL)에 의해 턴-온되고, 제2 TFT(T2)는 제2 로직 레벨의 극성제어신호(POL)에 의해 턴-오프된다. 따라서, 제1 선택부(s11)는 부극성 데이터 전압 입력 단자(DataN_T)를 통해 공급되는 부극성 데이터 전압(DataN)을 출력한다. 제2 선택부(s12)의 제3 TFT(T3)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온되고, 제4 TFT(T4)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프된다. 따라서, 제2 선택부(s12)는 정극성 데이터 전압 입력 단자(DataP_T)를 통해 공급되는 정극성 데이터 전압(DataP)을 출력한다. 제3 선택부(s13)의 제5 TFT(T5)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-온되고, 제6 TFT(T6)는 제1 로직 레벨의 액티브 기간 구분신호(Cactive)에 의해 턴-오프된다. 따라서, 제3 선택부(s13)는 부극성 데이터 전압 입력 단자(DataN_T)를 통해 공급되는 부극성 데이터 전압(DataN)을 출력한다. 제4 선택부(s14)의 제7 TFT(T7)는 제1 로직 레벨의 극성제어신호(POL)에 의해 턴-온되고, 제8 TFT(T8)는 제1 로직 레벨의 극성제어신호(POL)에 의해 턴-오프된다. 따라서, 제4 선택부(s14)는 제3 선택부(s13)의 출력 전압인 부극성 데이터 전압(DataN)을 출력한다. 결국, 데이터 전압 출력부(125a)는 부극성 데이터 전압(DataN)을 출력하고, 공통전압 출력부(125b)는 부극성 데이터 전압(DataN)을 출력한다.

[0069] 종합해보면, 본 발명의 제2 실시예의 경우, 제1 및 제2 버티컬 블랭크 기간(VBI1, VBI2) 동안 공통전압(Vcom)을 데이터 전압(Vdata)과 실질적으로 동등한 전압으로 인가한다. 그 결과, 본 발명의 제2 실시예는 제1 및 제2 버티컬 블랭크 기간(VBI1, VBI2) 동안 데이터 전압(Vdata)과 공통 전압(Vcom) 간의 전압 차를 없앨 수 있으므로, 액정의 직류화 잔상을 개선할 수 있다.

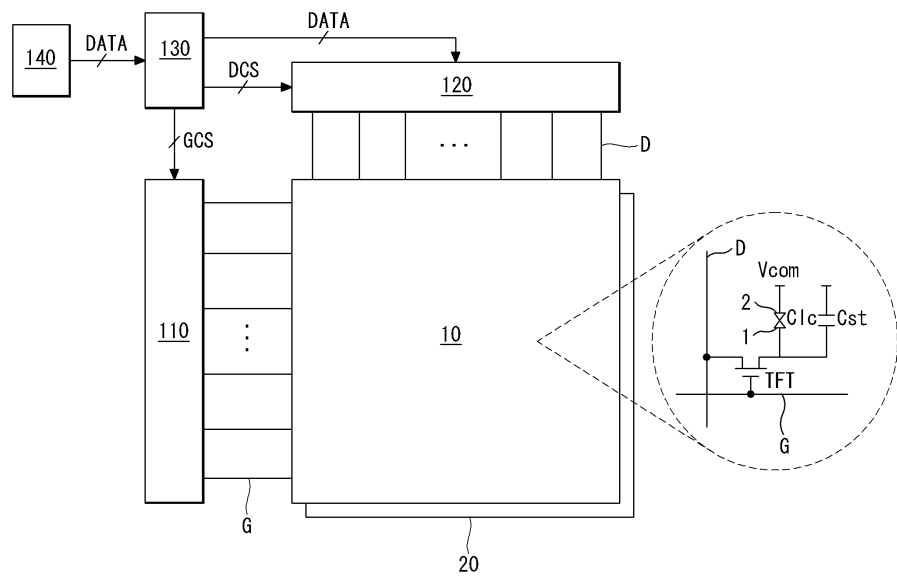
[0070] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

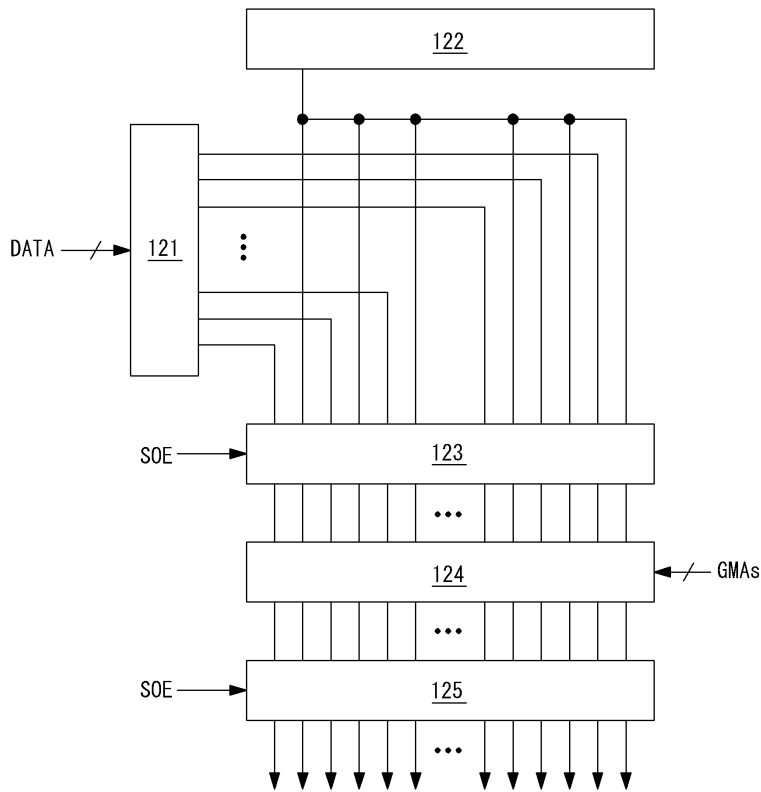
[0071]	10: 표시패널	20: 백라이트 유닛
	110: 게이트 구동회로	120: 데이터 구동회로
	130: 타이밍 콘트롤러	140: 호스트 시스템
	121: 데이터 레지스터	122: 쉬프트 레지스터
	123: 2 라인 래치	124: DAC
	125: 출력회로	125a: 데이터 전압 출력부
	125b: 공통전압 출력부	

도면

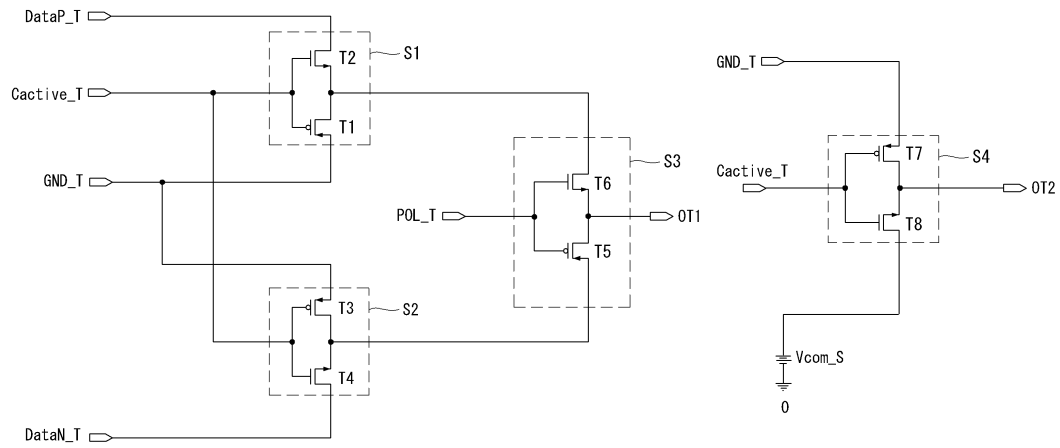
도면1



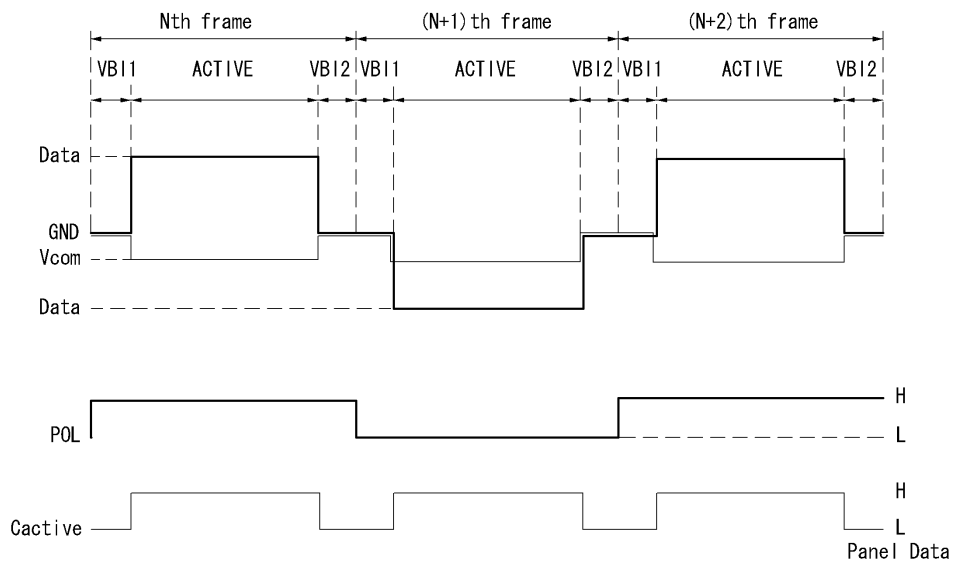
도면2



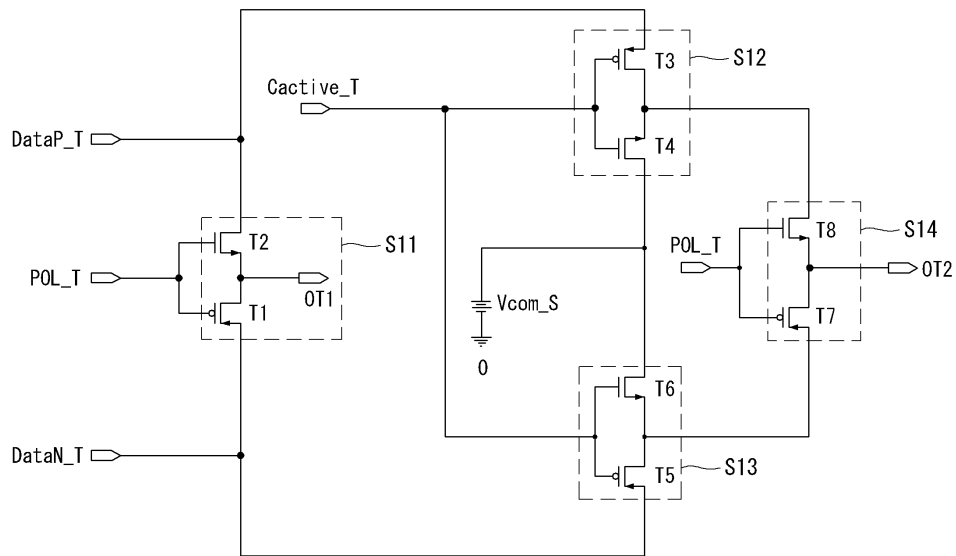
도면3



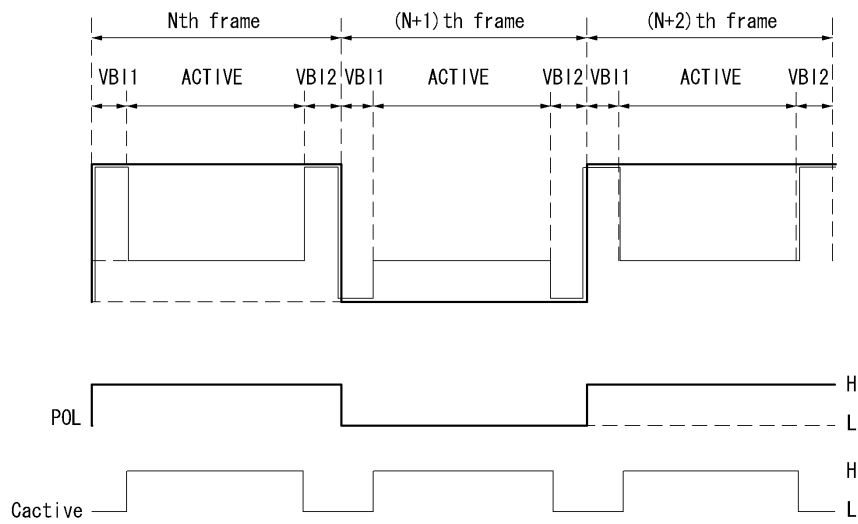
도면4



도면5



도면6



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	KR101963388B1	公开(公告)日	2019-03-28
申请号	KR1020110139529	申请日	2011-12-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김광민		
发明人	김광민		
IPC分类号	G09G3/36		
CPC分类号	G02F2001/133761 G09G3/3655 G09G3/3685 G09G3/3696 G09G2310/027 G09G2310/0286 G09G2320/0257		
审查员(译)	贞茵		
其他公开文献	KR1020130071995A		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置及其驱动方法，以通过在垂直消隐期间均等地施加公共电压和数据电压来减少残留在液晶显示器上的直流余像。

构成：数据驱动电路 (120) 包括输出电路。输出电路包括数据电压输出单元和公共电压输出单元。数据电压输出单元在有效时段期间输出数据电压，而在第一垂直空白时段和第二垂直空白时段期间输出地电压，在活动时段之后和之后分别有两个暂停。公共电压输出单元在有效时段期间输出直流公共电压，而在第一垂直消隐时段和第二垂直消隐时段期间输出接地电压。

