



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년03월29일
(11) 등록번호 10-1829458
(24) 등록일자 2018년02월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
(21) 출원번호 10-2011-0068800
(22) 출원일자 2011년07월12일
심사청구일자 2016년07월11일
(65) 공개번호 10-2013-0008202
(43) 공개일자 2013년01월22일
(56) 선행기술조사문헌
KR1020040057407 A*
(뒷면에 계속)

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김빈
서울특별시 양천구 목동서로 100, 목동3단지아파트 302동 905호 (목동)
한민구
서울특별시 강남구 압구정로 201, 현대아파트 85동 201호 (압구정동)
(74) 대리인
특허법인로알

전체 청구항 수 : 총 10 항

심사관 : 추장희

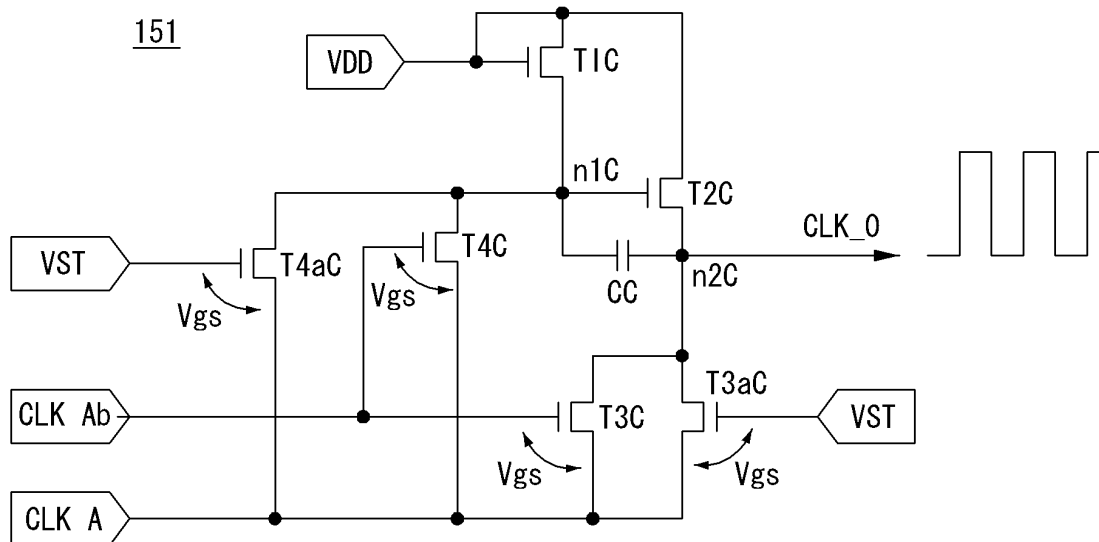
(54) 발명의 명칭 레벨 쉬프터 유닛과 이를 이용한 표시장치

(57) 요약

본 발명에 따른 레벨 쉬프터 유닛은 입력 스타트신호와 서로 역위상으로 스윙되는 제1 입력 클럭신호 및 제2 입력 클럭신호를 입력받아 레벨 쉬프팅 된 출력 클럭신호를 발생하는 제1 레벨 쉬프터를 구비하고; 상기 제1 레벨 쉬프터는 고전위 전원전압을 제1 노드에 전달하기 위한 제1 TFT; 상기 제1 노드의 전압에 응답하여 상기 고전위

(뒷면에 계속)

대표도 - 도5



전원전압을 제2 노드에 전달하는 제2 TFT; 상기 제2 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제2 노드의 전압을 상기 제1 입력 클럭신호의 로우 로직 전압까지 방전시키는 제3-1 TFT; 상기 입력 스타트신호의 하이 로직 전압에 응답하여 상기 제2 노드의 전압을 상기 제1 입력 클럭신호의 로우 로직 전압까지 방전시키는 제3-2 TFT; 상기 제2 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제1 노드의 전압을 상기 제1 입력 클럭신호의 로우 로직 전압까지 방전시키는 제4-1 TFT; 상기 입력 스타트신호의 하이 로직 전압에 응답하여 상기 제1 노드의 전압을 상기 제1 입력 클럭신호의 로우 로직 전압까지 방전시키는 제4-2 TFT를 포함한다.

(56) 선행기술조사문헌

KR1020090027832 A*

KR1020090090512 A*

KR 1020090099718 A

KR 1020110035517 A

KR 1020110113269 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

입력 스타트신호와 서로 역위상으로 스위칭되는 제1 입력 클럭신호 및 제2 입력 클럭신호를 입력받아 레벨 쉬프팅된 출력 클럭신호를 발생하는 제1 레벨 쉬프터를 구비하고;

상기 제1 레벨 쉬프터는,

고전위 전원전압을 제1 노드에 전달하기 위한 제1 TFT;

상기 제1 노드의 전압에 응답하여 상기 고전위 전원전압을 제2 노드에 전달하는 제2 TFT;

상기 제2 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제2 노드의 전압을 상기 제1 입력 클럭신호의 로우 로직 전압까지 방전시키는 제3-1 TFT;

상기 입력 스타트신호의 하이 로직 전압에 응답하여 상기 제2 노드의 전압을 상기 제1 입력 클럭신호의 로우 로직 전압까지 방전시키는 제3-2 TFT;

상기 제2 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제1 노드의 전압을 상기 제1 입력 클럭신호의 로우 로직 전압까지 방전시키는 제4-1 TFT;

상기 입력 스타트신호의 하이 로직 전압에 응답하여 상기 제1 노드의 전압을 상기 제1 입력 클럭신호의 로우 로직 전압까지 방전시키는 제4-2 TFT를 포함하고,

상기 입력 스타트신호가 하이 로직 전압으로 유지될 때 상기 제1 및 제2 입력 클럭신호는 로우 로직 전압으로 유지되고, 상기 입력 스타트신호가 로우 로직 전압으로 유지될 때 상기 제1 및 제2 입력 클럭신호는 서로 역위상으로 발생되고,

상기 제1 TFT의 게이트전극 및 드레인전극은 서로 연결되어 상기 고전위 전원전압을 입력받으며, 상기 제1 TFT의 소스전극은 상기 제1 노드에 접속되고;

상기 제2 TFT의 게이트전극은 상기 제1 노드를 경유하여 상기 제1 TFT의 소스전극과 상기 제4-1 및 제4-2 TFT의 드레인전극에 연결되고, 상기 제2 TFT의 드레인전극은 상기 고전위 전원전압을 입력받으며, 상기 제2 TFT의 소스전극은 상기 제2 노드에 접속되고;

상기 제3-1 TFT의 게이트전극은 상기 제2 입력 클럭신호를 입력받고, 상기 제3-1 TFT의 소스전극은 상기 제1 입력 클럭신호를 입력받으며, 상기 제3-1 TFT의 드레인전극은 상기 제2 노드에 접속되고;

상기 제3-2 TFT의 게이트전극은 상기 입력 스타트신호를 입력받고, 상기 제3-2 TFT의 소스전극은 상기 제1 입력 클럭신호를 입력받으며, 상기 제3-2 TFT의 드레인전극은 상기 제2 노드에 접속되고;

상기 제4-1 TFT의 게이트전극은 상기 제2 입력 클럭신호를 입력받고, 상기 제4-1 TFT의 소스전극은 상기 제1 입력 클럭신호를 입력받으며, 상기 제4-1 TFT의 드레인전극은 상기 제1 노드에 접속되고;

상기 제4-2 TFT의 게이트전극은 상기 입력 스타트신호를 입력받고, 상기 제4-2 TFT의 소스전극은 상기 제1 입력 클럭신호를 입력받으며, 상기 제4-2 TFT의 드레인전극은 상기 제1 노드에 접속되는 것을 특징으로 하는 레벨 쉬프터 유닛.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 제1 레벨 쉬프터는 상기 제1 노드와 상기 제2 노드 사이에 접속된 제1 커패시터를 더 포함하는 것을 특징으로 하는 레벨 쉬프터 유닛.

청구항 5

제 1 항에 있어서,

상기 입력 스타트신호와 상기 제1 및 제2 입력 클럭신호에 응답하여 레벨 쉬프팅 된 출력 스타트신호를 발생시키는 제2 레벨 쉬프터를 더 구비하고;

상기 제2 레벨 쉬프터는,

상기 고전위 전원전압을 제3 노드에 전달하기 위한 제5 TFT;

상기 제3 노드의 전압에 응답하여 상기 고전위 전원전압을 제4 노드에 전달하는 제6 TFT;

상기 제2 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제4 노드의 전압을 상기 입력 스타트신호의 로우 로직 전압까지 방전시키는 제7-1 TFT;

상기 제1 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제4 노드의 전압을 상기 입력 스타트신호의 로우 로직 전압까지 방전시키는 제7-2 TFT;

상기 제2 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제3 노드의 전압을 상기 입력 스타트신호의 로우 로직 전압까지 방전시키는 제8-1 TFT;

상기 제1 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제3 노드의 전압을 상기 입력 스타트신호의 로우 로직 전압까지 방전시키는 제8-2 TFT를 포함하는 것을 특징으로 하는 레벨 쉬프터 유닛.

청구항 6

제 5 항에 있어서,

상기 제2 레벨 쉬프터에서,

상기 제5 TFT의 게이트전극 및 드레인전극은 서로 연결되어 상기 고전위 전원전압을 입력받으며, 상기 제5 TFT의 소스전극은 상기 제3 노드에 접속되고;

상기 제6 TFT의 게이트전극은 상기 제3 노드를 경유하여 상기 제5 TFT의 소스전극과 상기 제8-1 및 제8-2 TFT의 드레인전극에 연결되고, 상기 제6 TFT의 드레인전극은 상기 고전위 전원전압을 입력받으며, 상기 제6 TFT의 소스전극은 상기 제4 노드에 접속되고;

상기 제7-1 TFT의 게이트전극은 상기 제2 입력 클럭신호를 입력받고, 상기 제7-1 TFT의 소스전극은 상기 입력 스타트신호를 입력받으며, 상기 제7-1 TFT의 드레인전극은 상기 제4 노드에 접속되고;

상기 제7-2 TFT의 게이트전극은 상기 제1 입력 클럭신호를 입력받고, 상기 제7-2 TFT의 소스전극은 상기 입력 스타트신호를 입력받으며, 상기 제7-2 TFT의 드레인전극은 상기 제4 노드에 접속되고;

상기 제8-1 TFT의 게이트전극은 상기 제2 입력 클럭신호를 입력받고, 상기 제8-1 TFT의 소스전극은 상기 입력 스타트신호를 입력받으며, 상기 제8-1 TFT의 드레인전극은 상기 제3 노드에 접속되고;

상기 제8-2 TFT의 게이트전극은 상기 제1 입력 클럭신호를 입력받고, 상기 제8-2 TFT의 소스전극은 상기 입력 스타트신호를 입력받으며, 상기 제8-2 TFT의 드레인전극은 상기 제3 노드에 접속되는 것을 특징으로 하는 레벨 쉬프터 유닛.

청구항 7

제 5 항에 있어서,

상기 제2 레벨 쉬프터는 상기 제3 노드와 상기 제4 노드 사이에 접속된 제2 커패시터를 더 포함하는 것을 특징으로 하는 레벨 쉬프터 유닛.

청구항 8

데이터라인들과 게이트라인들이 교차되고 화소들을 구동하기 위한 TFT들을 가지는 표시패널; 및

레벨 쉬프트 유닛을 포함하여 상기 게이트라인들에 게이트펄스를 순차적으로 공급하기 위한 게이트 구동회로를 구비하고,

입력 스타트신호와 서로 역위상으로 스윙되는 제1 입력 클럭신호 및 제2 입력 클럭신호를 입력받아 레벨 쉬프팅 된 출력 클럭신호를 발생하는 상기 레벨 쉬프트 유닛의 제1 레벨 쉬프트는,

고전위 전원전압을 제1 노드에 전달하기 위한 제1 TFT;

상기 제1 노드의 전압에 응답하여 상기 고전위 전원전압을 제2 노드에 전달하는 제2 TFT;

상기 제2 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제2 노드의 전압을 상기 제1 입력 클럭신호의 로우 로직 전압까지 방전시키는 제3-1 TFT;

상기 입력 스타트신호의 하이 로직 전압에 응답하여 상기 제2 노드의 전압을 상기 제1 입력 클럭신호의 로우 로직 전압까지 방전시키는 제3-2 TFT;

상기 제2 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제1 노드의 전압을 상기 제1 입력 클럭신호의 로우 로직 전압까지 방전시키는 제4-1 TFT;

상기 입력 스타트신호의 하이 로직 전압에 응답하여 상기 제1 노드의 전압을 상기 제1 입력 클럭신호의 로우 로직 전압까지 방전시키는 제4-2 TFT를 포함하고,

상기 입력 스타트신호가 하이 로직 전압으로 유지될 때 상기 제1 및 제2 입력 클럭신호는 로우 로직 전압으로 유지되고, 상기 입력 스타트신호가 로우 로직 전압으로 유지될 때 상기 제1 및 제2 입력 클럭신호는 서로 역위상으로 발생되고,

상기 제1 TFT의 게이트전극 및 드레인전극은 서로 연결되어 상기 고전위 전원전압을 입력받으며, 상기 제1 TFT의 소스전극은 상기 제1 노드에 접속되고;

상기 제2 TFT의 게이트전극은 상기 제1 노드를 경유하여 상기 제1 TFT의 소스전극과 상기 제4-1 및 제4-2 TFT의 드레인전극에 연결되고, 상기 제2 TFT의 드레인전극은 상기 고전위 전원전압을 입력받으며, 상기 제2 TFT의 소스전극은 상기 제2 노드에 접속되고;

상기 제3-1 TFT의 게이트전극은 상기 제2 입력 클럭신호를 입력받고, 상기 제3-1 TFT의 소스전극은 상기 제1 입력 클럭신호를 입력받으며, 상기 제3-1 TFT의 드레인전극은 상기 제2 노드에 접속되고;

상기 제3-2 TFT의 게이트전극은 상기 입력 스타트신호를 입력받고, 상기 제3-2 TFT의 소스전극은 상기 제1 입력 클럭신호를 입력받으며, 상기 제3-2 TFT의 드레인전극은 상기 제2 노드에 접속되고;

상기 제4-1 TFT의 게이트전극은 상기 제2 입력 클럭신호를 입력받고, 상기 제4-1 TFT의 소스전극은 상기 제1 입력 클럭신호를 입력받으며, 상기 제4-1 TFT의 드레인전극은 상기 제1 노드에 접속되고;

상기 제4-2 TFT의 게이트전극은 상기 입력 스타트신호를 입력받고, 상기 제4-2 TFT의 소스전극은 상기 제1 입력 클럭신호를 입력받으며, 상기 제4-2 TFT의 드레인전극은 상기 제1 노드에 접속되는 것을 특징으로 하는 표시장치.

청구항 9

삭제

청구항 10

삭제

청구항 11

제 8 항에 있어서,

상기 제1 레벨 쉬프트는 상기 제1 노드와 상기 제2 노드 사이에 접속된 제1 커패시터를 더 포함하는 것을 특징

으로 하는 표시장치.

청구항 12

제 8 항에 있어서,

상기 입력 스타트신호와 상기 제1 및 제2 입력 클럭신호에 응답하여 레벨 쉬프팅 된 출력 스타트신호를 발생시키는 상기 레벨 쉬프터 유닛의 제2 레벨 쉬프터는,

상기 고전위 전원전압을 제3 노드에 전달하기 위한 제5 TFT;

상기 제3 노드의 전압에 응답하여 상기 고전위 전원전압을 제4 노드에 전달하는 제6 TFT;

상기 제2 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제4 노드의 전압을 상기 입력 스타트신호의 로우 로직 전압까지 방전시키는 제7-1 TFT;

상기 제1 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제4 노드의 전압을 상기 입력 스타트신호의 로우 로직 전압까지 방전시키는 제7-2 TFT;

상기 제2 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제3 노드의 전압을 상기 입력 스타트신호의 로우 로직 전압까지 방전시키는 제8-1 TFT;

상기 제1 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제3 노드의 전압을 상기 입력 스타트신호의 로우 로직 전압까지 방전시키는 제8-2 TFT를 포함하는 것을 특징으로 하는 표시장치.

청구항 13

제 12 항에 있어서,

상기 제2 레벨 쉬프터에서,

상기 제5 TFT의 게이트전극 및 드레인전극은 서로 연결되어 상기 고전위 전원전압을 입력받으며, 상기 제5 TFT의 소스전극은 상기 제3 노드에 접속되고;

상기 제6 TFT의 게이트전극은 상기 제3 노드를 경유하여 상기 제5 TFT의 소스전극과 상기 제8-1 및 제8-2 TFT의 드레인전극에 연결되고, 상기 제6 TFT의 드레인전극은 상기 고전위 전원전압을 입력받으며, 상기 제6 TFT의 소스전극은 상기 제4 노드에 접속되고;

상기 제7-1 TFT의 게이트전극은 상기 제2 입력 클럭신호를 입력받고, 상기 제7-1 TFT의 소스전극은 상기 입력 스타트신호를 입력받으며, 상기 제7-1 TFT의 드레인전극은 상기 제4 노드에 접속되고;

상기 제7-2 TFT의 게이트전극은 상기 제1 입력 클럭신호를 입력받고, 상기 제7-2 TFT의 소스전극은 상기 입력 스타트신호를 입력받으며, 상기 제7-2 TFT의 드레인전극은 상기 제4 노드에 접속되고;

상기 제8-1 TFT의 게이트전극은 상기 제2 입력 클럭신호를 입력받고, 상기 제8-1 TFT의 소스전극은 상기 입력 스타트신호를 입력받으며, 상기 제8-1 TFT의 드레인전극은 상기 제3 노드에 접속되고;

상기 제8-2 TFT의 게이트전극은 상기 제1 입력 클럭신호를 입력받고, 상기 제8-2 TFT의 소스전극은 상기 입력 스타트신호를 입력받으며, 상기 제8-2 TFT의 드레인전극은 상기 제3 노드에 접속되는 것을 특징으로 하는 표시장치.

청구항 14

제 12 항에 있어서,

상기 제2 레벨 쉬프터는 상기 제3 노드와 상기 제4 노드 사이에 접속된 제2 커패시터를 더 포함하는 것을 특징으로 하는 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 레벨 쉬프터 유닛과 이를 이용한 표시장치에 관한 것이다.

배경 기술

[0002] 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치(Flat Panel Display, FPD)가 개발되고 있다. 이러한 평판 표시장치는 액정표시장치(Liquid Crystal Display, LCD), 플라즈마 디스플레이 패널(Plasma Display Panel), 및 무기 전계발광소자와 유기발광다이오드소자(Organic Light Emitting Diode, OLED)를 포함한 전계발광소자(Electroluminescence Device, EL), 전계 방출 표시장치(Field Emission Display), 전기영동 표시장치(Electrophoresis Display) 등이 있다.

[0003] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터, 텔레비전 등 대부분의 표시소자 분야에서 음극선관을 대체하고 있다.

[0004] 액티브 매트릭스 구동 방식의 액정표시장치는 데이터의 스캐닝 방향으로 화소 어레이의 TFT들을 라인 단위로 순차적으로 턴-온시키기 위한 게이트 구동회로를 포함한다. 게이트 구동회로는 TFT의 동작 전압보다 낮은 입력 전압을 TFT의 동작 전압으로 변환하기 위한 레벨 쉬프터 회로를 포함한다.

[0005] 레벨 쉬프터는 도 1과 같이 종속적으로(cascade) 연결된 제1 및 제2 인버터를 포함하여 입력 전압(Vin)을 TFT의 동작 전압 범위의 전압으로 변환한다. 제1 인버터는 제1 TFT(T1a) 내지 제3 TFT(T3a)를 포함하며, 제2 인버터는 제1 TFT(T1b) 내지 제3 TFT(T3b)를 포함한다. 레벨 쉬프터를 구성하는 TFT들(T1a~T3b)은 n 타입 MOSFET(metal-oxide semiconductor field-effect transistor)로 구현될 수 있다. 제1 인버터의 제1 TFT(T1a)는 제1 고전위 전원전압(VDD1)을 제2 TFT(T2a)에 공급하는 다이오드로 동작하고, 제2 TFT(T2a)의 게이트전극과 드레인전극을 연결하여 제2 TFT(T2a)를 다이오드로 동작시킨다. 제2 인버터의 제1 TFT(T1b)는 제2 고전위 전원전압(VDD2)을 제2 TFT(T2b)에 공급하는 다이오드로 동작하고, 제2 TFT(T2b)의 게이트전극과 드레인전극을 연결하여 제2 TFT(T2b)를 다이오드로 동작시킨다. 제2 고전위 전원전압(VDD2)은 제1 고전위 전원전압(VDD1)보다 높은 전압이다. 도 1에서 커패시터(C1a, C1b)는 부스트스트래핑(bootstrapping) 커패시터이다.

[0006] 입력 전압(Vin)이 로우 로직 전압이면 제1 인버터의 제3 TFT(T3a)는 턴-오프(turn-off)되고, 그 결과 제1 인버터의 출력 노드(n1a)의 전압은 제1 고전위 전원전압(VDD1)으로 높아지고, 그 제1 고전위 전원전압(VDD1)이 제2 인버터의 제3 TFT(T3b)를 턴-온(turn-on)시킨다. 따라서, 입력 전압(Vin)이 로우 로직 전압이면 제2 출력 노드(n1b)로부터 출력되는 최종 출력 전압은 제2 저전위 전원전압(VSS2)이다.

[0007] 입력 전압(Vin)이 하이 로직 전압이면 제1 인버터의 제3 TFT(T3a)는 턴-온(turn-on)되고, 그 결과 제1 인버터의 출력 노드(n1a)의 전압은 제1 저전위 전원전압(VSS1)으로 낮아지고, 그 제1 저전위 전원전압(VSS1)이 제2 인버터의 제3 TFT(T3b)를 턴-오프시킨다. 따라서, 입력 전압(Vin)이 하이 로직 전압이면 제2 출력 노드(n1b)로부터 출력되는 최종 출력 전압은 제2 고전위 전원전압(VDD2)이다.

[0008] TFT의 동작 특성은 도 2에서 디플레션 모드(depletion mode, 21)와, 인핸스먼트 모드(enhancement mode, 22)로 나뉘어질 수 있다. 도 2에서 x축은 TFT의 게이트-소스 전압(Vgs)이며, y축은 TFT의 게이트-소스 전압(Vgs)에 따라 변하는 TFT의 드레인-소스 전류(IDs)이다. 디플레션 모드(21)로 동작하는 TFT는 그 문턱전압이 부극성 전압 방향으로 쉬프트되어 있기 때문에 Vgs=0V에서 전류(IDs)가 비교적 많이 흐른다. 따라서, 디스플레이션 모드로 동작하는 TFT를 이용하여 도 1과 같은 레벨 쉬프터 회로를 구현하면 원하는 출력을 얻을 수 없다.

[0009] 예를 들어, 도 1과 같은 레벨 쉬프터의 출력전압이 원하는 하이 로직 전압만큼 올라가지 못하는 이유는 Vgs=0V에서 디플레이션 모드로 동작하는 제3 TFT(T3b)가 완전히 오프되지 않기 때문이다. 도 1과 같은 레벨 쉬프터의 출력전압이 원하는 로우 로직 전압만큼 내려가지 못하는 이유는 제2 TFT(T2b)의 채널 저항이 작아 제2 TFT(T2b)와 제3 TFT(T3b)의 저항비에 의해 레벨 쉬프터의 출력전압이 결정되기 때문이다. 이는 도 1과 같은 레벨 쉬프터에 대한 실험 결과를 보여 주는 도 3에서 알 수 있다. 도 3에서, 점선과 같이 도 1과 같은 레벨 쉬프터는 제2 고전위 전압(VDD2) 보다 낮은 고전위 전압과 제2 저전위 전원전압(VSS2)보다 높은 전압 사이에서 스윙하는 출력전압을 발생하므로 그 스윙폭이 설계치에 도달하지 못한다. 도 3은 스파이스 시뮬레이션(Spice simulation) 결과로서 이 시뮬레이션에서 도 1과 같은 기존 레벨 쉬프터에서 입력되는 구동 전압들을 Vin = 0~10V, Vdd1 = 10V, Vdd2 = 20V, Vss1 = 0V, Vss2 = 0V 로 설정하였다.

[0010] 디플레이션 모드로 동작하는 TFT로 레벨 쉬프터 회로를 구성할 때, 제3 TFT(T3a, T3b)를 오프시키기 위해서는, 제1 저전위 전원전압(VSS1)이 입력 전압(Vin)의 로우 로직 전압보다 높아야 하고 제2 저전위 전원전압(VSS2)이 제1 저전위 전원전압(VSS1)보다 높아야 하기 때문에 저전위 전원전압이 두 개 필요하다. 따라서, 종래 디플레이션 모드로 동작하는 TFT로 레벨 쉬프터 회로를 구성하는 경우에는 많은 설계 제약이 따른다.

발명의 내용

해결하려는 과제

[0011] 따라서, 본 발명의 목적은 디플레이션 모드로 동작하는 TFT를 사용하더라도 원하는 출력 특성을 얻을 수 있고 구동 전압의 개수를 줄일 수 있는 레벨 쉬프터 유닛과 이를 이용한 표시장치를 제공하는 데 있다.

과제의 해결 수단

[0012] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 레벨 쉬프터 유닛은 입력 스타트신호와 서로 역위상으로 스위칭되는 제1 입력 클럭신호 및 제2 입력 클럭신호를 입력받아 레벨 쉬프팅 된 출력 클럭신호를 발생하는 제1 레벨 쉬프터를 구비하고; 상기 제1 레벨 쉬프터는 고전위 전원전압을 제1 노드에 전달하기 위한 제1 TFT; 상기 제1 노드의 전압에 응답하여 상기 고전위 전원전압을 제2 노드에 전달하는 제2 TFT; 상기 제2 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제2 노드의 전압을 상기 제1 입력 클럭신호의 로우 로직 전압까지 방전시키는 제3-1 TFT; 상기 입력 스타트신호의 하이 로직 전압에 응답하여 상기 제2 노드의 전압을 상기 제1 입력 클럭신호의 로우 로직 전압까지 방전시키는 제3-2 TFT; 상기 제2 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제1 노드의 전압을 상기 제1 입력 클럭신호의 로우 로직 전압까지 방전시키는 제4-1 TFT; 상기 입력 스타트신호의 하이 로직 전압에 응답하여 상기 제1 노드의 전압을 상기 제1 입력 클럭신호의 로우 로직 전압까지 방전시키는 제4-2 TFT를 포함한다.

[0013] 본 발명의 실시예에 따른 레벨 쉬프터 유닛은 상기 입력 스타트신호와 상기 제1 및 제2 입력 클럭신호에 응답하여 레벨 쉬프팅 된 출력 스타트신호를 발생하는 제2 레벨 쉬프터를 더 구비하고; 상기 제2 레벨 쉬프터는 상기 고전위 전원전압을 제3 노드에 전달하기 위한 제5 TFT; 상기 제3 노드의 전압에 응답하여 상기 고전위 전원전압을 제4 노드에 전달하는 제6 TFT; 상기 제2 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제4 노드의 전압을 상기 입력 스타트신호의 로우 로직 전압까지 방전시키는 제7-1 TFT; 상기 제1 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제4 노드의 전압을 상기 입력 스타트신호의 로우 로직 전압까지 방전시키는 제7-2 TFT; 상기 제2 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제3 노드의 전압을 상기 입력 스타트신호의 로우 로직 전압까지 방전시키는 제8-1 TFT; 상기 제1 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제3 노드의 전압을 상기 입력 스타트신호의 로우 로직 전압까지 방전시키는 제8-2 TFT를 포함한다.

[0014] 본 발명의 실시예에 따른 표시장치는 데이터라인들과 게이트라인들이 교차되고 화소들을 구동하기 위한 TFT들을 가지는 표시패널; 및 레벨 쉬프터 유닛을 포함하여 상기 게이트라인들에 게이트펄스를 순차적으로 공급하기 위한 게이트 구동회로를 구비하고, 입력 스타트신호와 서로 역위상으로 스위칭되는 제1 입력 클럭신호 및 제2 입력 클럭신호를 입력받아 레벨 쉬프팅 된 출력 클럭신호를 발생하는 상기 레벨 쉬프터 유닛의 제1 레벨 쉬프터는, 고전위 전원전압을 제1 노드에 전달하기 위한 제1 TFT; 상기 제1 노드의 전압에 응답하여 상기 고전위 전원전압을 제2 노드에 전달하는 제2 TFT; 상기 제2 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제2 노드의 전압을 상기 제1 입력 클럭신호의 로우 로직 전압까지 방전시키는 제3-1 TFT; 상기 입력 스타트신호의 하이 로직 전압에 응답하여 상기 제2 노드의 전압을 상기 제1 입력 클럭신호의 로우 로직 전압까지 방전시키는 제3-2 TFT; 상기 제2 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제1 노드의 전압을 상기 제1 입력 클럭신호의 로우 로직 전압까지 방전시키는 제4-1 TFT; 상기 입력 스타트신호의 하이 로직 전압에 응답하여 상기 제1 노드의 전압을 상기 제1 입력 클럭신호의 로우 로직 전압까지 방전시키는 제4-2 TFT를 포함한다.

[0015] 본 발명의 실시예에 따른 표시장치는 데이터라인들과 게이트라인들이 교차되고 화소들을 구동하기 위한 TFT들을 가지는 표시패널; 및 레벨 쉬프터 유닛을 포함하여 상기 게이트라인들에 게이트펄스를 순차적으로 공급하기 위한 게이트 구동회로를 구비하고, 상기 입력 스타트신호와 상기 제1 및 제2 입력 클럭신호에 응답하여 레벨 쉬프팅 된 출력 스타트신호를 발생하는 상기 레벨 쉬프터 유닛의 제2 레벨 쉬프터는 상기 고전위 전원전압을 제3 노

드에 전달하기 위한 제5 TFT; 상기 제3 노드의 전압에 응답하여 상기 고전위 전원전압을 제4 노드에 전달하는 제6 TFT; 상기 제2 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제4 노드의 전압을 상기 입력 스타트신호의 로우 로직 전압까지 방전시키는 제7-1 TFT; 상기 제1 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제4 노드의 전압을 상기 입력 스타트신호의 로우 로직 전압까지 방전시키는 제7-2 TFT; 상기 제2 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제3 노드의 전압을 상기 입력 스타트신호의 로우 로직 전압까지 방전시키는 제8-1 TFT; 상기 제1 입력 클럭신호의 하이 로직 전압에 응답하여 상기 제3 노드의 전압을 상기 입력 스타트신호의 로우 로직 전압까지 방전시키는 제8-2 TFT를 포함한다.

발명의 효과

[0016] 본 발명에 따른 레벨 쉬프터 유닛과 이를 이용한 표시장치는 2개의 역위상 클럭신호들과 스타트신호를 입력받아 출력 클럭신호와 출력 스타트신호를 발생하기 때문에, 역위상 클럭신호를 생성하기 위하여 별도의 인버터 회로를 필요로 하지 않으며, 특히 디스플레이션 모드로 동작하는 TFT를 사용하더라도 별도의 저전위 전원전압을 필요로 하지 않으면서 원하는 출력 특성을 효과적으로 얻을 수 있다.

도면의 간단한 설명

[0017] 도 1은 종래의 레벨 쉬프터를 보여 주는 회로도.
 도 2는 TFT의 동작 특성을 보여 주는 그래프.
 도 3은 디스플레이션 모드로 동작하는 TFT로 도 1과 같은 레벨 쉬프터를 구현할 때 그 레벨 쉬프터의 실험 결과를 보여 주는 파형도.
 도 4는 본 발명의 실시예에 따른 레벨 쉬프터 유닛을 보여주는 블록도.
 도 5는 도 4의 제1 레벨 쉬프터를 보여주는 회로도.
 도 6은 도 4의 제2 레벨 쉬프터를 보여주는 회로도.
 도 7은 제1 및 제2 레벨 쉬프터의 입/출력 전압을 보여주는 파형도.
 도 8은 본 발명의 실시예에 따른 레벨 쉬프터 유닛의 실험 결과를 보여 주는 파형도.
 도 9는 본 발명의 실시예에 따른 표시장치를 보여 주는 도면.

발명을 실시하기 위한 구체적인 내용

[0018] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명한다.

[0019] 도 4는 본 발명의 실시예에 따른 레벨 쉬프터 유닛을 보여주는 블록도이다. 도 5는 도 4의 제1 레벨 쉬프터를 보여주는 회로도이고, 도 6은 도 4의 제2 레벨 쉬프터를 보여주는 회로도이다. 도 7은 제1 및 제2 레벨 쉬프터의 입/출력 전압을 보여주는 파형도이다.

[0020] 도 4를 참조하면, 본 발명의 실시예에 따른 레벨 쉬프터 유닛은 도 1에 도시된 종래의 그것과 비교할 때 구동 전압의 개수가 작다. 본 발명의 실시예에 따른 레벨 쉬프터 유닛(15)은 TFT의 동작 전압으로 출력 클럭신호(CLK_0)를 발생하는 제1 레벨 쉬프터(151)와, TFT의 동작 전압으로 출력 스타트신호(VST_0)를 발생하는 제2 레벨 쉬프터(152)를 포함한다.

[0021] 도 5를 참조하면, 제1 레벨 쉬프터(151)는 TFT의 동작 전압보다 낮은 전압범위에서 발생하는 입력 스타트신호(VST)와, TFT의 동작 전압보다 낮은 전압범위에서 스윙되는 제1 및 제2 입력 클럭신호(CLK A, CLK Ab)에 응답하여 출력 클럭신호(CLK_0)를 발생하는 다수의 TFT들(T1C~T4aC)을 포함한다. TFT들(T1C~T4aC)은 n 타입 MOSFET로 구현될 수 있다. 입력 스타트신호(VST)가 하이 로직 전압으로 유지될 때 제1 및 제2 입력 클럭신호(CLK A, CLK Ab)는 로우 로직 전압으로 유지되고, 입력 스타트신호(VST)가 로우 로직 전압으로 유지될 때 제1 및 제2 입력 클럭신호(CLK A, CLK Ab)는 서로 역위상으로 발생된다.

- [0022] 제1 TFT(T1C)는 고전위 전원전압(VDD)을 제1 노드(n1C)에 전달하는 다이오드로 동작하고 제2 TFT(T2C)의 게이트 전극과 드레인전극을 연결하여 제2 TFT(T2C)를 다이오드로 동작시킨다. 제1 TFT(T1C)의 게이트전극 및 드레인 전극은 서로 연결되어 고전위 전원전압(VDD)을 입력받는다. 제1 TFT(T1C)의 소스전극은 제1 노드(n1C)에 접속된다.
- [0023] 제2 TFT(T2C)는 제1 노드(n1C)에 인가되는 전압에 따라 고전위 전원전압(VDD)을 제2 노드(n2C)에 전달하는 다이오드로 동작한다. 제2 TFT(T2C)의 게이트전극은 제1 노드(n1C)를 경유하여 제1 TFT(T1C)의 소스전극과 제4-1 및 제4-2 TFT(T4C, T4aC)의 드레인전극에 연결된다. 제2 TFT(T2C)의 드레인전극은 고전위 전원전압(VDD)을 입력받는다. 제2 TFT(T2C)의 소스전극은 출력 노드인 제2 노드(n2C)에 접속된다.
- [0024] 제3-1 TFT(T3C)는 제2 입력 클럭신호(CLK Ab)의 하이 로직 전압에 응답하여 제2 노드(n2C)의 전압을 제1 입력 클럭신호(CLK A)의 로우 로직 전압까지 방전시킨다. 제3-1 TFT(T3C)의 게이트전극은 제2 입력 클럭신호(CLK Ab)를 입력받고, 제3-1 TFT(T3C)의 소스전극은 제1 입력 클럭신호(CLK A)를 입력받는다. 제3-1 TFT(T3C)의 드레인전극은 제2 노드(n2C)에 접속된다.
- [0025] 제3-2 TFT(T3aC)는 입력 스타트신호(VST)의 하이 로직 전압에 응답하여 제2 노드(n2C)의 전압을 제1 입력 클럭신호(CLK A)의 로우 로직 전압까지 방전시킨다. 제3-2 TFT(T3aC)의 게이트전극은 입력 스타트신호(VST)를 입력받고, 제3-2 TFT(T3aC)의 소스전극은 제1 입력 클럭신호(CLK A)를 입력받는다. 제3-2 TFT(T3aC)의 드레인전극은 제2 노드(n2C)에 접속된다.
- [0026] 제4-1 TFT(T4C)는 제2 입력 클럭신호(CLK Ab)의 하이 로직 전압에 응답하여 제1 노드(n1C)의 전압을 제1 입력 클럭신호(CLK A)의 로우 로직 전압까지 방전시킨다. 제4-1 TFT(T4C)의 게이트전극은 제2 입력 클럭신호(CLK Ab)를 입력받고, 제4-1 TFT(T4C)의 소스전극은 제1 입력 클럭신호(CLK A)를 입력받는다. 제4-1 TFT(T4C)의 드레인전극은 제1 노드(n1C)에 접속된다.
- [0027] 제4-2 TFT(T4aC)는 입력 스타트신호(VST)의 하이 로직 전압에 응답하여 제1 노드(n1C)의 전압을 제1 입력 클럭신호(CLK A)의 로우 로직 전압까지 방전시킨다. 제4-2 TFT(T4aC)의 게이트전극은 입력 스타트신호(VST)를 입력받고, 제4-2 TFT(T4aC)의 소스전극은 제1 입력 클럭신호(CLK A)를 입력받는다. 제4-2 TFT(T4aC)의 드레인전극은 제1 노드(n1C)에 접속된다.
- [0028] 제1 레벨 쉬프터(151)는 제1 부트스트래핑 커패시터(CC)를 구비한다. 제1 부트스트래핑 커패시터(CC)는 제1 노드(n1C)와 제2 노드(n2C) 사이에 연결되어 제2 TFT(T2C)의 게이트-소스간 전압을 일정하게 유지시켜 제2 노드(n2C)의 전압 출력을 안정화시킨다.
- [0029] 도 5 및 도 7을 결부하여 제1 레벨 쉬프터(151)의 동작을 설명하면 다음과 같다. 도 7에서는, 입력 스타트신호(VST)와 제1 및 제2 입력 클럭신호(CLK A, CLK Ab) 각각의 하이 로직 전압(H)을 5 V로, 로우 로직 전압(L)을 -10V로 가정한다. 그리고, 고전위 전원전압(VDD)을 20V로 가정한다.
- [0030] 도 5 및 도 7을 참조하면, 제1 기간(T1) 동안, 입력 스타트신호(VST)는 하이 로직 전압(H)으로 유지되고, 제1 및 제2 입력 클럭신호(CLK A, CLK Ab)는 로우 로직 전압(L)으로 유지된다. 제1 기간(T1)에 이은 제2 기간(T2) 동안, 입력 스타트신호(VST)는 로우 로직 전압(L)으로 유지되고, 제1 및 제2 입력 클럭신호(CLK A, CLK Ab)는 로우 로직 전압(L)과 하이 로직 전압(H) 사이에서 서로 역위상으로 스위칭된다. 제1 기간(T1)에서 하이 로직 전압(H)의 입력 스타트신호(VST)와, 로우 로직 전압(L)의 제1 및 제2 입력 클럭신호(CLK A, CLK Ab)가 입력되면, 제3-1 TFT(T3C) 및 제4-1 TFT(T4C) 각각의 게이트전극에는 제2 입력 클럭신호(CLK Ab)의 로우 로직 전압(L)이 공급되고, 제3-2 TFT(T3aC) 및 제4-2 TFT(T4aC) 각각의 게이트전극에는 입력 스타트신호(VST)의 하이 로직 전압(H)이 공급되며, 제3-1 TFT(T3C), 제3-2 TFT(T3aC), 제4-1 TFT(T4C) 및 제4-2 TFT(T4aC) 각각의 소스전극에는 제1 입력 클럭신호(CLK A)의 로우 로직 전압(L)이 공급된다. 이에 따라, 제1 기간(T1)에서 제3-2 TFT(T3aC)의 게이트-소스간 전압(Vgs)은 제3-2 TFT(T3aC)의 문턱 전압보다 높은 전압으로 상승되어 제3-2 TFT(T3aC)를 턴 온 시키고, 제4-2 TFT(T4aC)의 게이트-소스간 전압(Vgs)은 제4-2 TFT(T4aC)의 문턱 전압보다 높은 전압으로 상승되어 제4-2 TFT(T4aC)를 턴 온 시킨다. 그 결과, 제3-2 TFT(T3aC)는 턴 온 되어 제2 노드(n2C)의 전압을 제1 입력 클럭신호(CLK A)의 로우 로직 전압(L)까지 방전시키고, 제4-2 TFT(T4aC)는 턴 온 되어 제1 노드(n1C)의 전압을 제1 입력 클럭신호(CLK A)의 로우 로직 전압(L)까지 방전시킨다. 제1 기간(T1)에서, 제1 노드(n1C)의 전압은 제1 입력 클럭신호(CLK A)의 로우 로직 전압(L)까지 낮아지므로 제2 TFT(T2C)의 채널 저항이 충분히 높아지며, 그 결과 제2 노드(n2C)에서 발생하는 출력 클럭신호(CLK_O)의 전압이 원하는 로우 로직 전압(L)까지 낮아질 수 있게 된다.

- [0031] 입력 스타트신호(VST)가 로우 로직 전압(L)으로 유지되는 제2 기간(T2)에서 하이 로직 전압(H)의 제1 입력 클럭신호(CLK A)와 로우 로직 전압(L)의 제2 입력 클럭신호(CLK Ab)가 입력되면, 제3-1 TFT(T3C) 및 제4-1 TFT(T4C) 각각의 게이트전극에는 제2 입력 클럭신호(CLK Ab)의 로우 로직 전압(L)이 공급되고, 제3-2 TFT(T3aC) 및 제4-2 TFT(T4aC) 각각의 게이트전극에는 입력 스타트신호(VST)의 로우 로직 전압(L)이 공급되며, 제3-1 TFT(T3C), 제3-2 TFT(T3aC), 제4-1 TFT(T4C) 및 제4-2 TFT(T4aC) 각각의 소스전극에는 제1 입력 클럭신호(CLK A)의 하이 로직 전압(H)이 공급된다. 제2 기간(T2)에서 하이 로직 전압(H)의 제1 입력 클럭신호(CLK A)와 로우 로직 전압(L)의 제2 입력 클럭신호(CLK Ab)가 입력될 때, 제3-1 TFT(T3C), 제3-2 TFT(T3aC), 제4-1 TFT(T4C) 및 제4-2 TFT(T4aC) 각각의 게이트-소스간 전압(Vgs)은 게이트전압에 비해 소스전압이 더 높은 역전압이 되므로, 제3-1 TFT(T3C), 제3-2 TFT(T3aC), 제4-1 TFT(T4C) 및 제4-2 TFT(T4aC)는 모두 턴 오프 된다. 이에 따라, 제1 TFT(T1C)는 제1 노드(n1C)의 전압을 고전위 전원전압(VDD)까지 상승시키고, 제2 TFT(T2C)는 제2 노드(n2C)의 전압을 고전위 전원전압(VDD)까지 상승시킨다. 제3-1 TFT(T3C), 제3-2 TFT(T3aC), 제4-1 TFT(T4C) 및 제4-2 TFT(T4aC)가 디플레이션 모드로 동작하더라도 그들 각각의 게이트-소스간 전압(Vgs)이 0 보다 낮은 부극성 전압이므로 제3-1 TFT(T3C), 제3-2 TFT(T3aC), 제4-1 TFT(T4C) 및 제4-2 TFT(T4aC)에는 전류가 거의 흐르지 않는다. 따라서, 제1 입력 클럭신호(CLK A)의 입력이 하이 로직 전압(H)이고 제2 입력 클럭신호(CLK Ab)의 입력이 로우 로직 전압(L)일 때, 제2 노드(n2C)에서 발생하는 출력 클럭신호(CLK_0)의 전압은 고전위 전원전압(VDD)과 실질적으로 동일하게 된다.
- [0032] 한편, 입력 스타트신호(VST)가 로우 로직 전압(L)으로 유지되는 제2 기간(T2)에서 로우 로직 전압(L)의 제1 입력 클럭신호(CLK A)와 하이 로직 전압(H)의 제2 입력 클럭신호(CLK Ab)가 입력되면, 제3-1 TFT(T3C) 및 제4-1 TFT(T4C) 각각의 게이트전극에는 제2 입력 클럭신호(CLK Ab)의 하이 로직 전압(H)이 공급되고, 제3-2 TFT(T3aC) 및 제4-2 TFT(T4aC) 각각의 게이트전극에는 입력 스타트신호(VST)의 로우 로직 전압(L)이 공급되며, 제3-1 TFT(T3C), 제3-2 TFT(T3aC), 제4-1 TFT(T4C) 및 제4-2 TFT(T4aC) 각각의 소스전극에는 제1 입력 클럭신호(CLK A)의 로우 로직 전압(L)이 공급된다. 이에 따라, 제3-1 TFT(T3C)의 게이트-소스간 전압(Vgs)은 제3-1 TFT(T3C)의 문턱 전압보다 높은 전압으로 상승되어 제3-1 TFT(T3C)를 턴 온 시키고, 제4-1 TFT(T4C)의 게이트-소스간 전압(Vgs)은 제4-1 TFT(T4C)의 문턱 전압보다 높은 전압으로 상승되어 제4-1 TFT(T4C)를 턴 온 시킨다. 그 결과, 제3-1 TFT(T3C)는 턴 온 되어 제2 노드(n2C)의 전압을 제1 입력 클럭신호(CLK A)의 로우 로직 전압(L)까지 방전시키고, 제4-1 TFT(T4C)는 턴 온 되어 제1 노드(n1C)의 전압을 제1 입력 클럭신호(CLK A)의 로우 로직 전압(L)까지 방전시킨다. 제2 기간(T2)에서 로우 로직 전압(L)의 제1 입력 클럭신호(CLK A)와 하이 로직 전압(H)의 제2 입력 클럭신호(CLK Ab)가 입력될 때, 제1 노드(n1C)의 전압은 제1 입력 클럭신호(CLK A)의 로우 로직 전압(L)까지 낮아지므로 제2 TFT(T2C)의 채널 저항이 충분히 높아지며, 그 결과 제2 노드(n2C)에서 발생하는 출력 클럭신호(CLK_0)의 전압이 원하는 로우 로직 전압(L)까지 낮아질 수 있게 된다.
- [0033] 도 6을 참조하면, 제2 레벨 쉬프터(152)는 TFT의 동작 전압보다 낮은 전압범위에서 발생하는 입력 스타트신호(VST)와, TFT의 동작 전압보다 낮은 전압범위에서 스윙되는 제1 및 제2 입력 클럭신호(CLK A, CLK Ab)에 응답하여 출력 스타트신호(VST_0)를 발생하는 다수의 TFT들(T1S~T4aS)을 포함한다. TFT들(T1S~T4aS)은 n 타입 MOSFET로 구현될 수 있다. 입력 스타트신호(VST)가 하이 로직 전압으로 유지될 때 제1 및 제2 입력 클럭신호(CLK A, CLK Ab)는 로우 로직 전압으로 유지되고, 입력 스타트신호(VST)가 로우 로직 전압으로 유지될 때 제1 및 제2 입력 클럭신호(CLK A, CLK Ab)는 서로 역위상으로 발생된다.
- [0034] 제5 TFT(T1S)는 고전위 전원전압(VDD)을 제3 노드(n1S)에 전달하는 다이오드로 동작하고 제6 TFT(T2S)의 게이트전극과 드레인전극을 연결하여 제6 TFT(T2S)를 다이오드로 동작시킨다. 제5 TFT(T1S)의 게이트전극 및 드레인전극은 서로 연결되어 고전위 전원전압(VDD)을 입력받는다. 제5 TFT(T1S)의 소스전극은 제3 노드(n1S)에 접속된다.
- [0035] 제6 TFT(T2S)는 제3 노드(n1S)에 인가되는 전압에 따라 고전위 전원전압(VDD)을 제4 노드(n2S)에 전달하는 다이오드로 동작한다. 제6 TFT(T2S)의 게이트전극은 제3 노드(n1S)를 경유하여 제5 TFT(T1S)의 소스전극과 제8-1 및 제8-2 TFT(T4S, T4aS)의 드레인전극에 연결된다. 제6 TFT(T2S)의 드레인전극은 고전위 전원전압(VDD)을 입력받는다. 제6 TFT(T2S)의 소스전극은 출력 노드인 제4 노드(n2S)에 접속된다.
- [0036] 제7-1 TFT(T3S)는 제2 입력 클럭신호(CLK Ab)의 하이 로직 전압에 응답하여 제4 노드(n2S)의 전압을 입력 스타트신호(VST)의 로우 로직 전압까지 방전시킨다. 제7-1 TFT(T3S)의 게이트전극은 제2 입력 클럭신호(CLK Ab)를 입력받고, 제7-1 TFT(T3S)의 소스전극은 입력 스타트신호(VST)를 입력받는다. 제7-1 TFT(T3S)의 드레인전극은

제4 노드(n2S)에 접속된다.

- [0037] 제7-2 TFT(T3aS)는 제1 입력 클럭신호(CLK A)의 하이 로직 전압에 응답하여 제4 노드(n2S)의 전압을 입력 스타트신호(VST)의 로우 로직 전압까지 방전시킨다. 제7-2 TFT(T3aS)의 게이트전극은 제1 입력 클럭신호(CLK A)를 입력받고, 제7-2 TFT(T3aS)의 소스전극은 입력 스타트신호(VST)를 입력받는다. 제7-2 TFT(T3aS)의 드레인전극은 제4 노드(n2S)에 접속된다.
- [0038] 제8-1 TFT(T4S)는 제2 입력 클럭신호(CLK Ab)의 하이 로직 전압에 응답하여 제3 노드(n1S)의 전압을 입력 스타트신호(VST)의 로우 로직 전압까지 방전시킨다. 제8-1 TFT(T4S)의 게이트전극은 제2 입력 클럭신호(CLK Ab)를 입력받고, 제8-1 TFT(T4S)의 소스전극은 입력 스타트신호(VST)를 입력받는다. 제8-1 TFT(T4S)의 드레인전극은 제3 노드(n1S)에 접속된다.
- [0039] 제8-2 TFT(T4aS)는 제1 입력 클럭신호(CLK A)의 하이 로직 전압에 응답하여 제3 노드(n1S)의 전압을 입력 스타트신호(VST)의 로우 로직 전압까지 방전시킨다. 제8-2 TFT(T4aS)의 게이트전극은 제1 입력 클럭신호(CLK A)를 입력받고, 제8-2 TFT(T4aS)의 소스전극은 입력 스타트신호(VST)를 입력받는다. 제8-2 TFT(T4aS)의 드레인전극은 제3 노드(n1S)에 접속된다.
- [0040] 제2 레벨 쉬프트터(152)는 제2 부트스트래핑 커패시터(CS)를 구비한다. 제2 부트스트래핑 커패시터(CS)는 제3 노드(n1S)와 제4 노드(n2S) 사이에 연결되어 제6 TFT(T2S)의 게이트-소스간 전압을 일정하게 유지시켜 제4 노드(n2S)의 전압 출력을 안정화시킨다.
- [0041] 도 6 및 도 7을 결부하여 제2 레벨 쉬프트터(152)의 동작을 설명하면 다음과 같다. 도 7에서는, 입력 스타트신호(VST)와 제1 및 제2 입력 클럭신호(CLK A, CLK Ab) 각각의 하이 로직 전압(H)을 5 V로, 로우 로직 전압(L)을 -10V로 가정한다. 그리고, 고전위 전원전압(VDD)을 20V로 가정한다.
- [0042] 도 6 및 도 7을 참조하면, 제1 기간(T1) 동안, 입력 스타트신호(VST)는 하이 로직 전압(H)으로 유지되고, 제1 및 제2 입력 클럭신호(CLK A, CLK Ab)는 로우 로직 전압(L)으로 유지된다. 제1 기간(T1)에 이은 제2 기간(T2) 동안, 입력 스타트신호(VST)는 로우 로직 전압(L)으로 유지되고, 제1 및 제2 입력 클럭신호(CLK A, CLK Ab)는 로우 로직 전압(L)과 하이 로직 전압(H) 사이에서 서로 역위상으로 스위칭된다.
- [0043] 제1 기간(T1)에서 하이 로직 전압(H)의 입력 스타트신호(VST)와, 로우 로직 전압(L)의 제1 및 제2 입력 클럭신호(CLK A, CLK Ab)가 입력되면, 제7-1 TFT(T3S) 및 제8-1 TFT(T4S) 각각의 게이트전극에는 제2 입력 클럭신호(CLK Ab)의 로우 로직 전압(L)이 공급되고, 제7-2 TFT(T3aS) 및 제8-2 TFT(T4aS) 각각의 게이트전극에는 제1 입력 클럭신호(CLK A)의 로우 로직 전압(L)이 공급되며, 제7-1 TFT(T3S), 제7-2 TFT(T3aS), 제8-1 TFT(T4S) 및 제8-2 TFT(T4aS) 각각의 소스전극에는 입력 스타트신호(VST)의 하이 로직 전압(H)이 공급된다. 제1 기간(T1)에서, 제7-1 TFT(T3S), 제7-2 TFT(T3aS), 제8-1 TFT(T4S) 및 제8-2 TFT(T4aS) 각각의 게이트-소스간 전압(Vgs)은 게이트전압에 비해 소스전압이 더 높은 역전압이 되므로, 제7-1 TFT(T3S), 제7-2 TFT(T3aS), 제8-1 TFT(T4S) 및 제8-2 TFT(T4aS)는 모두 턴 오프 된다. 이러한 제1 기간(T1)에서, 제5 TFT(T1S)는 제3 노드(n1S)의 전압을 고전위 전원전압(VDD)까지 상승시키고, 제6 TFT(T2S)는 제4 노드(n2S)의 전압을 고전위 전원전압(VDD)까지 상승시킨다. 제7-1 TFT(T3S), 제7-2 TFT(T3aS), 제8-1 TFT(T4S) 및 제8-2 TFT(T4aS)가 디플레이션 모드로 동작하더라도 이들 각각의 게이트-소스간 전압(Vgs)이 0 보다 낮은 부극성 전압이므로 제7-1 TFT(T3S), 제7-2 TFT(T3aS), 제8-1 TFT(T4S) 및 제8-2 TFT(T4aS)에는 전류가 거의 흐르지 않는다. 따라서, 입력 스타트신호(VST)의 입력이 하이 로직 전압(H)이고 제1 및 제2 입력 클럭신호(CLK A, CLK Ab)의 입력이 로우 로직 전압(L)일 때, 제4 노드(n2S)에서 발생하는 출력 스타트신호(VST_O)의 전압은 고전위 전원전압(VDD)과 실질적으로 동일하게 된다.
- [0044] 입력 스타트신호(VST)가 로우 로직 전압(L)으로 유지되는 제2 기간(T2)에서 하이 로직 전압(H)의 제1 입력 클럭신호(CLK A)와 로우 로직 전압(L)의 제2 입력 클럭신호(CLK Ab)가 입력되면, 제7-1 TFT(T3S) 및 제8-1 TFT(T4S) 각각의 게이트전극에는 제2 입력 클럭신호(CLK Ab)의 로우 로직 전압(L)이 공급되고, 제7-2 TFT(T3aS) 및 제8-2 TFT(T4aS) 각각의 게이트전극에는 제1 입력 클럭신호(CLK A)의 하이 로직 전압(H)이 공급되며, 제7-1 TFT(T3S), 제7-2 TFT(T3aS), 제8-1 TFT(T4S) 및 제8-2 TFT(T4aS) 각각의 소스전극에는 입력 스타트신호(VST)의 로우 로직 전압(L)이 공급된다. 이에 따라, 제7-2 TFT(T3aS)의 게이트-소스간 전압(Vgs)은 제7-2 TFT(T3aS)의 문턱 전압보다 높은 전압으로 상승되어 제7-2 TFT(T3aS)를 턴 온 시키고, 제8-2 TFT(T4aS)의 게이트-소스간 전압(Vgs)은 제8-2 TFT(T4aS)의 문턱 전압보다 높은 전압으로 상승되어 제8-2 TFT(T4aS)를 턴 온 시킨다. 그 결과, 제7-2 TFT(T3aS)는 턴 온 되어 제4 노드(n2S)의 전압을 입력 스타트신호(VST)의 로우 로직 전압(L)까지 방

전시키고, 제8-2 TFT(T4aS)는 턴 온 되어 제3 노드(n1S)의 전압을 입력 스타트신호(VST)의 로우 로직 전압(L)까지 방전시킨다. 제3 노드(n1S)의 전압은 제1 입력 클럭신호(CLK A)의 로우 로직 전압(L)까지 낮아지므로 제6 TFT(T2S)의 채널 저항이 충분히 높아지며, 그 결과 제4 노드(n2S)에서 발생하는 출력 스타트신호(VST_0)의 전압이 원하는 로우 로직 전압(L)까지 낮아질 수 있게 된다.

[0045] 한편, 입력 스타트신호(VST)가 로우 로직 전압(L)으로 유지되는 제2 기간(T2)에서 로우 로직 전압(L)의 제1 입력 클럭신호(CLK A)와 하이 로직 전압(H)의 제2 입력 클럭신호(CLK Ab)가 입력되면, 제7-1 TFT(T3S) 및 제8-1 TFT(T4S) 각각의 게이트전극에는 제2 입력 클럭신호(CLK Ab)의 하이 로직 전압(H)이 공급되고, 제7-2 TFT(T3aS) 및 제8-2 TFT(T4aS) 각각의 게이트전극에는 제1 입력 클럭신호(CLK A)의 로우 로직 전압(L)이 공급되며, 제3-1 TFT(T3C), 제3-2 TFT(T3aC), 제4-1 TFT(T4C) 및 제4-2 TFT(T4aC) 각각의 소스전극에는 입력 스타트신호(VST)의 로우 로직 전압(L)이 공급된다. 이에 따라, 제7-1 TFT(T3S)의 게이트-소스간 전압(Vgs)은 제7-1 TFT(T3S)의 문턱 전압보다 높은 전압으로 상승되어 제7-1 TFT(T3S)를 턴 온 시키고, 제8-1 TFT(T4S)의 게이트-소스간 전압(Vgs)은 제8-1 TFT(T4S)의 문턱 전압보다 높은 전압으로 상승되어 제8-1 TFT(T4S)를 턴 온 시킨다. 그 결과, 제7-1 TFT(T3S)는 턴 온 되어 제4 노드(n2S)의 전압을 입력 스타트신호(VST)의 로우 로직 전압(L)까지 방전시키고, 제8-1 TFT(T4S)는 턴 온 되어 제3 노드(n1S)의 전압을 입력 스타트신호(VST)의 로우 로직 전압(L)까지 방전시킨다. 제3 노드(n1S)의 전압은 제1 입력 클럭신호(CLK A)의 로우 로직 전압(L)까지 낮아지므로 제6 TFT(T2S)의 채널 저항이 충분히 높아지며, 그 결과 제4 노드(n2S)에서 발생하는 출력 스타트신호(VST_0)의 전압이 원하는 로우 로직 전압(L)까지 낮아질 수 있게 된다.

[0046] 도 8은 본 발명의 실시예에 따른 레벨 쉬프터 유닛의 스파이스 시뮬레이션(Spice simulation) 결과로써 이 시뮬레이션에서 도 5 및 도 6과 같은 레벨 쉬프터의 구동 전압을 VST = 0~10V, CLK A = 0~10V, CLK Ab = 10~0V, VDD = 20V 으로 설정하였다. 도 8에서 알 수 있는 바와 같이, 본 발명의 레벨 쉬프터 유닛의 출력은 고전위 전원전압(VDD)과 입력 신호의 로우 로직 전압과 실질적으로 동일하여 원하는 출력 특성을 만족한다.

[0047] 도 9는 본 발명의 실시예에 따른 표시장치를 보여준다.

[0048] 도 9를 참조하면, 본 발명의 실시예에 따른 표시장치는 표시패널(10), 데이터 구동회로, 게이트 구동회로, 및 타이밍 콘트롤러(11) 등을 구비한다. 본 발명의 레벨 쉬프터 유닛(15)은 액정표시장치(LCD), 유기발광 다이오드(Organic Light Emitting Diode, OLED) 표시장치 등의 평판 표시장치에서 게이트 구동회로(또는 스캔 구동회로)의 레벨 쉬프터 유닛(15)으로 적용될 수 있다.

[0049] 표시패널(10)의 화소 어레이는 데이터전압이 공급되는 데이터라인들과, 게이트펄스(또는 스캔펄스)가 공급되는 게이트라인들(또는 스캔라인들), 및 화소 데이터라인들과 게이트라인들의 교차부에 형성된 TFT들과, 데이터라인들과 게이트라인들에 의해 매트릭스 형태로 정의된 화소 영역에 형성되는 화소전극들을 포함한다. 이 표시패널(10)은 LCD 패널, OLED 패널 등의 표시패널로 구현될 수 있다.

[0050] 데이터 구동회로는 다수의 소스 드라이브 IC들(12)을 포함한다. 소스 드라이브 IC들(12)은 타이밍 콘트롤러(11)로부터 디지털 비디오 데이터들(RGB)을 입력 받는다. 소스 드라이브 IC들(12)은 타이밍 콘트롤러(11)로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터들(RGB)을 정극성/부극성 아날로그 데이터전압으로 변환한 후에 그 데이터전압을 게이트펄스에 동기되도록 표시패널(10)의 데이터라인들에 공급한다. 소스 드라이브 IC들은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 표시패널(10)의 데이터라인들에 접속된다.

[0051] 게이트 구동회로는 타이밍 콘트롤러(11)와 표시패널(10)의 게이트라인들 사이에 접속된 레벨 쉬프터 유닛(15), 및 쉬프트 레지스터(13)를 포함한다.

[0052] 레벨 쉬프터 유닛(15)은 도 5 및 도 6과 같은 회로로 구현되어 타이밍 콘트롤러(11)로부터 입력되는 게이트 쉬프트 클럭들(CLKs)의 전압을 게이트 하이 전압과 게이트 로우 전압으로 레벨 쉬프팅함과 아울러, 타이밍 콘트롤러(11)로부터 입력되는 게이트 스타트신호(VST)의 전압을 게이트 하이 전압과 게이트 로우 전압으로 레벨 쉬프팅한다. 게이트 하이 전압은 화소 어레이에 형성된 TFT들의 문턱 전압보다 높은 전압으로서 레벨 쉬프터 유닛(15)에 입력되는 고전위 전원전압과 실질적으로 동일한 값을 갖는다. 게이트 로우 전압은 화소 어레이에 형성된 TFT들의 문턱 전압보다 낮은 전압으로서 게이트 쉬프트 클럭들(CLKs) 또는 게이트 스타트신호(VST)의 로우 로직 전압과 실질적으로 동일한 값을 갖는다. 게이트 쉬프트 클럭들(CLKs)은 소정의 위상차를 갖는 i(i는 2 이

상의 양의 정부) 개의 클럭들을 포함한 i 상(phase) 클럭신호로 레벨 쉬프트 유닛(15)에 입력된다. 도 5 내지 도 7에서, 제1 입력 클럭신호(CLK A)와 제2 입력 클럭신호(CLK Ab)는 타이밍 콘트롤러(11)에 의해 생성된 게이트 쉬프트 클럭들(CLKs) 중에서 서로 역위상인 두 개의 클럭신호들로 선택될 수 있다. 따라서, 본 발명의 레벨 쉬프트 유닛(15)은 역위상 클럭신호를 생성하기 위하여 별도의 인버터 회로를 필요로 하지 않으며, 특히 디스플레이션 모드로 동작하는 TFT를 사용하더라도 별도의 저전위 전원전압을 필요로 하지 않으면서 원하는 출력 특성을 얻을 수 있다. 레벨 쉬프트 유닛(15)은 타이밍 콘트롤러(11)로부터 입력되는 i 상(phase) 클럭신호에 대응하여 i 상(phase)의 출력 클럭신호를 생성하기 위해 도 5와 같은 레벨 쉬프트(151)를 i개 포함할 수 있다. 레벨 쉬프트 유닛(15)은 타이밍 콘트롤러(11)로부터 입력된 FLK 신호에 응답하여 출력 전압의 폴링에지에서 게이트 하이전압을 낮추어 액정셀의 킥백전압(ΔV_p)을 낮출 수 있다.

[0053] 쉬프트 레지스터(13)는 레벨 쉬프트 유닛(15)으로부터 입력되는 출력 스타트신호와 출력 클럭신호들을 이용하여 표시패널(10)의 게이트라인들에 순차적으로 게이트펄스를 공급한다.

[0054] 게이트 구동회로는 GIP(Gate In Panel) 방식으로 표시패널(10)의 하부 기판 상에 직접 형성되거나 TAB 방식으로 표시패널(10)의 게이트라인들과 타이밍 콘트롤러(11) 사이에 연결될 수 있다. GIP 방식에서, 레벨 쉬프트 유닛(15)은 PCB(14) 상에 실장되고, 쉬프트 레지스터(13)는 화소 어레이와 함께 표시패널(10)의 하부기판 상에 형성될 수 있다. 또한, GIP 방식에서 레벨 쉬프트 유닛(15)과 쉬프트 레지스터(13) 모두 표시패널(10) 상에 직접 형성될 수도 있다. TAB 방식에서, 레벨 쉬프트와 쉬프트 레지스터는 하나위 IC 칩으로 집적되고 TCP 상에 실장되어 표시패널(10)의 하부기판에 접촉될 수 있다.

[0055] 타이밍 콘트롤러(11)는 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 외부의 호스트 컴퓨터로부터 디지털 비디오 데이터(RGB)를 입력 받는다. 타이밍 콘트롤러(11)는 호스트 컴퓨터로부터 입력되는 디지털 비디오 데이터들(RGB)을 소스 드라이브 IC들(12)로 전송한다.

[0056] 타이밍 콘트롤러(11)는 LVDS 또는 TMDS 인터페이스 수신회로를 통해 호스트 컴퓨터로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력받는다. 타이밍 콘트롤러(11)는 호스트 컴퓨터로부터의 타이밍 신호를 기준으로 소스 드라이브 IC들과 게이트 구동회로의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 게이트 구동회로의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호, 소스 드라이브 IC들(12)의 동작 타이밍과 데이터 전압의 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함한다.

[0057] 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, VST), 게이트 쉬프트 클럭들(Gate Shift Clock, CLKs), 게이트 출력 인에이블신호(Gate Output Enable, GOE), FLK 신호 등을 포함한다. 게이트 스타트 펄스(VST)는 레벨 쉬프트 유닛(15)에 의해 레벨 쉬프트된 후에 쉬프트 레지스터(13)에 입력되어 쉬프트 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭들(CLKs)은 레벨 쉬프트 유닛(15)에 입력되어 레벨 쉬프트된 후에 쉬프트 레지스터(13)에 입력되며, 게이트 스타트 펄스(VST)를 쉬프트시키기 위한 클럭신호로 이용된다. 게이트 출력 인에이블신호(GOE)는 쉬프트 레지스터의 출력 타이밍을 제어한다. FLK 신호는 폴리커의 원인이 되는 액정셀(LC)의 킥백전압(ΔV_p)을 줄이기 위하여 게이트 하이 전압을 하향 변조할 때, 그 하향 변조 시간을 정의한다.

[0058] 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity, POL), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 소스 드라이브 IC들(12)의 쉬프트 스타트 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC들(12) 내에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 극성제어신호(POL)는 소스 드라이브 IC들로부터 출력되는 데이터전압의 극성을 제어한다. 타이밍 콘트롤러(11)와 소스 드라이브 IC들(12) 사이의 데이터 전송 인터페이스가 mini LVDS 인터페이스라면, 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다.

[0059] 상술한 바와 같이, 본 발명에 따른 레벨 쉬프트 유닛과 이를 이용한 표시장치는 2개의 역위상 클럭신호들과 스타트신호를 입력받아 출력 클럭신호와 출력 스타트신호를 발생하기 때문에, 역위상 클럭신호를 생성하기 위하여 별도의 인버터 회로를 필요로 하지 않으며, 특히 디스플레이션 모드로 동작하는 TFT를 사용하더라도 별도의 저전위 전원전압을 필요로 하지 않으면서 원하는 출력 특성을 효과적으로 얻을 수 있다.

[0060] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수

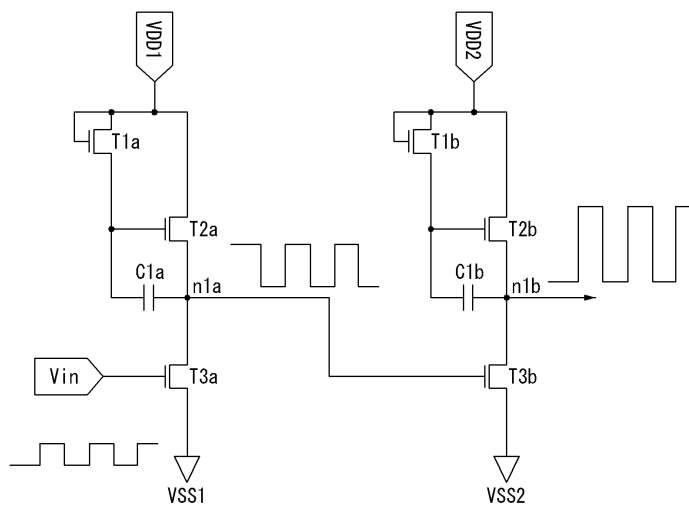
정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

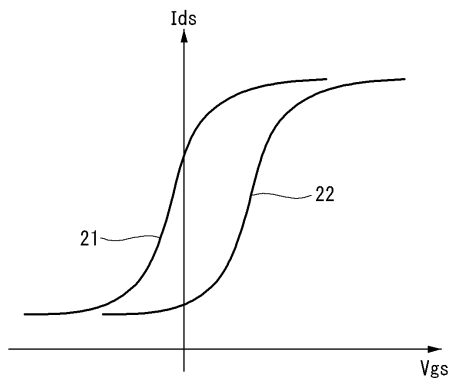
- [0061]
- | | |
|-----------------|-----------------|
| 10 : 표시패널 | 11 : 타이밍 콘트롤러; |
| 12 : 소스 드라이브 IC | 13 : 쉬프트 레지스터 |
| 14 : PCB | 15 : 레벨 쉬프터 유닛 |
| 151 : 제1 레벨 쉬프터 | 152 : 제2 레벨 쉬프터 |

도면

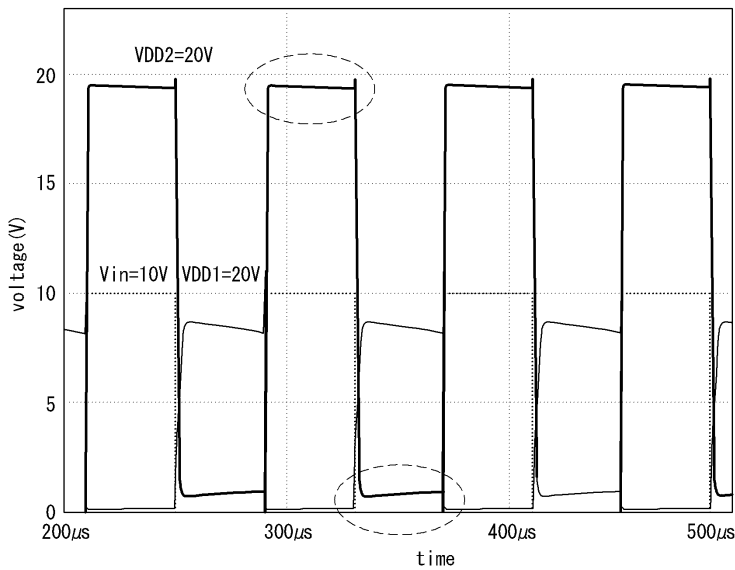
도면1



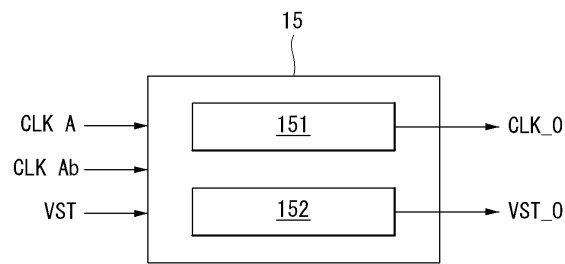
도면2



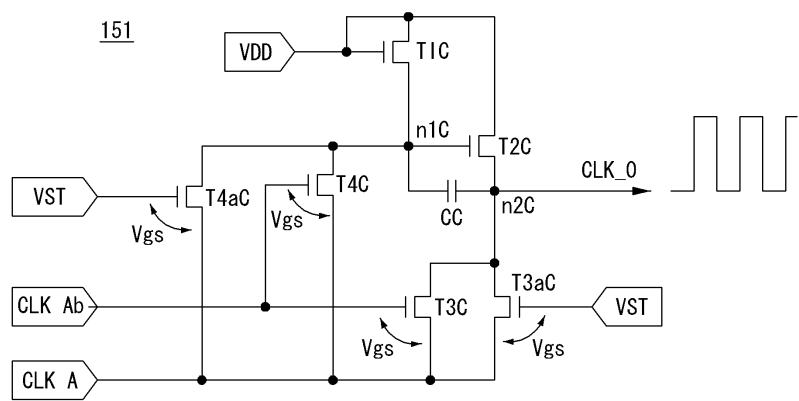
도면3



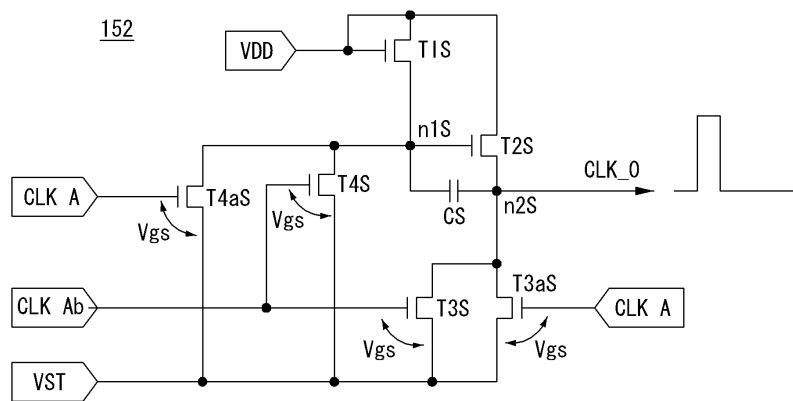
도면4



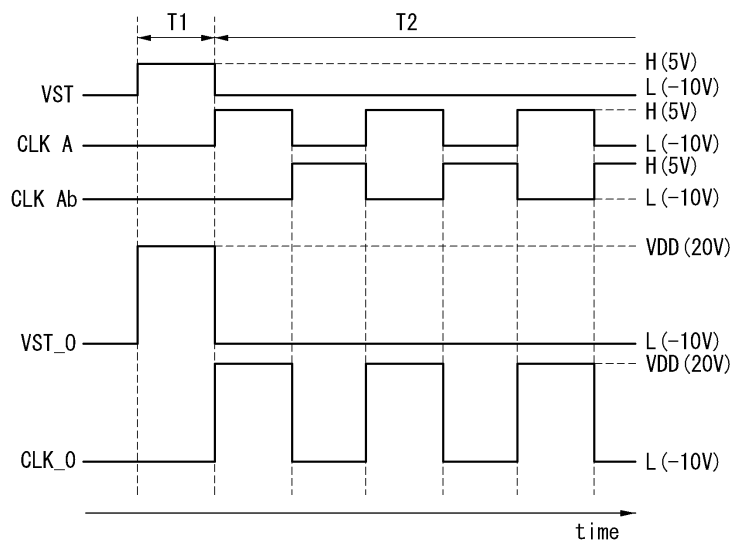
도면5



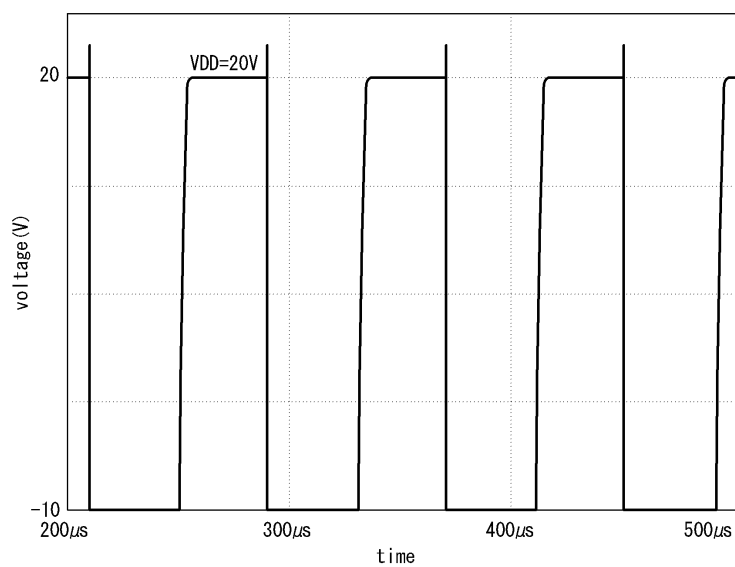
도면6



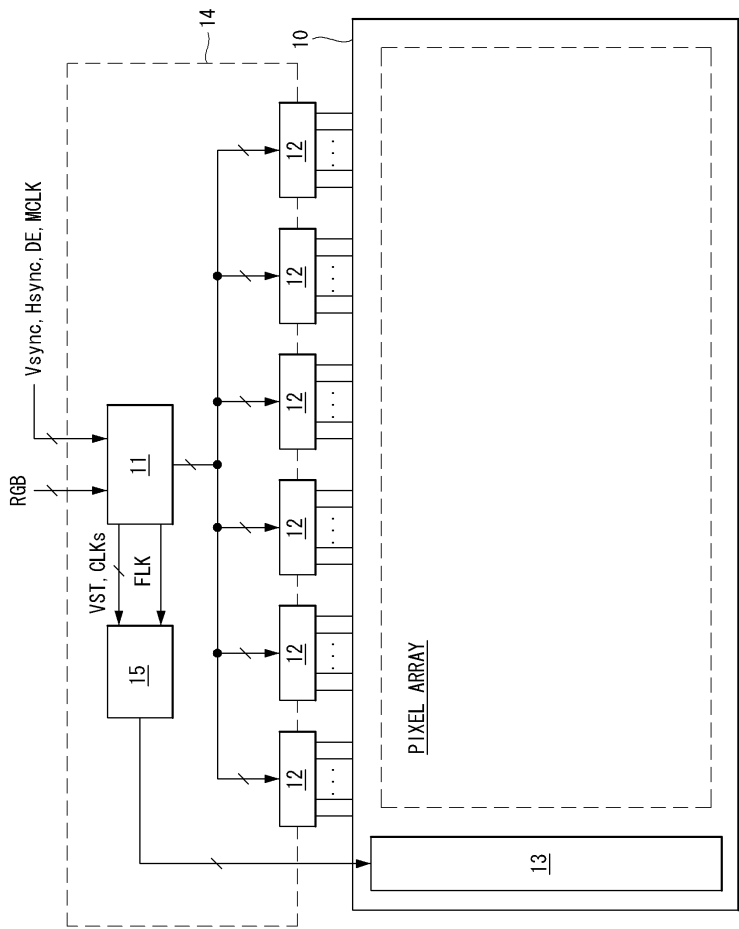
도면7



도면8



도면9



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 [청구항 12] 3째줄

【변경전】

"상기 제2 레벨 쉬프터는"

【변경후】

"제2 레벨 쉬프터는"

根据本发明的电平移位器单元包括第一电平移位器，其接收彼此反相的第一输入时钟信号和第二输入时钟信号，并产生电平移位的输出时钟信号；第一电平移位器包括：第一TFT，用于将高电位电源电压传输到第二节点；第二TFT，用于响应第一节点的电压将高电位电源电压传送到第二节点；3-1，用于响应第二输入时钟信号的高逻辑电压，将第二节点的电压放电到第一输入时钟信号的低逻辑电压；第三-2TFT，用于响应于输入启动信号的高逻辑电压，将第二节点的电压放电到第一输入时钟信号的低逻辑电压；4-1 TFT，用于响应第二输入时钟信号的高逻辑电压，将第一节点的电压放电到第一输入时钟信号的低逻辑电压；并且4-2TG用于响应于输入开始信号的高逻辑电压将第一节点的电压放电到第一输入时钟信号的低逻辑电压。

