



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년06월12일

(11) 등록번호 10-1528494

(24) 등록일자 2015년06월08일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G02F 1/1337 (2006.01)

(21) 출원번호 10-2008-0084084

(22) 출원일자 2008년08월27일

심사청구일자 2013년08월26일

(65) 공개번호 10-2010-0025367

(43) 공개일자 2010년03월09일

(56) 선행기술조사문헌

KR1020030071499 A*

KR1020060121720 A*

KR1020030019080 A*

KR1020040023598 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

리이

경기도 용인시 기흥구 삼성2로 95 (농서동)

이성준

서울특별시 마포구 양화로23길 10-16 (동교동)

(뒷면에 계속)

(74) 대리인

박영우

전체 청구항 수 : 총 8 항

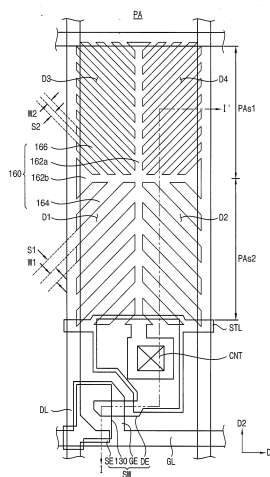
심사관 : 윤성주

(54) 발명의 명칭 표시기관, 이를 갖는 액정표시패널 및 이 액정표시패널의 제조 방법

(57) 요약

표시기관은 화소 영역이 정의된 베이스 기관, 및 화소 영역에 형성되고, 제1 폭을 가지며 제1 폭과 실질적으로 동일하거나 큰 간격으로 이격되어 배치된 복수의 제1 전극부들과, 제1 폭과 다른 제2 폭을 가지며 제2 폭과 동일한 크기의 간격으로 이격되어 배치된 복수의 제2 전극부들로 이루어진 화소전극을 포함한다. 서로 다른 폭을 갖는 제1 및 제2 전극부들로 이루어진 화소전극을 통해 다중 도메인을 구현할 수 있으므로 측면 시인성을 개선할 수 있다.

대표도 - 도1



(72) 발명자

이재영

경기도 용인시 수지구 포은대로 231, 서원마을 현
대홈타운 206동 1602호 (상현동)

안선홍

경기도 수원시 영통구 영통로514번길 53, 주공A
113동 401호 (영통동)

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

화소 영역이 정의된 베이스 기관, 및 상기 화소 영역에 형성되고, 제1 폭을 가지며 상기 제1 폭과 실질적으로 동일하거나 큰간격으로 이격되어 배치된 복수의 제1 전극부들, 상기 제1 폭과 다른 제2 폭을 가지며 상기 제2 폭과 실질적으로 동일하거나 큰 간격으로 이격되어 배치된 복수의 제2 전극부들과, 상기 제1 전극부들 및 상기 제2 전극부들을 전기적으로 직접 연결하며, 콘택홀을 통하여 드레인 전극과 직접 연결되는 제1 연결 전극부로 이루어진 화소전극을 포함하는 표시기관;

상기 표시기관과 대향하며 공통 전극을 포함하는 대향기관; 및

상기 표시기관과 상기 대향기관 사이에 개재되는 액정층을 포함하고,

상기 화소 영역은 제1 서브 영역과 상기 제1 서브 영역과 인접하는 제2 서브 영역으로 양분되고,

상기 제1 전극부들은 상기 제1 서브 영역에만 배치되고, 상기 제2 전극부들은 상기 제2 서브 영역에만 배치되어,

각각의 서브 영역에는 동일한 폭 및 동일한 간격을 갖는 전극부들이 배치되는 것을 특징으로 하는 액정표시패널.

청구항 8

제7항에 있어서, 상기 제1 폭(W1)은 $2.5\mu\text{m} < W1 < 8\mu\text{m}$ 이고, 상기 제2 폭(W2)은 $1\mu\text{m} < W2 < 2.5\mu\text{m}$ 인 것을 특징으로 하는 액정표시패널.

청구항 9

제7항에 있어서, 상기 표시기관 및 상기 대향 기관은 상기 액정층의 액정 들을 배향시키는 배향막; 및

상기 액정층과 상기 배향막 사이에 형성된 선경사각을 갖는 RM(Reactive Mesogen) 경화층을 더 포함하는 액정표시패널.

청구항 10

제7항에 있어서, 상기 표시기관은 서로 교차하는 게이트 라인 및 데이터 라인에 연결된 스위칭 소자를 더 포함

하고,

상기 화소 전극은 상기 스위칭 소자와 연결되는 것을 특징으로 하는 액정표시패널.

청구항 11

제10항에 있어서, 상기 화소 전극은,

상기 제1 연결 전극부와 교차하는 방향으로 연장된 제2 연결 전극부를 더 포함하며,

상기 제1 및 제2 전극부들은 상기 제1 및 제2 연결 전극부들로부터 다른 방향으로 연장되어 복수의 도메인들을 정의하는 것을 특징으로 하는 액정표시패널.

청구항 12

제10항에 있어서,

상기 제1 서브 영역의 면적과 상기 제2 서브 영역의 면적은 서로 다른 것을 특징으로 하는 액정표시패널.

청구항 13

제10항에 있어서, 상기 화소 전극은,

상기 제1 서브 영역에 상기 제1 연결 전극부와 교차하도록 형성된 제2 연결 전극부; 및

상기 제2 서브 영역에 상기 제1 연결 전극부와 교차하도록 형성된 제3 연결 전극부를 더 포함하며,

상기 제1 및 제2 전극부들은 상기 제1 내지 제3 연결 전극부들로부터 다른 방향으로 연장되어 복수의 도메인들을 정의하는 것을 특징으로 하는 액정표시패널.

청구항 14

제13항에 있어서,

상기 제1 서브 영역의 면적과 상기 제2 서브 영역의 면적은 서로 다른 것을 특징으로 하는 액정표시패널.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

발명의 상세한 설명

기술분야

[0001] 본 발명은 액정표시장치에 사용되는 표시기판, 이를 갖는 액정표시패널 및 이 액정표시패널의 제조 방법에 관한 것이다.

배경 기술

[0002] 일반적으로, 액정표시장치는 스위칭 소자들이 형성된 표시기판과, 상기 표시기판에 대향하는 대향 기판 및 상기 표시기판과 상기 대향기판 사이에 개재되어 형성된 액정층을 포함한다.

[0003] 상기 액정표시장치는 상기 액정층에 전압을 인가하여 광의 투과율을 제어함으로써 영상을 표시한다. 이러한 액정표시장치는 상기 액정층의 액정분자에 의해 차폐되지 않은 방향으로만 광이 투과되어 영상을 표시하기 때문에 다른 표시장치들에 비해 상대적으로 시야각이 좁다.

[0004] 이러한 단점을 극복하고자 시야각을 넓히기 위한 다양한 기술이 개발되고 있다. 일 예로 하나의 화소를 여러 도메인으로 나누어 구동하는 PVA(Patterned Vertical Alignment) 모드를 들 수 있다.

[0005] 상기 PVA 모드에서는 액정분자를 상하 기판에 대해 수직으로 배향하고 화소전극과 그 대향 전극인 공통전극에 일정한 슬릿 패턴을 형성하거나 돌기 패턴을 형성하여 화소를 멀티 도메인으로 구현한다.

[0006] 상기와 같이 슬릿 패턴이나 돌기 패턴을 형성하여 멀티 도메인을 형성하는 방식의 경우, 상기 화소전극 및 상기 공통전극에 슬릿 패턴이나 돌기 패턴을 형성하기 위한 패터닝 공정이 요구된다. 상기 공통전극의 패터닝 공정에 의해 상기 상하 기판들 사이에 얼라인 미스가 발생하거나 개구율이 감소될 수 있다. 또한, 상기 PVA 모드의 액정표시장치는 전면 시인성에 비하여 측면 시인성이 떨어진다.

발명의 내용

해결 하고자하는 과제

[0007] 이에 본 발명의 기술적 과제는 이러한 점에서 착안된 것으로, 본 발명의 목적은 측면 시인성 개선을 위한 표시기판을 제공하는 것이다.

[0008] 본 발명의 다른 목적은 상기 표시기판을 갖는 액정표시패널을 제공하는 것이다.

[0009] 본 발명의 또 다른 목적은 상기 액정표시패널의 제조방법을 제공하는 것이다.

과제 해결수단

[0010] 상기한 본 발명의 목적을 실현하기 위한 일 실시예에 따른 표시기판은, 베이스 기판 및 화소전극을 포함한다. 상기 베이스 기판은 화소 영역을 정의한다. 상기 화소 전극은 상기 화소 영역에 형성되고, 제1 폭을 가지며 상기 제1 폭과 실질적으로 동일하거나 큰 간격으로 이격되어 배치된 복수의 제1 전극부들과, 상기 제1 폭과 다른 제2 폭을 가지며 상기 제2 폭과 실질적으로 동일하거나 큰 간격으로 이격되어 배치된 복수의 제2 전극부들을 포함한다.

[0011] 본 발명의 실시예에서, 상기 제1 폭(W1)은 $2.5\mu\text{m} < W1 < 8\mu\text{m}$ 이고, 상기 제2 폭(W2)은 $1\mu\text{m} < W2 < 2.5\mu\text{m}$ 일 수 있다.

[0012] 상기한 본 발명의 다른 목적을 실현하기 위한 일 실시예에 따른 액정표시패널은, 표시기판, 대향기판 및 액정층을 포함한다. 상기 표시기판은 제1 폭을 가지며 상기 제1 폭과 실질적으로 동일하거나 큰 간격으로 이격되어 배치된 복수의 제1 전극부들과, 상기 제1 폭과 다른 제2 폭을 가지며 상기 제2 폭과 실질적으로 동일하거나 큰 간격으로 이격되어 배치된 복수의 제2 전극부들로 이루어진 화소전극을 포함한다. 상기 대향기판은 상기 표시기판과 대향하며 공통 전극을 포함한다. 상기 액정층은 상기 표시기판과 상기 대향기판 사이에 개재된다.

[0013] 본 발명의 실시예에 따른 액정표시패널은 상기 표시기판 및 상기 대향 기판은 상기 액정층의 액정 들을 배향시키는 배향막, 및 상기 액정층과 상기 배향막 사이에 형성된 선경사각을 갖는 RM(Reactive Mesogen) 경화층을 더 포함할 수 있다.

[0014] 상기한 본 발명의 또 다른 목적을 실현하기 위한 일 실시예에 따른 액정표시패널의 제조방법은, 제1 베이스 기판 위에 형성되고, 제1 폭을 가지며 상기 제1 폭과 실질적으로 동일하거나 큰 간격으로 이격되어 배치된 복수의 제1 전극부들과, 상기 제1 폭과 다른 제2 폭을 가지며 상기 제2 폭과 실질적으로 동일하거나 큰 간격으로 이격되어 배치된 복수의 제2 전극부들로 이루어진 화소전극 및 상기 화소전극 위에 형성된 제1 배향막을 포함하는

표시기관을 제조한다. 이어서, 제2 베이스 기관의 전면에 형성된 공통전극 및 상기 공통전극 위에 형성된 제2 배향막을 포함하는 대향기관을 제조하는 한다. 상기 표시기관과 상기 대향 기관 사이에 액정분자들 및 상기 액정분자들과 혼합된 RM(Reactive Mesogen)을 포함하는 액정층을 형성한다. 이어서, 상기 액정층을 화이트로 구동시킨 상태에서 광을 조사하여 상기 제1 및 제2 배향막 위에 선경사각을 갖는 제1 RM 경화층 및 제2 RM 경화층을 형성한다.

효 과

[0015] 이러한 표시기관, 이를 갖는 액정표시패널 및 이 액정표시패널의 제조방법에 의하면, 화소 전극을 구성하는 제1 및 제2 전극부들의 폭을 다르게 하여 다중 도메인을 구현함으로써 측면 시인성을 개선할 수 있다.

발명의 실시를 위한 구체적인 내용

[0016] 이하, 도면들을 참조하여 본 발명의 바람직한 실시예들을 보다 상세하게 설명하기로 한다.

[0017] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0018] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 위에 있다고 할 경우, 이는 다른 부분 바로 위에 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 아래에 있다고 할 경우, 이는 다른 부분 바로 아래에 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0019] 실시예 1

[0020] 도 1 본 발명의 실시예 1에 따른 액정표시패널의 평면도이고, 도 2는 도 1의 I-I라인을 따라 절단한 단면도이다.

[0021] 도 1 및 2를 참조하면, 상기 액정표시패널은 표시기관(100), 대향 기관(200) 및 액정층(300)을 포함한다.

[0022] 상기 표시기관(100)은 화소 영역(PA)이 정의된 제1 베이스 기관(110)을 포함한다. 상기 제1 베이스 기관(110) 위에는 게이트 라인(GL), 스토리지 라인(STL), 게이트 절연막(120), 데이터 라인(DL), 박막 트랜지스터(SW), 패시베이션막(140), 유기막(150), 화소전극(160) 및 제1 배향막(170)을 포함한다.

[0023] 상기 게이트 라인(GL)은 상기 제1 베이스 기관(110) 상에 제1 방향(D1)을 따라 연장된다.

[0024] 상기 스토리지 라인(STL)은 상기 게이트 라인(GL)과 평행한 방향으로 연장되고, 상기 화소전극(160) 및 상기 박막 트랜지스터(SW)의 드레인 전극(DE)과 일부 오버랩되게 형성된다. 상기 화소전극(160)과 상기 스토리지 라인(STL) 사이에 형성된 상기 게이트 절연막(120), 상기 패시베이션막(140)에 의해 스토리지 커패시터가 정의된다.

[0025] 상기 게이트 절연막(120)은 상기 게이트 라인(GL) 및 상기 스토리지 라인(STL)을 덮도록 상기 제1 베이스 기관(110) 위에 형성된다.

[0026] 상기 데이터 라인(DL)은 상기 게이트 절연막(120) 상에 상기 제1 방향(D1)과 교차하는 제2 방향(D2)을 따라 연장된다. 제1 및 제2 방향들(D1, D2)은 서로 직교할 수 있다.

[0027] 상기 박막 트랜지스터(SW)는 상기 게이트 라인(GL)과 전기적으로 연결된 게이트 전극(GE), 상기 게이트 전극

(GE)에 대응되는 게이트 절연막(120) 상에 형성된 반도체 패턴(130), 상기 데이터 라인(DL)과 전기적으로 연결된 소스 전극(SE) 및 상기 화소전극(160)과 전기적으로 연결된 드레인 전극(DE)을 포함한다. 상기 소스 전극(SE) 및 상기 드레인 전극(DE)은 상기 반도체 패턴(130) 상에 서로 이격되어 배치된다. 상기 드레인 전극(DE)은 상기 콘택홀(CNT)를 통해 상기 화소전극(160)과 전기적으로 연결된다.

[0028] 상기 패시베이션막(140)은 상기 데이터 라인(DL) 및 상기 박막 트랜지스터(SW)를 덮도록 상기 게이트 절연막(120) 상에 형성된다.

[0029] 상기 유기막(150)은 상기 패시베이션막(140)과 상기 화소전극(160) 사이에 형성되어 상기 표시기판(100)을 평탄화시키는 역할을 한다.

[0030] 상기 화소전극(160)은 상기 유기막(150) 위에 형성되고, 투명한 도전성 물질로 이루어진다. 상기 화소전극(160)은 상기 유기막(150)에 형성된 상기 콘택홀(CNT)를 통해 상기 박막 트랜지스터(SW)의 드레인 전극(DE)과 전기적으로 연결된다.

[0031] 상기 화소전극(160)은 제1 연결 전극부(162a), 제2 연결 전극부(162b), 제1 전극부들(164) 및 제2 전극부들(166)을 포함할 수 있다.

[0032] 상기 제1 연결 전극부(162a)는 상기 데이터 라인(DL)과 평행한 방향으로 연장된다. 상기 제1 연결 전극부(162a)는 상기 콘택홀(CNT)을 통해 상기 박막 트랜지스터(SW)의 상기 드레인 전극(DE)과 전기적으로 연결된다. 상기 제1 연결 전극부(162a)는 상기 제1 및 제2 전극부들(164, 166)을 전기적으로 연결시킨다.

[0033] 상기 제2 연결 전극부(162b)는 상기 제1 연결 전극부(162a)와 교차하는 방향으로 연장되어 상기 화소 영역(PA)을 상기 제1 전극부들(164)이 형성되는 제1 서브 영역(PAs1)과 상기 제2 전극부들(166)이 형성되는 제2 서브 영역(PAs2)으로 분할한다.

[0034] 상기 제1 전극부들(164)은 상기 제1 서브 영역(PAs1)에 형성된다. 상기 제1 전극부들(164)은 제1 폭(W1)으로 형성되며, 상기 제1 폭(W1)과 동일한 크기의 제1 간격(S1)으로 이격되어 배치된다. 예를 들면, 상기 제1 전극부들(164)은 약 2.5 μ m보다는 크고, 8.0 μ m보다는 작은 폭으로 형성될 수 있다. 본 실시예에서는 상기 제1 전극부들(164) 및 서로 인접한 상기 제1 전극부들(164) 사이의 간격으로 정의되는 슬릿들이 3 μ m의 폭으로 형성된 경우를 예로 들었다.

[0035] 한편, 본 실시예에서는 상기 제1 전극부들(164)의 상기 제1 폭(W1)과 상기 제1 간격(S1)이 동일한 크기를 갖는 경우를 예로 들어 설명하였으나, 이에 한정되는 것은 아니다. 즉, 상기 제1 폭(W1)이 상기 제1 간격(S1)과 실질적으로 동일하거나 작게 형성될 수 있다.

[0036] 상기 제2 전극부들(166)은 상기 제2 서브 영역(Pas2)에 형성된다. 상기 제2 전극부들(166)은 상기 제1 폭(W1)과 다른 제2 폭(W2)을 형성되며, 상기 제2 폭(W2)과 동일한 크기의 제2 간격(S2)으로 이격되어 배치된다. 예를 들면, 상기 제2 전극부들(166)은 약 1.0 μ m보다는 크고, 2.5 μ m보다는 작은 폭으로 형성될 수 있다. 본 실시예에서는 상기 제2 전극부들(166) 및 서로 인접한 상기 제2 전극부들(166) 사이의 슬릿들이 2 μ m의 폭으로 형성된 경우를 예로 들었다.

[0037] 한편, 본 실시예에서는 상기 제2 전극부들(166)의 상기 제2 폭(W2)과 상기 제2 간격(S2)이 동일한 크기를 갖는 경우를 예로 들어 설명하였으나, 이에 한정되는 것은 아니다. 즉, 상기 제2 폭(W2)이 상기 제2 간격(S2)과 실질적으로 동일하거나 작게 형성될 수 있다.

[0038] 상기 제1 전극부들(164) 및 제2 전극부들(166)은 상기 제1 및 제2 연결 전극부들(162a, 162b)로부터 돌출되어 상기 화소 영역(PA)의 가장자리를 향하여 연장된다. 상기 화소 영역(PA)은 상기 제1 및 제2 전극부들(164, 166)에 의해 제1 도메인(D1), 제2 도메인(D2), 제3 도메인(D3) 및 제4 도메인(D4)으로 분할된다.

[0039] 상기 제1 전극부들(164)은 상기 제1 및 제2 도메인들(D1, D2)을 정의한다. 상기 제1 도메인(D1)을 정의하는 상기 제1 전극부들(164)은 상기 제2 연결 전극부(162b)에 대해 약 225°의 방향으로 연장되고, 상기 제2 도메인(D2)을 정의하는 상기 제1 전극부들(164)은 상기 제2 연결 전극부(162b)에 대해 약 315°의 방향으로 연장된다.

[0040] 상기 제2 전극부들(166)은 상기 제3 및 제4 도메인들(D3, D4)을 정의하기 위해 상기 제1 전극부들(164)과 반대 방향으로 연장된다. 예를 들면, 상기 제3 도메인(D3)을 정의하는 상기 제2 전극부들(166)은 상기 제2 도메인(D2)을 정의하는 상기 제1 전극부들(164)과 반대 방향으로 연장된다. 상기 제4 도메인(D4)을 정의하는 상기 제2 전극부들(166)은 상기 제1 도메인(D1)을 정의하는 상기 제1 전극부들(164)과 반대 방향으로 연장된다. 다시 말

해, 상기 제3 도메인(D3)을 정의하는 상기 제2 전극부들(166)은 상기 제2 연결 전극부(162b)에 대해 135°의 방향으로 연장되고, 상기 제4 도메인(D4)을 정의하는 상기 제2 전극부들(166)은 상기 제2 연결 전극부(162b)에 대해 약 45°의 방향으로 연장된다.

- [0041] 한편, 본 실시예에서는 상기 제1 서브 영역(PAs1)의 면적과 상기 제2 서브 영역(PAs2)의 면적이 동일한 경우를 예로 들어 설명하였지만, 이에 한정되는 것은 아니다. 상기 제1 서브 영역(PAs1)의 면적과 상기 제2 서브 영역(PAs2)의 면적은 서로 다를 수 있다. 예를 들면, 상기 제1 서브 영역(PAs1)의 면적이 상기 제2 서브 영역(PAs2)의 면적보다 작게 형성될 수 있다. 상기 제1 서브 영역(PAs1)의 면적과 상기 제2 서브 영역(PAs2)의 면적의 최적비는 $1/2 < A/B < 2$ 이다. 여기서, A는 상기 제1 서브 영역(PAs1)의 면적이고, 상기 B는 상기 제2 서브 영역(PAs2)의 면적이다.
- [0042] 상기 제1 배향막(170)은 상기 화소전극(160)을 덮도록 상기 유기막(150) 위에 형성된다.
- [0043] 상기 대향 기관(200)은 상기 표시기관(100)과 마주보도록 배치된다.
- [0044] 상기 대향 기관(200)은 제2 베이스 기관(210), 차광 패턴(220), 컬러 필터층(230), 오버 코팅층(240), 공통전극(250) 및 제2 배향막(260)을 포함할 수 있다.
- [0045] 상기 차광 패턴(220)은 상기 게이트 라인(GL), 상기 데이터 라인(DL) 및 상기 박막 트랜지스터(SW)에 대응되게 상기 제2 베이스 기관(210)에 형성된다.
- [0046] 상기 컬러 필터층(230)은 상기 화소전극(160)이 형성된 영역에 대응하여 상기 제2 베이스 기관(210) 상에 형성된다. 상기 컬러 필터층(230)은 적색, 녹색 및 청색의 컬러 필터층들을 포함할 수 있다.
- [0047] 상기 오버 코팅층(240)은 상기 차광 패턴(220) 및 상기 컬러 필터층(230)이 형성된 상기 제2 베이스 기관(210)과 상기 공통전극(250) 사이에 형성된다.
- [0048] 상기 공통전극(250)은 투명한 도전성 물질로 이루어지며, 상기 오버 코팅층(240)이 형성된 상기 제2 베이스 기관(210) 위에 형성된다. 상기 공통전극(250)은 상기 화소전극(160)에 대향하고, 상기 제2 베이스 기관(210)의 전면에 걸쳐 전체적으로 형성된다. 상기 공통전극(250)에는 공통 전압(Vcom)이 인가된다.
- [0049] 상기 제2 배향막(260)은 상기 공통전극(250) 위에 형성되어 상기 액정층(300)을 수직 배향시킨다.
- [0050] 상기 액정층(300)은 상기 표시기관(100) 및 상기 대향 기관(200) 사이에 개재된다. 상기 액정층(300)은 액정분자들 및 반응성 메조젠(Reactive Mesogen, 이하 RM)을 포함한다. 상기 RM은 광반응성 화합물로서, 자외선(UV)과 같은 광에 반응하여 제1 RM 경화층(180) 및 제2 RM 경화층(270)을 형성한다. 예를 들면, 상기 액정층(300)에 전계가 인가된 상태에서 상기 액정층(300)에 광이 조사되면, 상기 액정층(300)에 포함된 상기 RM이 상기 제1 배향막(170) 및 제2 배향막(260) 위에 경화되어, 상기 제1 및 제2 RM 경화층(180, 270)이 형성된다. 상기 제1 및 제2 RM 경화층(180, 270)은 선경사각을 갖는다.
- [0051] 한편, 도면으로 도시하지는 않았으나, 상기 표시기관(100) 및 상기 대향기관(200) 각각 편광판을 더 포함할 수 있다. 상기 편광판으로는 특정 방향의 선편광을 투과시키는 선편광판 또는 특정 방향의 원편광을 투과시키는 원편광판 모두 적용할 수 있다.
- [0052] 이와 같이, 상기 공통전극(250)에 슬릿 패턴을 형성하지 않으므로 패터닝 공정이 생략되어 상기 표시기관(100)과 상기 대향 기관(200) 사이의 얼라인 미스가 발생하지 않는다. 또한, 상기 제1 및 제2 RM 경화층(180, 270)에 의해 상기 액정층의 액정분자들이 화이트 구동 상태와 비슷한 선경사각을 가짐으로써, 액정 구동시 응답 속도를 향상시킬 수 있다.
- [0053] 도 3a 내지 3c는 도 2에 도시된 표시기관의 제조 방법을 설명하기 위한 단면도들이다.
- [0054] 도 2 및 3a를 참조하면, 상기 제1 베이스 기관(110) 위에 게이트 금속층을 형성하고, 상기 게이트 금속층을 패터닝하여 상기 게이트 라인(GL1), 상기 게이트 전극(GE), 상기 스토리지 라인(STL)을 포함하는 게이트 금속패턴을 형성한다.
- [0055] 상기 게이트 금속패턴이 형성된 상기 제1 베이스 기관(110) 상에 상기 게이트 절연막(120)을 형성한다.
- [0056] 도 2 및 3b를 참조하면, 상기 게이트 절연막(120)이 형성된 상기 제1 베이스 기관(110) 위에 상기 반도체 패턴

(130)을 형성한다.

- [0057] 이어서, 상기 반도체 패턴(130)이 형성된 상기 제1 베이스 기판(110) 위에 소스 금속층을 형성한다. 상기 소스 금속층을 사진 식각 공정을 통해 패터닝하여 상기 데이터 라인(DL), 상기 소스 전극(SE) 및 상기 드레인 전극(DE)을 포함하는 소스 금속패턴을 형성한다.
- [0058] 도 2 및 3c를 참조하면, 상기 소스 금속패턴이 형성된 상기 제1 베이스 기판(110) 위에 상기 패시베이션막(140)을 형성한다. 상기 패시베이션막(140)을 형성하는 물질의 예로서는, 질화 실리콘, 산화 실리콘 등을 들 수 있다.
- [0059] 상기 패시베이션막(140)이 형성된 상기 제1 베이스 기판(110) 위에 상기 유기막(150)을 형성한다. 상기 유기막(150)을 형성하는 물질의 예로서는, 포지티브형 포토레지스트 조성물을 들 수 있다.
- [0060] 이어서 상기 유기막(150) 및 상기 패시베이션막(140)을 식각하여 상기 드레인 전극(DE)을 노출시키는 상기 콘택홀(CNT)을 형성한다.
- [0061] 상기 콘택홀(CNT)이 형성된 상기 제1 베이스 기판(110) 위에 투명 도전층을 형성한다. 상기 투명 도전층을 패터닝하여 상기 제1 및 제2 전극부들(164, 166)을 갖는 상기 화소전극(160)을 형성한다. 상기 투명 도전층을 형성하는 물질의 예로서는, 인듐 틴 옥사이드, 인듐 징크 옥사이드 등을 들 수 있다.
- [0062] 상기 화소전극(160)은 상기 제1 폭(W1)으로 형성되며, 상기 제1 폭(W1)과 실질적으로 동일하거나 크기의 큰 제1 간격(S1)으로 이격되어 배치되는 상기 제1 전극부들(164) 및 상기 제1 폭(W1)과 다른 상기 제2 폭(W2)으로 형성되며, 상기 제2 폭(W2)과 동일하거나 큰 크기의 상기 제2 간격(S2)으로 이격되어 배치되는 상기 제2 전극부들(166)을 포함한다. 상기 화소전극(160)이 형성된 상기 제1 베이스 기판(110) 위에 상기 제1 배향막(170)을 형성한다.
- [0063] 도 4a 내지 4c는 도 2에 도시된 대향 기판의 제조 방법을 설명하기 위한 단면도들이다.
- [0064] 도 2 및 4a를 참조하면, 상기 제2 베이스 기판(210) 위에 상기 게이트 라인(GL), 상기 데이터 라인(DL) 및 상기 박막 트랜지스터(SW)에 대응되게 상기 차광 패턴(220)을 형성한다.
- [0065] 도 2 및 4b를 참조하면, 상기 차광 패턴(220)이 형성된 상기 제2 베이스 기판(210) 위에 컬러 필터층(230)을 형성한다. 상기 컬러 필터층(230)은 상기 화소 영역(PA)에 형성되고, 적색, 녹색 및 청색의 컬러 필터층들을 포함한다.
- [0066] 이어서, 상기 컬러 필터층(230)이 형성된 상기 제2 베이스 기판(210) 위에 상기 오버 코팅층(240)을 형성한다. 상기 오버 코팅층(240)은 상기 컬러 필터층(230)의 단차를 보상하여 상기 제2 베이스 기판(210)을 평탄하게 한다.
- [0067] 도 2 및 도 4c를 참조하면, 상기 오버 코팅층(240)이 형성된 상기 제2 베이스 기판(210) 위에 투명한 도전성 물질로 이루어진 상기 공통전극(250)을 형성한다. 상기 공통전극(250)은 패터닝되지 않고 상기 제2 베이스 기판(210)의 전면에 걸쳐 전체적으로 형성된다. 상기 공통전극(250)이 형성된 상기 제2 베이스 기판(210) 위에 상기 제2 배향막(260)을 형성한다. 상기 제2 배향막(260)은 상기 액정층(300)의 상기 액정분자들을 수직 배향시킨다.
- [0068] 도 5는 도 2에 도시된 액정표시패널의 제조 방법을 설명하기 위한 흐름도이다.
- [0069] 도 3a 내지 도 3c 및 도 5를 참조하면, 상기 제1 베이스 기판(110) 위에 상기 제1 폭(W1)을 가지며 상기 제1 폭(W1)과 동일한 크기의 상기 제1 간격(S1)으로 이격되어 배치된 상기 제1 전극부들(164)과, 상기 제2 폭(W2)을 가지며 상기 제2 폭(W2)과 동일한 크기의 제2 간격(S2)으로 이격되어 배치된 복수의 제2 전극부들(166)로 이루어진 화소전극(160)을 포함하는 상기 표시기판(100)을 제조한다(단계 S110).
- [0070] 도 4a 내지 도 4c 및 도 5를 참조하면, 상기 차광 패턴(220) 및 상기 컬러 필터층(230)이 형성된 상기 제2 베이스 기판(210) 전면에 형성된 상기 공통전극(250)을 포함하는 상기 대향 기판(200)을 제조한다(단계 S120).
- [0071] 도 2 및 5를 참조하면, 상기 표시기판(100)과 상기 대향 기판(200)을 서로 결합시키고, 결합된 상기 표시기판(100)과 상기 대향 기판(200) 사이에 상기 액정분자들 및 상기 RM을 주입하여 상기 액정층(300)을 형성한다(단계 S130).
- [0072] 상기 액정층(300)을 화이트로 구동시킨 상태에서, 즉 상기 화소전극(160)에 풀화이트(full white)를 구현하기 위한 계조값에 대응하는 데이터 전압을 인가하고, 상기 공통전극(250)에 공통전압을 인가한 상태에서 상기 광

(UV)을 조사하여 상기 RM을 경화시킨다. 상기 RM에 의해 상기 제1 배향막(170) 및 제2 배향막(260)에는 상기 선경사각을 갖는 상기 제1 RM 경화층(180) 및 제2 RM 경화층(270)이 형성된다(단계 S140). 상기 제1 및 제2 RM 경화층(270)에 의해 무전계 상태에서 상기 액정층(300)의 상기 액정분자들은 선경사각을 갖는다. 즉, 상기 액정분자들은 무전계 상태에서도 화이트 구동시의 액정 배열 방향과 비슷한 방향으로 배열된다.

[0073] 도 6은 본 실시예에 따른 측면 시인성 개선 결과를 설명하기 위한 그래프들이다.

[0074] 도 6에서 X축은 계조(예컨대, 64계조)를 나타내고, Y축은 정규화(Normalized) 휘도(또는 투과율(%))을 나타낸다. 표준 곡선(CVref)은 정면 시인성이 최적화된 감마 곡선이다. 곡선 1(CV1)은 제1 측면(60, 0)에서 관찰한 제1 타입의 화소전극을 갖는 액정표시패널의 감마 곡선이고, 곡선 2(CV2)은 상기 제1 측면(60, 0)에서 관찰한 제2 타입의 화소전극을 갖는 액정표시패널의 감마 곡선이다. 곡선 3(CV3)은 상기 제1 측면(60, 0)에서 관찰한 제3 타입의 화소전극을 갖는 액정표시패널의 휘도 분포를 나타낸 곡선이다. 여기서, 상기 제1 타입의 화소전극은 2 μ m의 폭을 갖고 상기 2 μ m의 간격으로 이격되어 배치된 전극부들로 이루어진 것이고, 상기 제2 타입의 화소전극은 3 μ m의 폭을 갖고 상기 3 μ m의 간격으로 이격되어 배치된 전극부들로 이루어진 것이다. 한편, 상기 제3 타입의 화소전극은 본 실시예에 따른 화소전극으로, 상기 도 2에 도시된 바와 같이, 3 μ m의 폭을 갖고 상기 3 μ m의 간격으로 이격되어 배치된 상기 제1 전극부들(164)과 2 μ m의 폭을 갖고 상기 2 μ m의 간격으로 이격되어 배치된 상기 제2 전극부들(166)로 이루어진 것이다.

[0075] 도 5에 도시된 바와 같이, 상기 제1 및 제2 타입의 화소전극을 갖는 액정표시패널들의 감마 곡선들(CV1, CV2) 대비 상기 제3 타입의 화소전극을 갖는 액정표시패널의 감마 곡선(CV3)이 상기 정면 시인성이 최적화된 상기 표준 곡선(CVref)에 더 근접한 것을 알 수 있었다. 즉, 상기 제3 타입의 화소전극을 갖는 액정표시패널의 측면 시인성이 상기 제1 및 제2 타입의 화소전극을 갖는 액정표시패널들의 측면 시인성과 비교하여 개선된 것을 알 수 있었다.

[0076] 하기의 표 1은 상기 제1 내지 제3 타입의 화소전극을 갖는 액정표시패널에 대한 측면 시인성 지수 시뮬레이션 결과를 나타낸 것이다.

표 1

화소전극 구조	제1 측면(60, 0)	제2 측면(60, 45)	제3 측면(60, 90)
제1 타입	0.47	0.52	0.47
제2 타입	0.45	0.53	0.43
제3 타입	0.35	0.49	0.38

[0077]

[0078] 상기 표 1은 상기 액정표시패널에 원편광 편광판을 적용하고, 상기 제1 내지 제3 측면 각도에서 상기 액정표시패널을 관찰했을 때의 측면 시인성 지수를 측정하는 것이다. 상기 제1 측면 각도는 $\phi=60^\circ$, $\theta=0^\circ$ 이고, 상기 제2 측면 각도는 $\phi=60^\circ$, $\theta=45^\circ$ 이며, 상기 제3 측면 각도는 $\phi=60^\circ$, $\theta=90^\circ$ 이다. 여기서, 상기 ϕ 와 θ 는 다음과 같이 정의될 수 있다. 상기 액정표시패널이 X-Y 평면상에 존재하는 것으로 가정하면, 상기 ϕ 는 X-축으로부터 관찰 방향과 Z축 평면 간의 각도로 정의되고, 상기 θ 는 Z축과 관찰 방향이 이루는 각도로 정의된다.

[0079] 상기 측면 시인성 지수(D)는 하기의 수학적 식 1에 의해 산출할 수 있다.

수학적 식 1

$$D(\theta, \phi) = \left\langle \frac{|\Delta B_{i,j} \text{정면} - \Delta B_{i,j} \text{측면}|}{\Delta B_{i,j} \text{정면}} \right\rangle \quad i, j = \text{계조(예컨대, 0-64)}$$

[0080]

[0081] 여기서, $\Delta B_{i,j}$ 정면은 정면에서 관찰한 i번째 계조와 j번째 계조 사이의 휘도 차이이고, $\Delta B_{i,j}$ 측면은 측면에서 관찰한 i번째 계조와 j번째 계조 사이의 휘도 차이이다. 상기 측면 시인성 지수(D)는 상기 정면에서의 계조들 사이의 휘도 차이와 상기 측면에서의 계조들 사이의 휘도 차이가 작을수록 작은값을 가지며, 상기 측면 시인성 지수(D)가 작을수록 좋다.

[0082] 상기 표 1에서 확인할 수 있듯이, 상기 제3 타입의 화소전극을 갖는 액정표시패널의 측면 시인성 지수가 가장 낮은 것을 알 수 있었다. 이와 같이, 본 실시예에 따른 상기 화소전극(160) 구조를 채용하는 경우 측면 시인성을 개선할 수 있다.

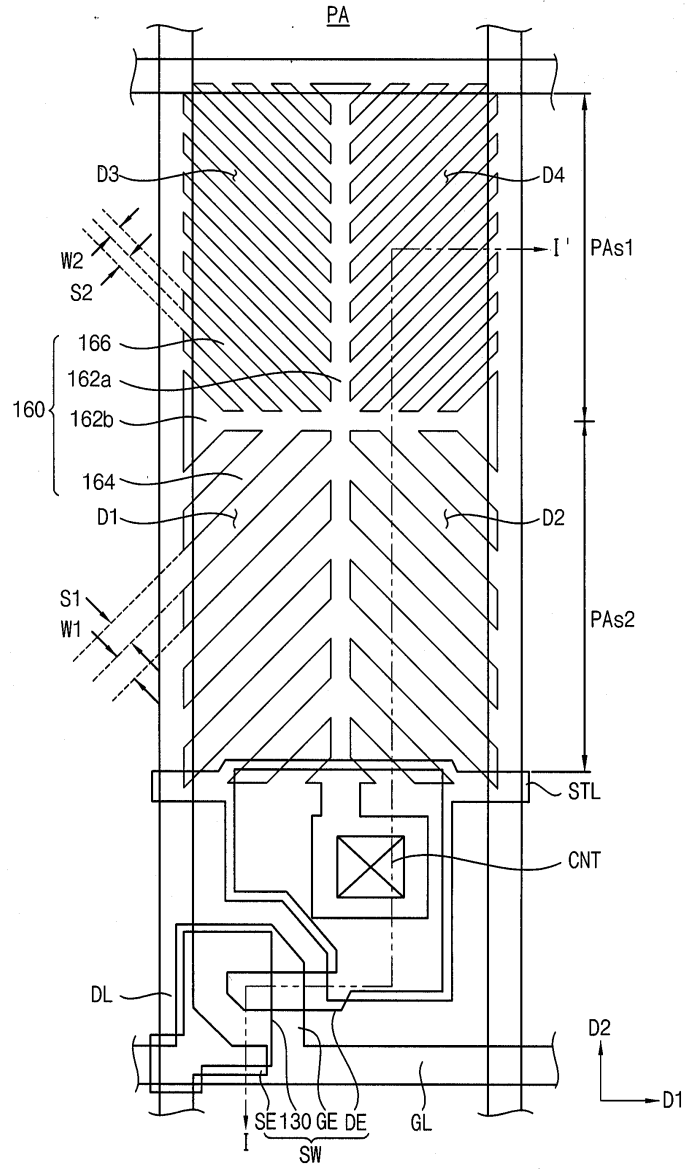
- [0083] 실시예 2
- [0084] 도 7은 본 발명의 실시예 2에 따른 표시기판의 평면도이다.
- [0085] 본 실시예에 따른 표시기판은 화소 영역(PA)이 화소전극(160)에 의해 8개의 도메인으로 분할된 것을 제외하고는 상기 도 1 및 도 2에 도시된 실시예 1에 따른 액정표시패널과 동일하므로, 동일한 부재는 동일한 참조 부호로 나타내고, 중복되는 상세한 설명은 생략하기로 한다.
- [0086] 도 7을 참조하면, 상기 화소 영역(PA)은 제1 서브 영역(PAs1) 및 제2 서브 영역(PAs2)을 포함한다. 상기 화소 영역(PA)에는 상기 화소전극(160)이 형성된다. 상기 화소전극(160)은 제1 연결 전극부(162a), 제2 연결 전극부(162c), 제3 연결 전극부(162d), 제1 전극부들(164) 및 제2 전극부들(166)을 포함한다.
- [0087] 상기 제1 연결 전극부(162a)는 상기 데이터 라인(DL)과 평행한 방향으로 연장된다. 상기 제1 연결 전극부(162a)는 콘택홀(CNT)을 통해 상기 박막 트랜지스터(SW)의 상기 드레인 전극(DE)과 전기적으로 연결된다. 상기 제1 연결 전극부(162a)는 상기 제1 서브 영역(PAs1)에 형성된 상기 제1 전극부들(164)과 상기 제2 서브 영역(PAs2)에 형성된 상기 제2 전극부들(166)을 전기적으로 연결시킨다.
- [0088] 상기 제2 연결 전극부(162c)는 상기 제1 서브 영역(PAs1)에 상기 제1 연결 전극부(162a)와 교차하도록 형성된다. 상기 제1 전극부들(164)은 상기 제1 및 제2 연결 전극부(162a, 162c)로부터 서로 다른 방향으로 연장되어 제1 도메인(D1), 제2 도메인(D2), 제3 도메인(D3) 및 제4 도메인(D4)을 정의한다. 예를 들면, 상기 제1 도메인(D1)을 정의하는 상기 제1 전극부들(164)은 상기 제2 연결 전극부(162c) 대해 약 225°의 방향으로 연장되고, 상기 제2 도메인을 정의하는 상기 제1 전극부들(164)은 상기 제2 연결 전극부(162c) 대해 약 315°의 방향으로 연장된다. 상기 제3 도메인(D3)을 정의하는 상기 제1 전극부들(164)은 상기 제2 연결 전극부(162c) 대해 약 135°의 방향으로 연장되고, 상기 제4 도메인을 정의하는 상기 제1 전극부들(164)은 상기 제2 연결 전극부(162c) 대해 약 45°의 방향으로 연장된다.
- [0089] 상기 제3 연결 전극부(162d)는 상기 제2 서브 영역(PAs2)에 상기 제1 연결 전극부(162a)와 교차하도록 형성된다. 상기 제2 전극부들(166)은 상기 제1 및 제3 연결 전극부(162a, 162d)로부터 서로 다른 방향으로 연장되어 제5 도메인(D5), 제6 도메인(D6), 제7 도메인(D7) 및 제8 도메인(D8)을 정의한다. 예를 들면, 상기 제5 도메인(D5)을 정의하는 상기 제2 전극부들(166)은 상기 제3 연결 전극부(162d)에 대해 약 225°의 방향으로 연장되고, 상기 제6 도메인(D6)을 정의하는 상기 제2 전극부들(166)은 상기 제3 연결 전극부(162d)에 대해 약 315°의 방향으로 연장된다. 상기 제7 도메인(D7)을 정의하는 상기 제2 전극부들(166)은 상기 제3 연결 전극부(162d)에 대해 약 135°의 방향으로 연장되고, 상기 제8 도메인(D8)을 정의하는 상기 제2 전극부들(166)은 상기 제3 연결 전극부(162d)에 대해 약 45°의 방향으로 연장된다.
- [0090] 이와 같이, 본 실시예에 따른 화소전극(160) 구조를 채용하는 경우 더 많은 도메인을 형성할 수 있으므로, 측면 시야각을 더욱 향상시킬 수 있다.
- [0091] 한편, 본 실시예에서는 상기 제1 서브 영역(PAs1)의 면적과 상기 제2 서브 영역(PAs2)의 면적이 동일하게 구성된 경우를 예로 들어 설명하였지만 이에 한정되는 것은 아니다. 상기 제1 서브 영역(PAs1)의 면적이 상기 제2 서브 영역(PAs2)의 면적보다 작게 형성될 수 있다.
- [0092] 본 실시예에 따른 표시기판의 제조 방법은 상기 제1 및 제2 전극부들(166) 각각이 서로 다른 방향으로 연장된 4개의 서브 전극부들로 이루어진 것을 제외하고는 도 3a 내지 도 3c에서 설명된 실시예 1에 따른 표시기판의 제조방법과 실질적으로 동일하므로, 중복되는 상세한 설명은 생략하기로 한다.

산업이용 가능성

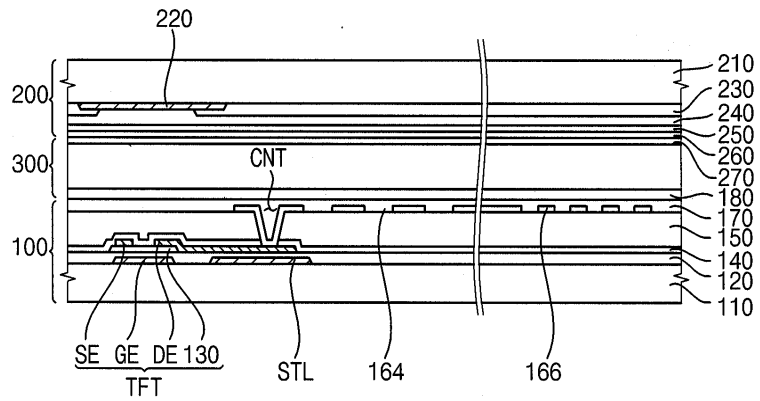
- [0093] 본 발명의 실시예들에 따르면, 다중 도메인 구현을 위한 별도 회로의 추가없이 화소전극을 이루는 제1 및 제2 전극부들의 폭을 다르게 형성함으로써 측면 시인성을 개선할 수 있다. 또한, RM 경화층에 의해 액정분자들이 선경사각을 가짐으로써 액정의 응답속도를 향상시킬 수 있다.
- [0094] 이상에서는 본 발명의 바람직한 실시예들을 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

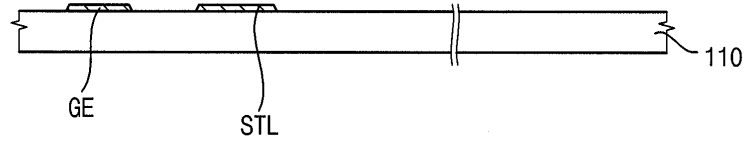
도면1



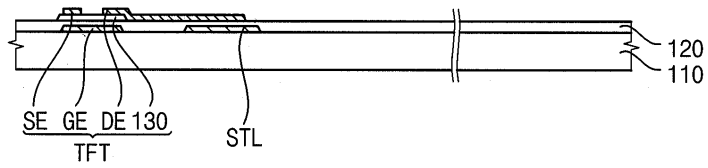
도면2



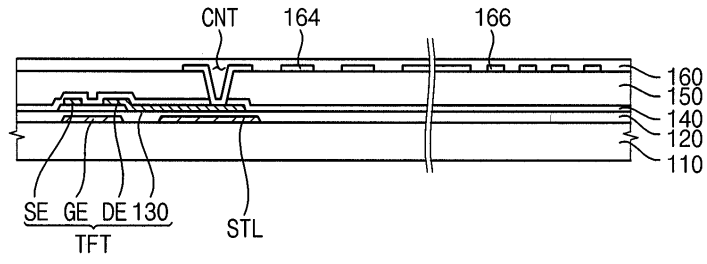
도면3a



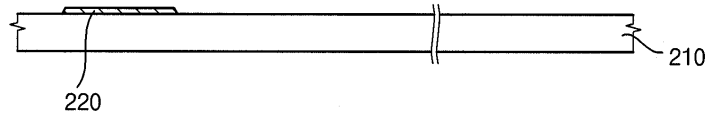
도면3b



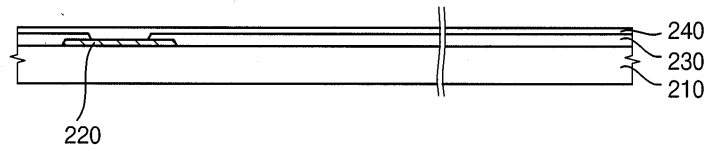
도면3c



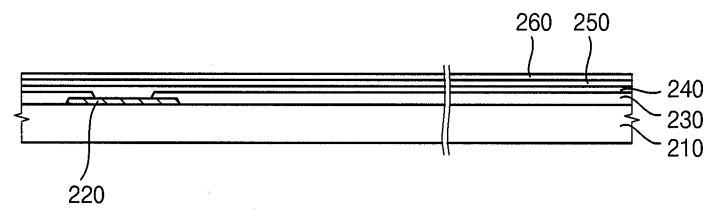
도면4a



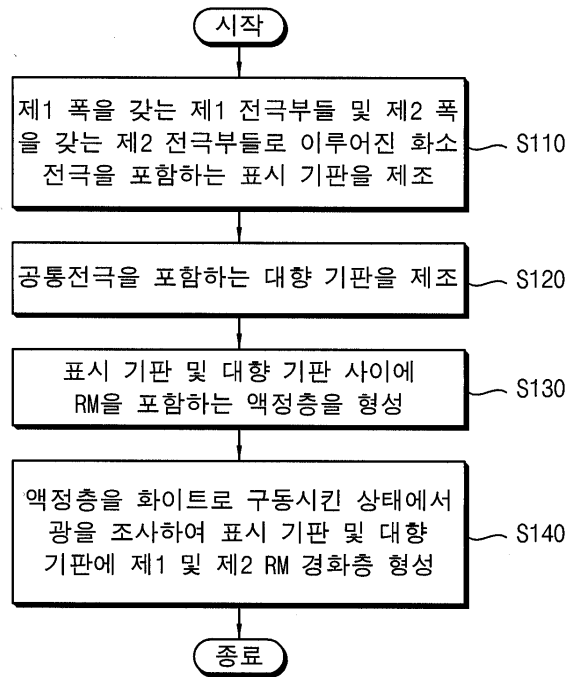
도면4b



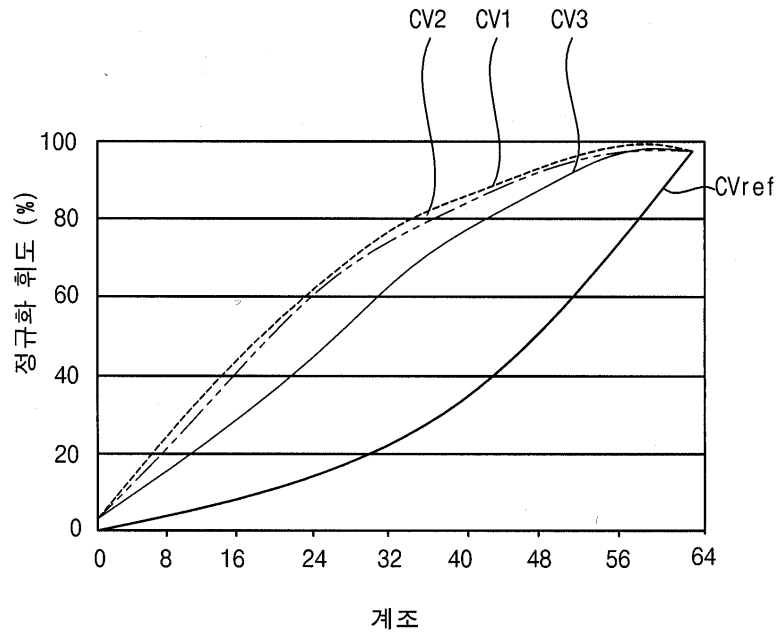
도면4c



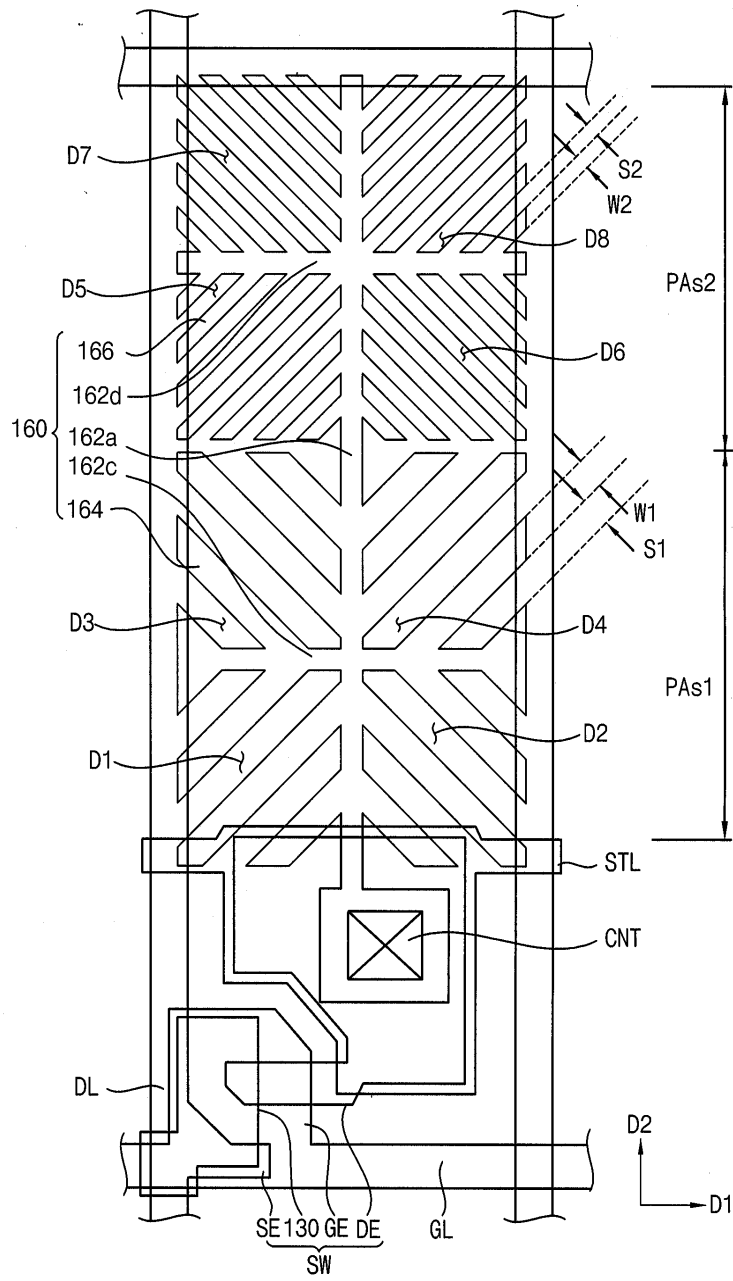
도면5



도면6



도면7



专利名称(译)	标题：显示基板，具有该显示基板的液晶显示面板，以及该液晶显示面板的制造方法		
公开(公告)号	KR101528494B1	公开(公告)日	2015-06-12
申请号	KR1020080084084	申请日	2008-08-27
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LI YI 리이 LEE SEONG JUN 이성준 LEE JAE YOUNG 이재영 AHN SEON HONG 안선희		
发明人	리이 이성준 이재영 안선희		
IPC分类号	G02F1/1343 G02F1/1337		
CPC分类号	G02F1/134309 G02F1/133707 G02F2001/133726 G02F2001/134345 G02F2201/40		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR1020100025367A		
外部链接	Espacenet		

摘要(译)

显示基板包括基础基板，在基础基板上限定像素区域。像素区域包括第一子像素区域和第二子像素区域。多个第一电极部分以第一间隔设置在第一子像素区域中，并且多个第二电极部分以第二间隔设置在第二子像素区域中。第一电极部分具有第一宽度，第二电极部分具有第二宽度。第一电极部分的第一宽度不同于第二电极部分的第二宽度，或者相邻的第一电极部分之间的第一间隔不同于相邻的第二电极部分之间的第二间隔。

