



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년10월29일
(11) 등록번호 10-1323408
(24) 등록일자 2013년10월23일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G02F 1/13 (2006.01)

(21) 출원번호 10-2009-0120753

(22) 출원일자 2009년12월07일

심사청구일자 2011년11월09일

(65) 공개번호 10-2011-0064248

(43) 공개일자 2011년06월15일

(56) 선행기술조사문헌

US20070263132 A1*

US20100015738 A1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박승렬

경기도 고양시 일산서구 대산로 183, 602동 1604호 (주엽동, 문촌마을)

손경모

경기도 파주시 탄현면 사슴벌레로 45, 유승앙브와즈아파트 204동 504호

(74) 대리인

서교준

전체 청구항 수 : 총 10 항

심사관 : 이준석

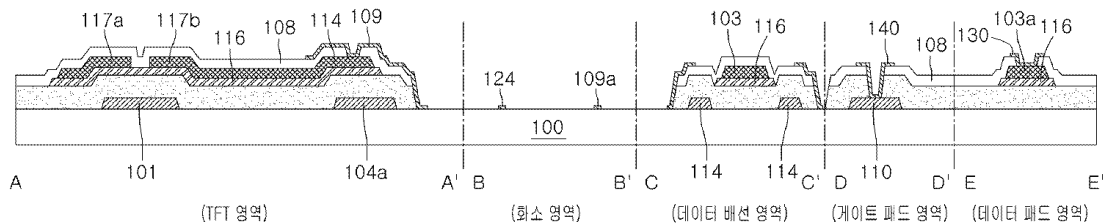
(54) 발명의 명칭 액정표시장치 제조방법

(57) 요약

본 발명은 액정표시장치 제조방법을 개시한다. 개시된 액정표시장치 제조방법은, 기판 상에 게이트 배선과 제 1 스토리지 전극 및 게이트 패드를 형성하면서, 화소 영역 내에 복수개의 희생층 패턴을 형성하는 단계; 상기 게이트 배선 등이 형성된 기판 상에 게이트 절연막, 비정질 실리콘막과 도핑된 비정질실리콘막으로 구성된 액티브층 및 소스/드레인 금속막을 순차적으로 형성한 다음, 소스/드레인 전극, 액티브층 및 데이터 배선을 형성하는 단계; 상기 소스/드레인 전극 등이 형성된 기판 상의 전면에 보호막을 형성한 다음, 콘택홀을 형성하는 단계; 상기 보호막이 형성된 기판 상에 투명성 도전물질을 형성한 다음, 패터닝하여 상기 제 1 스토리지 전극과 오버랩되도록 제 2 스토리지 전극 및 상기 희생층 패턴의 일측 가장자리 영역과 일부가 오버랩되고 나머지는 상기 기판 상에 형성되도록 전극패턴을 형성하는 단계; 및 상기 전극패턴이 형성된 기판 상에 희생층 패턴을 제거하기 위한 리프트 오프 공정을 진행하여 화소 영역에 공통전극과 화소전극을 동시에 형성하는 단계를 포함한다.

본 발명의 액정표시장치 제조 방법은 기존 사용되는 마스크와 노광 장비를 이용하면서 훨씬 좁은 폭의 배선과 전극을 형성할 수 있는 효과가 있다.

대표도



특허청구의 범위

청구항 1

기관 상에 게이트 배선과 제 1 스토리지 전극 및 게이트 패드를 형성하면서, 화소 영역 내에 상기 게이트 배선과 동일한 금속 물질로 된 복수개의 희생층 패턴을 형성하는 단계;

상기 게이트 배선이 형성된 기관 상에 게이트 절연막, 비정질 실리콘막과 도핑된 비정질실리콘막으로 구성된 액티브층 및 금속막을 순차적으로 형성한 다음, 소스 및 드레인 전극, 액티브층, 데이터 배선 및 데이터 패드를 형성하는 단계;

상기 소스 및 드레인 전극이 형성된 기관 상의 전면에 보호막을 형성한 다음, 마스크 공정을 진행하여 상기 드레인 전극, 게이트 패드 및 데이터 패드에 콘택홀을 형성하고, 상기 화소 영역에 형성된 희생층 패턴을 노출하는 단계;

상기 보호막이 형성된 기관 상에 투명성 도전물질을 형성한 다음, 패터닝하여 상기 제 1 스토리지 전극과 오버랩되도록 제 2 스토리지 전극 및 상기 희생층 패턴의 일측 가장자리 영역과 일부가 오버랩되고 나머지는 상기 기관 상에 형성되도록 전극패턴을 형성하는 단계; 및

상기 전극패턴이 형성된 기관 상에 희생층 패턴을 제거하기 위한 리프트 오프 공정을 진행하여 화소 영역에 공통전극과 화소전극을 동시에 형성하는 단계를 포함하는 액정표시장치 제조방법.

청구항 2

제 1 항에 있어서, 상기 리프트 오프 공정은,

상기 희생층 패턴과 전극패턴 중 희생층 패턴 만 식각될 수 있는 식각 용액을 사용하여 상기 희생층 패턴과, 상기 희생층 패턴과 오버랩되는 전극패턴의 일부를 제거하는 공정을 포함하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 3

제 1 항에 있어서, 상기 리프트 오프 공정으로 형성되는 화소 영역 내의 공통전극과 화소전극의 전극 폭은 상기 전극패턴의 폭보다 작은 것을 특징으로 하는 액정표시장치 제조방법.

청구항 4

제 1 항에 있어서, 상기 리프트 오프 공정으로 형성되는 화소 영역 내의 공통전극과 화소전극의 전극 폭은 상기 전극패턴이 상기 희생층 패턴과 오버랩되지 않는 상기 기관 상에 형성된 부분의 폭과 동일한 것을 특징으로 하는 액정표시장치 제조방법.

청구항 5

기관 상에 게이트 배선과 제 1 스토리지 전극 및 게이트 패드를 형성하면서, 화소 영역 내에 상기 게이트 배선과 동일한 금속 물질로 된 복수개의 희생층 패턴을 형성하는 단계;

상기 게이트 배선이 형성된 기관 상에 게이트 절연막, 비정질 실리콘막과 도핑된 비정질실리콘막으로 구성된 액티브층 및 금속막을 순차적으로 형성한 다음, 소스 및 드레인 전극, 액티브층, 데이터 배선 및 데이터 패드를 형성하는 단계;

상기 소스 및 드레인 전극이 형성된 기관 상의 전면에 보호막을 형성한 다음, 마스크 공정을 진행하여 상기 드레인 전극, 게이트 패드 및 데이터 패드에 콘택홀을 형성하고, 상기 화소 영역에 형성된 희생층 패턴을 노출하는 단계;

상기 보호막이 형성된 기관 상에 투명성 도전물질을 형성한 다음, 패터닝하여 상기 제 1 스토리지 전극과 오버랩되도록 제 2 스토리지 전극과, 상기 희생층 패턴의 양측 가장자리 영역에는 각각 상기 희생층 패턴과 일부가 오버랩되면서 나머지 부분은 상기 기관 상에 형성되는 전극패턴을 서로 대칭되도록 형성하는 단계; 및

상기 전극패턴이 형성된 기관 상에 희생층 패턴을 제거하기 위한 리프트 오프 공정을 진행하여 화소 영역에 공통전극과 화소전극을 동시에 형성하는 단계를 포함하는 액정표시장치 제조방법.

청구항 6

제 5 항에 있어서, 상기 리프트 오프 공정은,

상기 희생층 패턴과 전극패턴 중 희생층 패턴 만 식각될 수 있는 식각 용액을 사용하여 상기 희생층 패턴과, 상기 희생층 패턴과 양측 가장자리에서 오버랩되는 전극패턴들의 일부를 제거하는 공정을 포함하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 7

제 5 항에 있어서, 상기 리프트 오프 공정으로 형성되는 화소 영역 내의 공통전극과 화소전극의 전극 폭은 상기 전극패턴의 폭보다 작은 것을 특징으로 하는 액정표시장치 제조방법.

청구항 8

제 5 항에 있어서, 상기 리프트 오프 공정으로 형성되는 화소 영역 내의 공통전극과 화소전극의 전극 폭은 상기 전극패턴이 상기 희생층 패턴과 오버랩되지 않는 상기 기관 상에 형성된 부분의 폭과 동일한 것을 특징으로 하는 액정표시장치 제조방법.

청구항 9

제 5 항에 있어서, 상기 공통전극과 화소전극은 하나의 희생층 패턴의 양측 가장자리에 각각 형성된 전극패턴에 의해 형성되는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 10

제 9 항에 있어서, 상기 공통전극과 화소전극 간의 거리는 상기 희생층 패턴의 폭과 동일한 것을 특징으로 하는 액정표시장치 제조방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본원 발명은 액정표시장치 제조방법에 관한 것이다.

배경 기술

[0002] 액정표시장치는 소형화, 경량화, 저 전력 소비화 등의 장점이 있어 CRT(Cathode-Ray Tube)의 단점을 극복할 수 있는 대체 수단으로 점차 주목받아 왔고, 현재는 디스플레이 장치를 필요로 하는 거의 모든 정보 처리 기기에 장착되고 있는 실정이다.

- [0003] 이러한 액정표시장치는 일반적으로 액정의 특정한 분자 배열에 전압을 인가하여, 다른 분자 배열로 변환시켜 광학적 성질의 변화를 시각 변화로 변환하는 것으로, 액정 셀에 의한 빛의 변조를 이용한 디스플레이 장치이다.
- [0004] 상기 액정표시장치는 화소 단위를 이루는 액정 셀의 형성 공정을 동반하는 패널 상부기관 및 하부기관의 제조공정과, 액정 배향을 위한 배향막의 형성 및 러빙(Rubbing) 공정과, 상부기관 및 하부기관의 합착 공정과, 합착된 상부기관 및 하부기관 사이에 액정을 주입하고 봉지하는 공정 등의 여러 과정을 거쳐 완성되게 된다.
- [0005] 상기 하부기관 제조공정에서는 복수개의 게이트 배선과 데이터 배선을 교차 배열하여 단위 화소 영역을 정의하고, 각각의 화소 영역에는 스위칭 소자인 박막 트랜지스터(Thin Film Transistor: TFT)와 화소 전극(Pixel electrode)을 형성한다. 상기 박막 트랜지스터는 게이트 배선을 통해 공급되는 구동신호에 의해 턴온(Turn On)되어, 상기 데이터 배선으로부터 공급되는 그래픽 신호를 화소 전극에 공급하는 스위칭 기능을 한다. 이렇게 화소 전극에 공급된 그래픽 신호는 액정을 회전시키는 전계를 발생시켜 외부광 또는 내부광을 변조시켜 화상을 디스플레이한다.
- [0006] 특히, 최근 액정표시장치가 대형화, 고해상도화 되어가면서 화소 영역이 고개구율과 고투과율 특성을 갖도록 하는 기술이 개발되고 있다.
- [0007] 액정표시장치가 고개구율과 고투과율 특성을 갖기 위해서는 정해진 화소 영역 내에서 배치된 게이트 배선과 데이터 배선, 화소전극 및 공통전극의 폭을 좁게 형성하는 것이 바람직하다.
- [0008] 하지만, 액정표시장치 제조방법에 사용되는 노광기의 물리적 특성상 패터닝되는 배선폭 또는 전극 폭이 $4\mu\text{m}$ 이하로 줄이기 어렵다. 즉, 기관 상에 금속막을 형성한 다음 감광막을 도포하고, 마스크 공정을 진행하여 노광, 현상 및 식각 공정을 진행하여 형성할 수 있는 배선 폭 또는 전극 폭은 $4\mu\text{m}$ 이상이다.
- [0009] 이것은 액정표시장치 제조공정에서 사용되는 마스크와 노광기의 해상도의 한계 때문에 더 이상 좁은 배선 폭 또는 전극 폭을 형성할 수 없는 것이다. 따라서, 현재 사용하고 있는 장비로는 액정표시장치의 어레이 기관 상에 형성하는 배선과 전극 폭을 $4\mu\text{m}$ 이하로 형성하기 어렵다.
- [0010] 그러므로 액정표시장치의 화소 영역에 형성되는 배선 또는 전극 폭을 $4\mu\text{m}$ 이하로 줄일 수 없는 한 더 높은 투과율 및 개구율을 갖는 액정표시장치를 제조할 수 없다.

발명의 내용

해결 하고자하는 과제

- [0011] 본 발명은 종래 액정표시장치 제조 공정에 사용되는 마스크와 노광 장비를 이용하여 노광 장비의 물리적 해상도보다 훨씬 좁은 폭의 배선과 전극을 형성할 수 있는 액정표시장치 제조방법을 제공함에 있다.
- [0012] 특히, 본 발명은 액정표시장치의 화소 영역에 형성되는 신호 배선과 전극 폭을 미세 패턴으로 형성하여 화소 개구율과 투과율을 높인 액정표시장치 제조방법을 제공함에 있다.

과제 해결수단

- [0013] 상기와 같은 과제를 해결하기 위한 본 발명의 제 1 실시예에 따른 액정표시장치 제조방법은, 기관 상에 게이트 배선과 제 1 스토리지 전극 및 게이트 패드를 형성하면서, 화소 영역 내에 복수개의 희생층 패턴을 형성하는 단계; 상기 게이트 배선 등이 형성된 기관 상에 게이트 절연막, 비정질 실리콘막과 도핑된 비정질실리콘막으로 구성된 액티브층 및 소스/드레인 금속막을 순차적으로 형성한 다음, 소스/드레인 전극, 액티브층 및 데이터 배선을 형성하는 단계; 상기 소스/드레인 전극 등이 형성된 기관 상의 전면면에 보호막을 형성한 다음, 콘택홀을 형성하는 단계; 상기 보호막이 형성된 기관 상에 투명성 도전물질을 형성한 다음, 패터닝하여 상기 제 1 스토리지 전극과 오버랩되도록 제 2 스토리지 전극 및 상기 희생층 패턴의 일측 가장자리 영역과 일부가 오버랩되고 나머지는 상기 기관 상에 형성되도록 전극패턴을 형성하는 단계; 및 상기 전극패턴이 형성된 기관 상에 희생층 패턴을 제거하기 위한 리프트 오프 공정을 진행하여 화소 영역에 공통전극과 화소전극을 동시에 형성하는 단계를 포함한다.
- [0014] 또한, 본 발명의 제 2 실시예에 따른 액정표시장치 제조방법은, 기관 상에 게이트 배선과 제 1 스토리지 전극 및 게이트 패드를 형성하면서, 화소 영역 내에 복수개의 희생층 패턴을 형성하는 단계; 상기 게이트 배선 등이 형성된 기관 상에 게이트 절연막, 비정질 실리콘막과 도핑된 비정질실리콘막으로 구성된 액티브층 및 소스/드레인 금속막을 순차적으로 형성한 다음, 소스/드레인 전극, 액티브층 및 데이터 배선을 형성하는 단계; 상기 소

스/드레인 전극 등이 형성된 기판 상의 전면에 보호막을 형성한 다음, 콘택홀을 형성하는 단계; 상기 보호막이 형성된 기판 상에 투명성 도전물질을 형성한 다음, 패터닝하여 상기 제 1 스토리지 전극과 오버랩되도록 제 2 스토리지 전극과, 상기 희생층 패턴의 양측 가장자리 영역에는 각각 상기 희생층 패턴과 일부가 오버랩되면서 나머지 부분은 상기 기판 상에 형성되는 전극패턴을 서로 대칭되도록 형성하는 단계; 및 상기 전극패턴이 형성된 기판 상에 희생층 패턴을 제거하기 위한 리프트 오프 공정을 진행하여 화소 영역에 공통전극과 화소전극을 동시에 형성하는 단계를 포함한다.

효 과

[0015] 본 발명의 액정표시장치 제조 방법은 기존 사용되는 마스크와 노광 장비를 이용하면서 훨씬 좁은 폭의 배선과 전극을 형성할 수 있는 효과가 있다.

[0016] 또한, 본 발명의 액정표시장치 제조 방법은 장비 추가 없이 화소 영역에 형성되는 신호 배선과 전극 폭을 미세 패턴으로 형성하여 고개구율과 고투과율 액정표시장치를 구현한 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0017] 이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성 요소들을 나타낸다.

[0018] 도 1은 본 발명에 따른 액정표시장치의 화소 구조를 도시한 평면도이다.

[0019] 도 1을 참조하면, 게이트 배선(101)과 데이터 배선(103)이 교차되어 단위 화소 영역이 정의되어 있고, 그 교차 영역에 스위칭 소자인 박막 트랜지스터(Thin Film Transistor, 이하 "TFT"라 함)가 배치되어 있다.

[0020] 상기 단위 화소 영역에는 상기 게이트 배선(101)과 인접한 영역에 상기 게이트 배선(101)과 평행한 공통 배선(104)이 배치되어 있다. 상기 공통 배선(104)은 상기 데이터 배선(103)과 교차되어 있고, 단위 화소 영역 양측 가장자리를 따라 제 1 공통 전극(114)이 분기되어 있다. 즉, 상기 공통 배선(104)과 제 1 공통 전극(114)은 일체로 형성된다. 또한, 상기 제 1 공통 전극(114)은 상기 데이터 배선(103)과 평행한 방향으로 화소 영역에 형성된다.

[0021] 상기 게이트 배선(101)과 인접한 상기 공통 배선(104)은 단위 화소 영역에서 상기 공통 배선(104)의 폭보다 넓게 형성되는데, 이것은 스토리지 커패시터의 제 1 스토리지 전극(104a)을 형성하기 위함이다.

[0022] 상기 제 1 스토리지 전극(104a)과 상부에는 오버랩되도록 제 2 스토리지 전극(109)이 형성되어 있는데, 상기 제 2 스토리지 전극(109)은 화소전극(109a)과 동일한 투명성 도전물질로 형성된다. 즉, 상기 화소전극(109a)과 제 2 스토리지 전극(109)은 일체로 형성된다.

[0023] 상기 단위 화소 영역 내에서는 상기 제 2 스토리지 전극(109)으로부터 분기되고, 상기 데이터 배선(103)과 평행하게 형성된 다수개의 화소전극(109a)이 형성되어 있다. 또한, 상기 화소전극(109a)과 교대로 단위 화소 영역에는 제 2 공통 전극(124)이 형성되어 있는데, 상기 제 2 공통 전극(124)은 상기 화소전극(109a)과 동일한 투명성 도전물질로 형성된다.

[0024] 또한, 상기 제 2 공통 전극(124)은 상기 공통 배선(104)으로부터 분기된 제 1 공통 전극(114)과 전기적으로 콘택되면서 상기 화소전극(109a) 및 데이터 배선(103)과 평행하게 단위 화소 영역 내에 형성된다.

[0025] 상기 TFT의 드레인 전극은 상기 제 2 스토리지 전극(109)과 전기적으로 콘택되어 있어, 상기 데이터 배선(103)으로부터 공급되는 데이터 신호를 화소전극(109a)에 인가한다. 마찬가지로 상기 제 2 공통 전극(124)에는 상기 공통 배선(104)으로부터 공급되는 공통 전압이 상기 제 1 공통 전극(114)을 통하여 인가된다.

[0026] 상기 게이트 배선(101)의 가장자리에는 게이트 패드(110)가 형성되어 있고, 상기 게이트 패드(110) 상에는 화소전극(109a)과 동일한 투명성 도전물질로 패터닝된 게이트 콘택 패드부(140)가 형성되어 있다. 또한, 상기 데이

터 배선(103)의 가장자리에는 데이터 패드(103a)가 형성되어 있고, 상기 데이터 패드(103a) 상에는 화소전극(109a)과 동일한 투명성 도전물질로 패터닝된 데이터 콘택 패드부(130)가 형성되어 있다.

[0027] 본 발명에서는 액정표시장치의 단위 화소 영역이 고개구율과 고투과율 특성을 갖도록 배선들과 전극 폭을 좁게 형성하였다. 따라서, 단위 화소 영역 내에 배치되어 있는 공통전극과 화소 전극의 폭은 $3.5\mu\text{m}$ 이하의 값을 갖는다.

[0028] 이와 같이, 각각의 배선들 폭과 전극들의 폭이 좁게 형성되기 때문에 화소 영역에 배치되는 전극들 간의 간격이 상대적으로 넓어져 개구율과 투과율 특성이 향상된다.

[0029] 본 발명의 구체적인 미세 패턴 제조 공정은 도 2a 내지 도 2e와 도 3a 내지 도 3e를 토대로 설명한다.

[0030] 도 2a 내지 도 2e는 본 발명의 제 1 실시예에 따른 액정표시장치의 제조 공정을 도시한 도면이다.

[0031] 도 2a 내지 도 2e를 참조하면, 기판(100) 상에 금속막을 형성한 다음 포토리소그래피 공정에 따라 TFT 영역(A-A')에서 게이트 전극 및 게이트 배선(101)을 형성하고, 게이트 배선(101)과 인접한 영역에서는 제 1 스토리지 전극(104a)을 형성하며, 단위 화소 영역에는 복수개의 희생층 패턴(131)을 형성한다(B-B'). 또한, 데이터 배선이 형성될 영역에는 공통 배선(미도시)으로부터 분기되면서 단위 화소 영역의 양측 가장자리 영역에 형성되는 제 1 공통 전극(114)을 형성한다(C-C').

[0032] 패드 영역에는 게이트 배선(101)과 일체로 형성된 게이트 패드(110)가 형성된다(D-D').

[0033] 상기 게이트 전극, 게이트 배선(101), 제 1 스토리지 전극(104a), 공통 배선, 제 1 공통 전극(114), 게이트 패드(110) 및 희생층 패턴(131)은 도전율이 높은 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), Cr 등의 단일 금속층으로 형성할 수 있고, 경우에 따라서는 이들을 적어도 하나 이상 적층 또는 합금 형태로 형성할 수 있다.

[0034] 상기 희생층 패턴(131)은 이후 진행하게 되는 리프트 오프 공정에서 화소 전극과 제 2 공통 전극을 패터닝 할 때, 각 전극들의 폭을 $3.5\mu\text{m}$ 이하로 형성하기 위해 남겨둔다.

[0035] 상기와 같이, 게이트 배선(101) 등을 형성하는 제 1 마스크 공정은 일반적으로 사용되는 마스크 공정에 따라 노광 및 현상 공정을 진행하고, 이후 식각 공정을 진행하여 형성한다.

[0036] 그런 다음, 기판(100) 상에 게이트 배선(101) 등이 형성되면, 도 2b에 도시된 바와 같이, 게이트 절연막(102)과, 비정질 실리콘막 및 P+ 또는 N+ 형으로 도핑된 비정질 실리콘막으로 구성된 액티브층(116)과, 소스/드레인 전극 형성을 위한 금속층을 연속하여 기판(100)의 전면에 형성한다.

[0037] 상기와 같이 기판(100) 상에 게이트 절연막(102)과, 비정질 실리콘막 및 도핑된 비정질 실리콘막을 포함하는 액티브층(116)과, 금속층이 형성되면, 제 2 마스크 공정을 진행하여 TFT 영역의 게이트 배선(101) 상에 액티브층(116) 및 소스/드레인 전극(117a, 117b)을 형성한다.

[0038] 이때, 제 1 공통 전극(114)이 형성된 단위 화소 영역들 간의 경계에는 데이터 배선(103)이 형성되고, 데이터 패드 영역(E-E')에는 데이터 패드(103a)가 형성된다.

[0039] 제 2 마스크 공정은 회절 마스크 또는 하프톤 마스크를 사용하여 한번의 마스크 공정에 의해 얻어진 감광막 패턴을 이용하여 액티브층(116)과 소스/드레인 전극(117a, 117b), 데이터 배선(103) 및 데이터 패드(103a)를 동시에 형성한다.

[0040] 이와 같이 제 2 마스크 공정은 액티브층(116)과 소스/드레인 전극(117a, 117b)을 동시에 형성하기 때문에 액티브층(116) 상에 소스/드레인 전극(117a, 117b)과 데이터 배선(103) 및 데이터 패드(103a)가 형성된다.

[0041] 또한, 회절 마스크 또는 하프톤 마스크 공정에 따라 형성되기 때문에 상기 액티브층(116) 상에 형성되는 소스/드레인 전극(117a, 117b), 데이터 배선(103) 및 데이터 패드(103a)는 아래층에 형성된 액티브층(116)의 폭보다 좁은 폭을 갖는다.

[0042] 상기와 같이, 기판(100) 상에 소스/드레인 전극(117a, 117b)과 데이터 배선(103)이 형성되면, 기판(100)의 전면 에 보호막(108)을 형성한다.

[0043] 상기와 같이 소스/드레인 전극(117a, 117b), 데이터 배선(103) 및 데이터 패드(103a) 상에 보호막(108)이 형성되면, 도 2c 및 도 2d에 도시된 바와 같이, 제 3 마스크 공정과 제 4 마스크 공정을 진행하여 TFT 영역의 드레인 전극(117b), 게이트 패드(110) 및 데이터 패드(103a) 영역을 노출시키는 콘택홀(contact hole) 공정과 제 2

스토리지 전극(109), 게이트 콘택 패드부(140) 및 데이터 콘택 패드부(130)를 형성한다.

[0044] 상기 보호막(108)을 제거하는 콘택홀 공정시 단위 화소 영역에는 기관(100)과 희생층 패턴(131)이 노출될 수 있도록 보호막(108)과 게이트 절연막(102)을 모두 제거한다.

[0045] 이때, 단위 화소 영역(B-B')에는 이후 화소전극과 제 2 공통전극을 미세 패턴 형태로 형성하기 위해 희생층 패턴(131)의 일측 가장자리 영역에만 오버랩되도록 전극패턴(119)을 형성한다.

[0046] 상기 전극패턴(119)은 일부가 상기 희생층 패턴(131)의 일측 가장자리 영역에만 오버랩되고, 나머지는 기관(100) 상에 형성되도록 패터닝 된다.

[0047] 즉, 상기 보호막(108) 상에 제 3 마스크 공정을 진행하여 콘택홀이 형성되면, 투명성 도전물질을 증착한 다음, 제 4 마스크 공정을 진행하여 제 2 스토리지 전극(109), 게이트 콘택 패드부(140), 데이터 콘택 패드부(103a) 및 단위 화소 영역의 가장자리 영역에 형성되는 제 2 공통전극(124)만 형성한다. 따라서, 단위 화소 영역의 중심 영역에는 제 2 공통전극과 화소전극이 형성되지 않고 전극패턴(119)만 형성된다.

[0048] 그런 다음, 희생층 패턴(131)만을 제거하기 위한 리프트 오프(lift-off) 공정을 진행한다. 도 2e는 리프트 오프에 의해 화소 전극과 공통전극을 형성하는 공정을 도시하였다.

[0049] 상기 리프트 오프 공정을 진행하기 위한 식각 용액은 투명성 절연물질인 전극패턴(119)과 게이트 배선(101)과 동일한 물질인 희생층 패턴(131)의 식각비가 다른 용액을 사용한다.

[0050] 따라서, 리프트 오프 공정에 의해 희생층 패턴(131)이 제거되면서 상기 희생층 패턴(131)과 오버랩되어 있는 전극패턴(119) 일부분은 함께 제거된다. 하지만, 상기 희생층 패턴(131)과 오버랩되지 않고 기관(100) 상에 형성되어 있던 전극패턴(119)은 남아 있게 된다.

[0051] 도 2e를 참조하면, 리프트 오프 공정에 따라 희생층 패턴이 제거되고 단위 화소 영역에는 제 2 공통 전극(124)과 화소전극(109a)만이 남아 있는 것을 볼 수 있다.

[0052] 상기 제 2 공통 전극(124)과 화소전극(109a)은 노광기의 해상도에 의해 형성된 전극패턴의 폭 보다 훨씬 좁은 폭을 갖는다. 왜냐하면, 희생층 패턴의 일측 가장자리 영역에 오버랩되는 전극패턴(119)의 일부가 제거되기 때문에 기관(100) 상에 남아 있는 제 2 공통 전극(124)과 화소전극(109a)이 되는 부분은 종전 전극패턴(119)의 폭 보다 작기 때문이다.

[0053] 예를 들어, 제 4 마스크 공정에서 사용된 노광기 장비에 의해 형성된 전극패턴의 폭이 $4\mu\text{m}$ 이었다면, 리프트 오프 공정에 의해 형성된 제 2 공통전극(124)과 화소전극(109a)의 전극 폭은 전극패턴 폭의 1/2 또는 1/3의 폭보다 작은 값을 갖는다.

[0054] 따라서, 종래 액정표시장치의 공통전극과 화소전극의 폭이 최소 $4\mu\text{m}$ 로 형성되었다면, 본 발명에서는 공통전극과 화소전극의 폭을 $2\mu\text{m}$ 또는 $1\mu\text{m}$ 이하로 형성할 수 있다. 그러므로 단위 화소 영역에 형성된 공통전극과 화소전극이 기관을 점유하는 면적이 줄어들게 되어 고개구율과 고투과율을 얻을 수 있다.

[0055] 도 3a 내지 도 3e는 본 발명의 제 2 실시예에 따른 액정표시장치의 제조 공정을 도시한 도면이다.

[0056] 도 3a 내지 도 3e에 도시된 본 발명의 제 2 실시예는 도 1의 화소 구조를 기본으로 단위 화소 영역 내에 더 많은 공통 전극과 화소 전극을 형성하는 실시예이다.

[0057] 따라서, 구조적으로는 도 1의 화소 구조를 기본으로 하는 단면도이지만, 단위 화소 영역 내에서 형성되는 제 2 공통전극과 화소전극의 형성 방식이 제 1 실시예와 상이하다.

[0058] 그러므로 도 2a 내지 도 2e와 동일한 부호를 갖는 도 3a 내지 도 3e의 구성부는 서로 동일한 구성부를 지칭하는 것이다. 제 1 실시예에서 언급된 구성부의 구체적인 형성 과정은 도 2a 내지 도 2e의 설명을 참조하고, 이하 차별되는 부분을 중심으로 설명한다.

[0059] 도 3a 내지 도 3e를 참조하면, TFT 영역, 화소 영역, 데이터 배선 영역, 게이트 패드 영역 및 데이터 패드 영역으로 구분된 기관(100) 상에 금속막을 형성한 다음 제 1 마스크 공정을 진행한다. 상기 금속막은 도 2a에서 설명한 종류의 도전성 금속들을 사용한다.

[0060] 상기 기관(100) 상에는 게이트 전극과 게이트 신호 배선 역할을 하는 게이트 배선(101), 제 1 스토리지 전극

(104a), 화소 영역에는 복수개의 희생층 패턴(131)들, 데이터 배선 영역에는 공통 배선(미도시)으로부터 분기되는 제 1 공통 전극(114) 및 게이트 패드 영역에는 게이트 배선(101)과 일체로 형성된 게이트 패드(110)가 형성된다.

[0061] 그런 다음, 상기 도 2b에서 설명한 바와 같이, 게이트 절연막(102)과, 비정질 실리콘막 및 P+ 또는 N+ 형으로 도핑된 비정질 실리콘막으로 구성된 액티브층(116)과, 소스/드레인 전극 형성을 위한 금속층을 연속하여 기판(100)의 전면에 형성한다. 이후, 회절 마스크 또는 하프톤 마스크를 이용하여 TFT 영역의 게이트 배선(101) 상에 액티브층(116) 및 소스/드레인 전극(117a, 117b)으로 구성된 TFT를 형성한다.

[0062] 이때, 상기 공통 배선으로부터 화소 영역의 양측 가장자리로 분기된 제 1 공통 전극(114)이 형성된 영역에 데이터 배선(103)을 형성하고, 데이터 패드 영역에는 데이터 패드(103a)를 형성한다.

[0063] 이후, 기판(100)의 전면에 보호막(108)을 형성한 다음, 도 3c에 도시한 바와 같이, 상기 제 1 스토리지 전극(104a)과 오버랩되는 상기 드레인 전극(117b)의 일부를 노출시키는 콘택홀 형성 공정을 진행한다. 이때, 패드 영역에서 게이트 패드(110)와 데이터 패드(103a)가 노출되고, 화소 영역의 희생층 패턴(131)이 노출된다.

[0064] 상기와 같이 기판(100) 상에 형성된 희생층 패턴(131)이 노출되면 도 3d에 도시한 바와 같이, 투명성 도전물질을 기판(100)의 전면에 형성한 다음, 마스크 공정을 진행하여 상기 드레인 전극(117b)과 전기적으로 콘택되는 제 2 스토리지 전극(109), 게이트 콘택 패드부(140), 데이터 콘택 패드부(130) 및 단위 화소 영역의 가장자리 영역에 형성되는 제 2 공통전극(124)을 형성한다. 이때, 기판(100) 상에 형성된 희생층 패턴(131)의 양측 가장자리 영역에는 전극패턴(219)이 형성한다.

[0065] 상기 전극패턴(219)은 본 발명의 제 1 실시예와 달리 희생층 패턴(131)의 양측 가장자리에 서로 대응되도록 형성된다. 상기 전극패턴(219)은 일부가 희생층 패턴(131)의 가장자리와 오버랩되도록 적층되고, 나머지는 기판(100) 상에 형성된다.

[0066] 즉, 상기 전극패턴(219)은 일부만 상기 희생층 패턴(131) 상에 형성되고 나머지는 기판(100) 상에 형성되며, 상기 희생층 패턴(131)의 중심을 기준으로 양측 가장자리에 서로 대칭되도록 형성된다.

[0067] 그런 다음, 희생층 패턴(131) 만을 제거하기 위한 리프트 오프(lift-off) 공정을 진행한다. 도 3e는 리프트 오프에 의해 화소 전극과 공통전극을 형성하는 공정을 도시하였다.

[0068] 도 3d 및 도 3e를 참조하면, 상기 리프트 오프 공정을 진행하기 위한 식각 용액은 투명성 절연물질인 전극패턴(219)과 게이트 배선(101)과 동일한 물질인 희생층 패턴(131)의 식각비가 다른 용액을 사용한다.

[0069] 따라서, 리프트 오프 공정에 의해 희생층 패턴(131)이 제거되면서 상기 희생층 패턴(131)과 오버랩되어 있는 전극패턴(119) 부분은 함께 제거된다. 하지만, 상기 희생층 패턴(131)과 오버랩되지 않고 기판(100) 상에 형성되어 있던 전극패턴(119)은 남아 있게 된다.

[0070] 도 2e와 달리 본 발명의 제 2 실시예에서는 희생층 패턴(131)의 양측에 전극패턴(219)이 형성되어 있어, 하나의 희생층 패턴(131)에 대해 두개의 전극을 형성할 수 있다.

[0071] 즉, 본 발명에서는 배선 또는 전극의 폭을 종래보다 훨씬 작게 형성할 수 있어, 화소 영역에 많은 전극들을 형성할 수 있다. 본 발명의 제 2 실시예에서는 미세 패턴으로 전극들이 형성되기 때문에 종래 보다 화소 영역에 더 많은 전극들을 형성하더라도 개구율 저하 없이 전계 특성을 향상시킬 수 있다.

[0072] 또한, 전극패턴(119)이 희생층 패턴(131) 상에서 미스 얼라인(misalign)되는 경우에도 공통전극과 화소전극의 전극 간 거리는 희생층 패턴(131)의 폭 만큼 일정하게 이격되어 휘도 불량을 방지할 수 있다.

[0073] 따라서, 상기 희생층 패턴(131) 상에 오버랩되는 전극패턴(119)이 제거되면서 기판(100)의 화소 영역에는 제 2 공통전극(224)과 화소전극(209a)이 균일한 전극간 거리를 유지하면서 형성된다.

[0074] 상기 화소 영역에 형성되는 제 2 공통전극(224)과 화소전극(209a)의 전극폭은 전극패턴(119)의 폭보다 훨씬 작은 미세 전극폭을 갖는다. 예를 들어, 마스크 공정에서 사용된 노광기 장비에 의해 형성된 전극패턴의 폭이 4 μ m 이었다면, 리프트 오프 공정에 의해 형성된 제 2 공통전극(224)과 화소전극(209a)의 전극 폭은 전극패턴 폭의 1/2 또는 1/3의 폭보다 작은 값을 갖는다.

[0075] 따라서, 종래 액정표시장치의 공통전극과 화소전극의 폭이 최소 4 μ m로 형성되었다면, 본 발명에서는 공통전극과 화소전극의 폭을 2 μ m 또는 1 μ m 이하로 형성할 수 있다. 그러므로 단위 화소 영역에 형성된 공통전극과 화소전극

이 기판을 점유하는 면적이 줄어들게 되어 고개구울과 고투과율을 얻을 수 있다.

[0076] 또한, 상기 제 2 공통전극(224)과 화소전극(209a)이 공정 중 미스 얼라인으로 서로 다른 전극폭을 갖더라도 항상 희생층 패턴(131)과 대응되는 전극 간격을 유지할 수 있어 휘도 불균일 현상을 방지할 수 있다.

[0077] 도 4a 내지 도 4c는 본 발명의 제 2 실시예에 따라 형성되는 전극들이 일정한 간격을 유지하는 모습을 설명하기 위한 도면이다.

[0078] 도 4a 내지 도 4c를 참조하면, 기판(500) 상에 금속막을 형성한 다음 마스크 공정을 진행하여 희생층 패턴(300)이 형성되면, 상기 희생층 패턴(300)이 형성된 기판(500) 상에 투명성 도전물질을 형성하고 마스크 공정에 따라 패터닝한다.

[0079] 상기 희생층 패턴(300)의 양측 가장자리에 전극패턴(310)이 형성되면 리프트 오프 공정을 진행하여 상기 희생층 패턴(300)을 제거하여 공통전극(320)과 화소전극(219a)을 형성한다.

[0080] 이때, 도 4a와 같이 전극패턴(310)이 미스 얼라인 없이 상기 희생층 패턴(300) 양측 가장자리에 오버랩되도록 형성되면 상기 공통전극(320)과 화소전극(219a)의 전극 폭은 동일한 값을 갖는다. 또한, 상기 공통전극(320)과 화소전극(219a)의 전극 간 거리는 희생층 패턴(300)의 폭과 동일한 거리(D)를 갖는다.

[0081] 도 4b 및 도 4c와 같이 전극패턴(310)을 희생층 패턴(300) 상에 형성할 때 미스 얼라인으로 인하여 희생층 패턴(300) 양측 가장자리에 오버랩되는 영역이 서로 다른 경우에는 서로 다른 전극 폭을 갖는 공통전극(320)과 화소전극(219a)이 형성된다. 하지만, 이들 공통전극(320)과 화소전극(219a)은 모두 희생층 패턴(300)의 폭과 동일한 전극 간 거리(D)를 유지한다.

[0082] 따라서, 공통전극(320)과 화소전극(219a)들의 각각에 대한 전극 폭은 서로 달라질 수 있지만, 이들 전극들의 간격은 동일한 거리를 유지하도록 형성될 수 있다. 그러므로 화소 영역 내에서 전극들 간의 거리가 서로 상이하여 발생 될 수 있는 휘도 불량을 제거할 수 있다.

[0083] 즉, 상기 공통전극(320)과 화소전극(219a)들이 화소 영역 내에서 서로 다른 거리를 갖으면서 교대로 배치되는 경우에는 공통전극(320)과 화소전극(219a) 사이에서 발생하는 전계의 세기가 달라져 휘도 불균형이 발생된다.

[0084] 따라서, 이들 공통전극(320)과 화소전극(219a)의 전극 간 거리를 일정하게 유지하여야 휘도 불균일 현상을 방지할 수 있다.

[0085] 본 발명의 제 2 실시예에서는 어느 경우에도 항상 공통전극(320)과 화소전극(219a)의 전극 간 거리가 희생층 패턴(300)의 폭(D)과 동일한 값을 갖기 때문에 휘도 불균일 현상을 최소화할 수 있다.

도면의 간단한 설명

[0086] 도 1은 본 발명에 따른 액정표시장치의 화소 구조를 도시한 평면도이다.

[0087] 도 2a 내지 도 2e는 본 발명의 제 1 실시예에 따른 액정표시장치의 제조 공정을 도시한 도면이다.

[0088] 도 3a 내지 도 3e는 본 발명의 제 2 실시예에 따른 액정표시장치의 제조 공정을 도시한 도면이다.

[0089] 도 4a 내지 도 4c는 본 발명의 제 2 실시예에 따라 형성되는 전극들이 일정한 간격을 유지하는 모습을 설명하기 위한 도면이다.

[0090] (도면의 주요 부분에 대한 참조 부호의 설명)

[0091] 100: 기판 101: 게이트 배선

[0092] 104a: 제 1 스토리지 전극 114: 제 1 공통 전극

[0093] 110: 게이트 패드 131: 희생층 패턴

[0094] 102: 게이트 절연막 116: 액티브층

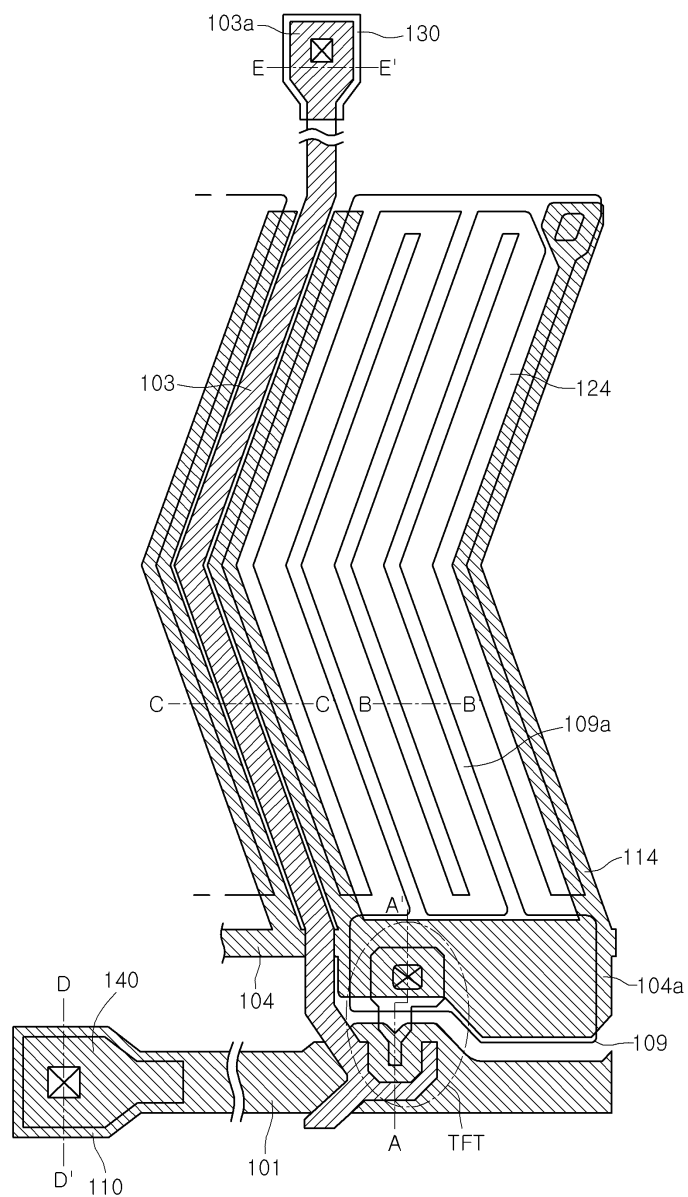
[0095] 117a: 소스 전극 117b: 드레인 전극

[0096] 103a: 데이터 패드 119: 전극패턴

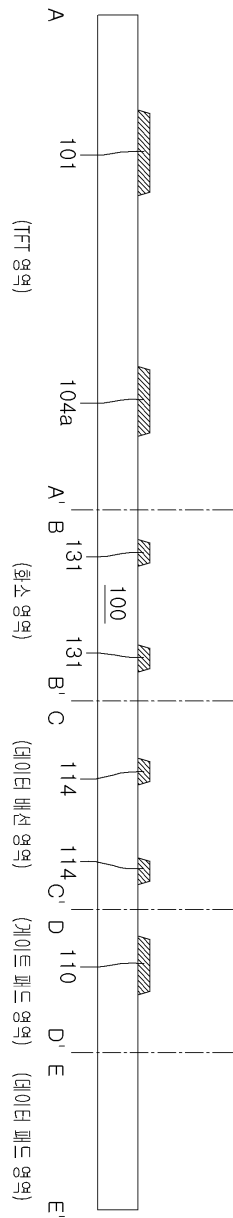
[0097] 124: 제 2 공통전극 109a: 화소전극

도면

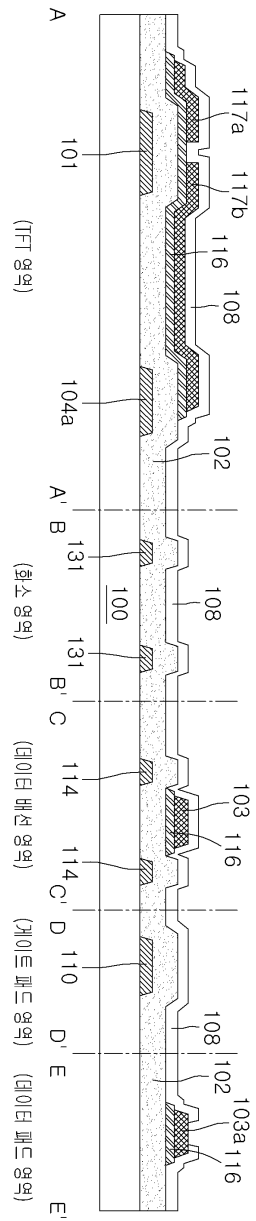
도면1



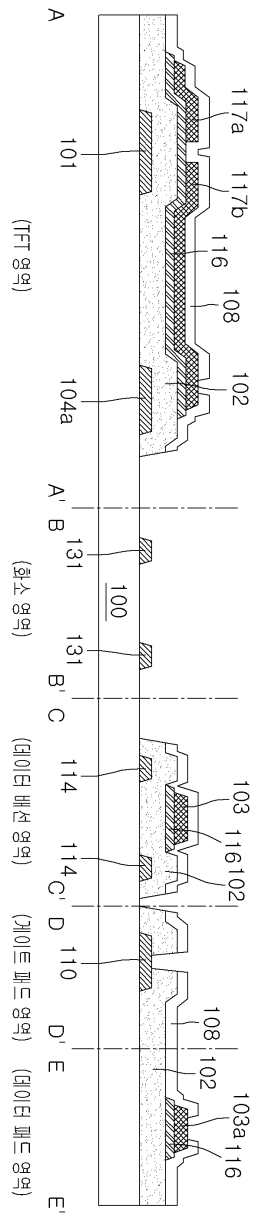
도면2a



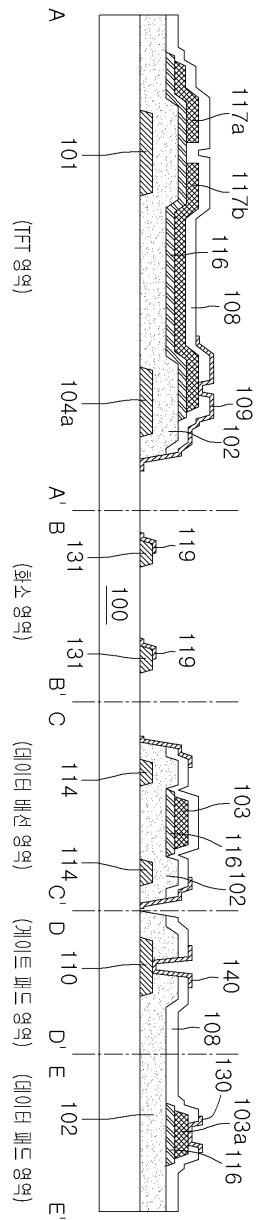
도면2b



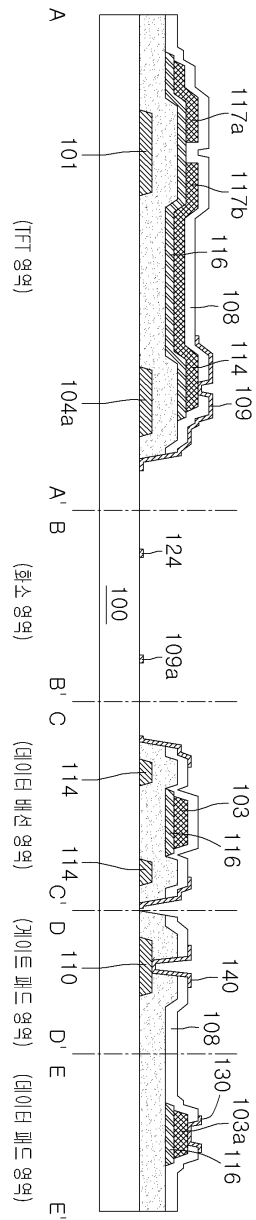
도면2c



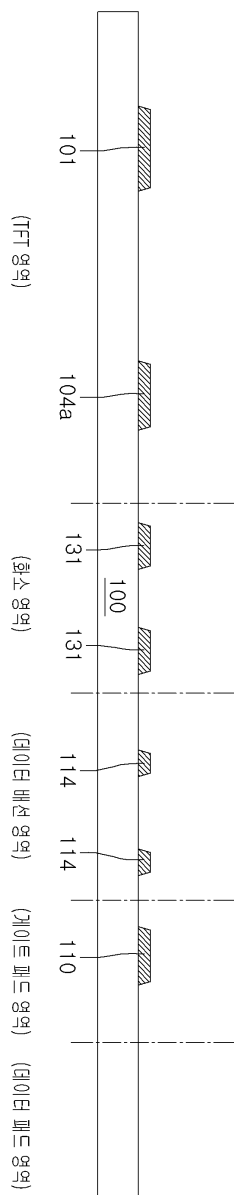
도면2d



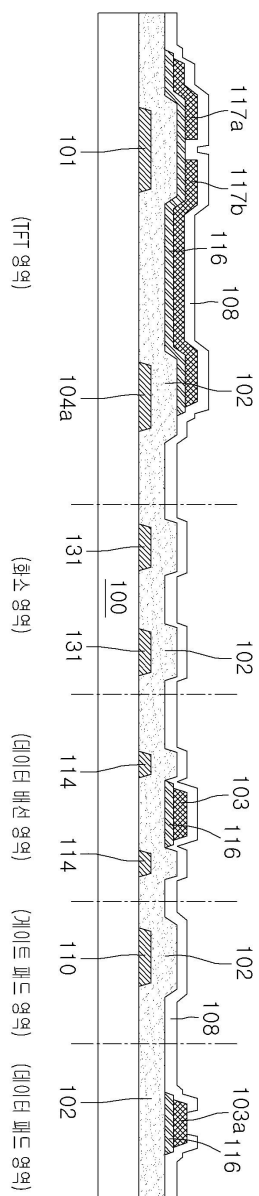
도면2e



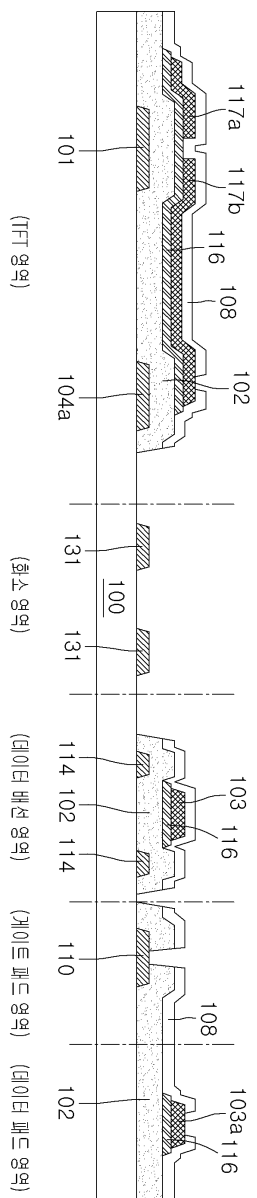
도면3a



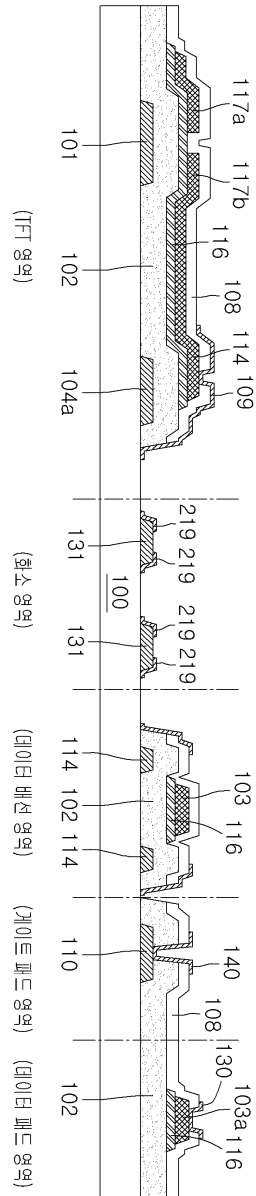
도면3b



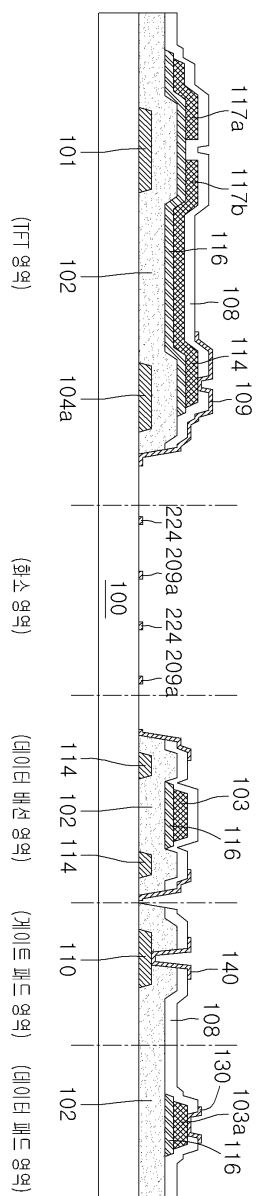
도면3c



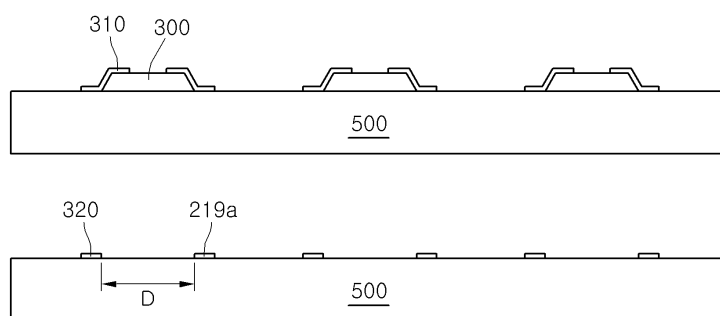
도면3d



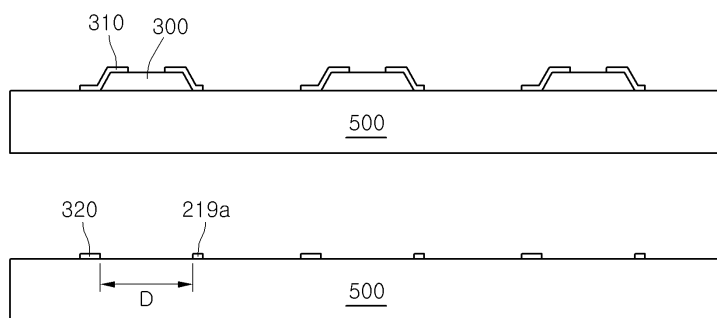
도면3e



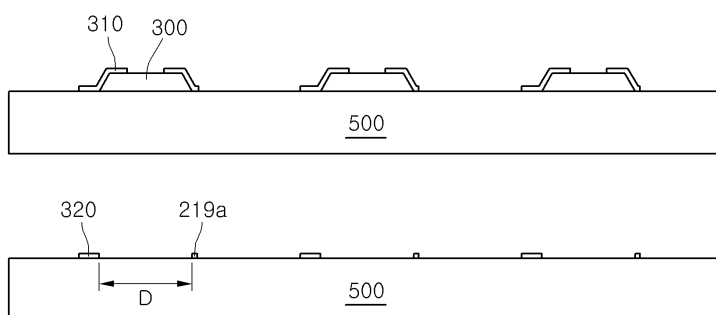
도면4a



도면4b



도면4c



专利名称(译)	标题：液晶显示装置的制造方法		
公开(公告)号	KR101323408B1	公开(公告)日	2013-10-29
申请号	KR1020090120753	申请日	2009-12-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK SEUNG RYULL 박승렬 SON KYUNG MO 손경모		
发明人	박승렬 손경모		
IPC分类号	G02F1/1343 G02F1/13		
CPC分类号	G02F1/13458 G02F1/134363 H01L27/124 H01L27/1288		
其他公开文献	KR1020110064248A		
外部链接	Espacenet		

摘要(译)

目的：提供一种制造LCD的方法，通过使用掩模和曝光装置形成导线和电极宽度，该电极宽度比曝光装置的物理分辨率窄。组成：LCD的制造方法包括如下步骤：通过在基板上形成第一存储电极（104a）和栅极焊盘的栅极焊盘在像素区域中形成多个牺牲层的步骤；形成源/漏电极，有源层和数据线的步骤，该有源层和数据线仅在有源层和源/漏金属膜上连续形成，该源/漏金属膜由掺杂有非晶硅膜的非晶硅膜构成，并且包括在栅极线上形成的衬底上的栅极。COPYRIGHT KIPO 2011

