



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년09월05일
(11) 등록번호 10-1303424
(24) 등록일자 2013년08월28일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0055419

(22) 출원일자 2008년06월12일

심사청구일자 2011년11월02일

(65) 공개번호 10-2009-0129248

(43) 공개일자 2009년12월16일

(56) 선행기술조사문헌

KR1020000029282 A*

KR1020040080958 A*

US20030034946 A1

US6680722 B1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

장수혁

대구광역시 북구 팔거천동로24길 40, 영남2차타운 103동 902호 (동천동)

김진성

경상북도 구미시 박정희로 599, 푸르지오캐슬아파트 120동 203호 (송정동)

(74) 대리인

특허법인로얄

전체 청구항 수 : 총 8 항

심사관 : 양성지

(54) 발명의 명칭 액정표시장치와 그 구동방법

(57) 요약

본 발명은 데이터 구동회로의 발열 및 소비전력을 줄이도록 한 액정표시장치와 그 구동방법에 관한 것이다.

이 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되고 매트릭스 형태로 배치되는 액정셀들을 포함한 액정표시패널; 극성제어신호를 발생하고 미리 정해진 취약 패턴의 데이터의 입력 여부를 판단하여 상기 취약 패턴의 데이터가 입력되면 상기 취약 패턴의 데이터가 표시될 다음 프레임기간에서 상기 극성제어신호의 위상을 쉬프트시키는 타이밍 콘트롤러; 상기 극성제어신호에 응답하여 데이터전압의 극성을 반전시켜 상기 데이터라인들에 공급하는 데이터 구동회로; 및 게이트펄스를 상기 게이트라인들에 순차적으로 공급하는 게이트 구동회로를 구비한다.

대표도 - 도6

V1H1

L1	R+	G+	B+	R+	G+	B+	R+	G+	B+	R+	G+	B+
L2	R+	G+	B+	R+	G+	B+	R+	G+	B+	R+	G+	B+
L3	R+	G+	B+	R+	G+	B+	R+	G+	B+	R+	G+	B+
L4	R+	G+	B+	R+	G+	B+	R+	G+	B+	R+	G+	B+
L5	R+	G+	B+	R+	G+	B+	R+	G+	B+	R+	G+	B+
L6	R+	G+	B+	R+	G+	B+	R+	G+	B+	R+	G+	B+
L7	R+	G+	B+	R+	G+	B+	R+	G+	B+	R+	G+	B+
L8	R+	G+	B+	R+	G+	B+	R+	G+	B+	R+	G+	B+

□ : White

▨ : Black

특허청구의 범위

청구항 1

다수의 데이터라인들과 다수의 게이트라인들이 교차되고 매트릭스 형태로 배치되는 액정셀들을 포함한 액정표시 패널;

극성제어신호를 발생하고 미리 정해진 취약 패턴의 데이터의 입력 여부를 판단하여 상기 취약 패턴의 데이터가 입력되면 상기 취약 패턴의 데이터가 표시될 다음 프레임기간에서 상기 극성제어신호의 위상을 쉬프트시키는 타이밍 콘트롤러;

상기 극성제어신호에 응답하여 데이터전압의 극성을 반전시켜 상기 데이터라인들에 공급하는 데이터 구동회로; 및

게이트펄스를 상기 게이트라인들에 순차적으로 공급하는 게이트 구동회로를 구비하고,

상기 타이밍 콘트롤러는,

상기 입력 디지털 비디오 데이터의 최상위 비트들에 근거하여 상기 입력 디지털 비디오 데이터 각각의 계조를 판단하고 그 계조에 기초하여 1 라인의 대표 계조를 판단하여 상기 취약 패턴의 데이터를 판단하고 상기 취약 패턴의 데이터가 입력될 때 이전 프레임기간과 상기 다음 프레임기간 사이의 블랭크 기간 내에서 선택신호를 발생하는 데이터 분석부; 및

제1 극성제어신호와, 상기 제1 극성제어신호와 다른 위상의 제2 극성제어신호를 발생하고 상기 선택신호에 응답하여 상기 제1 및 제2 극성제어신호 중 어느 하나를 선택하는 위상 제어부를 포함하는 것을 특징으로 하는 액정 표시장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 제2 극성제어신호의 논리반전주기는 상기 제1 극성제어신호의 그것과 동일한 것을 특징으로 하는 액정표시 장치.

청구항 4

다수의 데이터라인들과 다수의 게이트라인들이 교차되고 매트릭스 형태로 배치되는 액정셀들을 포함한 액정표시 패널;

극성제어신호를 발생하고 미리 정해진 취약 패턴의 데이터와 직류화 잔상이 나타나는 데이터의 입력 여부를 판단하여 상기 취약 패턴의 데이터와 상기 직류화 잔상이 나타나는 데이터 중 어느 하나가 입력되면 상기 취약 패턴의 데이터가 표시될 다음 프레임기간에서 상기 극성제어신호의 위상을 쉬프트시키고 도트반전 제어신호를 활성화하는 타이밍 콘트롤러;

상기 극성제어신호에 응답하여 데이터전압들의 극성을 반전시키고 상기 도트반전 제어신호에 응답하여 상기 데이터전압들의 수평 극성 반전 주기를 확장하여 상기 데이터라인들에 공급하는 데이터 구동회로; 및

게이트펄스를 상기 게이트라인들에 순차적으로 공급하는 게이트 구동회로를 구비하는 것을 특징으로 하는 액정 표시장치.

청구항 5

제 4 항에 있어서,

상기 타이밍 콘트롤러는,

상기 직류화 잔상이 나타나는 데이터가 입력되면 상기 극성제어신호의 위상을 1 프레임기간 주기로 쉬프트시키

고 상기 도트반전 제어신호를 1 프레임기간 주기로 반전시키는 것을 특징으로 하는 액정표시장치.

청구항 6

다수의 데이터라인들과 다수의 게이트라인들이 교차되고 매트릭스 형태로 배치되는 액정셀들을 포함한 액정표시패널을 가지는 액정표시장치의 구동방법에 있어서,

입력 디지털 비디오 데이터의 최상위 비트들에 근거하여 상기 입력 디지털 비디오 데이터 각각의 계조를 판단하고 그 계조에 기초하여 1 라인의 대표 계조를 판단하여 미리 정해진 취약 패턴의 데이터를 판단하고 상기 취약 패턴의 데이터가 입력될 때 이전 프레임기간과 다음 프레임기간 사이의 블랭크 기간 내에서 선택신호를 발생하는 단계;

제1 극성제어신호와, 상기 제1 극성제어신호와 다른 위상의 제2 극성제어신호를 발생하는 단계;

상기 선택신호에 응답하여 상기 제1 및 제2 극성제어신호 중 어느 하나를 선택하는 단계;

선택된 극성제어신호로 데이터 구동회로를 제어하여 데이터전압의 극성을 반전시켜 상기 데이터라인들에 공급하는 단계; 및

게이트 구동회로를 제어하여 게이트펄스를 상기 게이트라인들에 순차적으로 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 7

삭제

청구항 8

제 6 항에 있어서,

상기 제2 극성제어신호의 논리반전주기는 상기 제1 극성제어신호의 그것과 동일한 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 9

다수의 데이터라인들과 다수의 게이트라인들이 교차되고 매트릭스 형태로 배치되는 액정셀들을 포함한 액정표시패널을 가지는 액정표시장치의 구동방법에 있어서,

극성제어신호를 발생하는 단계;

미리 정해진 취약 패턴의 데이터와 직류화 잔상이 나타나는 데이터의 입력 여부를 판단하여 상기 취약 패턴의 데이터와 상기 직류화 잔상이 나타나는 데이터 중 어느 하나가 입력되면 상기 취약 패턴의 데이터가 표시될 다음 프레임기간에서 상기 극성제어신호의 위상을 쉬프트시키고 도트반전 제어신호를 활성화하는 단계;

상기 극성제어신호와 상기 도트반전 제어신호로 데이터 구동회로를 제어하여 데이터전압들의 극성을 반전시키고 상기 데이터전압들의 수평 극성 반전 주기를 확장하여 상기 데이터라인들에 공급하는 단계; 및

게이트 구동회로를 제어하여 게이트펄스를 상기 게이트라인들에 순차적으로 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 10

제 9 항에 있어서,

상기 직류화 잔상이 나타나는 데이터가 입력되면 상기 극성제어신호의 위상을 1 프레임기간 주기로 쉬프트시키고 상기 도트반전 제어신호를 1 프레임기간 주기로 반전시키는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

명 세 서

발명의 상세한 설명

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 데이터 구동회로의 발열 및 소비전력을 줄이도록 한 액정표시장치와 그 구동방법에 관한 것이다.

배경기술

- [0002] 액정표시장치는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시한다. 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 도 1과 같이 액정셀(Clc)마다 형성된 박막트랜지스터(Thin Film Transistor, TFT)를 이용하여 액정셀들에 공급되는 데이터전압을 스위칭하여 데이터를 능동적으로 제어하므로 동화상의 표시 품질을 높일 수 있다. 도 1에 있어서, 도면부호 "Cst"는 액정셀(Clc)에 충전된 데이터전압을 유지하기 위한 스토리지 커패시터(Storage Capacitor, Cst), 'D1'은 데이터전압이 공급되는 데이터라인, 그리고 'G1'은 스캔전압이 공급되는 게이트라인을 각각 의미한다.
- [0003] 이와 같은 액정표시장치는 직류 읍셋 성분을 감소시키고 액정의 열화를 줄이기 위하여, 이웃한 액정셀들 사이에서 극성이 반전되고 프레임기간 단위로 극성이 반전되는 인버전 방식(Inversion)으로 구동되고 있다. 그런데 데이터전압의 극성이 바뀔 때마다 데이터라인들에 공급되는 데이터전압의 스윙폭이 커지고 데이터 구동회로에서 많은 전류가 발생하여 데이터 구동회로의 발열온도가 높아지고 소비전력이 급증하는 문제점이 있다.
- [0004] 데이터라인들에 공급되는 데이터전압의 스윙폭을 줄이고 데이터 구동회로의 발열온도 및 소비전력을 줄이기 위하여, 데이터 구동회로에 차지 쉐어회로(charge share circuit)나 프리차지회로(precharging circuit)를 채용하고 있지만 그 효과가 만족할 수준에 도달하지 못하고 있다.
- [0005] 도 2는 종래의 차지 쉐어회로를 이용한 데이터전압의 제어를 보여 주는 파형도이다.
- [0006] 도 2를 참조하면, 데이터 구동회로의 출력을 제어하기 위한 소스 출력 인에이블신호(Source Output Enable, SOE)의 펄스 주기는 1 수평기간이다. 데이터 구동회로는 소스 출력 인에이블신호(SOE)의 하이논리기간 즉, 펄스 폭기간 동안 차지쉐어전압(charge share voltage)를 데이터라인에 공급하고 소스 출력 인에이블신호(SOE)의 로우논리기간 동안 정극성 또는 부극성의 데이터전압을 데이터라인에 공급한다. 이러한 데이터 구동회로는 드라이브 집적회로에 따라 데이터전압의 극성에 관계없이 1 수평기간 주기로 또는 2 수평기간 주기로 소스 출력 인에이블신호(SOE)의 펄스에 동기하여 차지쉐어전압을 데이터라인들에 공급한다. 도 2에서, 게이트 쉬프트 클럭신호(Gate Shift Clock, GSC)는 게이트 구동회로의 쉬프트 동작을 제어하기 위한 클럭신호이다. 극성제어신호(POL)는 데이터 구동회로로부터 출력되는 데이터전압의 극성을 제어하기 위한 제어신호이다.
- [0007] 이와 같은 차지 쉐어 제어는 정극성 데이터전압에서 바로 부극성 데이터전압으로 공급되거나 그 역으로 데이터전압이 변하는 경우보다 데이터 구동회로의 전류가 작게 발생되나, 차지쉐어전압의 전후에 데이터전압의 스윙폭이 크기 때문에 데이터 구동회로의 전류량이 높은 실정이다. 특히, 데이터전압의 극성이 바뀌고 데이터의 극성이 블랙 계조에서 화이트 계조로 변할 때에 데이터 구동회로의 전류가 급증한다.
- [0008] 인버전 방식으로 데이터전압의 극성이 반전되면 정극성 데이터전압을 충전하는 액정셀의 충전량과 부극성 데이터전압을 충전하는 액정셀의 충전량이 다르기 때문에 표시품질이 저하된다.
- [0009] 이를 도 3을 결부하여 상세히 설명하면, 도 3과 같이 액정셀이 정극성 데이터전압(+Vp)을 충전한 후에 그 정극성 데이터전압(+Vp)과 동일한 계조를 표현하기 위한 부극성 데이터전압(-Vp)을 충전한다고 가정한다. 액정셀은 정극성 데이터전압을 충전한 후에 TFT의 기생용량 등에 의해 ΔV_p 만큼 절대치 전압이 낮은 전압($V_p(+)$)을 유지한다. 그리고 액정셀은 부극성 데이터전압을 충전한 후에 TFT의 기생용량 등에 의해 ΔV_p 만큼 절대치 전압이 높은 전압($V_p(-)$)을 유지한다. 따라서, 노말리 블랙 모드(Normally Black Mode)의 액정표시장치의 액정셀은 정극성 데이터전압보다 그와 동일한 계조를 표현하기 위한 부극성 데이터전압을 충전할 때 더 높은 광투과율로 빛을 투과시킨다. 노말리 블랙 모드에서, 액정셀의 광투과율은 그 액정셀에 충전되는 전압이 높을수록 높아진다. 또한, 노말리 화이트 모드(Normally White Mode)의 액정표시장치의 액정셀은 정극성 데이터전압보다 그와 동일한 계조를 표현하기 위한 부극성 데이터전압을 충전할 때 더 낮은 광투과율로 빛을 투과시킨다. 노말리 화이트 모드(Normally White Mode)에서, 액정셀의 광투과율은 그 액정셀에 충전되는 전압이 높을수록 낮아진다.
- [0010] 액정표시장치는 액정셀들에 충전되는 데이터전압의 극성패턴과 데이터들의 계조의 상관관계에 따라 특정 영상의 데이터패턴에서 표시품질이 떨어진다. 이하에서, 이렇게 액정표시장치에서 표시품질이 떨어질 수 있는 데이터

패턴을 취약패턴(Weakness Pattern)으로 정의한다. 표시품질의 저하 요인으로는 표시화면에서 녹색조(greenish)가 나타나는 현상과 주기적으로 화면의 휘도가 변동되는 플리커가 대표적이다.

[0011] 도 4 및 도 5는 표시영상에서 녹색조가 나타나기 쉬운 취약패턴의 대표적인 예들이다.

[0012] 도 4를 참조하면, 표시영상에서 녹색조가 나타나는 취약패턴의 일 예는 기수 열(Odd column)의 픽셀들에 공급되는 데이터들의 계조가 화이트 계조이고 우수 열의 픽셀들에 공급되는 데이터들의 계조가 블랙 계조인 데이터 패턴이다. 이러한 취약 패턴이 입력될 때, 액정표시장치가 수직 2 도트 및 수평 1 도트 인버전 방식(V2H1)으로 구동되면 그 액정표시장치의 표시화상에서 녹색조가 나타난다. 수직 2 도트 및 수평 1 도트 인버전 방식(V2H1)은 1 프레임기간 내에서 수직 2 도트(또는 2 액정셀) 단위로 액정셀들에 충전되는 데이터전압의 극성이 반전되고 수평 1 도트(또는 1 액정셀) 단위로 액정셀들에 충전되는 데이터전압의 극성이 반전된다.

[0013] 도 4에서 제1, 제2, 제5, 제6 라인(L1, L2, L5, L6)에서 적(R), 녹(G) 및 청색(B)의 데이터들 중 휘도에 가장 많은 영향을 주는 녹색 데이터들(G) 모두의 데이터전압이 부극성 데이터전압이므로 그 라인들에서 녹색조가 나타난다. 이러한 녹색조 현상은 녹색 데이터들의 극성이 어느 한 극성으로 편향되기 때문이다.

[0014] 도 5를 참조하면, 표시영상에서 녹색조가 나타나는 취약패턴의 다른 예는 기수 열의 서브 픽셀들에 공급되는 데이터들의 계조가 화이트 계조이고 우수 서브픽셀들에 공급되는 데이터들의 계조가 블랙 계조인 데이터 패턴이다. 이러한 취약 패턴이 입력될 때, 액정표시장치가 수직 2 도트 및 수평 1 도트 인버전 방식(V2H1)으로 액정표시장치가 구동되면, 그 액정표시장치의 표시화상에서 녹색조가 나타난다.

[0015] 도 6은 표시영상에서 플리커 현상이 나타나기 쉬운 취약패턴의 일 예이다.

[0016] 도 6을 참조하면, 표시영상에서 플리커 현상이 나타나는 취약패턴의 일예는 수평 및 수직 방향 각각에서 데이터전압의 계조가 1 서브픽셀 단위로 교대로 화이트 계조와 블랙 계조로 되는 서브 픽셀 단위의 모자이크 패턴이다. 이와 같은 취약 패턴이 입력될 때, 액정표시장치가 수직 1 도트 및 수평 1 도트 인버전 방식(V1H1)으로 구동되면, 그 액정장치의 표시화상에서 플리커가 발생한다. 수직 1 도트 및 수평 1 도트 인버전 방식(V1H1)은 수직 및 수평방향 각각에서 이웃하는 액정셀들에 충전되는 데이터전압들의 극성을 반전시킨다. 이 경우, 1 프레임 기간 내에서 화이트 계조의 데이터전압들 모두는 정극성 데이터전압이며, 그 다음 프레임에서 화이트 계조의 데이터전압들은 모두 정극성 데이터전압이다. 따라서, 1 프레임기간 단위로 표시화상의 휘도가 변동된다.

[0017] 또한, 액정표시장치의 액정셀에 공급되는 데이터전압의 극성이 장시간 어느 한 극성으로 치우치면 화면이 전환되어도 그 이전 화상이 보이는 현상 즉, 잔상이 나타나기 쉽다. 이러한 잔상을 액정셀에 동일 극성의 전압이 반복적으로 충전되므로 "직류화 잔상(DC Image sticking)"으로 정의하기로 한다. 이러한 예 중 하나는 액정표시장치에 인터레이스(Interlace) 방식의 데이터전압들이 공급되는 경우이다. 인터레이스 방식의 데이터(이하, "인터레이스 데이터"라 함)는 기수 프레임기간 동안 기수 라인의 액정셀들에 충전되는 기수라인 데이터전압만을 포함한다. 그리고 인터레이스 데이터는 우수 프레임기간 동안 우수 라인의 액정셀들에 표시될 데이터전압만을 포함한다.

[0018] 도 7은 인터레이스 데이터의 일예를 보여 준다. 도 7과 같은 데이터전압이 공급되는 액정셀은 기수 라인에 배치된 액정셀들 중 어느 하나로 가정한다.

[0019] 도 7을 참조하면, 액정셀에는 기수 프레임기간 동안 정극성 전압이 공급되고 우수 프레임기간 동안 부극성 전압이 공급된다. 인터레이스 방식에서, 기수 라인에 배치된 액정셀에 기수 프레임기간 동안에만 높은 정극성 데이터전압이 공급된다. 이 때문에, 4 개의 프레임기간 동안 박스 내의 파형과 같이 정극성 데이터전압이 부극성 데이터전압에 비하여 우세적으로 되어 직류화 잔상이 나타난다.

[0020] 도 8은 인터레이스 데이터로 인하여 나타나는 직류화 잔상의 실험 결과를 보여주는 이미지이다. 도 8의 좌측 이미지와 같은 원 이미지(Original image)를 인터레이스방식으로 액정표시패널에 일정시간 동안 공급하면 액정셀에 충전되는 동일 극성의 데이터전압이 반복 충전된다. 그 결과, 좌측 이미지와 같은 원 화상 후에 액정표시패널의 모든 액정셀들에 중간계조 예컨대, 127 계조의 데이터전압을 공급하면 우측 이미지와 같이 원 이미지의 패턴이 희미하게 보이는 직류화 잔상이 나타난다.

[0021] 직류화 잔상의 다른 예로써, 동일한 이미지를 일정한 속도로 이동 또는 스크롤(scroll)시키면 스크롤되는 그림의 크기와 스크롤 속도(이동속도)의 상관 관계에 따라 액정셀에 동일 극성의 전압이 반복적으로 축적되어 직류화 잔상이 나타날 수 있다. 이러한 실예는 도 9와 같다. 도 9는 사선 패턴과 문자 패턴을 일정한 속도로 이동

시킬 때 나타나는 직류화 잔상의 실험 결과를 보여주는 이미지이다.

발명의 내용

해결 하고자하는 과제

- [0022] 본 발명은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 데이터 구동회로의 발열 및 소비전력을 줄이도록 한 액정표시장치와 그 구동방법을 제공한다.

과제 해결수단

- [0023] 본 발명의 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되고 매트릭스 형태로 배치되는 액정셀들을 포함한 액정표시패널; 극성제어신호를 발생하고 미리 정해진 취약 패턴의 데이터의 입력 여부를 판단하여 상기 취약 패턴의 데이터가 입력되면 상기 취약 패턴의 데이터가 표시될 다음 프레임기간에서 상기 극성제어신호의 위상을 쉬프트시키는 타이밍 콘트롤러; 상기 극성제어신호에 응답하여 데이터전압의 극성을 반전시켜 상기 데이터라인들에 공급하는 데이터 구동회로; 및 게이트펄스를 상기 게이트라인들에 순차적으로 공급하는 게이트 구동회로를 구비한다.
- [0024] 상기 타이밍 콘트롤러는 상기 입력 디지털 비디오 데이터의 최상위 비트들에 근거하여 상기 입력 디지털 비디오 데이터 각각의 계조를 판단하고 그 계조에 기초하여 1 라인의 대표 계조를 판단하여 상기 취약 패턴의 데이터를 판단하고 상기 취약 패턴의 데이터가 입력될 때 상기 이전 프레임기간과 상기 다음 프레임기간 사이의 블랭크 기간 내에서 선택신호를 발생하는 데이터 분석부; 및 제1 극성제어신호와, 상기 제1 극성제어신호와 다른 위상의 제2 극성제어신호를 발생하고 상기 선택신호에 응답하여 상기 제1 및 제2 극성제어신호 중 어느 하나를 선택하는 위상 제어부를 구비한다.
- [0025] 상기 제2 극성제어신호의 논리반전주기는 상기 제1 극성제어신호의 그것과 동일하다.
- [0026] 본 발명의 다른 실시예에 따른 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되고 매트릭스 형태로 배치되는 액정셀들을 포함한 액정표시패널; 극성제어신호를 발생하고 미리 정해진 취약 패턴의 데이터와 직류화 잔상이 나타나는 데이터의 입력 여부를 판단하여 상기 취약 패턴의 데이터와 상기 직류화 잔상이 나타나는 데이터 중 어느 하나가 입력되면 상기 취약 패턴의 데이터가 표시될 다음 프레임기간에서 상기 극성제어신호의 위상을 쉬프트시키고 도트반전 제어신호를 활성화하는 타이밍 콘트롤러; 상기 극성제어신호에 응답하여 데이터전압들의 극성을 반전시키고 상기 도트반전 제어신호에 응답하여 상기 데이터전압들의 수평 극성 반전 주기를 확장하여 상기 데이터라인들에 공급하는 데이터 구동회로; 및 게이트펄스를 상기 게이트라인들에 순차적으로 공급하는 게이트 구동회로를 구비한다.
- [0027] 상기 타이밍 콘트롤러는 상기 직류화 잔상이 나타나는 데이터가 입력되면 상기 극성제어신호의 위상을 1 프레임 기간 주기로 쉬프트시키고 상기 도트반전 제어신호를 1 프레임기간 주기로 반전시킨다.
- [0028] 상기 액정표시장치의 구동방법은 입력 디지털 비디오 데이터의 최상위 비트들에 근거하여 상기 입력 디지털 비디오 데이터 각각의 계조를 판단하고 그 계조에 기초하여 1 라인의 대표 계조를 판단하여 미리 정해진 취약 패턴의 데이터를 판단하고 상기 취약 패턴의 데이터가 입력될 때 이전 프레임기간과 다음 프레임기간 사이의 블랭크 기간 내에서 선택신호를 발생하는 단계; 제1 극성제어신호와, 상기 제1 극성제어신호와 다른 위상의 제2 극성제어신호를 발생하는 단계; 상기 선택신호에 응답하여 상기 제1 및 제2 극성제어신호 중 어느 하나를 선택하는 단계; 선택된 극성제어신호로 데이터 구동회로를 제어하여 데이터전압의 극성을 반전시켜 상기 데이터라인들에 공급하는 단계; 및 게이트 구동회로를 제어하여 게이트펄스를 상기 게이트라인들에 순차적으로 공급하는 단계를 포함한다.
- [0029] 본 발명의 다른 실시예에 따른 액정표시장치의 구동방법은 극성제어신호를 발생하는 단계; 미리 정해진 취약 패턴의 데이터와 직류화 잔상이 나타나는 데이터의 입력 여부를 판단하여 상기 취약 패턴의 데이터와 상기 직류화 잔상이 나타나는 데이터 중 어느 하나가 입력되면 상기 취약 패턴의 데이터가 표시될 다음 프레임기간에서 상기 극성제어신호의 위상을 쉬프트시키고 도트반전 제어신호를 활성화하는 단계; 상기 극성제어신호와 상기 도트반전 제어신호로 데이터 구동회로를 제어하여 데이터전압들의 극성을 반전시키고 상기 데이터전압들의 수평 극성

반전 주기를 확장하여 상기 데이터라인들에 공급하는 단계; 및 게이트 구동회로를 제어하여 게이트펄스를 상기 게이트라인들에 순차적으로 공급하는 단계를 포함한다.

효 과

- [0030] 본 발명의 실시예에 따른 액정표시장치와 그 구동방법은 데이터를 분석하여 극성제어신호의 위상을 쉬프트시켜 데이터전압이 블랙 계조에서 화이트 계조로 변할 때 데이터 구동회로의 소비전력과 발열량을 줄일 수 있을 뿐만 아니라 녹색조나 플리커를 예방하여 표시품질을 높일 수 있다. 나아가, 본 발명의 실시예에 따른 액정표시장치와 그 구동방법은 직류화잔상이 나타날 수 있는 데이터가 입력될 때 극성제어신호의 위상을 주기적으로 쉬프트시키고 수평도트 반전신호를 주기적으로 반전시킴으로써 직류화 잔상을 예방하여 표시품질을 더 높일 수 있다.

발명의 실시를 위한 구체적인 내용

- [0031] 이하, 도 10 내지 도 24를 참조하여 본 발명의 바람직한 실시예들에 대하여 설명하기로 한다.
- [0032] 도 10을 참조하면, 본 발명의 제1 실시예에 따른 액정표시장치는 액정표시패널(10), 타이밍 컨트롤러(11), 데이터 구동회로(12), 및 게이트 구동회로(13)를 구비한다.
- [0033] 액정표시패널(10)은 두 장의 유리기관 사이에 액정분자들이 주입된다. 이 액정표시패널(10)의 하부 유리기관에는 데이터라인들(D1 내지 Dm)과 게이트라인들(G1 내지 Gn)이 교차된다. 데이터라인들(D1 내지 Dm)과 게이트라인들(G1 내지 Gn)의 교차 구조에 의해 액정표시패널(10)에는 매트릭스 형태로 $m \times n$ 개의 액정셀들(C1c)이 배치된다.
- [0034] 액정표시패널(10)의 하부 유리기관에는 데이터라인들(D1 내지 Dm), 게이트라인들(G1 내지 Gn), TFT들, TFT에 접속된 액정셀(C1c)의 화소전극들(1), 및 스토리지 커패시터(Cst) 등이 형성된다. 액정표시패널(10)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다.
- [0035] 액정표시패널(10)의 상부 유리기관과 하부 유리기관 각각에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내면에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다.
- [0036] 타이밍 컨트롤러(11)는 수직/수평 동기신호(Vsync, Hsync), 데이터 인에이블 신호(Data Enable, DE), 도트클럭(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(12)와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 타이밍 컨트롤러(11)는 1 수평기간 주기로 발생하는 데이터 인에이블신호(DE)를 카운트하여 수평기간과 수직기간(또는 프레임기간)을 판단할 수 있다. 따라서, 수직/수평 동기신호(Vsync, Hsync)는 타이밍 컨트롤러(11)에 입력되지 않을 수도 있다.
- [0037] 타이밍 컨트롤러(11)에서 발생하는 제어신호들은 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호, 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호로 나뉘어진다.
- [0038] 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 쉬프트 클럭신호(Gate Shift Clock : GSC), 게이트 출력 인에이블신호(Gate Output Enable : GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 수평라인을 지시한다. 게이트 쉬프트 클럭신호(GSC)는 게이트 구동회로(13) 내의 쉬프트 레지스터에 입력되어 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키기 위한 타이밍 제어신호로써 1 수평기간 주기로 발생된다. 게이트 출력 인에이블신호(GOE)는 게이트 구동회로(13)의 출력을 지시한다.
- [0039] 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse : SSP), 소스 샘플링 클럭(Source Sampling Clock : SSC), 소스 출력 인에이블신호(Source Output Enable : SOE), 극성제어신호(Polarity : POL)를 포함한다. 소스 스타트 펄스(SSP)는 데이터가 표시될 1 수평라인에서 시작 화소를 지시한다. 소스 샘플링 클럭(SS

C)은 라이징(Rising) 또는 폴링(Falling) 에지에 기준하여 데이터 구동회로(12) 내에서 데이터의 래치동작을 지시한다. 소스 출력 인에이블신호(SOE)는 데이터 구동회로(12)의 출력을 지시한다. 극성제어신호(Polarity : POL)는 액정표시패널(10)의 액정셀들(Clc)에 공급될 데이터전압의 극성을 지시한다.

[0040] 또한, 타이밍 컨트롤러(11)는 데이터를 분석하여 취약패턴이나 직류화 잔상이 나타날 수 있는 데이터를 검출하고 그 취약패턴이나 직류화 잔상이 입력될 때 극성제어신호(POL)의 위상을 쉬프트하여 데이터 구동회로(12)의 소비전력 및 발열량을 줄임과 동시에 표시품질을 향상시킨다.

[0041] 데이터 구동회로(12)는 타이밍 컨트롤러(11)의 제어 하에 디지털 비디오 데이터(RGB)를 래치하고 그 디지털 비디오 데이터(RGB)를 극성제어신호(POL)에 응답하여 아날로그 정극성/부극성 감마보상전압으로 변환하고 그 감마 보상전압을 데이터전압으로써 데이터라인들(D1 내지 Dm)에 공급한다. 또한, 데이터 구동회로(12)는 2 수평기간 주기로 소스 출력 인에이블신호(SOE)의 펄스에 동기하여 차지쉐어전압을 데이터라인들(D1 내지 Dm)에 공급한다. 차지쉐어전압은 정극성 데이터전압이 공급되는 데이터라인과 부극성 데이터전압이 공급되는 데이터라인을 단락(short)시킬 때 발생하는 평균전압이다. 또한, 차지쉐어전압은 공통전압(Vcom)으로 발생할 수도 있다. 공통전압(Vcom)은 전술한 바와 같이 화소전극(1)과 대향하는 공통전극(2)에도 급되는 공통전압(Vcom)과 등전위의 전압이고, 정극성 데이터전압과 부극성 데이터전압 사이의 중간전압이다.

[0042] 게이트 구동회로(13)는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀의 TFT 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터 및 레벨 쉬프터와 게이트라인(G1 내지 Gn) 사이에 접속되는 출력 버퍼를 각각 포함하는 다수의 게이트 드라이브 집적회로들로 구성되어 대략 1 수평기간의 펄스폭을 가지는 스캔펄스들을 순차적으로 출력한다.

[0043] 도 11은 도 10에 도시된 타이밍 컨트롤러(11)에서 데이터를 분석하고 그 분석결과에 따라 극성제어신호의 위상을 쉬프트시키는 회로를 나타낸다.

[0044] 도 11을 참조하면, 타이밍 컨트롤러(11)는 데이터 분석부(110), 및 위상 제어부(111)를 구비한다.

[0045] 데이터 분석부(110)는 디지털 비디오 데이터(RGB), 데이터 인에이블 신호(DE) 및 도트클럭(CLK)을 입력받는다. 데이터 인에이블 신호(DE)는 1 수평기간 동안 1 라인에 충전될 데이터 전압들의 유효 데이터구간을 지시하며 1 수평기간 주기로 발생된다. 도트클럭(CLK)은 데이터 인에이블 신호(DE)의 데이터 각각을 샘플링하는 클럭신호이다. 데이터 분석부(110)는 데이터 인에이블 신호(DE)를 카운트하여 현재 입력되는 디지털 비디오 데이터(RGB)의 라인을 판단하고 도트클럭(CLK)으로 디지털 비디오 데이터(RGB)를 샘플링한다. 그리고 데이터 분석부(110)는 디지털 비디오 데이터(RGB) 각각의 계조를 판단하며, 1 라인에 포함된 디지털 비디오 데이터들(RGB)의 대표 계조를 판단하여 이에 기초하여 취약패턴을 판정한다. 데이터 분석부(110)는 입력 데이터의 분석 결과, 취약패턴이 입력될 때 그 취약패턴의 데이터들이 표시되는 다음 프레임기간 앞의 블랭크기간 내에서 선택신호(SEL)의 논리를 반전시킨다.

[0046] 위상 제어부(111)는 데이터 분석부(110)의 제어 하에 취약 패턴이 아닌 데이터가 입력되면 제1 극성제어신호(POL1)를 출력하고, 취약 패턴의 데이터가 입력될 때 제2 극성제어신호(POL2)를 발생한다.

[0047] 위상 제어부(111)는 극성제어신호 발생부(112)와 멀티플렉서(113)를 구비한다. 극성제어신호 발생부(112)는 데이터 인에이블 신호(DE)를 카운터하여 2 수평기간 주기로 논리가 반전되는 제1 극성제어신호(POL1)를 발생함과 아울러, 제1 극성제어신호(POL1)에 비하여 1 수평기간만큼 위상차가 존재하는 제2 극성제어신호(POL2)를 발생한다. 이 극성제어신호 발생부(112)는 리셋신호(RST) 신호에 따라 매 프레임마다 리셋되어 제1 및 제2 극성제어신호(POL1, POL2)를 초기화시킨다. 제2 극성제어신호(POL2)는 제1 극성제어신호(POL1)의 위상과 다른 위상으로 발생된다. 그리고 제2 극성제어신호(POL2)의 논리 반전주기는 제1 극성제어신호(POL1)와 동일하게 2 수평기간이다. 제1 극성제어신호(POL1)는 기수 프레임기간 동안, i (i 는 자연수) 번째 수평기간에서 하이논리(H)→ $i+1$ 번째 수평기간에서 하이논리(H)→ $i+2$ 번째 수평기간에서 로우논리(L)→ $i+3$ 번째 수평기간에서 로우논리(L)의 순서로 논리가 반전되고 이를 반복한다. 그리고 제1 극성제어신호(POL1)는 우수 프레임기간 동안, i 번째 수평기간에서 로우논리(L)→ $i+1$ 번째 수평기간에서 로우논리(L)→ $i+2$ 번째 수평기간에서 하이논리(H)→ $i+3$ 번째 수평기간에서 하이논리(H)의 순서로 논리가 반전되고 이를 반복한다. 제2 극성제어신호(POL2)는 기수 프레임기간 동안, i 번째 수평기간에서 하이논리(H)→ $i+1$ 번째 수평기간에서 로우논리(L)→ $i+2$ 번째 수평기간에서 로우논리(L)→ $i+3$ 번째 수평기간에서 하이논리(H)의 순서로 논리가 반전되고 이를 반복한다. 그리고 제2 극성제어신호(POL2)는 우수 프레임기간 동안, i 번째 수평기간에서 로우논리(L)→ $i+1$ 번째 수평기간에서 하이논리(H)→ $i+2$ 번째 수평기간에서 하이논리(H)→ $i+3$ 번째 수평기간에서 로우논리(L)의 순서로 논리가 반전되고

이를 반복한다.

- [0048] 멀티플렉서(113)는 데이터 분석부(110)로부터 입력되는 선택신호(SEL)에 응답하여 제1 극성제어신호(POL1)와 제2 극성제어신호(POL2) 중 어느 하나를 선택한다. 이 멀티플렉서(113)는 취약패턴이 입력되지 않을 때 제1 극성제어신호(POL1)를 데이터 구동회로(12)에 공급하고, 선택신호(SEL)에 응답하여 취약패턴이 입력될 때 제2 극성제어신호(POL2)를 선택하여 데이터 구동회로(12)에 공급한다.
- [0049] 도 12는 5 개의 라인들에 배치된 액정셀들에 공급되는 데이터들의 계조를 보여주는 일례이며, 도 13은 디지털 비디오 데이터의 계조를 나타낸다.
- [0050] 데이터 분석부(110)는 1 라인에 포함된 데이터들 각각의 계조를 판단하고 대표 계조를 판단한다. 예컨대, 1 라인의 데이터들이 1366 개의 데이터이고, 그 중 50% 이상의 데이터들 즉, 683 개의 데이터들이 화이트 계조(W)라면, 데이터 분석부(110)는 도 12와 같이 그 라인들(L1, L3)의 대표 계조를 화이트 계조(W)로 판단한다. 1 라인의 데이터들 중에서 50% 이상의 데이터들이 그레이 계조(G)라면, 데이터 분석부(110)는 그 라인(L5)의 대표 계조를 그레이 계조(G)로 판단한다. 또한, 1 라인의 데이터들 중에서 50% 이상의 데이터들이 블랙 계조(B)라면, 데이터 분석부(110)는 그 라인들(L2, L4)의 대표 계조를 블랙 계조(B)로 판단한다. 여기서, 대표 계조의 판단 기준인 50%는 액정패널의 구동특성에 따라 달라질 수 있다.
- [0051] 데이터의 계조는 도 13과 같이 디지털 비디오 데이터의 최상위 2 비트(MSB)만으로 판단된다. 하나의 데이터가 8 bits 데이터이면, 192~255 계조범위에 속한 상위 계조들의 최상위 비트(MSB)는 “11” 이고, 64~191 계조범위에 속한 중위 계조들의 최상위 비트(MSB)는 “10” 또는 “01” 이며, 0~63 계조범위에 속한 하위 계조들의 최상위 비트(MSB)는 “00” 이다. 따라서, 데이터 분석부(110)는 디지털 비디오 데이터(RGB)의 최상위 2 비트가 “11” 이면 그 데이터의 계조를 화이트 계조(W)로 판단하고, 디지털 비디오 데이터(RGB)의 최상위 2 비트가 “10” 또는 “01” 이면 그 데이터의 계조를 그레이 계조(G)로 판단한다. 그리고 데이터 분석부(110)는 디지털 비디오 데이터(RGB)의 최상위 2 비트가 “00” 이면 그 데이터의 계조를 블랙 계조(B)로 판단한다.
- [0052] 데이터 분석부(110)는 이웃하는 라인들 중 어느 하나의 대표 계조가 화이트 계조(W)이고 다른 라인의 대표 계조가 블랙 계조(B)이고 그러한 라인들이 미리 정해진 라인 수 이상 예를 들면, 40 라인 이상이고 총 라인 수 이하이면 이러한 데이터를 포함한 프레임 데이터를 취약 패턴의 데이터로 판정한다.
- [0053] 도 14는 취약 패턴의 데이터가 입력될 때 극성 제어신호의 위상을 변경하는 예를 보여주는 파형도이다.
- [0054] 타이밍 콘트롤러(11)는 취약 패턴이 입력되는 프레임에서 제1 극성제어신호(POL1)에서 제2 극성제어신호(POL2)로 극성제어신호(POL)의 위상을 변경한다.
- [0055] 그러면 데이터 구동회로(12)는 취약 패턴이 입력될 때 도 14와 같이 제2 극성제어신호(POL2)에 응답하여 차지웨어전압, 정극성의 화이트 계조 데이터전압, 차지웨어전압, 부극성의 블랙 계조 데이터전압, 부극성의 화이트 계조 데이터전압, 차지웨어전압, 차지웨어전압, 정극성의 블랙 계조 전압 및 부극성의 화이트 계조 전압 순으로 데이터라인에 전압을 공급한다.
- [0056] 기존의 차지 웨어링 구동은 데이터와 데이터 사이에서 무조건 차지 웨어링을 실시한다. 이 경우에, 데이터 라인들(D1 내지 Dm)에 공급되는 모든 데이터전압들이 공통전압(Vcom)이나 차지 웨어링전압으로부터 상승하기 때문에 데이터라인들(D1 내지 Dm)에 공급되는 데이터전압들의 스윙폭이 커지고 데이터전압들의 라이징 에지 횟수가 많아지게 된다. 따라서, 데이터 구동회로(12)의 발열량이 많아지고 소비전력이 높아질 수 밖에 없다.
- [0057] 이에 비하여, 본 발명은 취약패턴에서 극성제어신호(POL)의 위상만 다르게 제어함으로써 데이터의 계조가 화이트 계조에서 블랙 계조로 변할 때 그리고 데이터전압의 극성이 반전될 때에만 차지 웨어링을 실시하고 화살표와 같이 블랙 계조 전압에서 극성이 반전된 화이트 계조 전압으로 데이터 전압이 변할 때 차지웨어링을 실시하지 않는다. 따라서, 본 발명은 데이터라인에 공급되는 데이터전압들의 스윙폭을 줄이고 또한, 라이징 에지 횟수를 줄일 수 있고, 취약패턴에서 데이터 구동회로(12)의 소비전력과 발열량을 줄일 수 있다.
- [0058] 본 발명은 취약패턴에서 극성제어신호(POL)의 위상만 다르게 제어함으로써 데이터의 계조가 화이트 계조에서 블랙 계조로 변할 때 그리고 데이터전압의 극성이 반전될 때에만 차지 웨어링을 실시하여 데이터라인에 공급되는 데이터전압들의 스윙폭을 줄이고 또한, 라이징 에지 횟수를 줄일 수 있다.
- [0059] 한편, 타이밍 콘트롤러(11)는 도 15와 같이 데이터 인에이블신호(DE)에 포함된 1 라인의 데이터를 데이터 인에이블 신호들 사이의 블랭크기간 동안 분석하여 그 라인의 대표 계조를 판단한다. 그리고 타이밍 콘트롤러(11)는 위와 같은 과정을 반복하여 취약패턴을 판단하고 그 취약패턴의 데이터가 데이터라인들에 공급되는 다음 프

레이미기간 앞의 블랭크 기간 내에서 극성제어신호(POL)의 위상을 제2 극성제어신호(POL2)의 위상으로 변경한다.

[0060] 도 16은 본 발명의 제2 실시예에 따른 액정표시장치를 나타낸다.

[0061] 도 16을 참조하면, 본 발명의 제2 실시예에 따른 액정표시장치는 액정표시패널(20), 타이밍 콘트롤러(21), 데이터 구동회로(22), 및 게이트 구동회로(23)를 구비한다.

[0062] 액정표시패널(20)과 게이트 구동회로(23)는 전술한 실시예와 실질적으로 동일하므로 그에 대한 상세한 설명을 생략하기로 한다.

[0063] 타이밍 콘트롤러(21)는 수직/수평 동기신호(Vsync, Hsync), 데이터 인에이블(Data Enable), 클럭신호(CLK) 등의 타이밍신호를 입력받아 데이터 타이밍 제어신호와 게이트 타이밍 제어신호를 발생하고 디지털 비디오 데이터(RGB)를 데이터 구동회로(22)에 공급한다. 게이트 타이밍 제어신호는 전술한 실시예와 실질적으로 동일하다. 데이터 타이밍 제어신호에는 소스 스타트 펄스(SSP), 소스 쉬프트 클럭(SSC), 소스 출력 인에이블신호(SOE), 극성제어신호(POL)를 포함하고 또한, 데이터 구동회로에서 출력되는 데이터전압들의 수평방향 극성 반전주기를 제어하기 위한 도트반전 제어신호(DINV)를 포함한다.

[0064] 타이밍 콘트롤러(21)는 전술한 바와 같은 방법으로 입력 디지털 비디오 데이터(RGB)를 분석하여 입력 데이터에서 취약패턴의 데이터와 직류화 잔상이 나타날 수 있는 데이터를 검출한다. 여기서, 취약패턴에는 도 4 내지 도 6과 같이 수평으로 화이트 계조의 데이터와 블랙 계조의 데이터가 수평방향으로 교대로 배치되는 데이터 패턴을 포함한다. 그리고 타이밍 콘트롤러(21)는 취약패턴이 입력될 때 극성제어신호(POL)의 위상을 쉬프트시킴과 동시에 도트반전 제어신호(DINV)를 반전시킨다.

[0065] 데이터 구동회로(22)는 타이밍 콘트롤러(21)의 제어 하에 디지털 비디오 데이터(RGB)를 래치하고 그 디지털 비디오 데이터(RGB)를 극성제어신호(POL)에 응답하여 아날로그 정극성/부극성 감마보상전압으로 변환하고 그 감마보상전압을 데이터전압으로써 데이터라인들(D1 내지 Dm)에 공급한다. 또한, 데이터 구동회로(22)는 2 수평기간 주기로 소스 출력 인에이블신호(SOE)의 펄스에 동기하여 차지웨어전압을 데이터라인들(D1 내지 Dm)에 공급한다. 이 데이터 구동회로(22)는 도트반전 제어신호(DINV)가 하이논리일 때 데이터전압들의 극성을 수평 2 도트 인버전 방식 즉, 수평으로 이웃하는 2 개의 도트(또는 액정셀) 주기로 반전시킨다. 반면에, 데이터 구동회로(22)는 도트반전 제어신호(DINV)가 로우논리일 때 데이터전압들의 극성을 수평 방향에서 1 도트 주기로 반전시킨다.

[0066] 도 17을 참조하면, 타이밍 콘트롤러(21)는 데이터 분석부(210), 위상 제어부(211) 및 수평극성 주기 제어부(214)를 구비한다.

[0067] 데이터 분석부(210)는 디지털 비디오 데이터(RGB), 데이터 인에이블 신호(DE) 및 도트클럭(CLK)을 입력받는다. 데이터 분석부(210)는 데이터 인에이블 신호(DE)를 카운트하여 현재 입력되는 디지털 비디오 데이터(RGB)의 라인을 판단하고 도트클럭(CLK)으로 디지털 비디오 데이터(RGB)를 샘플링한다.

[0068] 그리고 데이터 분석부(210)는 디지털 비디오 데이터(RGB) 각각의 계조를 판단하며, 1 라인에 포함된 디지털 비디오 데이터들(RGB)의 대표 계조를 판단하여 이에 기초하여 취약패턴을 판정한다. 데이터 분석부(210)는 입력 데이터의 분석 결과, 취약패턴이 입력될 때 그 취약패턴의 데이터들이 표시되는 다음 프레임기간 앞의 블랭크기간 내에서 선택신호(SEL)의 논리를 반전시킨다. 또한, 데이터 분석부(210)는 수평극성 주기 제어부(224)로부터 입력되는 영상판단 결과에 응답하여 도 7과 같은 인터레이스 데이터나 도 9와 같은 스크롤 데이터 등의 직류화 잔상이 발생할 수 있는 데이터가 입력될 때 그 데이터가 표시되는 다음 프레임기간에 앞선 블랭크 기간 내에서 선택신호(SEL)의 논리를 반전시키고 그 선택신호(SEL)의 논리를 주기적으로 예를 들면 1 프레임기간 주기로 반전시킨다.

[0069] 위상 제어부(211)는 데이터 분석부(210)의 제어 하에 취약 패턴이 아닌 데이터가 입력되면 도 14와 같은 제1 극성제어신호(POL1)를 출력한다. 위상 제어부(211)는 취약 패턴의 데이터가 입력될 때 도 14와 같은 제2 극성제어신호(POL2)를 출력하여 극성제어신호(POL)의 위상을 쉬프트시킨다. 또한, 위상 제어부(211)는 직류화 잔상이 나타날 수 있는 데이터가 입력될 때 도 14와 같은 제2 극성제어신호(POL2)를 출력하여 극성제어신호(POL)의 위상을 쉬프트시킨 후, 선택신호(SEL)에 응답하여 주기적으로 예를 들면 1 프레임기간 주기로 제1 극성제어신호(POL1)와 제2 극성제어신호(POL2)를 교대로 출력하여 도 24와 같이 극성제어신호(POL)의 위상을 쉬프트시킨다.

[0070] 위상 제어부(211)는 극성제어신호 발생부(212)와 멀티플렉서(213)를 구비한다. 극성제어신호 발생부(212)는 데이터 인에이블 신호(DE)를 카운터하여 2 수평기간 주기로 논리가 반전되는 제1 극성제어신호(POL1)를 발생함과

아울러, 제1 극성제어신호(POL1)에 비하여 1 수평기간만큼 위상차가 존재하는 제2 극성제어신호(POL2)를 발생한다. 멀티플렉서(213)는 데이터 분석부(210)로부터 입력되는 선택신호(SEL)에 응답하여 제1 극성제어신호(POL1)와 제2 극성제어신호(POL2) 중 어느 하나를 선택한다. 이 멀티플렉서(213)는 취약패턴이 입력되지 않을 때 제1 극성제어신호(POL1)를 데이터 구동회로(22)에 공급하고, 선택신호(SEL)에 응답하여 취약패턴이 입력될 때 제2 극성제어신호(POL2)를 선택하여 데이터 구동회로(22)에 공급한다. 또한, 멀티플렉서(213)는 직류화 잔상이 나타날 수 있는 데이터가 입력될 때 제2 극성제어신호(POL2)를 선택하여 데이터 구동회로(22)에 공급한 후에, 주기적으로 반전되는 선택신호(SEL)에 따라 제1 및 제2 극성제어신호(POL1, POL2)를 교대로 출력한다.

[0071] 수평극성 주기 제어부(214)는 디지털 비디오 데이터(RGB)를 입력받아 데이터를 분석하여 도 7과 같은 인터레이스 데이터나 도 9와 같은 스크롤 데이터 등의 직류화 잔상이 발생할 수 있는 데이터가 입력되는가를 판단한다. 직류화 잔상이 나타날 수 있는 데이터가 입력되면 그 데이터가 표시되는 다음 프레임기간에 앞선 블랭크 기간 내에서 도트반전 제어신호(DINV)를 하이논리로 반전시키고 그 도트반전 제어신호(DINV)를 주기적으로 예를 들면, 도 24와 같이 1 프레임기간 주기로 반전시킨다. 또한, 수평극성 주기 제어부(214)는 위상 제어부(211)로부터의 선택신호(SEL)에 응답하여 취약 패턴의 데이터가 입력될 때 그 데이터가 표시되는 다음 프레임기간에 앞선 블랭크 기간 내에서 도트반전 제어신호(DINV)를 하이논리로 반전시킨다.

[0072] 도트반전 제어신호(DINV)는 데이터 구동회로(22)로부터 출력되는 데이터전압들의 수평방향 즉, 라인방향의 극성 반전 주기를 1 도트에서 2 도트로 확장한다. 그리고 수평극성 주기 제어부(214)는 직류화 잔상이 입력될 때 위상 제어부(211)를 제어하기 위한 선택신호(SEL)의 논리가 반전되도록 데이터 분석부(210)를 제어한다.

[0073] 도 18은 데이터 구동회로(22)를 상세히 나타낸다.

[0074] 도 18을 참조하면, 데이터 구동회로(22)는 각각 k (k 는 m 보다 작은 정수) 개의 데이터라인들을 구동하는 다수의 집적회로(Integrated Circuit, IC)를 포함한다. 집적회로 각각은 쉬프트 레지스터(221), 데이터 레지스터(222), 제1 래치(223), 제2 래치(224), 디지털/아날로그 변환기(이하, "DAC"라 한다)(225), 출력회로(226), 및 차지웨어회로(227)를 포함한다.

[0075] 쉬프트레지스터(221)는 타이밍 콘트롤러(21)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭(SSC)에 따라 쉬프트시켜 샘플링신호를 발생한다. 또한, 쉬프트 레지스터(221)는 소스 스타트 펄스(SSP)를 쉬프트시켜 다음 단 집적회로의 쉬프트 레지스터(221)에 캐리신호(CAR)를 전달한다. 데이터 레지스터(222)는 타이밍 콘트롤러(21)로부터의 디지털 비디오 데이터(RGB)를 일시 저장하고 저장된 데이터들(RGB)을 제1 래치(223)에 공급한다. 제1 래치(223)는 쉬프트 레지스터(221)로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터(222)로부터의 디지털 비디오 데이터들(RGB)을 샘플링하고, 그 데이터들(RGB)을 래치한 다음, 그 데이터들을 동시에 출력한다. 제2 래치(224)는 제1 래치(223)로부터 입력되는 데이터들을 래치한 다음, 소스 출력 인에이블 신호(SOE)의 로우논리기간 동안 다른 집적회로들의 제2 래치(224)와 동시에 래치된 디지털 비디오 데이터들을 출력한다.

[0076] DAC(225)는 도 19와 같은 회로로 구성된다. 이 DAC(225)는 극성제어신호(POL)와 도트반전 제어신호(DINV)에 응답하여 제2 래치(224)로부터의 디지털 비디오 데이터를 정극성 감마보상전압(GH) 또는 부극성 감마보상전압(GL)으로 변환하여 아날로그 정극성/부극성 데이터전압으로 변환한다. 극성 제어신호(POL)는 수직으로 이웃하는 액정셀들의 극성을 결정하며, 도트반전 제어신호(DINV)는 수평으로 이웃하는 액정셀들의 극성을 결정한다. 따라서, 수직 도트 인버전 주기는 극성 제어신호(POL)의 반전 주기에 의해 결정되고, 수평 도트 인버전 주기는 도트반전 제어신호(DINV)에 의해 결정된다.

[0077] 출력회로(226)는 버퍼를 포함하여 데이터라인(D1 내지 Dk)으로 공급되는 아날로그 데이터전압의 신호감쇠를 최소화한다.

[0078] 차지웨어회로(227)는 2 수평기간을 주기로 하여 소스 출력 인에이블신호(SOE)의 하이논리기간에 동기하여 차지웨어전압이나 공통전압(Vcom)을 데이터라인들(D1 내지 Dk)에 공급한다.

[0079] 도 19는 DAC(225)를 상세히 나타내는 회로도이다.

[0080] 도 19를 참조하면, 본 발명의 실시예에 따른 DAC(225)는 정극성 감마보상전압(GH)이 공급되는 P-디코더(PDEC)(231), 부극성 감마보상전압(GL)이 공급되는 N-디코더(NDEC)(232), 극성제어신호(POL)와 도트반전 제어신호(DINV)에 응답하여 P-디코더(231)의 출력과 N-디코더(232)의 출력을 선택하는 멀티플렉서(233a 내지 133d)를 구비한다.

- [0081] 또한, DAC(225)는 도트반전 제어신호(DINV)에 응답하여 멀티플렉서(233c, 233d)의 제어단자에 공급되는 선택 제어신호의 논리를 반전시키는 수평출력 반전회로(234)를 더 구비한다.
- [0082] P-디코더(231)는 제2 래치(224)로부터 입력되는 디지털 비디오 데이터를 디코드하여 그 데이터의 계조값에 해당하는 정극성 감마보상전압을 출력하고, N-디코더(232)는 제2 래치(224)로부터 입력되는 디지털 비디오 데이터를 디코드하여 그 데이터의 계조값에 해당하는 부극성 감마보상전압을 출력한다.
- [0083] 멀티플렉서(233a 내지 233d)는 극성제어신호(POL)에 의해 직접 제어되는 제4i(i는 양의 정수)+1 및 제4i+2 멀티플렉서(233a, 233b)와, 수평출력 반전회로(234)의 출력에 의해 제어되는 제4i+3 및 제4i+4 멀티플렉서(233c, 233d)를 구비한다.
- [0084] 제4i+1 멀티플렉서(233a)는 자신의 비반전 제어단자에 입력되는 극성제어신호(POL)에 응답하여 정극성 감마보상전압과 부극성 감마보상전압을 교대로 선택하여 출력한다. 제4i+2 멀티플렉서(233b)는 자신의 반전 제어단자에 입력되는 극성제어신호(POL)에 응답하여 정극성 감마보상전압과 부극성 감마보상전압을 교대로 선택하여 출력한다. 제4i+3 멀티플렉서(233c)는 자신의 비반전 제어단자에 입력되는 수평출력 반전회로(234)의 출력에 응답하여 정극성 감마보상전압과 부극성의 감마보상전압을 교대로 선택하여 출력한다. 제4i+4 멀티플렉서(233d)는 자신의 반전 제어단자에 입력되는 수평출력 반전회로(234)의 출력에 응답하여 정극성 감마보상전압과 부극성 감마보상전압을 교대로 선택하여 출력한다.
- [0085] 수평출력 반전회로(234)는 스위치소자들(S1, S2), 및 인버터(235)를 구비한다. 수평출력 반전회로(234)는 도트반전 제어신호(DINV)에 응답하여 제4i+3 멀티플렉서(233c)와 제4i+4 멀티플렉서(233d)의 제어단자에 공급되는 선택 제어신호의 논리값을 제어한다. 인버터(235)는 제2 스위치소자(S2)의 출력단자와, 제4i+3 또는 제4i+4 멀티플렉서(233c, 233d)의 반전/비반전 제어단자에 접속된다. 도트반전 제어신호(DINV)가 하이논리이면, 제2 스위치소자(S2)는 턴-온되고 제1 스위치소자(S1)는 턴-오프된다. 그러면 제4i+3 멀티플렉서(233c)의 비반전 제어단자에는 반전된 극성제어신호(POL)가 입력된다. 또한, 제4i+4 멀티플렉서(233d)의 반전 제어단자에는 반전된 극성제어신호(POL)가 입력된다. 도트반전 제어신호(DINV)가 로우논리이면, 제1 스위치소자(S1)는 턴-온되고 제2 스위치소자(S2)는 턴-오프된다. 그러면 제4i+3 멀티플렉서(233c)의 비반전 제어단자에는 극성제어신호(POL)가 그대로 입력된다. 또한, 제4i+4 멀티플렉서(233d)의 반전 제어단자에는 극성제어신호(POL)가 그대로 입력된다.
- [0086] 극성제어신호(POL)가 수직 2 도트 주기 즉, 2 수평기간 주기로 반전되고 도트반전 제어신호(DINV)가 로우논리(L)이면, 데이터라인들에 공급되는 데이터전압들의 기수라인 수평 극성은 도 20의 좌측 도면과 같이 N 번째 프레임기간 동안 "+ - + -"로, N+1 번째 프레임기간 동안 "- + - +"로 변한다. 따라서, 도트반전 제어신호(DINV)가 로우논리(L)이면 액정표시장치는 수직 2 도트 및 수평 1 도트 인버전 방식(V2H1)으로 구동된다.
- [0087] 취약 패턴이나 직류화 잔상이 나타날 수 있는 데이터가 입력될 때 극성제어신호(POL)의 위상은 1 수평기간 만큼 쉬프트되고 이와 동시에, 도트반전 제어신호(DINV)가 로우 논리로 반전된다. 위상이 쉬프트된 극성제어신호(POL)가 입력될 때 데이터 구동회로(22)의 소비전력과 발열량이 줄어든다. 또한, 데이터 구동회로(22)는 활성화된 도트반전 제어신호(DINV)에 응답하여 데이터전압들의 수평극성 반전 주기를 확장하여 취약 패턴이나 직류화잔상이 입력될 때 표시품질의 저하를 최소화한다.
- [0088] 위상이 쉬프트된 극성제어신호(POL)가 수직 2 도트 주기 즉, 2 수평기간 주기로 반전되고 도트반전 제어신호(DINV)가 하이논리(H)이면, 데이터라인들(D1 내지 Dm)에 공급되는 데이터전압들의 기수라인 수평 극성은 도 20의 우측 도면과 같이 N 번째 프레임기간 동안 "+ - - +"로, N+1 번째 프레임기간 동안 "- + + -"로 변하게 된다. 따라서, 도트반전 제어신호(DINV)가 하이논리(H)이면 액정표시장치는 수직 2 도트 및 수평 2 도트 인버전 방식(V2H2)으로 구동된다.
- [0089] 도 20에서 알 수 있는 바, 본 발명의 제2 실시예에 따른 액정표시장치는 도 4 내지 6과 같이 화이트 계조의 데이터와 블랙 계조의 데이터가 규칙적으로 배치되는 취약 패턴의 데이터가 입력될 때 또는, 도 7 및 도 9와 같이 직류화 잔상이 나타날 수 있는 데이터가 입력될 때에만 극성제어신호(POL)의 위상을 쉬프트시키고 도트반전 제어신호(DINV)를 활성화시킨다. 따라서, 본 발명의 제2 실시예에 따른 액정표시장치는 취약 패턴의 데이터 이외의 데이터 패턴들에서 화질이 높은 수평 1 도트 인버전으로 구동되는 반면에, 취약패턴의 데이터가 입력될 때 이를 검출하여 취약패턴에서 녹색조 현상이나 플리커를 예방할 수 있는 수평 2 도트 인버전으로 구동된다.
- [0090] 한편, 수평 2 도트 인버전은 수평 N(N은 2 이상의 정수) 도트 인버전으로도 가능하다. 마찬가지로, 수직 2 도트 인버전은 수직 N(N은 2 이상의 정수) 도트 인버전으로도 가능하다.

- [0091] 도 21 및 도 22는 취약패턴의 데이터들이 입력될 때에 화질 개선 효과를 보여 주는 도면들이다.
- [0092] 본 발명의 제2 실시예에 따른 액정표시장치와 그 구동방법은 도 4 또는 도 5와 같은 취약패턴의 데이터들이 입력될 때 극성제어신호(POL)의 위상을 쉬프트하여 데이터 구동회로(22)의 소비전력과 발열량을 줄일 수 있을 뿐 아니라, 도트반전 제어신호(DINV)를 활성화시켜 데이터전압들의 수평극성 반전 주기를 확장하여 녹색조등을 예방하여 표시품질을 높인다. 도 21 및 도 22와 같이, 본 발명의 액정표시장치에서는 취약패턴의 데이터에서도 녹색 데이터전압의 극성이 어느 하나로 편중되지 않으므로 녹색조 현상이 나타나지 않는다.
- [0093] 또한, 본 발명의 제2 실시예에 따른 액정표시장치와 그 구동방법은 직류화잔상이 나타날 수 있는 데이터가 입력될 때 극성제어신호(POL)의 위상을 쉬프트시킴과 아울러 도트반전 제어신호(DINV)를 주기적으로 예를 들어 도 24와 같이 1 프레임 주기로 반전시켜 직류화 잔상을 예방할 수 있다. 이를 상세히 하면, 본 발명의 제2 실시예에 따른 액정표시장치와 그 구동방법은 극성제어신호(POL)의 위상을 쉬프트시키고 도트반전 제어신호(DINV)를 활성화시켜 2 프레임기간 동안 서로 다른 데이터전압을 충전하는 제1 액정셀군과 제2 액정셀군으로 나누어 액정셀들을 구동한다. 예컨대, 2 프레임기간 내에서 제1 액정셀군은 30Hz의 데이터전압 주파수로 구동되고 제2 액정셀군은 60Hz의 데이터전압 주파수로 구동된다. 또한, 2 프레임기간 내에서 제1 액정셀군은 60Hz의 데이터전압 주파수로 구동되고 제2 액정셀군은 120Hz의 데이터전압 주파수로 구동될 수 있다.
- [0094] 본 발명의 제2 실시예에 따른 액정표시장치의 구동방법은 제1 액정셀군에 2 프레임기간 주기로 극성이 반전되는 데이터전압을 공급하여 직류화 잔상을 예방하고, 제1 액정셀군에 1 프레임기간 주기로 극성이 반전되는 데이터전압을 공급하여 플리커 현상을 예방한다. 제1 액정셀군으로 인한 직류화 잔상의 예방효과를 도 23을 결부하여 설명하면 다음과 같다.
- [0095] 도 23을 참조하면, 제1 액정셀군에 포함된 임의의 액정셀에 기수 프레임기간 동안 높은 데이터전압이 공급되고 우수 프레임기간 동안 상대적으로 낮은 데이터전압이 공급되며, 그 데이터전압들이 2 프레임기간 주기로 극성이 변한다. 그러면, 제1 및 제2 프레임기간 동안 제1 액정셀군에 공급되는 정극성 데이터전압들과 제3 및 제4 프레임기간 동안 제1 액정셀군에 공급되는 부극성 데이터전압들이 중화되어 제1 액정셀군에 편향된 극성의 전압이 축적되지 않는다. 따라서, 본 발명의 제2 실시예에 따른 액정표시장치와 그 구동방법은 직류화 잔상이 나타나지 않는다.
- [0096] 제1 액정셀군은 직류화잔상을 예방할 수 있지만 동일 극성의 데이터전압들이 2 프레임기간 주기로 액정셀에 공급되므로 플리커가 나타날 수 있다. 제2 액정셀군에는 육안으로 플리커가 거의 느껴지지 않는 1 프레임기간 주기로 극성이 반전되는 데이터전압이 인가되어 제1 액정셀군으로 인한 플리커 현상을 줄일 수 있다. 이는 인간의 육안은 변화에 민감하기 때문에 구동 주파수가 서로 다른 제1 액정셀군과 제2 액정셀군이 공존하는 액정표시장치를 보면 구동 주파수가 높은 제2 액정셀군의 구동 주파수로 전체 화면의 구동 주파수를 느끼기 때문이다.
- [0097] 도 24는 직류화 잔상이 입력될 때 액정표시패널에 공급되는 데이터전압의 극성 변화를 보여 주는 도면이다.
- [0098] 도 24를 참조하면, 타이밍 컨트롤러(21)는 직류화 잔상이 입력될 때 1 프레임기간 주기로 극성제어신호(POL)의 위상을 쉬프트시키고 또한, 도트반전 제어신호(DINV)를 1 프레임기간 주기로 반전시킨다.
- [0099] 제4i(i는 자연수)+1 프레임기간 동안, 제1 액정셀군은 제4i+1 및 제4i+3 수평라인(L1, L3, L5, L7)에서 제4i+3 및 제4i+4 수직라인(C3, C4, C7, C8)에 배치된 액정셀들을 포함하고, 제4i+2 및 제4i+4 수평라인(L2, L4, L6)에서 제4i+1 및 제4i+2 수직라인(C1, C2, C5, C6)에 배치된 액정셀들을 포함한다. 제2 액정셀군은 수직 및 수평방향에서 제1 액정셀군을 사이에 두고 배치된다. 제2 액정셀군은 제4i+1 및 제4i+3 수평라인(L1, L3, L5, L7)에서 제4i+1 및 제4i+2 수직라인(C1, C2, C5, C6)에 배치된 액정셀들을 포함하고, 제4i+2 및 제4i+4 수평라인(L2, L4, L6)에서 제4i+3 및 제4i+4 수직라인(C3, C4, C7, C8)에 배치된 액정셀들을 포함한다. 제1 및 제2 액정셀군 각각은 수평방향에서 이웃하는 2×1 액정셀들 단위로 배치된다. 이러한 2×1 액정셀들 내에서 이웃하는 액정셀들에 충전되는 데이터전압들의 극성은 상반된다. 제1 액정셀군의 액정셀과 그와 이웃하는 제2 액정셀군의 액정셀은 서로 다른 극성의 데이터전압들을 충전한다. 이를 위하여, 제4i+1 프레임기간 동안 발생하는 극성제어신호(POL)는 2 수평기간 주기로 반전되고, 제1 극성제어신호(POL1)에 대하여 1 수평기간 만큼의 위상차를 갖는다. 제4i+1 프레임기간에 앞선 블랭크 기간 내에서 극성제어신호(POL)는 2 수평기간 단위로 극성이 반전되고 그 이전 프레임기간에 비하여 1 수평기간만큼 위상차가 발생한다. 또한, 제4i+1 프레임기간에 앞선 블랭크 기간 내에서 도트반전 제어신호(DINV)는 하이논리로 활성화된다.
- [0100] 제4i+2 프레임기간 동안, 제1 액정셀군은 제4i+1 및 제4i+3 수평라인(L1, L3, L5, L7)에서 제4i+1 및 제4i+2 수직라인(C1, C2, C5, C6)에 배치된 액정셀들을 포함하고, 제4i+2 및 제4i+4 수평라인(L2, L4, L6)에서 제4i+3

및 제4i+4 수직라인(C3, C4, C7, C8)에 배치된 액정셀들을 포함한다. 제2 액정셀군은 수직 및 수평방향에서 제1 액정셀군을 사이에 두고 배치된다. 제2 액정셀군은 제4i+1 및 제4i+3 수평라인(L1, L3, L5, L7)에서 제4i+3 및 제4i+4 수직라인(C3, C4, C7, C8)에 배치된 액정셀들을 포함하고, 제4i+2 및 제4i+4 수평라인(L2, L4, L6)에서 제4i+1 및 제4i+2 수직라인(C1, C2, C5, C6)에 배치된 액정셀들을 포함한다. 제1 및 제2 액정셀군 각각은 수직 및 수평방향에서 이웃하는 2×1 액정셀들 단위로 배치된다. 이러한 2×1 액정셀들 내에서 이웃하는 액정셀들의 극성은 상반된다. 제1 액정셀군의 액정셀과 그와 이웃하는 제2 액정셀군의 액정셀은 서로 다른 극성의 데이터전압들을 충전한다. 제4i+2 프레임기간 동안 제1 및 제2 액정셀군의 액정셀들 각각에 공급되는 데이터전압들의 극성은 제4i+1 프레임기간 동안 발생하는 데이터전압들의 극성과 상반된다. 제4i+2 프레임기간에 앞선 블랭크 기간 내에서 극성제어신호(POL)는 2 수평기간 단위로 극성이 반전되고 제4i+1 프레임기간에 비하여 1 수평기간만큼 위상차가 발생한다. 또한, 제4i+2 프레임기간에 앞선 블랭크 기간 내에서 도트반전 제어신호(DIN)는 로우논리로 반전된다.

[0101] 제4i+3 프레임기간 동안, 제1 액정셀군은 제4i+1 및 제4i+3 수평라인(L1, L3, L5, L7)에서 제4i+3 및 제4i+4 수직라인(C3, C4, C7, C8)에 배치된 액정셀들을 포함하고, 제4i+2 및 제4i+4 수평라인(L2, L4, L6)에서 제4i+1 및 제4i+2 수직라인(C1, C2, C5, C6)에 배치된 액정셀들을 포함한다. 제2 액정셀군은 수직 및 수평방향에서 제1 액정셀군을 사이에 두고 배치된다. 제2 액정셀군은 제4i+1 및 제4i+3 수평라인(L1, L3, L5, L7)에서 제4i+1 및 제4i+2 수직라인(C1, C2, C5, C6)에 배치된 액정셀들을 포함하고, 제4i+2 및 제4i+4 수평라인(L2, L4, L6)에서 제4i+3 및 제4i+4 수직라인(C3, C4, C7, C8)에 배치된 액정셀들을 포함한다. 제1 및 제2 액정셀군 각각은 수직 및 수평방향에서 이웃하는 2×1 액정셀들 단위로 배치된다. 이러한 2×1 액정셀들 내에서 이웃하는 액정셀들의 극성은 상반된다. 제1 액정셀군의 액정셀과 그와 이웃하는 제2 액정셀군의 액정셀은 서로 다른 극성의 데이터전압들을 충전한다. 제4i+3 프레임기간 동안 제1 및 제2 액정셀군의 액정셀들 각각에 공급되는 데이터전압들의 극성은 제4i+2 프레임기간 동안 발생하는 데이터전압들의 극성과 상반된다. 제4i+3 프레임기간에 앞선 블랭크 기간 내에서 극성제어신호(POL)는 2 수평기간 단위로 극성이 반전되고 제4i+2 프레임기간에 비하여 1 수평기간만큼 위상차가 발생한다. 또한, 제4i+3 프레임기간에 앞선 블랭크 기간 내에서 도트반전 제어신호(DINV)는 하이논리로 반전된다.

[0102] 제4i+4 프레임기간 동안, 제1 액정셀군은 제4i+1 및 제4i+3 수평라인(L1, L3, L5, L7)에서 제4i+1 및 제4i+2 수직라인(C1, C2, C5, C6)에 배치된 액정셀들을 포함하고, 제4i+2 및 제4i+4 수평라인(L2, L4, L6)에서 제4i+3 및 제4i+4 수직라인(C3, C4, C7, C8)에 배치된 액정셀들을 포함한다. 제2 액정셀군은 수직 및 수평방향에서 제1 액정셀군을 사이에 두고 배치된다. 제2 액정셀군은 제4i+1 및 제4i+3 수평라인(L1, L3, L5, L7)에서 제4i+3 및 제4i+4 수직라인(C3, C4, C7, C8)에 배치된 액정셀들을 포함하고, 제4i+2 및 제4i+4 수평라인(L2, L4, L6)에서 제4i+1 및 제4i+2 수직라인(C1, C2, C5, C6)에 배치된 액정셀들을 포함한다. 제1 및 제2 액정셀군 각각은 수평방향에서 이웃하는 2×1 액정셀들 단위로 배치된다. 이러한 2×1 액정셀들 내에서 이웃하는 액정셀들의 극성은 상반된다. 그리고 제1 액정셀군의 액정셀과 그와 이웃하는 제2 액정셀군의 액정셀은 서로 다른 극성의 데이터전압들을 충전한다. 제4i+4 프레임기간에 앞선 블랭크 기간 내에서 극성제어신호(POL)는 2 수평기간 단위로 극성이 반전되고 제4i+3 프레임기간에 비하여 1 수평기간만큼 위상차가 발생한다. 또한, 제4i+4 프레임기간에 앞선 블랭크 기간 내에서 도트반전 제어신호(DINV)는 하이논리로 반전된다.

[0103] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

[0104] 도 1은 액정표시장치의 액정셀을 보여 주는 등가 회로도이다.

[0105] 도 2는 종래의 차지 웨어 제어를 보여 주는 파형도이다.

[0106] 도 3은 정극성 데이터전압과 부극성 데이터전압에서 액정셀의 충전량을 보여 주는 파형도이다.

[0107] 도 4 및 도 5는 액정표시장치의 표시영상에서 녹색조가 나타나기 쉬운 취약패턴의 예들을 보여 주는 파형도들이다.

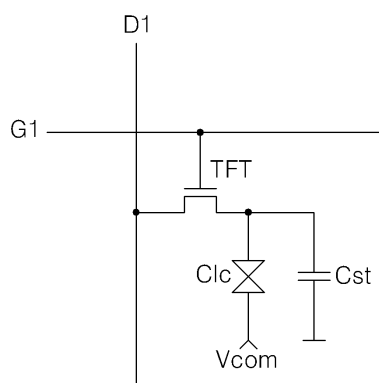
[0108] 도 6은 액정표시장치의 표시영상에서 플리커 현상이 나타나기 쉬운 취약패턴의 일 예이다.

[0109] 도 7은 인터레이스 데이터의 일예를 보여 주는 파형도이다.

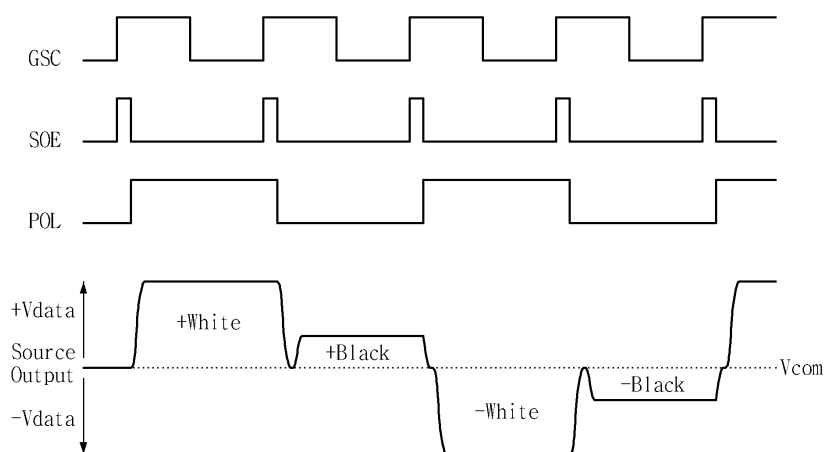
- | | |
|--------|---|
| [0110] | 도 8은 인터레이스 데이터로 인한 직류화 잔상을 보여 주는 실험 결과 화면이다. |
| [0111] | 도 9는 스크롤 데이터로 인한 직류화 잔상을 보여 주는 실험 결과 화면이다. |
| [0112] | 도 10은 본 발명의 제1 실시예에 따른 액정표시장치를 나타내는 블록도이다. |
| [0113] | 도 11은 도 10에 도시된 타이밍 컨트롤러에서 데이터를 분석하고 그 분석결과에 따라 극성제어신호의 위상을 쉬프트시키는 회로를 나타내는 블록도이다. |
| [0114] | 도 12 및 도 13은 도 11에 도시된 데이터 분석부의 구조 분석 예를 설명하기 위한 도면들이다. |
| [0115] | 도 14는 취약패턴의 데이터가 표시되는 다음 프레임에서 극성제어신호의 위상이 제2 극성제어신호의 위상으로 바뀔 때 데이터라인에 공급되는 데이터전압과 극성제어신호의 위상을 보여 주는 파형도이다. |
| [0116] | 도 15는 수평기간들 사이의 블랭크기간과 프레임기간들 사이의 블랭크기간을 보여 주는 타이밍신호들의 파형도이다. |
| [0117] | 도 16은 본 발명의 제2 실시예에 따른 액정표시장치를 나타내는 블록도이다. |
| [0118] | 도 17은 도 16에 도시된 타이밍 컨트롤러에서 데이터 분석, 극성제어신호의 쉬프트 회로, 및 데이터 전압의 수평극성 반전주기 제어회로를 나타내는 블록도이다. |
| [0119] | 도 18은 도 16에 도시된 데이터 구동회로를 상세히 나타내는 회로도이다. |
| [0120] | 도 19는 도 18에 도시된 DAC를 상세히 나타내는 회로도이다. |
| [0121] | 도 20은 취약 패턴 또는 직류화 잔상이 나타날 수 있는 데이터가 입력될 때 액정표시패널에 공급되는 데이터전압들의 극성 변화를 보여 주는 도면이다. |
| [0122] | 도 21 도 4와 같은 취약패턴의 데이터를 표시할 때 화질 개선 효과를 보여 주는 도면이다. |
| [0123] | 도 22는 도 5와 같은 취약패턴의 데이터를 표시할 때 화질 개선 효과를 보여 주는 도면이다. |
| [0124] | 도 23은 본 발명의 제2 실시예에 따른 액정표시장치에서 제1 액정셀군으로 인한 직류화잔상 방지효과를 보여주는 파형도이다. |
| [0125] | 도 24는 본 발명의 제2 실시예에 따른 액정표시장치에 공급되는 데이터전압의 극성 변화를 보여 주는 도면이다. |
| [0126] | <도면의 주요 부분에 대한 부호의 설명> |
| [0127] | 10, 20 : 액정표시패널 |
| [0128] | 11, 21 : 타이밍 컨트롤러 |
| [0129] | 12, 22 : 데이터 구동회로 |
| [0130] | 13, 23 : 게이트 구동회로 |
| [0131] | 110, 220 : 데이터 분석부 |
| [0132] | 111, : 위상 제어부 |
| [0133] | 112 : 극성제어신호 발생부 |
| [0134] | 113 : 멀티플렉서 |
| [0135] | 224 : 수평극성 주기 제어부 |

도면

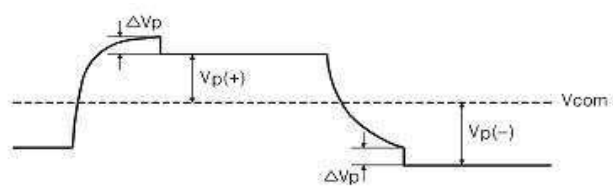
도면1



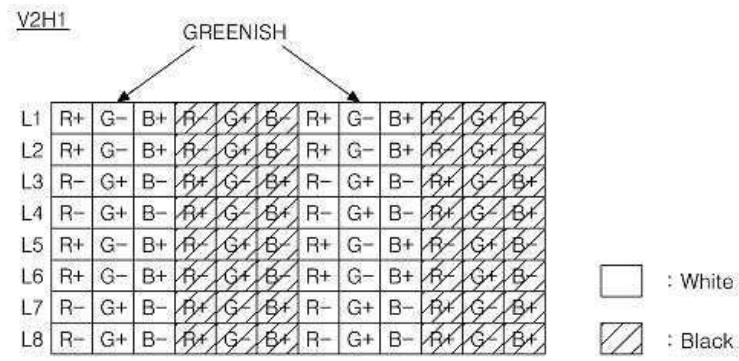
도면2



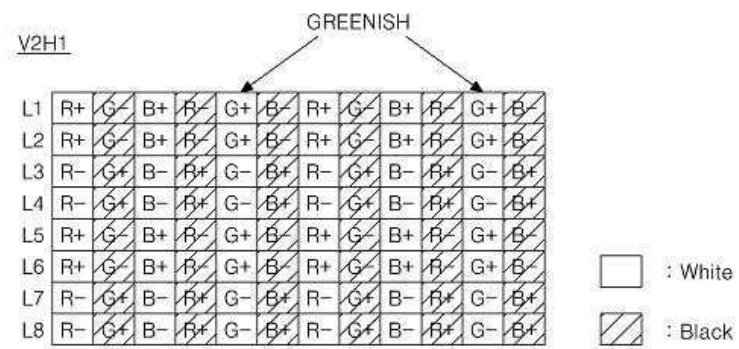
도면3



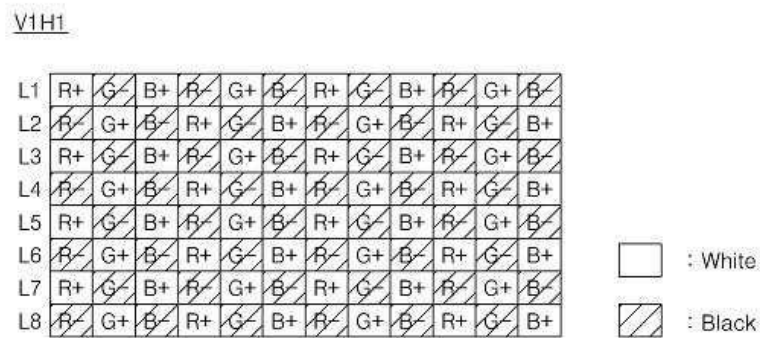
도면4



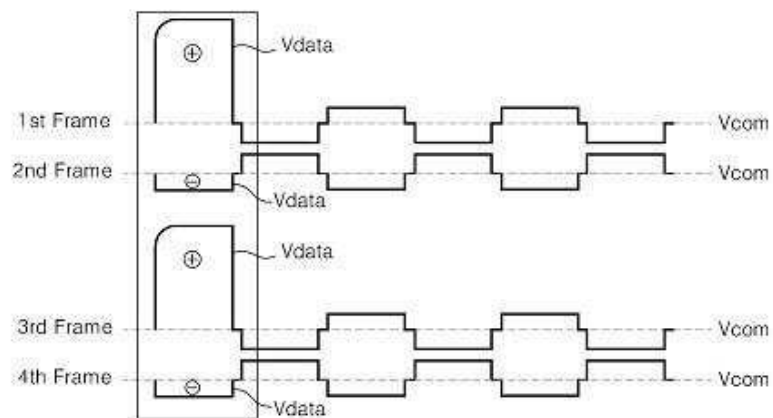
도면5



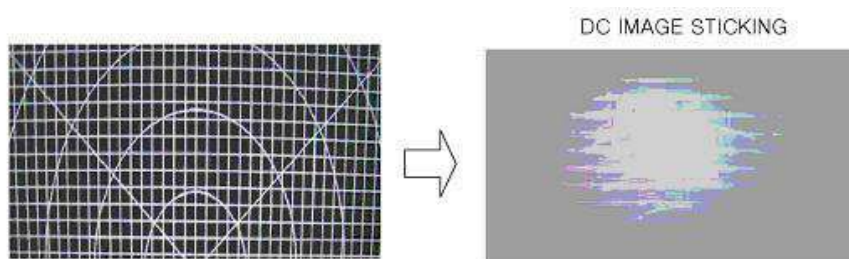
도면6



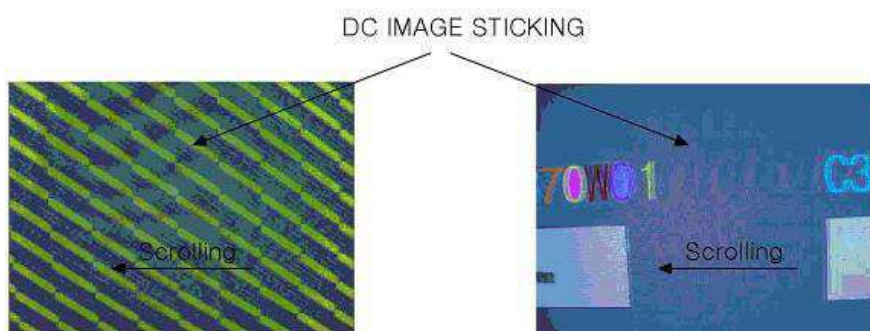
도면7



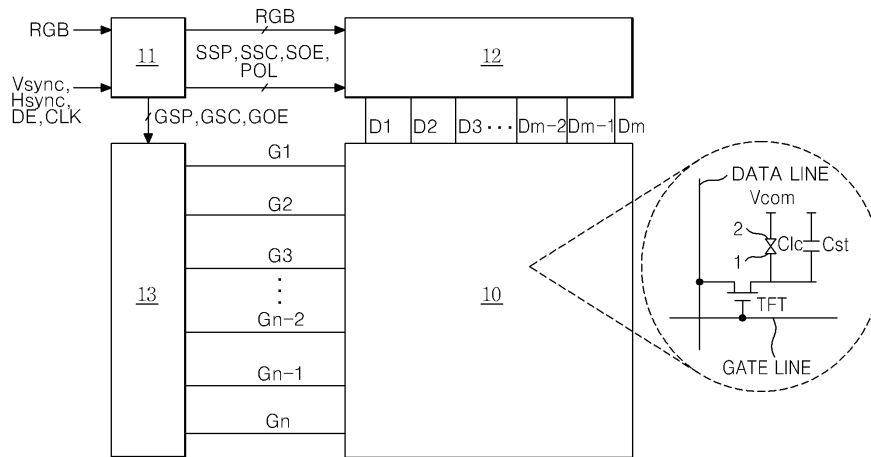
도면8



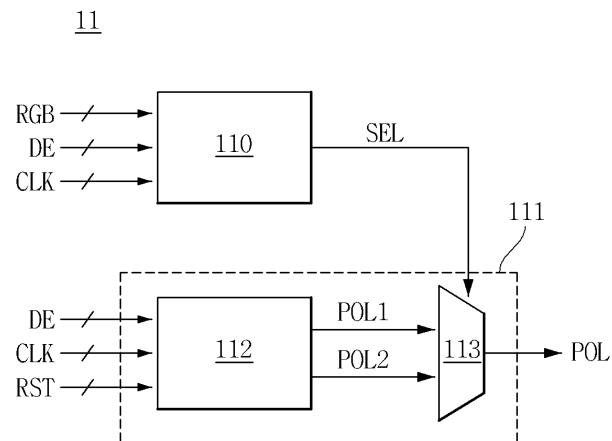
도면9



도면10



도면11



도면12

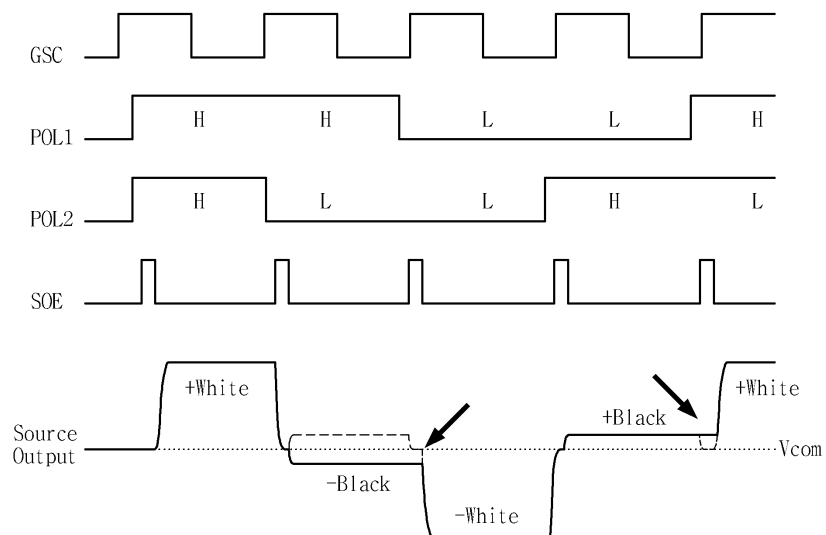
판단결과

L1	W	W	W	W	G	...	G	W	W	W	W	W
L2	B	B	B	B	W	...	B	B	G	G	B	B
L3	G	G	G	B	B	...	W	W	W	W	G	W
L4	B	B	B	B	B	...	B	B	G	B	B	B
L5	G	G	G	G	B	...	G	G	G	G	G	W

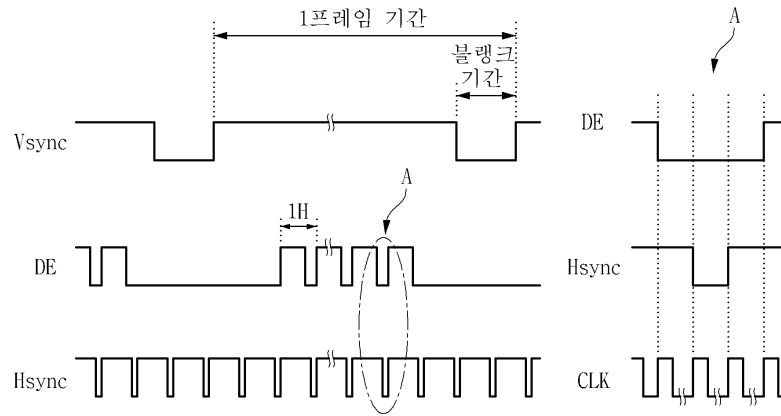
도면13

MSB				LSB				
b7	b6	b5	b4	b3	b2	b1	b0	
W	1	1	1	1	1	1	1	(255)
	1	1	1	1	1	1	0	(254)
	⋮							
	1	1	0	0	0	0	1	(93)
	1	1	0	0	0	0	0	(92)
G	1	0	1	1	1	1	1	(191)
	1	0	1	1	1	1	0	(190)
	⋮							
	0	1	0	0	0	0	1	(65)
	0	1	0	0	0	0	0	(64)
B	0	0	1	1	1	1	1	(63)
	0	0	1	1	1	1	0	(62)
	⋮							
	0	0	0	0	0	0	1	(1)
	0	0	0	0	0	0	0	(0)

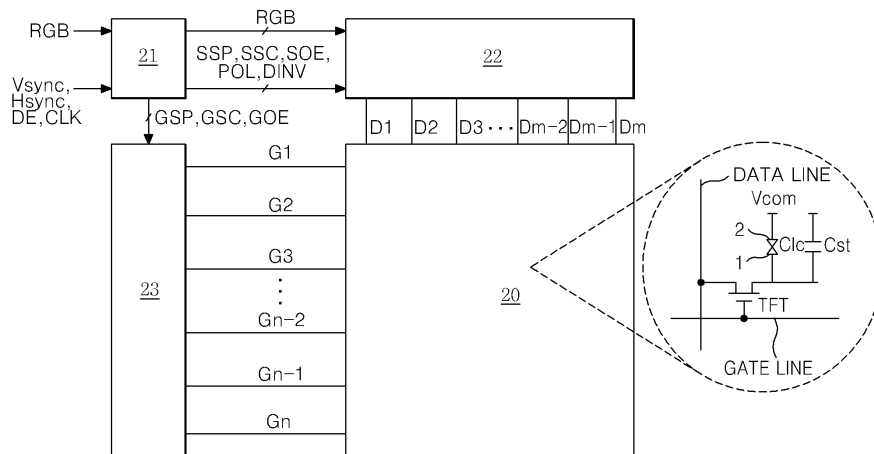
도면14



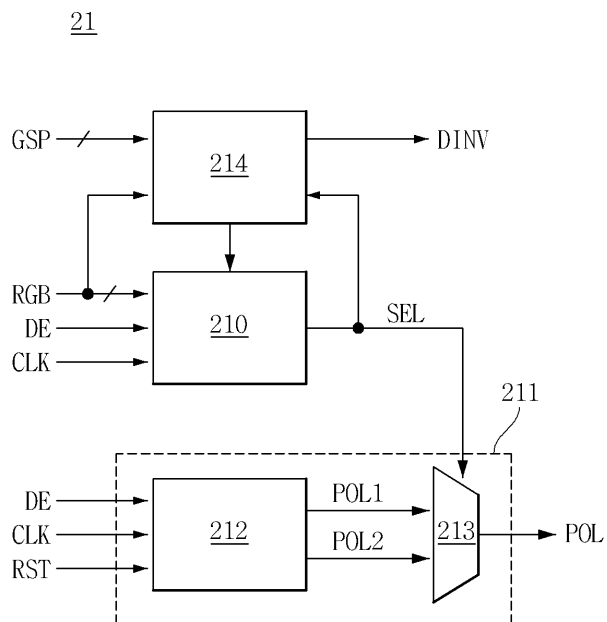
도면15



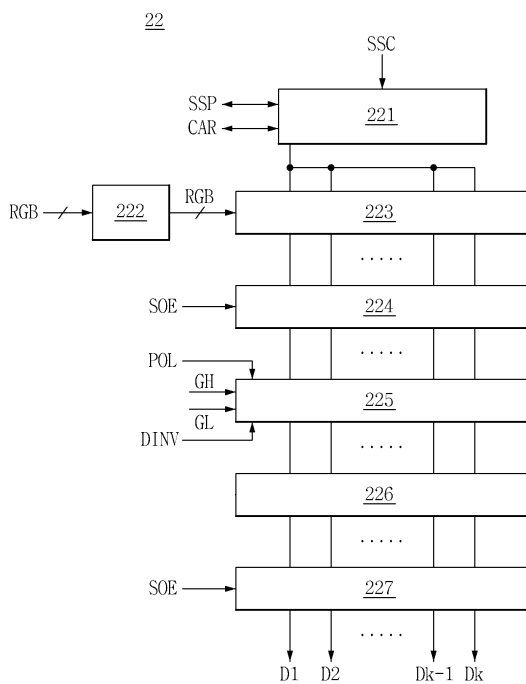
도면16



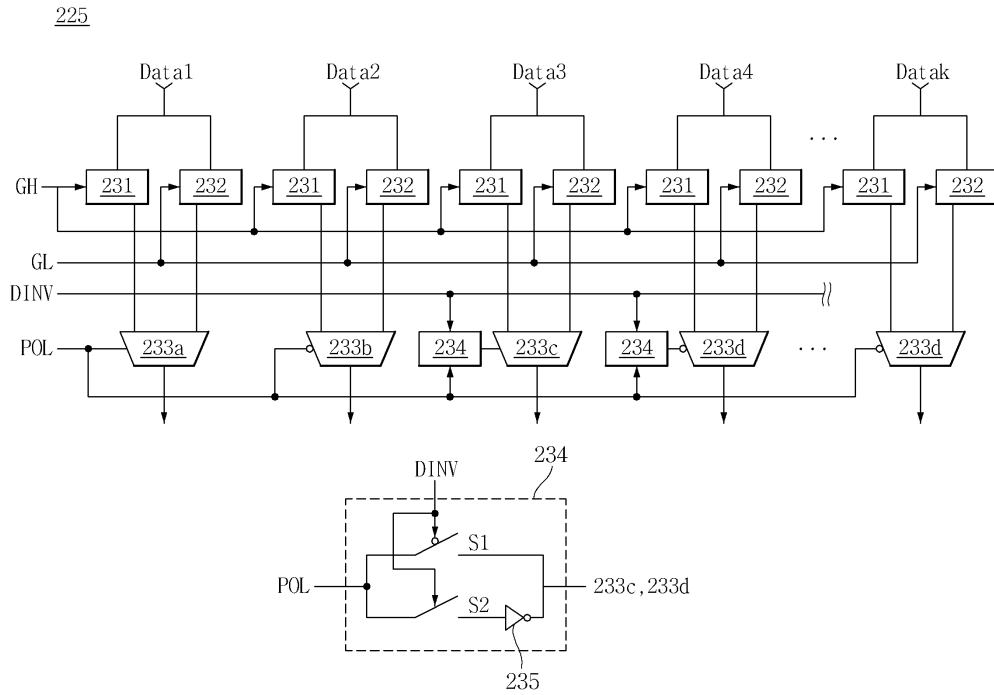
도면17



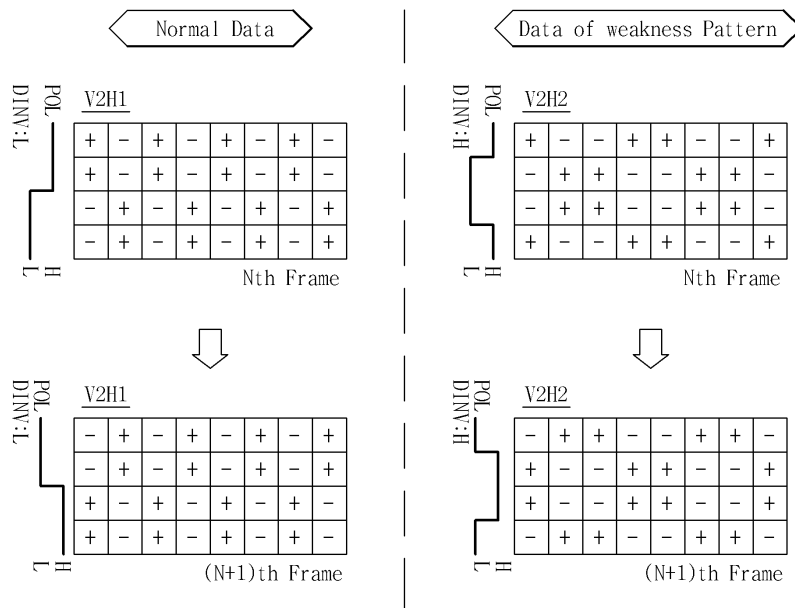
도면18



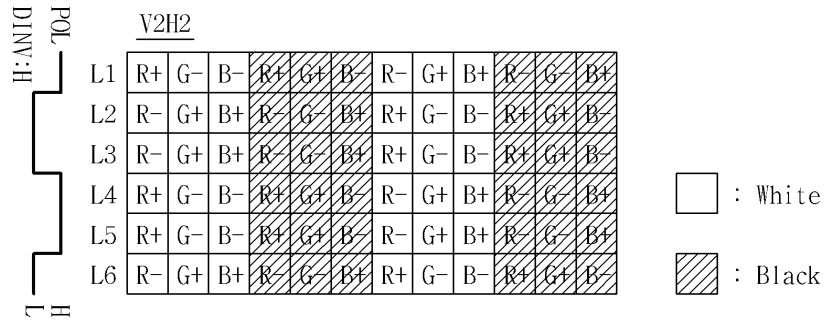
도면19



도면20



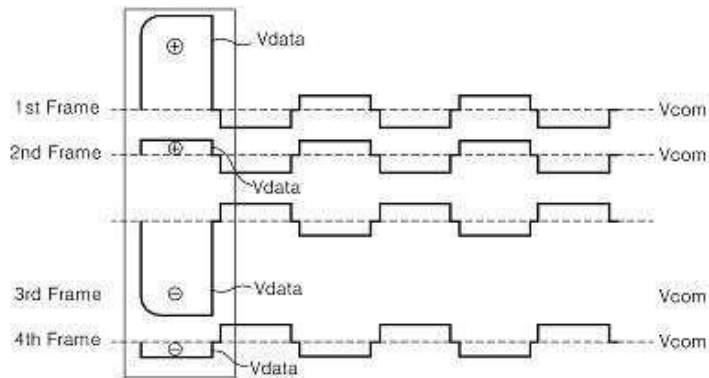
도면21



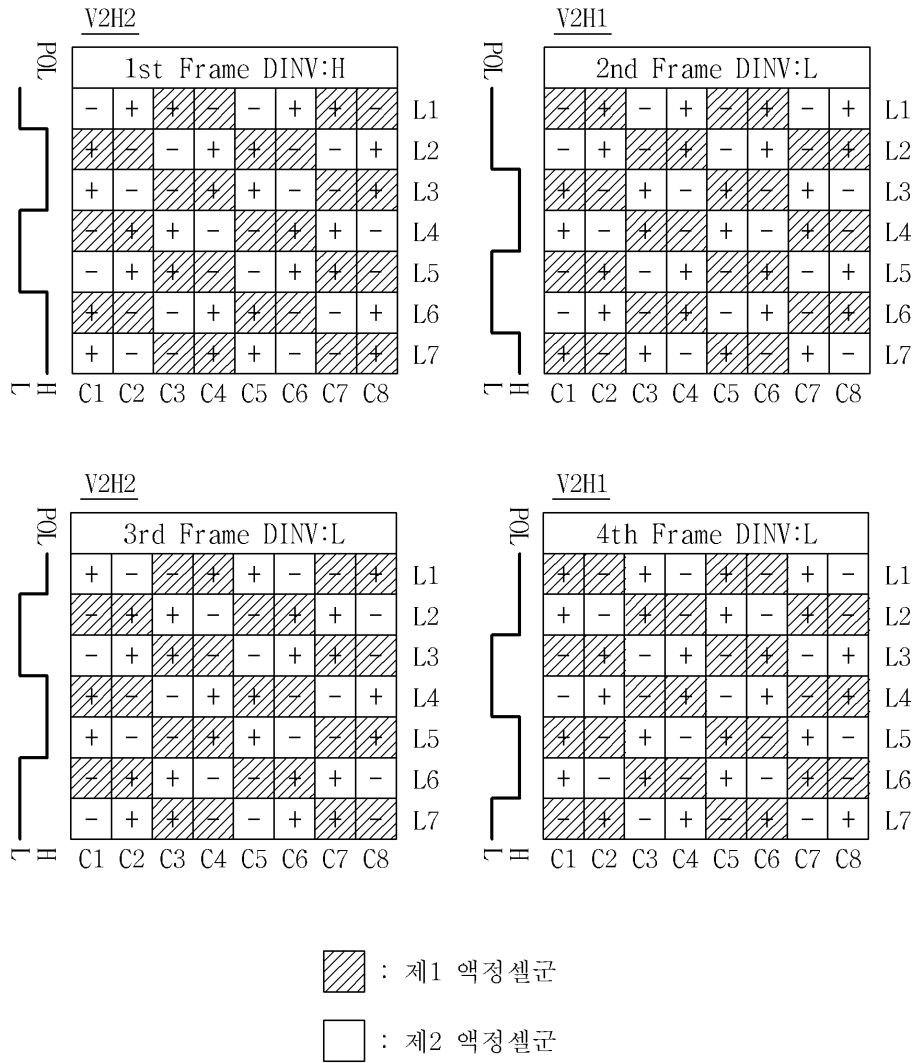
도면22



도면23



도면24



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR101303424B1	公开(公告)日	2013-09-05
申请号	KR1020080055419	申请日	2008-06-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JANG SU HYUK 장수혁 KIM JIN SUNG 김진성		
发明人	장수혁 김진성		
IPC分类号	G09G3/20 G09G G02F1/133 G02F G09G3/36		
CPC分类号	G09G2320/0613 G09G2360/16 G09G3/3688 G09G2310/027 G09G2330/021 G09G2320/0233 G09G2320/0219 G09G2330/023 G09G3/3614 G09G3/3648 G09G2310/0248		
其他公开文献	KR1020090129248A		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器及其驱动方法，用于减少数据驱动电路的发热和功耗。该液晶显示器包括LCD面板，该LCD面板包括液晶单元，其中多条栅极线与多条数据线交叉并且以矩阵的形式排列；定时控制器产生极性控制信号并确定预定易损模式的数据的输入与否，并在下一帧周期中移动极性控制信号的相位，在该下一帧周期中，如果要显示易受影响的图案的数据。输入易受攻击的模式；数据驱动电路，其将数据电压的极性反转并且极性响应极性控制信号提供给数据线；栅极驱动电路依次将栅极脉冲提供给栅极线。

V1H1

