



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년12월17일
(11) 등록번호 10-2056278
(24) 등록일자 2019년12월10일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
G02F 1/1345 (2006.01)
(21) 출원번호 10-2013-0109921
(22) 출원일자 2013년09월12일
심사청구일자 2018년07월19일
(65) 공개번호 10-2015-0030831
(43) 공개일자 2015년03월23일
(56) 선행기술조사문헌
KR1020090027832 A*
KR1020070016463 A*
KR1020120096710 A*
KR1020090072884 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
손하니
경기도 파주시 월롱면 엘씨지로 201 104동 1121호 (덕은리, 정다운마을)
허승호
경기 파주시 책향기로 441, 1008동 701호 (동패동, 책향기마을동문굿모닝힐아파트)
(74) 대리인
특허법인로얄

전체 청구항 수 : 총 4 항

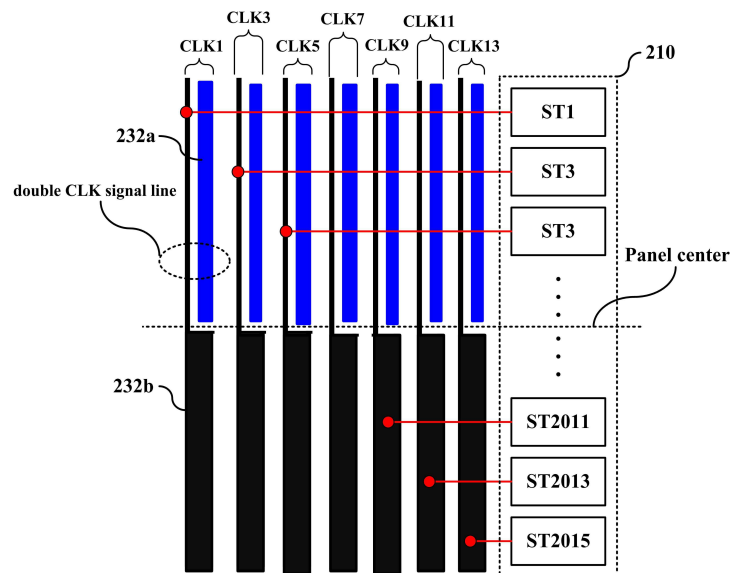
심사관 : 추장희

(54) 발명의 명칭 액정 디스플레이 장치

(57) 요약

본 발명은 베젤 사이즈를 줄이고, GIP 방식의 게이트 쉬프트 레지스터에 클럭 신호들을 입력하기 위한 클럭 신호 라인들의 로드를 감소시키고, 게이트 신호의 라이징 타임(rising time) 및 폴링 타임(falling time)을 줄일 수 있는 액정 디스플레이 장치에 관한 것이다.

대표도 - 도6



명세서

청구범위

청구항 1

복수의 게이트 라인과 복수의 데이터 라인이 교차하도록 형성된 액정 패널;

복수의 오드 스테이지를 포함하여 상기 액정 패널의 일측 비 표시 영역에 형성된 제1 게이트 쉬프트 레지스터;

복수의 이븐 스테이지를 포함하여 상기 액정 패널의 타측 비 표시 영역에 형성된 제2 게이트 쉬프트 레지스터;

상기 제1 게이트 쉬프트 레지스터의 구동을 위한 오드 클럭 신호들을 생성하고 상기 제2 게이트 쉬프트 레지스터의 구동을 위한 이븐 클럭 신호들을 생성하는 데이터 드라이버;

상기 오드 클럭 신호들을 상기 제1 게이트 쉬프트 레지스터에 공급하기 위한 복수의 오드 클럭 신호 라인들; 및

상기 이븐 클럭 신호들을 상기 제2 게이트 쉬프트 레지스터에 공급하기 위한 복수의 이븐 클럭 신호 라인들;을 포함하고,

상기 오드 클럭 신호 라인들 및 상기 이븐 클럭 신호 라인들은 하나의 클럭 신호가 2개의 라인에 입력되는 더블 클럭 신호 라인으로 형성되고,

상기 더블 클럭 신호 라인은 상기 액정 패널의 중앙부를 기준으로 상측에 대응되도록 형성된 스테이지들에 클럭 신호들을 공급하는 상측 클럭 신호 라인과, 상기 액정 패널의 중앙부를 기준으로 하측에 대응되도록 형성된 스테이지들에 클럭 신호들을 공급하는 하측 클럭 신호 라인을 포함하고,

상기 하측 클럭 신호 라인 중에서 상기 액정 패널의 상측에 대응되는 부분의 선폭은 상기 상측 클럭 신호 라인의 선폭보다 작게 형성되고,

상기 하측 클럭 신호 라인 중에서 상기 액정 패널의 하측에 대응되는 부분의 선폭은 상기 상측 클럭 신호 라인의 선폭보다 크게 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

제1 항에 있어서,

상기 제1 게이트 쉬프트 레지스터는 상기 복수의 게이트 라인 중에서 복수의 오드 게이트 라인에 오드 게이트

신호를 순차적으로 공급하고,

상기 제2 게이트 쉬프트 레지스터는 상기 복수의 게이트 라인 중에서 복수의 이븐 게이트 라인에 이븐 게이트 신호를 순차적으로 공급하고,

상기 제1 게이트 쉬프트 레지스터와 상기 제2 게이트 쉬프트 레지스터는 1채널씩 게이트 신호를 교번적으로 출력하는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 9

제1 항에 있어서,

상기 제1 및 제2 게이트 쉬프트 레지스터 각각은

고전위 구동 전압과 저전위 구동 전압을 공급받고, n-2 번째 스테이지의 출력을 입력 받아 Q 노드의 출력을 제어하고, n+2 번째 스테이지의 출력을 입력 받아 QB 노드의 출력을 제어하기 위해 제 1 내지 제5 스위칭 TFT를 포함하는 노드 제어부와,

상기 Q노드에 접속되어 상기 Q 노드로부터 입력된 펄스 신호에 의해 턴온되어 하이 전압을 출력시키는 풀업 TFT와,

상기 QB 노드에 접속되어 상기 QB 노드로부터 입력된 펄스 신호에 의해 턴온되어 로우 전압을 출력시키는 풀다운 TFT를 포함하는 액정 디스플레이 장치.

청구항 10

제1 항에 있어서,

상기 상측 클록 신호 라인과 상기 하측 클록 신호 라인은

상기 액정 패널의 상측에서 교번 배치된 액정 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 발명은 베젤 사이즈를 줄이고, GIP 방식의 게이트 쉬프트 레지스터에 클럭 신호들을 입력하기 위한 클럭 신호 라인들의 로드를 감소시키고, 게이트 신호의 라이징 타임(rising time) 및 폴링 타임(falling time)을 줄일 수 있는 액정 디스플레이 장치에 관한 것이다.

배경 기술

[0002] 액정 디스플레이 장치는 액정 패널, 백라이트 유닛, 상기 액정 패널 및 백라이트(광원)를 구동시키기 위한 구동 회로부를 포함한다. 구동 회로부는 타이밍 컨트롤러, 데이터 드라이버, 게이트 쉬프트 레지스터(게이트 드라이버), 백라이트 드라이버(LED 드라이버) 및 전원 공급부를 포함한다.

[0003] 도 1은 종래 기술에 따른 GIP 방식의 게이트 쉬프트 레지스터를 포함하는 액정 디스플레이 장치를 개략적으로 나타내는 도면이다.

[0004] 도 1을 참조하면, 종래 기술에 따른 액정 디스플레이 장치는 액정 패널(10), 게이트 쉬프트 레지스터(20, 게이트 드라이버) 및 데이터 드라이버(30)를 포함한다.

[0005] 아몰퍼스 실리콘(a-Si)을 이용하여 액정 패널의 하부 기판(TFT 어레이 기판)에 각 화소들을 구동시키기 위한 박막 트랜지스터(TFT)를 형성함과 아울러, GIP(Gate In Panel) 방식으로 게이트 쉬프트 레지스터(20)를 액정 패널의 하부 기판에 집적화시켰다.

[0006] 이때, 게이트 쉬프트 레지스터(20)는 하부 기판의 비표시 영역(패드 영역)의 좌측 및 우측에 분산되어 형성된다. 예로서, 제1 게이트 쉬프트 레지스터(21)는 액정 패널(10)의 좌측 비 표시 영역(N/A)에 형성되고, 제2 게이트 쉬프트 레지스터(22)는 액정 패널(10)의 우측 비 표시 영역(N/A)에 형성된다.

[0007] 도 2는 종래 기술에 따른 게이트 쉬프트 레지스터 및 신호 라인들의 구성을 나타내는 도면이다.

- [0008] 도 2를 참조하면, 종래 기술에 따른 GIP 방식의 게이트 쉬프트 레지스터(20)는 액티브 영역(10)의 좌측 및 우측에 형성되어, 액정 패널에 형성된 복수의 게이트 라인에 게이트 신호(gate signal)를 순차적으로 공급한다.
- [0009] 여기서, 액티브 영역(10)에 n개의 게이트 라인이 형성된 경우, GIP 방식으로 액티브 영역(10)의 좌측에 n/2개의 스테이지를 포함하는 제1 게이트 쉬프트 레지스터(21) 및 액티브 영역(10)의 우측에 n/2개의 스테이지를 포함하는 제2 게이트 쉬프트 레지스터(22)가 형성되어 있다.
- [0010] 제1 게이트 쉬프트 레지스터와 제2 게이트 쉬프트 레지스터에 구동 전압(VDD, VSS), 전압 선택 신호(VDD odd, VDD even) 및 구동 신호(Vst, CLK1~14)를 공급하기 위해서, 액정 패널(10)의 비 표시 영역(N/A)에 제1 신호 라인들(23)과 제2 신호 라인들(24)이 형성되어 있다.
- [0011] 여기서, 제1 신호 라인들(23) 및 제2 신호 라인들(24)은 VDD 라인, VSS 라인, VDD 선택 신호 라인(VDD odd, VDD even), Vst 신호 라인 및 복수의 클럭 신호 라인(CLK1~CLK14)으로 구성된다.
- [0012] 복수의 클럭 신호 라인(CLK1~CLK14) 중에서, 오드 클럭 신호 라인들은 제1 게이트 쉬프트 레지스터와 연결되도록 좌측 비 표시 영역에 형성된다. 그리고, 이븐 클럭 신호 라인들은 제2 게이트 쉬프트 레지스터와 연결되도록 우측 비 표시 영역에 형성된다.
- [0013] 제1 게이트 쉬프트 레지스터(21)와 제2 게이트 쉬프트 레지스터(22)는 입력된 VDD 전압, VSS 전압, VDD 선택 신호, Vst 신호 및 클럭 신호들(CLK1~CLK14)을 이용하여 게이트 신호(gate signal)를 생성하고, 생성된 게이트 신호를 액정 패널의 액티브 영역(10)에 형성된 복수의 게이트 라인에 순차적으로 공급한다. 이때, Z-타입의 싱글 피딩(single feeding) 방식으로 제1 게이트 쉬프트 레지스터(21)와 제2 게이트 쉬프트 레지스터(22)가 교번적으로 게이트 신호를 출력한다.
- [0014] 이러한, 종래 기술에 따른 액정 디스플레이 장치는 Z-타입의 싱글 피딩 방식으로 게이트 신호를 출력함으로써, 더블 피딩 방식 대비 게이트 쉬프트 레지스터의 로직을 1/2로 줄여 베젤 사이즈를 감소시키는 효과가 있다.
- [0015] 그러나, 해상도가 증가할수록 클럭 신호 라인들의 개수가 증가하게 되고, 클럭 신호 라인의 수가 늘어남에 따라 스테이지의 풀-업(full-up) TFT에 걸리는 로드가 증가하여 게이트 신호의 출력이 불안정해지는 문제점이 있다.
- [0016] 특히, 게이트 신호의 라이징 타임(rising time) 및 폴링 타임(falling time)이 증가하여 데이터 전압의 미 충전이 발생하는 문제점이 있다.
- [0017] 또한, 클럭 신호 라인의 길이가 증가할수록 게이트 쉬프트 레지스터에 입력되는 클럭 신호가 딜레이되고, 액정 패널의 상단부에서 하단부로 갈수록 클럭 신호 라인들의 로드 편차가 발생하는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0018] 본 발명은 전술한 문제점을 해결하기 위한 것으로서, 게이트 쉬프트 레지스터에 클럭 신호들을 입력하기 위한 클럭 신호 라인들의 로드를 감소시킬 수 있는 액정 디스플레이 장치를 제공하는 것을 기술적 과제로 한다.
- [0019] 본 발명은 전술한 문제점을 해결하기 위한 것으로서, 액정 패널의 하단부로 갈수록 클럭 신호 라인의 로드가 증가함으로 인한 라인의 로드 편차를 줄일 수 있는 액정 디스플레이 장치를 제공하는 것을 기술적 과제로 한다.
- [0020] 본 발명은 전술한 문제점을 해결하기 위한 것으로서, 게이트 쉬프트 레지스터에 신호를 공급하는 클럭 신호 라인들을 개선하여 게이트 신호를 균일하게 출력할 수 있는 액정 디스플레이 장치를 제공하는 것을 기술적 과제로 한다.
- [0021] 본 발명은 전술한 문제점을 해결하기 위한 것으로서, 게이트 쉬프트 레지스터에 인가되는 클럭 신호들의 딜레이를 줄일 수 있는 액정 디스플레이 장치를 제공하는 것을 기술적 과제로 한다.
- [0022] 본 발명은 전술한 문제점을 해결하기 위한 것으로서, GIP(gate in panel) 방식의 게이트 쉬프트 레지스터를 포함하는 액정 디스플레이 장치의 베젤 사이즈(bezel size)를 줄이는 것을 기술적 과제로 한다.
- [0023] 본 발명은 전술한 문제점을 해결하기 위한 것으로서, 게이트 신호의 라이징 타임(rising time) 및 폴링 타임(falling time)을 줄여, 데이터 전압의 충전 타임(charging time)을 충분히 확보할 수 있는 액정 디스플레이 장치와 이의 구동 방법을 제공하는 것을 기술적 과제로 한다.

[0024] 위에서 언급된 본 발명의 기술적 과제 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0025] 본 발명의 실시 예에 따른 액정 디스플레이 장치는, 복수의 게이트 라인과 복수의 데이터 라인이 교차하도록 형성된 액정 패널; 복수의 오드 스테이지를 포함하여 상기 액정 패널의 일측 비 표시 영역에 형성된 제1 게이트 쉬프트 레지스터; 복수의 이븐 스테이지를 포함하여 상기 액정 패널의 타측 비 표시 영역에 형성된 제2 게이트 쉬프트 레지스터; 상기 제1 게이트 쉬프트 레지스터의 구동을 위한 오드 클럭 신호들을 생성하고 상기 제2 게이트 쉬프트 레지스터의 구동을 위한 이븐 클럭 신호들을 생성하는 데이터 드라이버; 상기 오드 클럭 신호들을 상기 제1 게이트 쉬프트 레지스터에 공급하기 위한 복수의 오드 클럭 신호 라인들; 및 상기 이븐 클럭 신호들을 상기 제2 게이트 쉬프트 레지스터에 공급하기 위한 복수의 이븐 클럭 신호 라인들;을 포함하고, 상기 오드 클럭 신호 라인들 및 상기 이븐 클럭 신호 라인들은 하나의 클럭 신호가 2개의 라인에 입력되는 더블 클럭 신호 라인으로 형성된 것을 특징으로 한다.

발명의 효과

[0026] 전술한 과제를 달성하기 위한 본 발명의 실시 예에 따른 액정 디스플레이 장치는 게이트 쉬프트 레지스터에 클럭 신호들을 입력하기 위한 클럭 신호 라인들의 로드를 감소시킬 수 있다.

[0027] 전술한 과제를 달성하기 위한 본 발명의 실시 예에 따른 액정 디스플레이 장치는 클럭 신호 라인들의 로드 편차를 줄일 수 있다.

[0028] 전술한 과제를 달성하기 위한 본 발명의 실시 예에 따른 액정 디스플레이 장치는 게이트 쉬프트 레지스터에 신호를 공급하는 신호 라인을 개선하여 게이트 신호를 균일하게 출력할 수 있다.

[0029] 전술한 과제를 달성하기 위한 본 발명의 실시 예에 따른 액정 디스플레이 장치는 게이트 쉬프트 레지스터에 인가되는 클럭 신호들의 딜레이를 줄일 수 있다.

[0030] 전술한 과제를 달성하기 위한 본 발명의 실시 예에 따른 액정 디스플레이 장치는 GIP(gate in panel) 방식의 게이트 쉬프트 레지스터를 포함하는 액정 디스플레이 장치의 베젤 사이즈(bezel size)를 줄일 수 있다.

[0031] 전술한 과제를 달성하기 위한 본 발명의 실시 예에 따른 액정 디스플레이 장치는 게이트 신호의 라이징 타임(rising time) 및 폴링 타임(falling time)을 줄여, 데이터 전압의 차징 타임(charging time)을 충분히 확보시킬 수 있다.

[0032] 이 밖에도, 본 발명의 실시 예들을 통해 본 발명의 또 다른 특징 및 이점들이 새롭게 파악될 수도 있을 것이다.

도면의 간단한 설명

[0033] 도 1은 종래 기술에 따른 GIP 방식의 게이트 쉬프트 레지스터를 포함하는 액정 디스플레이 장치를 개략적으로 나타내는 도면이다.

도 2는 종래 기술에 따른 게이트 쉬프트 레지스터 및 신호 라인들의 구성을 나타내는 도면이다.

도 3은 본 발명의 실시 예에 따른 GIP 방식의 게이트 쉬프트 레지스터를 포함하는 액정 디스플레이 장치를 개략적으로 나타내는 도면이다.

도 4는 본 발명의 실시 예에 따른 게이트 쉬프트 레지스터 및 신호 라인들의 구성을 나타내는 것으로, 하나의 클럭 신호가 더블 클럭 신호 라인에 공급되는 것을 나타내는 도면이다.

도 5는 게이트 쉬프트 레지스터를 구성하는 복수의 스테이지 중에서 1 스테이지의 회로도이다.

도 6은 게이트 쉬프트 레지스터에 클럭 신호들을 공급하는 클럭 신호 라인들을 나타내는 것으로, 더블 클럭 신호 라인의 선풍이 상이하게 형성된 것을 나타내는 도면이다.

도 7은 본 발명의 실시 예에 따른 게이트 쉬프트 레지스터의 게이트 신호의 출력 파형을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예에 따른 액정 디스플레이 장치와 이의 구동 방법에 대하여 설명하기로 한다.
- [0035] 도면을 참조한 설명에 앞서, 액정 디스플레이 장치는 액정층의 배열을 조절하는 방식에 따라 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 등 다양한 구동 모드가 개발되어 있다. 본 발명의 실시 예에 따른 액정 디스플레이 장치와 이의 구동 방법은 액정층을 구동시키는 모드에 제한이 없이 적용이 가능하다.
- [0036] 도 3은 본 발명의 실시 예에 따른 GIP 방식의 게이트 쉬프트 레지스터를 포함하는 액정 디스플레이 장치를 개략적으로 나타내는 도면이다.
- [0037] 도 3을 참조하면, 본 발명의 실시 예에 따른 액정 디스플레이 장치는 화소들이 매트릭스 형태로 배열되어 공급되는 영상 데이터(데이터 전압)에 따라 화상을 표시하는 액정 패널(100); 상기 액정 패널(100)에 광을 공급하는 백라이트 유닛(미도시); 상기 액정 패널(100) 및 백라이트 유닛(미도시)의 광원을 구동시키기 위한 구동 회로부를 포함하여 구성된다.
- [0038] 액정 패널(100)은 대향 합착된 하부 기판(TFT 어레이 기판) 및 상부 기판(컬러필터 어레이 기판)과, 상기 하부 기판과 상부 기판 사이에 형성된 액정층을 포함한다.
- [0039] 상부 기판은 하부 기판의 화소를 경유하여 입사된 광을 색광으로 변환시켜 컬러 영상을 표시하기 위한 컬러 필터 및 각 화소를 구분하고 색광의 혼색을 방지하기 위한 차광층을 포함한다.
- [0040] 하부 기판에는 N개의 게이트 라인(G1~Gn)과 M개의 데이터 라인(D1~Dm)이 교차하도록 형성되어 있다. 게이트 라인들과 데이터 라인들이 교차에 의해 화소가 정의되고, 각 화소는 TFT(Thin Film Transistor) 및 스토리지 커패시터(Cst)를 포함한다. 또한, 각 화소는 데이터 전압을 인가하는 화소 전극과 공통 전압(Vcom)을 인가하는 공통 전극을 포함한다.
- [0041] 각 화소의 TFT는 게이트 라인을 통해 공급되는 스캔 신호에 의해 스위칭 되고, TFT가 온(on)되면 데이터 라인을 통해 공급되는 데이터 전압이 화소에 공급된다.
- [0042] 데이터 전압과 공통 전압의 전계차에 의해 각 화소에서 액정의 배열 상태가 변화되고, 액정의 배열을 조절하여 백라이트 유닛에서 입사되는 광의 투과율을 조절함으로써 화상을 표시한다.
- [0043] 이어서, 구동 회로부는 구동 회로부는 데이터 드라이버(300), 게이트 쉬프트 레지스터(200, 게이트 드라이버), 백라이트 구동부(미도시) 및 전원 공급부(미도시)를 포함한다.
- [0044] 여기서, 데이터 드라이버(300)는 타이밍 컨트롤러(T-con) 및 복수의 데이터 드라이브 IC가 통합되어 구성된 것으로, 액정 패널(100)의 패드 영역에 형성된 패드와 연결되어 액티브 영역(110)에 데이터 전압을 공급한다.
- [0045] 타이밍 컨트롤러는 외부로부터의 영상 신호를 프레임 단위로 정렬하여 디지털 영상 데이터(R, G, B)를 생성하고, 생성된 디지털 영상 데이터를 복수의 데이터 드라이브 IC에 공급한다.
- [0046] 또한, 타이밍 컨트롤러는 입력되는 타이밍 신호(TS)를 이용하여 게이트 쉬프트 레지스터(200)의 제어를 위한 게이트 제어 신호(GCS) 및 데이터 드라이브 IC의 제어를 위한 데이터 제어 신호(DCS)를 생성한다.
- [0047] 여기서, 상기 타이밍 신호(TS)는 데이터 인에이블 신호(DE), 수평 동기신호(Hsync), 수직 동기신호(Vsync), 클럭 신호(CLK)을 포함한다.
- [0048] 게이트 제어 신호(GCS)는 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock) 및 게이트 출력 인에이블(GOE: Gate Output Enable) 등을 포함할 수 있다.
- [0049] 데이터 제어 신호(DCS)는 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블(SOE: Source Output Enable), 극성 제어 신호(POL: Polarity) 등을 포함할 수 있다.
- [0050] 이러한, 데이터 드라이버(300)는 디지털 영상 데이터(R, G, B)를 아날로그 영상 데이터(데이터 전압)으로 변환한다. 이후, 액정 패널(100)의 데이터 라인들을 통해 아날로그 데이터 전압을 각 화소에 공급한다.
- [0051] 또한, 데이터 드라이버(300)는 GIP 방식으로 액정 패널(100)의 좌측 및 우측 비 표시 영역에 형성된 게이트 쉬프트 레지스터(200)를 구동시키기 위한 VDD 전압, VSS 전압, VDD 선택 신호(VDD_E, VDD_O), Vst 신호 및 복수

의 클럭 신호를 생성한다. 그리고, VDD 전압, VSS 전압, VDD 선택 신호(VDD_E, VDD_0), Vst 신호 및 복수의 클럭 신호를 게이트 쉬프트 레지스터(200)에 공급한다.

- [0052] 도 4는 본 발명의 실시 예에 따른 게이트 쉬프트 레지스터 및 신호 라인들의 구성을 나타내는 것으로, 하나의 클럭 신호가 더블 클럭 신호 라인에 공급되는 것을 나타내는 도면이다.
- [0053] 도 4를 참조하면, 게이트 쉬프트 레지스터(200)는 게이트 신호(gate signal)를 생성하여 액정 패널(100)의 액티브 영역(110)에 형성된 복수의 게이트 라인 각각에 공급하는 것으로, 복수의 게이트 라인에 대응되는 복수의 채널 즉, 복수의 스테이지를 포함하여 구성된다.
- [0054] 게이트 쉬프트 레지스터(200)는 하부 기관의 비표시 영역(패드 영역)의 좌측 및 우측에 분산되어 형성되어 있다.
- [0055] 하부 기관의 비 표시 영역(N/A)의 좌측에는 제1 게이트 쉬프트 레지스터(210)가 형성되어 있고, 하부 기관의 비 표시 영역(N/A)의 우측에는 제2 게이트 쉬프트 레지스터(220)가 형성되어 있다.
- [0056] 제1 게이트 쉬프트 레지스터(210)는 액정 패널(100)에 형성된 복수의 게이트 라인 개수의 1/2에 해당하는 채널을 가지는 복수의 오드 스테이지(ST)를 포함한다.
- [0057] 제2 게이트 쉬프트 레지스터(220)는 액정 패널(100)에 형성된 복수의 게이트 라인 개수의 1/2에 해당하는 채널을 가지는 복수의 이븐 스테이지(ST)를 포함한다.
- [0058] 제1 게이트 쉬프트 레지스터(210) 및 제2 게이트 쉬프트 레지스터(220)는 게이트 신호(Vout 출력)를 박막 트랜지스터(TFT)의 구동에 적합한 스윙 폭으로 변환하기 위한 레벨 쉬프터를 포함할 수 있다.
- [0059] 도 5는 게이트 쉬프트 레지스터를 구성하는 복수의 스테이지 중에서 1 스테이지의 회로도이다.
- [0060] 도 5를 참조하면, 게이트 쉬프트 레지스터의 스테이지는 고전위 구동 전압(VDD) 또는 저전위 구동 전압(VSS) 레벨의 출력 신호(OUT)를 스위칭하기 위한 복수의 스위칭 TFT(T1~T7), 복수의 커패시터를 포함한다.
- [0061] 제1 내지 제5 스위칭 TFT(T1~T5)는 출력 신호의 노드(node)를 제어하는 노드 제어부로서, n-2 번째 스테이지의 출력을 입력 받아 Q 노드의 출력을 제어하고, n+2 번째 스테이지의 출력을 입력 받아 QB 노드의 출력을 제어한다.
- [0062] 하이 전압(VGH)이 출력시키기 위한 풀업(full up) TFT(T6)와 로우 전압을 출력시키기 위한 풀다운(full down) TFT(T7)가 출력 단자에 접속된다.
- [0063] 풀업(full up) TFT(T6)는 Q 노드와 접속되어, Q 노드로부터 입력된 펄스 신호에 의해 턴온되어 하이 전압을 출력시킨다. 풀다운(full down) TFT(T7)는 QB 노드에 접속되어, QB 노드로부터 입력된 펄스 신호에 의해 턴온되어 로우 전압(VGL)을 출력시킨다.
- [0064] 다시 도 4를 참조하면, 액정 패널(100)의 좌측 비 표시 영역(N/A)에는 복수의 제1 신호 라인(230)이 형성되어 있다.
- [0065] 복수의 제1 신호 라인(230)은 액정 패널(100)의 제1 게이트 쉬프트 레지스터(210)를 구동시키기 위한, VDD 전압, VSS 전압, VDD 선택 신호, Vst 신호 및 오드 클럭 신호들(CLK1, CLK3, CLK5, CLK7, CLK8, CLK9, CLK11, CLK13)을 공급하기 위한 것이다.
- [0066] 복수의 제1 신호 라인(230) 중에서, 오드 클럭 신호 라인들(232)에는 제1 게이트 쉬프트 레지스터(210)의 오드 스테이지들에 공급하기 위한 오드 클럭 신호들(CLK1, CLK3, CLK5, CLK7, CLK9, CLK11, CLK13)이 입력된다. 오드 클럭 신호들(CLK1, CLK3, CLK5, CLK7, CLK9, CLK11, CLK13)은 데이터 드라이버(300)에서 출력된다.
- [0067] 이어서, 액정 패널(100)의 우측 비 표시 영역(N/A)에는 복수의 제2 신호 라인(240)이 형성되어 있다.
- [0068] 복수의 제2 신호 라인(240)은 액정 패널(100)의 제2 게이트 쉬프트 레지스터(220)를 구동시키기 위한, VDD 전압, VSS 전압, VDD 선택 신호, Vst 신호 및 이븐 클럭 신호들(CLK2, CLK4, CLK6, CLK8, CLK10, CLK12, CLK14)을 공급하기 위한 것이다.
- [0069] 복수의 제2 신호 라인(240) 중에서, 이븐 클럭 신호 라인들(242)에는 제2 게이트 쉬프트 레지스터(220)의 이븐 스테이지들에 공급하기 위한 이븐 클럭 신호들(CLK2, CLK4, CLK6, CLK8, CLK10, CLK12, CLK14)이 입력된다. 이븐 클럭 신호들(CLK2, CLK4, CLK6, CLK8, CLK10, CLK12, CLK14)은 데이터 드라이버(300)에서 출력된다.

- [0070] 도 6은 게이트 쉬프트 레지스터에 클럭 신호들을 공급하는 클럭 신호 라인들을 나타내는 것으로, 더블 클럭 신호 라인의 선포이 상이하게 형성된 것을 나타내는 도면이다.
- [0071] 도 6에서는 제1 게이트 쉬프트 레지스터(210)의 복수의 오드 스테이지에 오드 클럭 신호들(CLK1, CLK3, CLK5, CLK7, CLK9, CLK11, CLK13)을 공급하기 위한 오드 클럭 신호 라인들(232)을 도시하고 있으며, 제2 게이트 쉬프트 레지스터(220)의 복수의 이븐 스테이지에 이븐 클럭 신호들(CLK2, CLK4, CLK6, CLK8, CLK10, CLK12, CLK14)을 공급하기 위한 이븐 클럭 신호 라인들의 도시는 생략하였다.
- [0072] 도 4 및 도 6을 참조하면, 복수의 제1 신호 라인(230) 중에서, 오드 클럭 신호 라인들(232)은 하나의 클럭 신호가 2개의 라인에 입력되는 더블 클럭 신호 라인으로 형성되어 있다. 그리고, 복수의 제2 신호 라인(240) 중에서, 이븐 클럭 신호 라인들(242)은 하나의 클럭 신호가 2개의 라인에 입력되는 더블 클럭 신호 라인으로 형성되어 있다.
- [0073] 여기서, 더블 클럭 신호 라인으로 형성된 오드 클럭 신호 라인들 및 이븐 클럭 신호 라인들은 상측 클럭 신호 라인(232a)과 하측 클럭 신호 라인(232b)을 포함한다.
- [0074] 더블 클럭 신호 라인 중에서 상측 클럭 신호 라인(232a)은 액정 패널의 중앙부까지만 형성되고, 하측 클럭 신호 라인(232b)은 액정 패널의 상측에서부터 하측까지 형성된다.
- [0075] 액정 패널의 중앙부(center)를 기준으로, 액정 패널의 상측에 대응되도록 형성된 스테이지에 클럭 신호들을 공급하는 상측 클럭 신호 라인(232a)은 제1 선포을 가지도록 형성된다.
- [0076] 그리고, 액정 패널의 중앙부(center)를 기준으로, 액정 패널의 하측에 대응되도록 형성된 스테이지에 클럭 신호들을 공급하는 하측 클럭 신호 라인(232b)은 제2 선포을 가지도록 형성된다.
- [0077] 여기서, 액정 패널의 상측에서 하측으로 갈수록 클럭 신호 라인의 로드가 증가하게 되는데, 본 발명에서는 클럭 신호 라인들의 로드 편차를 줄이기 위해서 더블 클럭 신호 라인의 상측 클럭 신호 라인(232a)의 제1 선포보다 하측 클럭 신호 라인(232b)의 제2 선포을 크게 형성한다.
- [0078] 하측 클럭 신호 라인(232b)은 액정 패널의 상측에서 중앙부까지는 상기 상측 클럭 신호 라인(232a)의 선포보다 작은 선포으로 형성되고, 액정 패널의 중앙부에서부터 하측까지는 제2 선포을 가지도록 형성된다. 예로서, 상측 클럭 신호 라인(232a)의 제1 선포 대비 하측 클럭 신호 라인(232b)의 제2 선포을 2배 크게 형성할 수 있다.
- [0079] 그러나, 반드시 상측 클럭 신호 라인(232a)의 선포 보다 하측 클럭 신호 라인(232b)의 선포이 2배일 필요는 없으며, 해상도 및 액정 패널의 크기에 따라서 상측 클럭 신호 라인(232a)의 선포과 하측 클럭 신호 라인(232b)의 선포의 비율은 1:2 이하 또는 1:2 이상이 될 수도 있다.
- [0080] 복수의 상측 클럭 신호 라인(232a)은 액정 패널의 중앙부(center)를 기준으로 상측에 대응되도록 형성된 스테이지들에 클럭 신호들을 공급한다. 그리고, 복수의 하측 클럭 신호 라인(232b)은 액정 패널의 중앙부(center)를 기준으로 하측에 대응되도록 형성된 스테이지들에 클럭 신호들을 공급한다.
- [0081] 제1 게이트 쉬프트 레지스터(210)는 입력된 VDD 전압, VSS 전압, Vst 신호 및 오드 클럭 신호(CLK1, CLK3, CLK5)를 이용하여 오드 게이트 신호를 생성하고, 액정 패널(100)에 형성된 복수의 게이트 라인들 중에서 오드 게이트 라인들에게 오드 게이트 신호를 순차적으로 공급한다.
- [0082] 그리고, 제2 게이트 쉬프트 레지스터(220)는 입력된 VDD 전압, VSS 전압, Vst 신호 및 이븐 클럭 신호(CLK2, CLK4, CLK6, CLK8, CLK10, CLK12, CLK14)를 이용하여 이븐 게이트 신호를 생성하고, 액정 패널(100)에 형성된 복수의 게이트 라인들 중에서 이븐 게이트 라인들에게 이븐 게이트 신호를 순차적으로 공급한다.
- [0083] 여기서, 제1 게이트 쉬프트 레지스터(210)와 제2 게이트 쉬프트 레지스터(220)는 1채널씩 게이트 신호를 교번적으로 출력한다. 즉, 제1 게이트 쉬프트 레지스터(210)의 오드 스테이지들은 복수의 오드 게이트 라인에 게이트 신호를 순차적으로 공급한다. 그리고, 제2 게이트 쉬프트 레지스터(220)의 이븐 스테이지들은 복수의 이븐 게이트 라인에 게이트 신호를 순차적으로 공급한다.
- [0084] 여기서, 본 발명의 실시 예에 따른 액정 디스플레이 장치는 게이트 쉬프트 레지스터의 구동 시, Z-타입의 싱글 피딩 방식을 적용함과 아울러, 언더 드라이빙(Under driving) 방식을 적용하여 게이트 신호를 출력한다.
- [0085] 이때, 언더 드라이빙은 2 레벨(2 level)의 VSS 전압(예로서, 제1 VSS는 -5V, 제2 VSS는 -15V)을 이용하여 게이트 신호의 폴링 타임(falling time)을 줄일 수 있다.

- [0086] 게이트 쉬프트 레지스터의 스테이지들을 액정 패널의 좌측 비 표시 영역과 우측 비 표시 영역에 지그재그(zigzag)로 배치하여 GIP 로직의 형성에 필요한 면적을 1/2로 줄여 베젤 사이즈를 줄일 수 있다.
- [0087] 상술한 바와 같이, 오드 클럭 신호 라인들(232) 및 이븐 클럭 신호 라인들(242)을 더블 클럭 신호 라인으로 형성하면 클럭 신호 라인들의 로드를 1/2로 줄이고, 스테이지의 풀-업(full-up) TFT에 걸리는 로드 1/2로 줄여 게이트 신호의 라이징 타임(rising time) 및 폴링 타임(falling time)을 줄일 수 있다.
- [0088] 또한, 상측 클럭 신호 라인(232a)의 제1 선평 대비 하측 클럭 신호 라인(232b)의 제2 선평을 크게 형성하면, 액정 패널의 상단부와 대응되는 지점의 클럭 신호 라인의 로드와 액정 패널의 하단부와 대응되는 지점의 클럭 신호 라인들의 로드 편차를 줄일 수 있다. 이를 통해, 클럭 신호들의 딜레이를 줄이고, 오드 스테이지들 및 이븐 스테이지들에서 게이트 신호를 안정적으로 균일하게 출력할 수 있다.
- [0089] 도 7은 본 발명의 실시 예에 따른 게이트 쉬프트 레지스터의 게이트 신호의 출력 파형을 나타내는 도면이다.
- [0090] 도 7을 참조하면, 하기의 표 1에 기재된 조건을 설정하여 제1 게이트 쉬프트 레지스터(210)에서 출력되는 오드 게이트 신호들 및 제2 게이트 쉬프트 레지스터(220)에서 출력되는 이븐 게이트 신호들의 라이징 타임(rising time)과 폴링 타임(falling time)을 측정하였다.

표 1

gate line load	rEsistance (ohm)	2,851
	cApacitance (pF)	441.0
VGH(V)		30
VGL1(V)		-5
VGL2(V)		-15
CLK line rEsistance (ohm)		600
CLK line CD		180um
Full-up TFT W/L		30,000 / 4.8

- [0091]
- [0092] 종래 기술의 액정 디스플레이 장치의 게이트 신호의 라이징 타임이 8.4us, 폴링 타임이 3.06us 수준이었다.
- [0093] 반면, 본 발명의 실시 예에 따른 액정 디스플레이 장치의 게이트 신호의 라이징 타임이 7.03us로 감소하였고, 폴링 타임이 2.33us로 감소 하였다. 이와 같이, 게이트 쉬프트 레지스터에서 출력되는 게이트 신호의 라이징 타임을 16.3% 줄이고, 폴링 타임을 23.86% 줄여 데이터 전압의 차징 시간을 충분히 확보시킬 수 있다.
- [0094] 상술한 본 발명의 실시 예에 따른 액정 디스플레이 장치는 게이트 쉬프트 레지스터에 클럭 신호들을 입력하기 위한 클럭 신호 라인들의 로드를 감소시키고, 클럭 신호 라인들의 로드 편차를 줄일 수 있다.
- [0095] 또한, 상술한 본 발명의 실시 예에 따른 액정 디스플레이 장치는 게이트 쉬프트 레지스터에 신호를 공급하는 신호 라인을 개선하여 클럭 신호들의 딜레이를 줄이고, 게이트 신호를 균일하게 출력할 수 있다.
- [0096] 또한, GIP(gate in panel) 방식의 게이트 쉬프트 레지스터를 포함하는 액정 디스플레이 장치의 베젤 사이즈(bezel size)를 줄일 수 있다.
- [0097] 본 발명이 속하는 기술분야의 당 업자는 상술한 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다.
- [0098] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로

로 해석되어야 한다.

부호의 설명

[0099]

100: 액정 패널

110: 액티브 영역

200: 게이트 쉬프트 레지스터

210: 제1 게이트 쉬프트 레지스터

220: 제2 게이트 쉬프트 레지스터

230: 제1 신호 라인들

232: 오드 클럭 신호 라인들

232a: 상부 클럭 신호 라인

232b: 하부 클럭 신호 라인

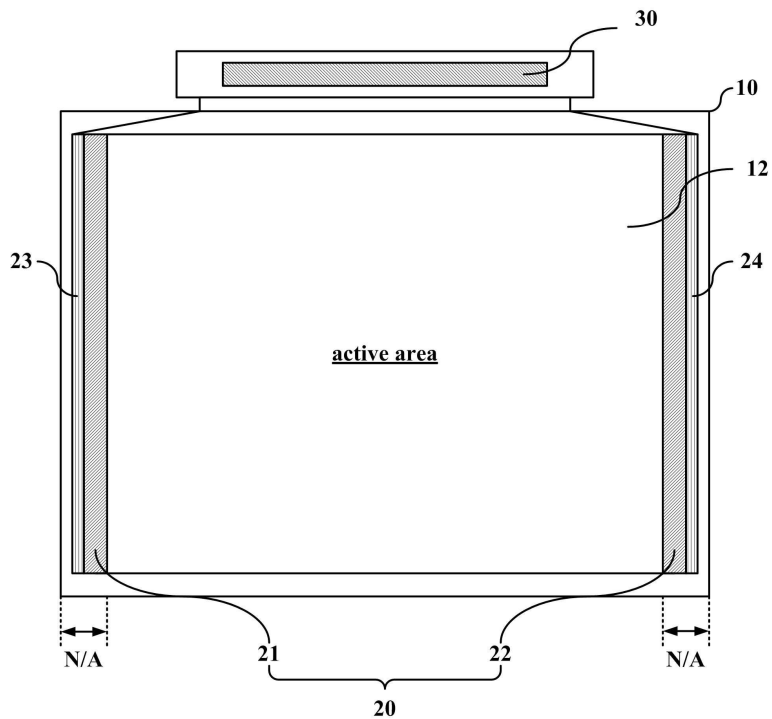
240: 제2 신호 라인들

242: 이븐 클럭 신호 라인들

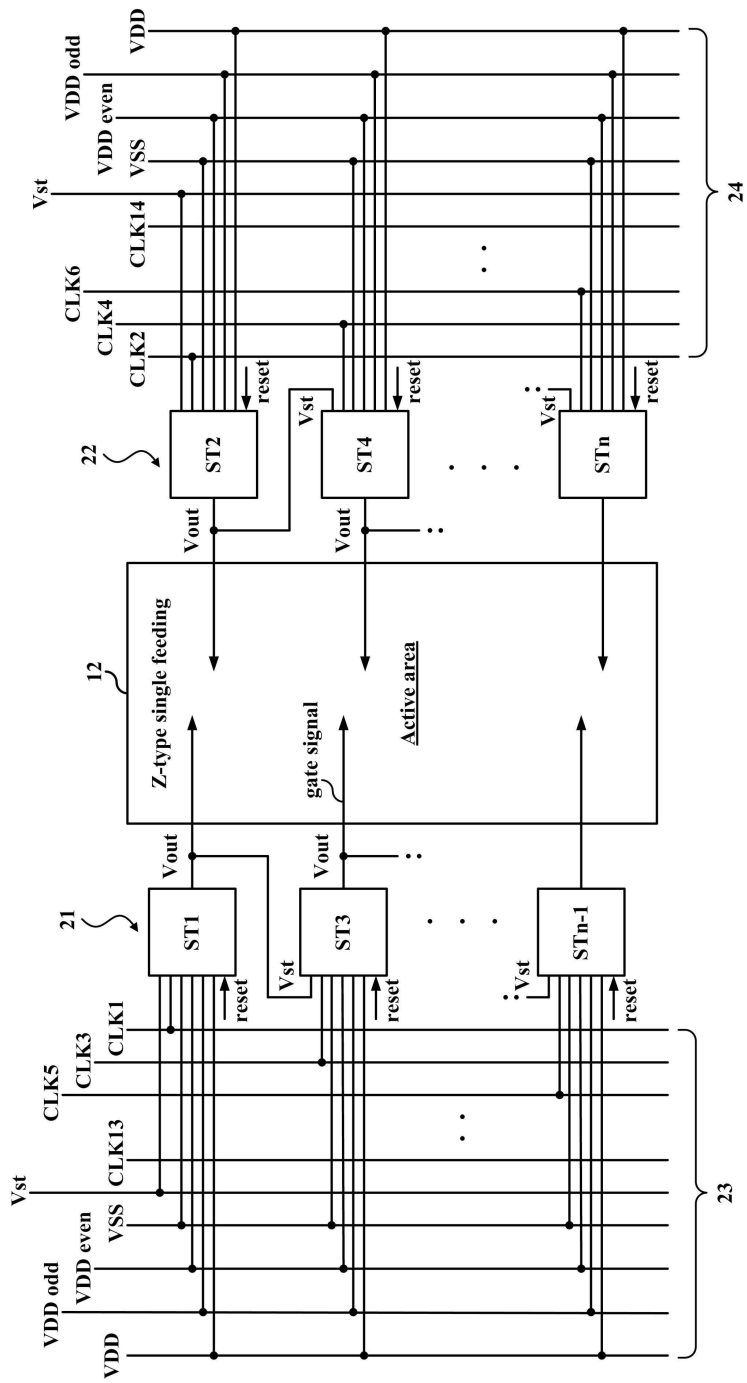
300: 데이터 드라이버

도면

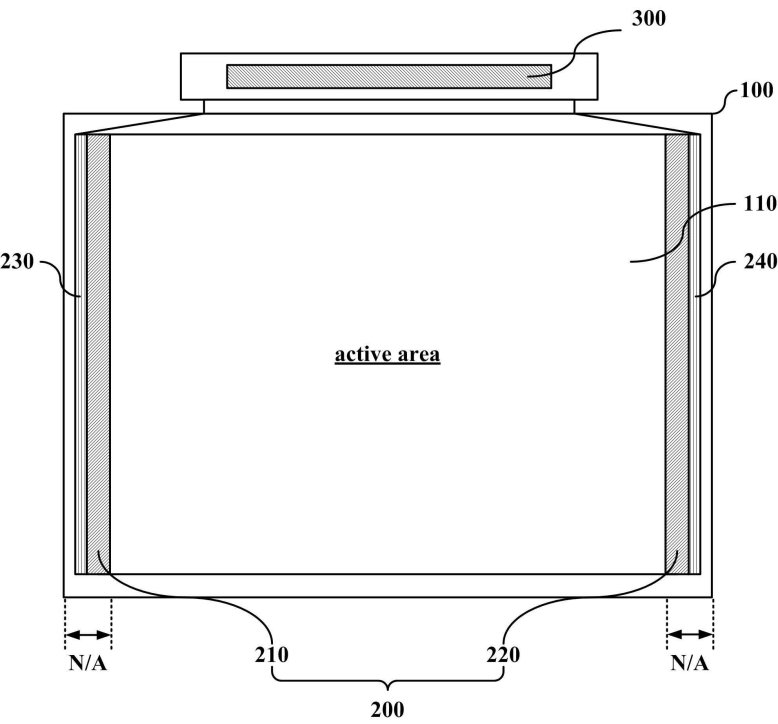
도면1



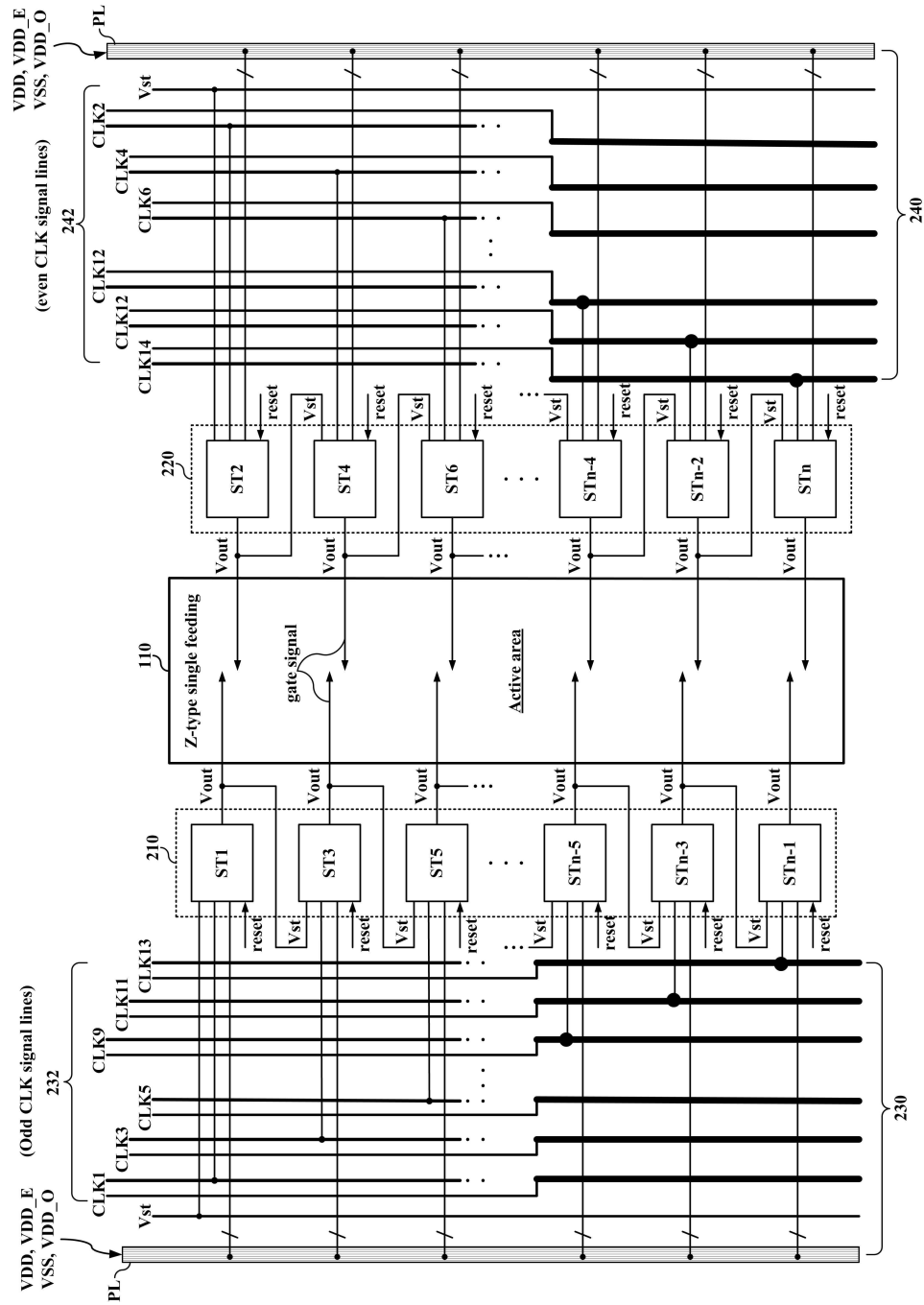
도면2



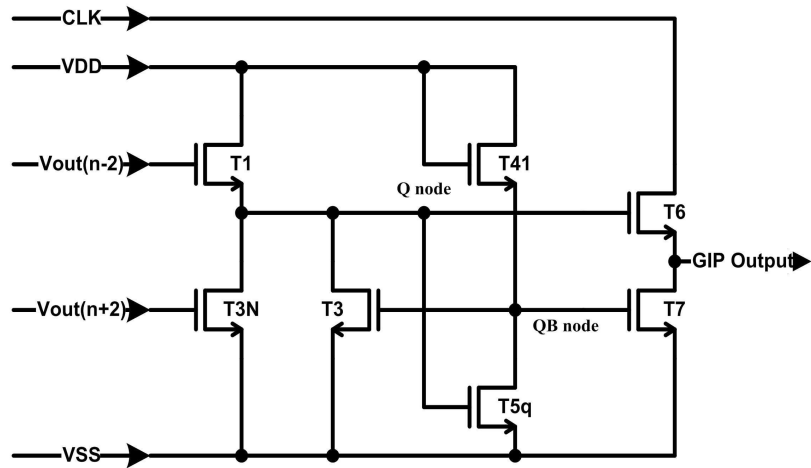
도면3



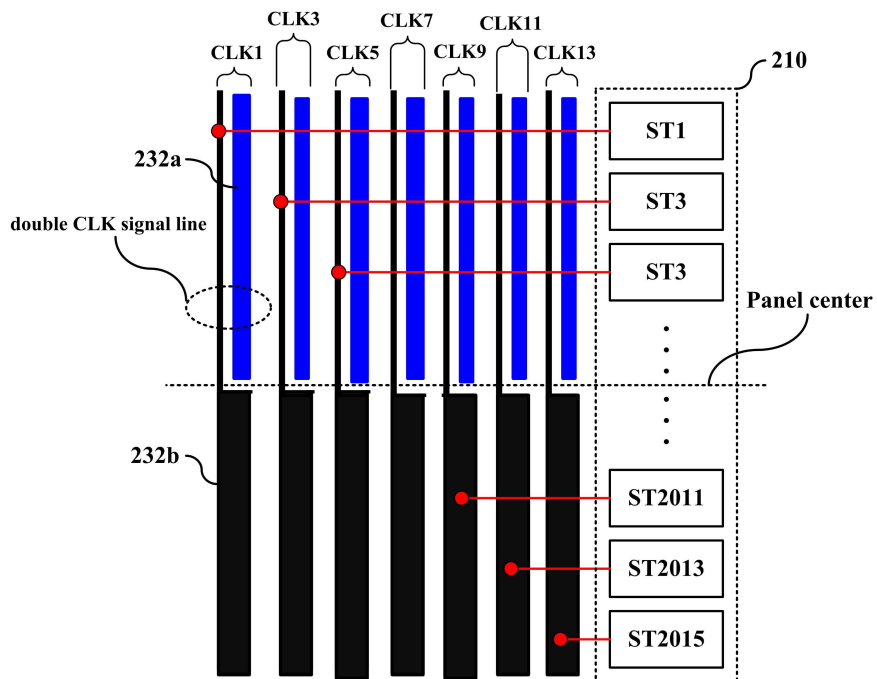
도면4



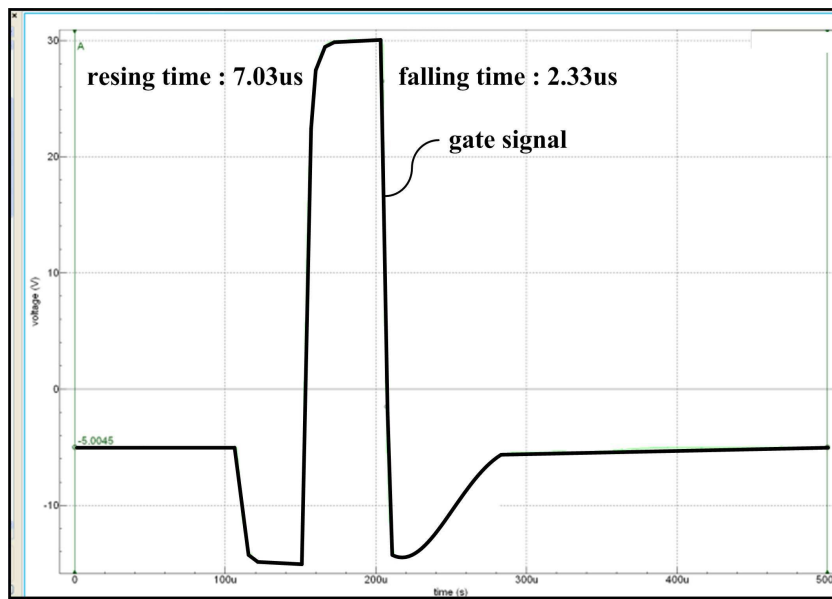
도면5



도면6



도면7



专利名称(译)	液晶显示装置		
公开(公告)号	KR102056278B1	公开(公告)日	2019-12-17
申请号	KR1020130109921	申请日	2013-09-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	손하니 허승호		
发明人	손하니 허승호		
IPC分类号	G09G3/36 G02F1/133 G02F1/1345		
审查员(译)	酋长姬		
其他公开文献	KR1020150030831A		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及一种液晶显示装置，其可以减小边框的尺寸，可以减小时钟信号线向GIP方法的栅极移位寄存器输入时钟信号的负载，并且可以减少上升时间和下降时间。门信号。本发明的液晶显示装置包括：液晶面板；和液晶面板。第一门移位寄存器；第二门移位寄存器；数据驱动器；多条奇数时钟信号线；多条偶数时钟信号线。

