



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년09월06일
 (11) 등록번호 10-2019578
 (24) 등록일자 2019년09월02일

- (51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
- (52) CPC특허분류
G09G 3/3677 (2013.01)
G09G 2310/0251 (2013.01)
- (21) 출원번호 10-2017-7023829
- (22) 출원일자(국제) 2015년04월30일
심사청구일자 2017년08월25일
- (85) 번역문제출일자 2017년08월25일
- (65) 공개번호 10-2017-0108093
- (43) 공개일자 2017년09월26일
- (86) 국제출원번호 PCT/CN2015/078000
- (87) 국제공개번호 WO 2016/165162
국제공개일자 2016년10월20일
- (30) 우선권주장
201510186029.8 2015년04월17일 중국(CN)
- (56) 선행기술조사문헌
CN104464656 A*
JP2012150455 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
센젠 차이나 스타 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드
중국 광둥 프로빈스, 센젠 시티, 광밍 뉴 디스트릭트, 탕밍 로드, 넘버 9-2
우한 차이나 스타 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드
중국 후베이 프로빈스, 우한, 우한 이스트 레이크 하이-테크 디벨롭먼트 존, 가오신 로드, 빌딩 씨5, 바이오레이크, 넘버 666
- (72) 발명자
쇼우 준청
중국 518132 광둥 센젠 시티 광밍 뉴 디스트릭트 탕밍 로드 넘버 9-2
- (74) 대리인
박소현

전체 청구항 수 : 총 11 항

심사관 : 추장희

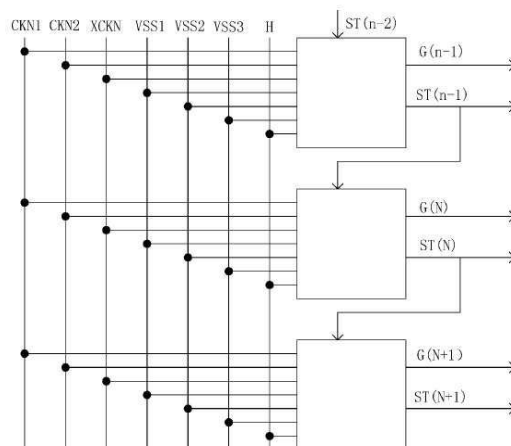
(54) 발명의 명칭 GOA 회로 및 액정 디스플레이

(57) 요약

GOA 회로 및 액정 디스플레이에 있어서, 상기 GOA 회로는 다수의 GOA 유닛을 포함하고, 여기서 N 스테이지 GOA 유닛은 디스플레이 영역의 제N 스테이지 수평 스캔 라인을 충전하며, N 스테이지 GOA 유닛은 N 스테이지 풀-업 제어 회로(101), N 스테이지 풀-업 회로(102), N 스테이지 전송 회로(103), N 스테이지 풀-다운 회로(104) 및 N

(뒷면에 계속)

대표도 - 도1



스태이지 풀-다운 유지 회로(105)를 포함하고; 여기서, N 스태이지 풀-업 회로(102)가 제N 스태이지 게이트 신호 포인트에서 하이 레벨일 경우 턴 온되고, 제1 클록 신호를 수신하며, 제1 클록 신호에서 고전위일 경우 제N 스태이지 수평 스캔 라인을 충전하고; N 스태이지 전송 회로(103)가 제N 스태이지 게이트 신호 포인트에서 하이 레벨일 경우 턴 온되며, 제2 클록 신호를 수신하고, N 스태이지 전송 신호를 출력하여 N+1 스태이지 GOA 유닛의 작업을 제어한다. 상기 방식을 통해, GOA 회로 중의 스캔 라인의 더욱 훌륭한 충전을 보장할 수 있고, 회로 각각의 노드의 정상적인 작업에 유리하다.

(52) CPC특허분류

G09G 2310/0267 (2013.01)

G09G 2310/0286 (2013.01)

G09G 2310/06 (2013.01)

G09G 2310/08 (2013.01)

G09G 2330/021 (2013.01)

명세서

청구범위

청구항 1

액정 디스플레이를 위한 GOA 회로에 있어서,

상기 GOA 회로는 다수의 GOA 유닛을 포함하고, N 스테이지 GOA 유닛은 디스플레이 영역의 제N 스테이지 수평 스캔 라인(G(N))을 충전하며, 상기 N 스테이지 GOA 유닛은 N 스테이지 풀-업 제어 회로, N 스테이지 풀-업 회로, N 스테이지 전송 회로, N 스테이지 풀-다운 회로 및 N 스테이지 풀-다운 유지 회로를 포함하고;

상기 N 스테이지 풀-업 회로 및 상기 N 스테이지 풀-다운 유지 회로는 각각 제N 스테이지 게이트 신호 포인트(Q(N)) 및 상기 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 상기 N 스테이지 풀-업 제어 회로, N 스테이지 풀-다운 회로, N 스테이지 전송 회로는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고;

상기 N 스테이지 풀-업 회로가 상기 제N 스테이지 게이트 신호 포인트(Q(N))에서 하이 레벨일 경우 턴 온되며, 제1 클록 신호(CKN1)를 수신하고, 제1 클록 신호(CKN1)가 고전위일 경우 상기 제N 스테이지 수평 스캔 라인(G(N))을 충전하며;

상기 N 스테이지 전송 회로가 상기 제N 스테이지 게이트 신호 포인트(Q(N))에서 하이 레벨일 경우 턴 온되며, 제2 클록 신호(CKN2)를 수신하고, N 스테이지 전송 신호(ST(N))를 출력하여 N+1 스테이지 GOA 유닛의 작업을 제어하고;

상기 제2 클록 신호(CKN2)의 펄스 폭은 상기 제1 클록 신호(CKN1)의 펄스 폭보다 크며;

상기 N 스테이지 풀-다운 유지 회로는,

그 게이트 및 드레인 전극이 직류 고전압(H)과 연결되는 제1 트랜지스터(T1);

그 게이트는 상기 제1 트랜지스터(T1)의 소스 전극과 연결되고, 드레인 전극은 상기 직류 고전압(H)과 연결되며, 소스 전극은 공통점(P(N))과 연결되는 제2 트랜지스터(T2);

그 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 제1 트랜지스터(T1)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제3 트랜지스터(T3);

그 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 상기 공통점(P(N))과 연결되는 제4 트랜지스터(T4);

그 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 상기 제4 트랜지스터(T4)의 소스 전극과 연결되며, 소스 전극은 제3 직류 저전압(VSS3)과 연결되는 제6 트랜지스터(T6);

그 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 소스 전극은 상기 제3 직류 저전압(VSS3)과 연결되는 제7 트랜지스터(T7);

그 게이트 및 드레인 전극은 상기 직류 고전압(H)과 연결되는 제8 트랜지스터(T8);

그 게이트는 상기 제8 트랜지스터(T8)의 소스 전극과 연결되고, 드레인 전극은 상기 직류 고전압(H)과 연결되며, 소스 전극은 상기 제4 트랜지스터(T4)의 소스 전극과 연결되는 제9 트랜지스터(T9);

그 게이트는 상기 공통점(P(N))과 연결되고, 드레인 전극은 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되며, 소스 전극은 제2 직류 저전압(VSS2)과 연결되는 제10 트랜지스터(T10);

그 게이트는 상기 공통점(P(N))과 연결되고, 드레인 전극은 상기 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제11 트랜지스터(T11)를 포함하고;

상기 제1 직류 저전압(VSS1)은 상기 제2 직류 저전압(VSS2)보다 크고, 상기 제2 직류 저전압(VSS2)은 상기 제3 직류 저전압(VSS3)보다 크며;

상기 N 스테이지 전송 회로는 N 스테이지 부트 스트랩 커패시터(Cb)를 더 포함하고;

상기 N 스테이지 부트 스트랩 커패시터(Cb)는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 상기 제N 스테이지 수평 스캔 라인(G(N)) 사이에 연결되고,

상기 제6 트랜지스터(T6)의 드레인 전극 및 제9 트랜지스터(T9)의 소스 전극은 제4 트랜지스터(T4)의 소스 전극과 연결되며, 제6 트랜지스터(T6)의 게이트 및 제7 트랜지스터(T7)의 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되는 것을 특징으로 하는 GOA 회로.

청구항 2

액정 디스플레이를 위한 GOA 회로에 있어서,

상기 GOA 회로는 다수의 GOA 유닛을 포함하고, N 스테이지 GOA 유닛은 디스플레이 영역의 제N 스테이지 수평 스캔 라인(G(N))을 충전하며, 상기 N 스테이지 GOA 유닛은 N 스테이지 풀-업 제어 회로, N 스테이지 풀-업 회로, N 스테이지 전송 회로, N 스테이지 풀-다운 회로 및 N 스테이지 풀-다운 유지 회로를 포함하고;

상기 N 스테이지 풀-업 회로 및 상기 N 스테이지 풀-다운 유지 회로는 각각 제N 스테이지 게이트 신호 포인트(Q(N)) 및 상기 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 상기 N 스테이지 풀-업 제어 회로, N 스테이지 풀-다운 회로, N 스테이지 전송 회로는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고;

상기 N 스테이지 풀-업 회로가 상기 제N 스테이지 게이트 신호 포인트(Q(N))에서 하이 레벨일 경우 턴 온되며, 제1 클록 신호(CKN1)를 수신하고, 제1 클록 신호(CKN1)가 고전위일 경우 상기 제N 스테이지 수평 스캔 라인(G(N))을 충전하며;

상기 N 스테이지 전송 회로가 상기 제N 스테이지 게이트 신호 포인트(Q(N))에서 하이 레벨일 경우 턴 온되며, 제2 클록 신호(CKN2)를 수신하고, N 스테이지 전송 신호(ST(N))를 출력하여 N+1 스테이지 GOA 유닛의 작업을 제어하고;

상기 제2 클록 신호(CKN2)의 펄스 폭은 상기 제1 클록 신호(CKN1)의 펄스 폭보다 크며;

상기 N 스테이지 풀-다운 유지 회로는,

그 게이트 및 드레인 전극이 직류 고전압(H)과 연결되는 제1 트랜지스터(T1);

그 게이트는 상기 제1 트랜지스터(T1)의 소스 전극과 연결되고, 드레인 전극은 상기 직류 고전압(H)과 연결되며, 소스 전극은 공통점(P(N))과 연결되는 제2 트랜지스터(T2);

그 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 제1 트랜지스터(T1)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제3 트랜지스터(T3);

그 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 상기 공통점(P(N))과 연결되는 제4 트랜지스터(T4);

그 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 상기 제4 트랜지스터(T4)의 소스 전극과 연결되며, 소스 전극은 제3 직류 저전압(VSS3)과 연결되는 제6 트랜지스터(T6);

드레인 전극은 상기 직류 고전압(H)과 연결되며, 소스 전극은 상기 제4 트랜지스터(T4)의 소스 전극과 연결되는 제9 트랜지스터(T9);

그 게이트는 상기 공통점(P(N))과 연결되고, 드레인 전극은 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되며, 소스 전극은 제2 직류 저전압(VSS2)과 연결되는 제10 트랜지스터(T10);

그 게이트는 상기 공통점(P(N))과 연결되고, 드레인 전극은 상기 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제11 트랜지스터(T11)를 포함하고;

상기 제1 직류 저전압(VSS1)은 상기 제2 직류 저전압(VSS2)보다 크고, 상기 제2 직류 저전압(VSS2)은 상기 제3 직류 저전압(VSS3)보다 크며;

상기 N 스테이지 전송 회로는 N 스테이지 부트 스트랩 커패시터(Cb)를 더 포함하고;

상기 N 스테이지 부트 스트랩 커패시터(Cb)는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 상기 제N 스테이

지 수평 스캔 라인(G(N)) 사이에 연결되고,

상기 제9 트랜지스터(T9)의 게이트는 상기 제2 트랜지스터(T2)의 게이트와 연결되는 것을 특징으로 하는 GOA 회로.

청구항 3

액정 디스플레이를 위한 GOA 회로에 있어서,

상기 GOA 회로는 다수의 GOA 유닛을 포함하고, N 스테이지 GOA 유닛은 디스플레이 영역의 제N 스테이지 수평 스캔 라인(G(N))을 충전하며, 상기 N 스테이지 GOA 유닛은 N 스테이지 풀-업 제어 회로, N 스테이지 풀-업 회로, N 스테이지 전송 회로, N 스테이지 풀-다운 회로 및 N 스테이지 풀-다운 유지 회로를 포함하고;

상기 N 스테이지 풀-업 회로 및 상기 N 스테이지 풀-다운 유지 회로는 각각 제N 스테이지 게이트 신호 포인트(Q(N)) 및 상기 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 상기 N 스테이지 풀-업 제어 회로, N 스테이지 풀-다운 회로, N 스테이지 전송 회로는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고;

상기 N 스테이지 풀-업 회로가 상기 제N 스테이지 게이트 신호 포인트(Q(N))에서 하이 레벨일 경우 턴 온되며, 제1 클럭 신호(CKN1)를 수신하고, 제1 클럭 신호(CKN1)가 고전위일 경우 상기 제N 스테이지 수평 스캔 라인(G(N))을 충전하며;

상기 N 스테이지 전송 회로가 상기 제N 스테이지 게이트 신호 포인트(Q(N))에서 하이 레벨일 경우 턴 온되며, 제2 클럭 신호(CKN2)를 수신하고, N 스테이지 전송 신호(ST(N))를 출력하여 N+1 스테이지 GOA 유닛의 작업을 제어하고;

상기 제2 클럭 신호(CKN2)의 펄스 폭은 상기 제1 클럭 신호(CKN1)의 펄스 폭보다 크며;

상기 N 스테이지 풀-다운 유지 회로는,

그 게이트 및 드레인 전극이 직류 고전압(H)과 연결되는 제1 트랜지스터(T1);

그 게이트는 상기 제1 트랜지스터(T1)의 소스 전극과 연결되고, 드레인 전극은 상기 직류 고전압(H)과 연결되며, 소스 전극은 공통점(P(N))과 연결되는 제2 트랜지스터(T2);

그 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 제1 트랜지스터(T1)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제3 트랜지스터(T3);

그 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 상기 공통점(P(N))과 연결되는 제4 트랜지스터(T4);

그 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 상기 제4 트랜지스터(T4)의 소스 전극과 연결되며, 소스 전극은 제3 직류 저전압(VSS3)과 연결되는 제6 트랜지스터(T6);

드레인 전극은 상기 직류 고전압(H)과 연결되며, 소스 전극은 상기 제4 트랜지스터(T4)의 소스 전극과 연결되는 제9 트랜지스터(T9);

그 게이트는 상기 공통점(P(N))과 연결되고, 드레인 전극은 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되며, 소스 전극은 제2 직류 저전압(VSS2)과 연결되는 제10 트랜지스터(T10);

그 게이트는 상기 공통점(P(N))과 연결되고, 드레인 전극은 상기 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제11 트랜지스터(T11)를 포함하고;

상기 제1 직류 저전압(VSS1)은 상기 제2 직류 저전압(VSS2)보다 크고, 상기 제2 직류 저전압(VSS2)은 상기 제3 직류 저전압(VSS3)보다 크며;

상기 N 스테이지 전송 회로는 N 스테이지 부트 스트랩 커패시터(Cb)를 더 포함하고;

상기 N 스테이지 부트 스트랩 커패시터(Cb)는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 상기 제N 스테이지 수평 스캔 라인(G(N)) 사이에 연결되고,

상기 제9 트랜지스터(T9)의 게이트는 상기 공통점(P(N))과 연결되는 것을 특징으로 하는 GOA 회로.

청구항 4

제 1항 내지 제 3항 중 어느 한 항에 있어서,

상기 N 스테이지 풀-다운 회로의 제어단은 제3 클록 신호(XCNK2)를 입력하고;

상기 제1 클록 신호(CKN1)의 듀티 비는 50%보다 작으며, 상기 제1 클록 신호(CKN1)의 하이 레벨의 시작 시간과 상기 제2 클록 신호(CKN2)의 하이 레벨의 시작 시간은 동일하고;

상기 제3 클록 신호(XCNK2)의 하이 레벨은 상기 제2 클록 신호(CKN2)의 로우 레벨에 대응되며, 상기 제3 클록 신호(XCNK2)의 로우 레벨은 상기 제2 클록 신호(CKN2)의 하이 레벨에 대응되는 것을 특징으로 하는 GOA 회로.

청구항 5

제 1항 내지 제 3항 중 어느 한 항에 있어서,

상기 N 스테이지 풀-다운 회로의 제어단은 제3 클록 신호(XCNK2)를 입력하고;

상기 제1 클록 신호(CKN1)의 듀티 비는 50%보다 작으며, 상기 제1 클록 신호(CKN1)의 하이 레벨의 종료 시간과 상기 제2 클록 신호(CKN2)의 하이 레벨의 종료 시간과 동일하고;

상기 제3 클록 신호(XCNK2)의 하이 레벨은 상기 제2 클록 신호(CKN2)의 로우 레벨에 대응되며, 상기 제3 클록 신호(XCNK2)의 로우 레벨은 상기 제2 클록 신호(CKN2)의 하이 레벨에 대응되는 것을 특징으로 하는 GOA 회로.

청구항 6

액정 디스플레이에 있어서,

상기 액정 디스플레이는 GOA 회로를 포함하고, 상기 GOA 회로는 다수의 GOA 유닛을 포함하고, N 스테이지 GOA 유닛은 디스플레이 영역의 제N 스테이지 수평 스캔 라인(G(N))을 충전하며, 상기 N 스테이지 GOA 유닛은 N 스테이지 풀-업 제어 회로, N 스테이지 풀-업 회로, N 스테이지 전송 회로, N 스테이지 풀-다운 회로 및 N 스테이지 풀-다운 유지 회로를 포함하고;

상기 N 스테이지 풀-업 회로 및 상기 N 스테이지 풀-다운 유지 회로는 각각 제N 스테이지 게이트 신호 포인트(Q(N)) 및 상기 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 상기 N 스테이지 풀-업 제어 회로, N 스테이지 풀-다운 회로, N 스테이지 전송 회로는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고;

상기 N 스테이지 풀-업 회로가 상기 제N 스테이지 게이트 신호 포인트(Q(N))에서 하이 레벨일 경우 턴 온되며, 제1 클록 신호(CKN1)를 수신하고, 제1 클록 신호(CKN1)가 고전위일 경우 상기 제N 스테이지 수평 스캔 라인(G(N))을 충전하며;

상기 N 스테이지 전송 회로가 상기 제N 스테이지 게이트 신호 포인트(Q(N))에서 하이 레벨일 경우 턴 온되며, 제2 클록 신호(CKN2)를 수신하고, N 스테이지 전송 신호(ST(N))를 출력하여 N+1 스테이지 GOA 유닛의 작업을 제어하고;

상기 제2 클록 신호(CKN2)의 펄스 폭은 상기 제1 클록 신호(CKN1)의 펄스 폭보다 크며;

상기 N 스테이지 풀-다운 유지 회로는,

그 게이트 및 드레인 전극이 직류 고전압(H)과 연결되는 제1 트랜지스터(T1);

그 게이트는 상기 제1 트랜지스터(T1)의 소스 전극과 연결되고, 드레인 전극은 상기 직류 고전압(H)과 연결되며, 소스 전극은 공통점(P(N))과 연결되는 제2 트랜지스터(T2);

그 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 제1 트랜지스터(T1)의 소

스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제3 트랜지스터(T3);

그 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 상기 공통점(P(N))과 연결되는 제4 트랜지스터(T4);

그 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 상기 제4 트랜지스터(T4)의 소스 전극과 연결되며, 소스 전극은 제3 직류 저전압(VSS3)과 연결되는 제6 트랜지스터(T6);

그 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))에 연결되고, 소스 전극은 상기 제3 직류 저전압(VSS3)과 연결되는 제7 트랜지스터(T7);

그 게이트 및 드레인 전극은 상기 직류 고전압(H)과 연결되는 제8 트랜지스터(T8);

그 게이트는 상기 제8 트랜지스터(T8)의 소스 전극과 연결되고, 드레인 전극은 상기 직류 고전압(H)과 연결되며, 소스 전극은 상기 제4 트랜지스터(T4)의 소스 전극과 연결되는 제9 트랜지스터(T9);

그 게이트는 상기 공통점(P(N))과 연결되고, 드레인 전극은 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되며, 소스 전극은 제2 직류 저전압(VSS2)과 연결되는 제10 트랜지스터(T10);

그 게이트는 상기 공통점(P(N))과 연결되고, 드레인 전극은 상기 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제11 트랜지스터(T11)를 포함하고;

상기 제1 직류 저전압(VSS1)은 상기 제2 직류 저전압(VSS2)보다 크고, 상기 제2 직류 저전압(VSS2)은 상기 제3 직류 저전압(VSS3)보다 크며;

상기 제6 트랜지스터(T6)의 드레인 전극 및 제9 트랜지스터(T9)의 소스 전극은 제4 트랜지스터(T4)의 소스 전극과 연결되며, 제6 트랜지스터(T6)의 게이트 및 제7 트랜지스터(T7)의 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되는 것을 특징으로 하는 액정 디스플레이.

청구항 7

액정 디스플레이에 있어서,

상기 액정 디스플레이는 GOA 회로를 포함하고, 상기 GOA 회로는 다수의 GOA 유닛을 포함하고, N 스테이지 GOA 유닛은 디스플레이 영역의 제N 스테이지 수평 스캔 라인(G(N))을 충전하며, 상기 N 스테이지 GOA 유닛은 N 스테이지 풀-업 제어 회로, N 스테이지 풀-업 회로, N 스테이지 전송 회로, N 스테이지 풀-다운 회로 및 N 스테이지 풀-다운 유지 회로를 포함하고;

상기 N 스테이지 풀-업 회로 및 상기 N 스테이지 풀-다운 유지 회로는 각각 제N 스테이지 게이트 신호 포인트(Q(N)) 및 상기 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 상기 N 스테이지 풀-업 제어 회로, N 스테이지 풀-다운 회로, N 스테이지 전송 회로는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고;

상기 N 스테이지 풀-업 회로가 상기 제N 스테이지 게이트 신호 포인트(Q(N))에서 하이 레벨일 경우 턴 온되며, 제1 클록 신호(CKN1)를 수신하고, 제1 클록 신호(CKN1)가 고전위일 경우 상기 제N 스테이지 수평 스캔 라인(G(N))을 충전하며;

상기 N 스테이지 전송 회로가 상기 제N 스테이지 게이트 신호 포인트(Q(N))에서 하이 레벨일 경우 턴 온되며, 제2 클록 신호(CKN2)를 수신하고, N 스테이지 전송 신호(ST(N))를 출력하여 N+1 스테이지 GOA 유닛의 작업을 제어하고;

상기 제2 클록 신호(CKN2)의 펄스 폭은 상기 제1 클록 신호(CKN1)의 펄스 폭보다 크며;

상기 N 스테이지 풀-다운 유지 회로는,

그 게이트 및 드레인 전극이 직류 고전압(H)과 연결되는 제1 트랜지스터(T1);

그 게이트는 상기 제1 트랜지스터(T1)의 소스 전극과 연결되고, 드레인 전극은 상기 직류 고전압(H)과 연결되며, 소스 전극은 공통점(P(N))과 연결되는 제2 트랜지스터(T2);

그 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 제1 트랜지스터(T1)의 소

스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제3 트랜지스터(T3);

그 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 상기 공통점(P(N))과 연결되는 제4 트랜지스터(T4);

그 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 상기 제4 트랜지스터(T4)의 소스 전극과 연결되며, 소스 전극은 제3 직류 저전압(VSS3)과 연결되는 제6 트랜지스터(T6);

드레인 전극은 상기 직류 고전압(H)과 연결되며, 소스 전극은 상기 제4 트랜지스터(T4)의 소스 전극과 연결되는 제9 트랜지스터(T9);

그 게이트는 상기 공통점(P(N))과 연결되고, 드레인 전극은 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되며, 소스 전극은 제2 직류 저전압(VSS2)과 연결되는 제10 트랜지스터(T10);

그 게이트는 상기 공통점(P(N))과 연결되고, 드레인 전극은 상기 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제11 트랜지스터(T11)를 포함하고;

상기 제1 직류 저전압(VSS1)은 상기 제2 직류 저전압(VSS2)보다 크고, 상기 제2 직류 저전압(VSS2)은 상기 제3 직류 저전압(VSS3)보다 크며;

상기 제9 트랜지스터(T9)의 게이트는 상기 제2 트랜지스터(T2)의 게이트와 연결되는 것을 특징으로 하는 액정 디스플레이.

청구항 8

액정 디스플레이에 있어서,

상기 액정 디스플레이는 GOA 회로를 포함하고, 상기 GOA 회로는 다수의 GOA 유닛을 포함하고, N 스테이지 GOA 유닛은 디스플레이 영역의 제N 스테이지 수평 스캔 라인(G(N))을 충전하며, 상기 N 스테이지 GOA 유닛은 N 스테이지 풀-업 제어 회로, N 스테이지 풀-업 회로, N 스테이지 전송 회로, N 스테이지 풀-다운 회로 및 N 스테이지 풀-다운 유지 회로를 포함하고;

상기 N 스테이지 풀-업 회로 및 상기 N 스테이지 풀-다운 유지 회로는 각각 제N 스테이지 게이트 신호 포인트(Q(N)) 및 상기 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 상기 N 스테이지 풀-업 제어 회로, N 스테이지 풀-다운 회로, N 스테이지 전송 회로는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고;

상기 N 스테이지 풀-업 회로가 상기 제N 스테이지 게이트 신호 포인트(Q(N))에서 하이 레벨일 경우 턴 온되며, 제1 클럭 신호(CKN1)를 수신하고, 제1 클럭 신호(CKN1)가 고전위일 경우 상기 제N 스테이지 수평 스캔 라인(G(N))을 충전하며;

상기 N 스테이지 전송 회로가 상기 제N 스테이지 게이트 신호 포인트(Q(N))에서 하이 레벨일 경우 턴 온되며, 제2 클럭 신호(CKN2)를 수신하고, N 스테이지 전송 신호(ST(N))를 출력하여 N+1 스테이지 GOA 유닛의 작업을 제어하고;

상기 제2 클럭 신호(CKN2)의 펄스 폭은 상기 제1 클럭 신호(CKN1)의 펄스 폭보다 크며;

상기 N 스테이지 풀-다운 유지 회로는,

그 게이트 및 드레인 전극이 직류 고전압(H)과 연결되는 제1 트랜지스터(T1);

그 게이트는 상기 제1 트랜지스터(T1)의 소스 전극과 연결되고, 드레인 전극은 상기 직류 고전압(H)과 연결되며, 소스 전극은 공통점(P(N))과 연결되는 제2 트랜지스터(T2);

그 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 제1 트랜지스터(T1)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제3 트랜지스터(T3);

그 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 상기 공통점(P(N))과 연결되는 제4 트랜지스터(T4);

그 게이트는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 상기 제4 트랜지스터(T

4)의 소스 전극과 연결되며, 소스 전극은 제3 직류 저전압(VSS3)과 연결되는 제6 트랜지스터(T6);

드레인 전극은 상기 직류 고전압(H)과 연결되며, 소스 전극은 상기 제4 트랜지스터(T4)의 소스 전극과 연결되는 제9 트랜지스터(T9);

그 게이트는 상기 공통점(P(N))과 연결되고, 드레인 전극은 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되며, 소스 전극은 제2 직류 저전압(VSS2)과 연결되는 제10 트랜지스터(T10);

그 게이트는 상기 공통점(P(N))과 연결되고, 드레인 전극은 상기 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제11 트랜지스터(T11)를 포함하고;

상기 제1 직류 저전압(VSS1)은 상기 제2 직류 저전압(VSS2)보다 크고, 상기 제2 직류 저전압(VSS2)은 상기 제3 직류 저전압(VSS3)보다 크며;

상기 제9 트랜지스터(T9)의 게이트는 상기 공통점(P(N))과 연결되는 것을 특징으로 하는 액정 디스플레이.

청구항 9

제 6항 내지 제 8항 중 어느 한 항에 있어서,

상기 N 스테이지 풀-다운 회로의 제어단은 제3 클록 신호(XCNK2)를 입력하고;

상기 제1 클록 신호(CKN1)의 듀티 비는 50%보다 작으며, 상기 제1 클록 신호(CKN1)의 하이 레벨의 시작 시간과 상기 제2 클록 신호(CKN2)의 하이 레벨의 시작 시간은 동일하고;

상기 제3 클록 신호(XCNK2)의 하이 레벨은 상기 제2 클록 신호(CKN2)의 로우 레벨에 대응되며, 상기 제3 클록 신호(XCNK2)의 로우 레벨은 상기 제2 클록 신호(CKN2)의 하이 레벨에 대응되는 것을 특징으로 하는 액정 디스플레이.

청구항 10

제 6항 내지 제 8항 중 어느 한 항에 있어서,

상기 N 스테이지 풀-다운 회로의 제어단은 제3 클록 신호(XCNK2)를 입력하고;

상기 제1 클록 신호(CKN1)의 듀티 비는 50%보다 작으며, 상기 제1 클록 신호(CKN1)의 하이 레벨의 종료 시간은 상기 제2 클록 신호(CKN2)의 하이 레벨의 종료 시간과 동일하고;

상기 제3 클록 신호(XCNK2)의 하이 레벨은 상기 제2 클록 신호(CKN2)의 로우 레벨에 대응되며, 상기 제3 클록 신호(XCNK2)의 로우 레벨은 상기 제2 클록 신호(CKN2)의 하이 레벨에 대응되는 것을 특징으로 하는 액정 디스플레이.

청구항 11

제 6항 내지 제 8항 중 어느 한 항에 있어서,

상기 N 스테이지 전송 회로는 N 스테이지 부트 스트랩 커패시터(Cb)를 더 포함하고;

상기 N 스테이지 부트 스트랩 커패시터(Cb)는 상기 제N 스테이지 게이트 신호 포인트(Q(N))와 상기 제N 스테이지 수평 스캔 라인(G(N)) 사이에 연결되는 것을 특징으로 하는 액정 디스플레이.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

발명의 설명

기술 분야

[0001] 본 발명은 액정 디스플레이 기술분야에 관한 것으로서, 특히는 GOA 회로 및 액정 디스플레이에 관한 것이다.

배경 기술

[0002] Gate Driver On Array는 약칭 GOA 인 바, 박막 트랜지스터 액정 디스플레이를 이용하는 Array프로세스가 Gate 스캐닝 구동 신호 회로를 Array 기판에 제조하여, Gate 순차 주사 방식을 실현하는 한가지 기술이다.

[0003] 저온 폴리-실리콘(LTPS) 반도체 박막 트랜지스터의 발전과 더불어, LTPS 반도체 자체에 울트라-하이 캐리어 이동도의 특징으로 인해, 상응한 패널 주변 집적 회로도 모두가 주목하는 포인트이며, 또한 수많은 사람이 System on Panel(SOP)의 관련 기술 연구에 투입되었으며 점차 현실로 되어간다.

[0004] 비록 LTPS 반도체가 비교적 높은 캐리어 이동도를 구비하지만, 이는 임계 값 전압 값이 비교적 낮고(일반적으로 약 0V 좌우임), 또한 임계 값 영역의 스윙 폭도가 비교적 작으며, GOA 회로가 오프 상태일 경우 많은 소자는 Vth와 접근하는 곳에서 심지어 Vth보다 높은 정황하에서 작동되고, 이렇게 되면 회로 중 TFT의 누전과 작업 전류의 드리프트로 인해, LTPS GOA 회로 설계의 난이도를 증가시켜, 비결정질 실리콘 반도체에 적용되는 스캔 구동 회로는 LTPS TFT-LCD에 용이하게 응용될 수 없고, 일부 기능적인 문제가 존재할 수 있으며, 따라서 이렇게 되면 IGZO GOA 회로가 작업이 불가능한 것을 직접적으로 초래하기에, 회로를 설계할 경우 반드시 이러한 소자의 특성이 GOA 회로에 대한 영향을 고려해야 한다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 주요하게 해결하고자 하는 기술적 과제는 GOA 회로 및 액정 디스플레이를 제공하여, GOA 회로 중의 스캔 라인의 더욱 훌륭한 충전을 보장할 수 있고, 회로 각각의 노드의 정상적인 작업에 유리하게 하는 것이다.

과제의 해결 수단

[0006] 상기 기술적 과제를 해결하기 위해, 본 발명에서 사용하는 기술적 해결수단은, GOA 회로를 제공하는 것인 바, 액정 디스플레이를 위한 것이며, GOA 회로는 다수의 GOA 유닛을 포함하고, 여기서 N 스테이지 GOA 유닛은 디스플레이 영역의 제N 스테이지 수평 스캔 라인(G(N))을 충전하며, N 스테이지 GOA 유닛은 N 스테이지 풀-업 제어 회로, N 스테이지 풀-업 회로, N 스테이지 전송 회로, N 스테이지 풀-다운 회로 및 N 스테이지 풀-다운 유지 회로를 포함하고; 여기서, N 스테이지 풀-업 회로 및 N 스테이지 풀-다운 유지 회로는 각각 제N 스테이지 게이트 신호 포인트(Q(N)) 및 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, N 스테이지 풀-업 제어 회로, N 스테이지 풀-다운 회로, N 스테이지 전송 회로는 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고; N 스테이지 풀-

업 회로가 제N 스테이지 게이트 신호 포인트(Q(N))에서 하이 레벨일 경우 턴 온되며, 제1 클록 신호(CKN1)를 수신하고, 제1 클록 신호(CKN1)가 고전위일 경우 N 스테이지 수평 스캔 라인(G(N))을 충전하며; N 스테이지 전송 회로가 제N 스테이지 게이트 신호 포인트(Q(N))에서 하이 레벨일 경우 턴 온되며, 제2 클록 신호(CKN2)를 수신하고, N 스테이지 전송 신호(ST(N))를 출력하여 N+1 스테이지 GOA 유닛의 작업을 제어하고; 여기서, 제2 클록 신호(CKN2)의 펄스 폭은 제1 클록 신호(CKN1)의 펄스 폭보다 크며; 여기서, N 스테이지 풀-다운 유지 회로는, 그 게이트 및 드레인 전극이 직류 고전압(H)과 연결되는 제1 트랜지스터(T1); 그 게이트는 제1 트랜지스터(T1)의 소스 전극과 연결되고, 드레인 전극이 직류 고전압(H)과 연결되는, 소스 전극은 공통점(P(N))과 연결되는 제2 트랜지스터(T2); 그 게이트는 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 제1 트랜지스터(T1)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제3 트랜지스터(T3); 그 게이트는 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 공통점(P(N))과 연결되는 제4 트랜지스터(T4); 그 게이트는 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 공통점(P(N))과 연결되는 제5 트랜지스터(T5); 그 게이트는 제4 트랜지스터(T4)의 소스 전극과 연결되고, 드레인 전극은 제5 트랜지스터(T5)의 소스 전극과 연결되며, 소스 전극은 제3 직류 저전압(VSS3)과 연결되는 제6 트랜지스터(T6); 그 게이트는 제4 트랜지스터(T4)의 소스 전극과 연결되고, 소스 전극은 제3 직류 저전압(VSS3)과 연결되는 제7 트랜지스터(T7); 그 게이트 및 드레인 전극이 직류 고전압(H)과 연결되는 제8 트랜지스터(T8); 그 게이트는 제8 트랜지스터(T8)의 소스 전극과 연결되고, 드레인 전극이 직류 고전압(H)과 연결되는, 소스 전극은 제5 트랜지스터(T5)의 소스 전극과 연결되는 제9 트랜지스터(T9); 그 게이트는 공통점(P(N))과 연결되고, 드레인 전극은 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되며, 소스 전극은 제2 직류 저전압(VSS2)과 연결되는 제10 트랜지스터(T10); 그 게이트는 공통점(P(N))과 연결되고, 드레인 전극은 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 소스 전극은 제2 직류 저전압(VSS2)과 연결되는 제11 트랜지스터(T11)를 포함하고; 여기서, 제1 직류 저전압(VSS1)은 제2 직류 저전압(VSS2)보다 크고, 제2 직류 저전압(VSS2)은 제3 직류 저전압(VSS3)보다 크며; 여기서, N 스테이지 전송 회로는 N 스테이지 부트 스트랩 커패시터(Cb)를 더 포함하고; N 스테이지 부트 스트랩 커패시터(Cb)는 제N 스테이지 게이트 신호 포인트(Q(N))와 제N 스테이지 수평 스캔 라인(G(N)) 사이에 연결된다.

[0007] 상기 기술적 과제를 해결하기 위해, 본 발명에서 사용하는 다른 일 기술적 해결수단은, GOA 회로를 제공하는 것인 바, 액정 디스플레이를 위한 것이며, GOA 회로는 다수의 GOA 유닛을 포함하고, 여기서 N 스테이지 GOA 유닛은 디스플레이 영역의 제N 스테이지 수평 스캔 라인(G(N))을 충전하며, N 스테이지 GOA 유닛은 N 스테이지 풀-업 제어 회로, N 스테이지 풀-업 회로, N 스테이지 전송 회로, N 스테이지 풀-다운 회로 및 N 스테이지 풀-다운 유지 회로를 포함하고; 여기서, N 스테이지 풀-업 회로 및 N 스테이지 풀-다운 유지 회로는 각각 제N 스테이지 게이트 신호 포인트(Q(N)) 및 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, N 스테이지 풀-업 제어 회로, N 스테이지 풀-다운 회로, N 스테이지 전송 회로는 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고; N 스테이지 풀-업 회로가 제N 스테이지 게이트 신호 포인트(Q(N))에서 하이 레벨일 경우 턴 온되며, 제1 클록 신호(CKN1)를 수신하고, 제1 클록 신호(CKN1)가 고전위일 경우 N 스테이지 수평 스캔 라인(G(N))을 충전하며; N 스테이지 전송 회로가 제N 스테이지 게이트 신호 포인트(Q(N))에서 하이 레벨일 경우 턴 온되며, 제2 클록 신호(CKN2)를 수신하고, N 스테이지 전송 신호(ST(N))를 출력하여 N+1 스테이지 GOA 유닛의 작업을 제어하고; 여기서, 제2 클록 신호(CKN2)의 펄스 폭은 제1 클록 신호(CKN1)의 펄스 폭보다 크다.

[0008] 여기서, N 스테이지 풀-다운 유지 회로는, 그 게이트 및 드레인 전극이 직류 고전압(H)과 연결되는 제1 트랜지스터(T1); 그 게이트는 제1 트랜지스터(T1)의 소스 전극과 연결되고, 드레인 전극이 직류 고전압(H)과 연결되는, 소스 전극은 공통점(P(N))과 연결되는 제2 트랜지스터(T2); 그 게이트는 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 제1 트랜지스터(T1)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제3 트랜지스터(T3); 그 게이트는 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 공통점(P(N))과 연결되는 제4 트랜지스터(T4); 그 게이트는 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 공통점(P(N))과 연결되는 제5 트랜지스터(T5); 그 게이트는 제4 트랜지스터(T4)의 소스 전극과 연결되고, 드레인 전극은 제5 트랜지스터(T5)의 소스 전극과 연결되며, 소스 전극은 제3 직류 저전압(VSS3)과 연결되는 제6 트랜지스터(T6); 그 게이트는 제4 트랜지스터(T4)의 소스 전극과 연결되고, 소스 전극은 제3 직류 저전압(VSS3)과 연결되는 제7 트랜지스터(T7); 그 게이트 및 드레인 전극이 직류 고전압(H)과 연결되는 제8 트랜지스터(T8); 그 게이트는 제8 트랜지스터(T8)의 소스 전극과 연결되고, 드레인 전극이 직류 고전압(H)과 연결되는, 소스 전극은 제5 트랜지스터(T5)의 소스 전극과 연결되는 제9 트랜지스터(T9); 그 게이트는 공통점(P(N))과 연결되고, 드레인 전극은 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되며, 소스 전극은 제2 직류 저전압(VSS2)과 연결되는 제10 트랜지스터(T10); 그 게이트는 공통점(P(N))과 연결되

고, 드레인 전극은 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 소스 전극은 제2 직류 저전압(VSS2)과 연결되는 제11 트랜지스터(T11)를 포함하고; 여기서, 제1 직류 저전압(VSS1)은 제2 직류 저전압(VSS2)보다 크고, 제2 직류 저전압(VSS2)은 제3 직류 저전압(VSS3)보다 크다.

[0009] 여기서, N 스테이지 풀-다운 유지 회로는, 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제6 트랜지스터(T6), 제9 트랜지스터(T9), 제10 트랜지스터(T10) 및 제11 트랜지스터(T11)를 포함하고; 여기서, 제9 트랜지스터(T9)의 게이트는 공통점(P(N))과 연결된다.

[0010] 여기서, N 스테이지 풀-다운 유지 회로는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제6 트랜지스터(T6), 제7 트랜지스터(T7), 제8 트랜지스터(T8), 제9 트랜지스터(T9), 제10 트랜지스터(T10) 및 제11 트랜지스터(T11)를 포함하고; 여기서, 제6 트랜지스터(T6)의 드레인 전극 및 제9 트랜지스터(T9)의 소스 전극은 제4 트랜지스터(T4)의 소스 전극과 연결되며, 제6 트랜지스터(T6)의 게이트 및 제7 트랜지스터(T7)의 게이트는 제N 스테이지 게이트 신호 포인트(Q(N))와 연결된다.

[0011] 여기서, N 스테이지 풀-다운 유지 회로는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제6 트랜지스터(T6), 제9 트랜지스터(T9), 제10 트랜지스터(T10) 및 제11 트랜지스터(T11)를 포함하고; 여기서, 제9 트랜지스터(T9)의 게이트는 제2 트랜지스터(T2)의 게이트와 연결된다.

[0012] 여기서, 제9 트랜지스터(T9)의 게이트는 공통점(P(N))과 연결된다.

[0013] 여기서, N 스테이지 전송 회로는 N 스테이지 부트 스트랩 커패시터(Cb)를 더 포함하고; N 스테이지 부트 스트랩 커패시터(Cb)는 제N 스테이지 게이트 신호 포인트(Q(N))와 제N 스테이지 수평 스캔 라인(G(N)) 사이에 연결된다.

[0014] 여기서, N 스테이지 풀-다운 회로의 제어단은 제3 클록 신호(XCNK2)를 입력하고; 여기서, 제1 클록 신호(CKN1)의 듀티 비는 50%보다 작으며, 제1 클록 신호(CKN1)의 하이 레벨의 시작 시간과 제2 클록 신호(CKN2)의 하이 레벨의 시작 시간은 동일하고; 제3 클록 신호(XCNK2)의 하이 레벨은 제2 클록 신호(CKN2)의 로우 레벨에 대응되며, 제3 클록 신호(XCNK2)의 로우 레벨은 제2 클록 신호(CKN2)의 하이 레벨에 대응된다.

[0015] 여기서, N 스테이지 풀-다운 회로의 제어단은 제3 클록 신호(XCNK2)를 입력하고; 여기서, 제1 클록 신호(CKN1)의 듀티 비는 50%보다 작으며, 제1 클록 신호(CKN1)의 하이 레벨의 종료 시간과 제2 클록 신호(CKN2)의 하이 레벨의 종료 시간은 동일하고; 제3 클록 신호(XCNK2)의 하이 레벨은 제2 클록 신호(CKN2)의 로우 레벨에 대응되며, 제3 클록 신호(XCNK2)의 로우 레벨은 제2 클록 신호(CKN2)의 하이 레벨에 대응된다.

[0016] 상기 기술적 과제를 해결하기 위해, 본 발명에서 사용하는 다른 일 기술적 해결수단은 액정 디스플레이를 제공하는 것인 바, 상기 액정 디스플레이는 상기와 같은 GOA 회로를 포함한다.

발명의 효과

[0017] 본 발명의 유익한 효과는 하기와 같다. 선행기술의 상황과 구별되게, 본 발명은 N 스테이지 풀-업 회로 및 N 스테이지 전송 회로에 펄스 폭이 상이한 두가지 클록 신호를 입력하여, 출력 신호와 전송 신호를 분리함으로써, Q(N) 포인트가 비교적 훌륭한 고전위에 이르도록 하며, 출력 신호의 딜레이를 감소하였고, GOA 회로 중의 스캔 라인의 더욱 훌륭한 충전을 보장하여, 회로 각각의 노드의 정상적인 작업에 유리하다.

도면의 간단한 설명

[0018] 도 1은 본 발명의 GOA 회로 제1 실시예의 다수의 GOA 유닛 캐스케이딩의 구조도이다.

도 2는 본 발명의 GOA 회로 제1 실시예 중 GOA 유닛의 구조도이다.

도 3은 본 발명의 GOA 회로 제2 실시예 중 GOA 유닛의 구체적인 회로 연결도이다.

도 4는 본 발명의 GOA 회로 제2 실시예 중 GOA 유닛 각 노드의 첫번째 전압 파형도이다.

도 5는 본 발명의 GOA 회로 제2 실시예 중 GOA 유닛 각 노드의 두번째 전압 파형도이다.

도 6은 본 발명의 GOA 회로 제3 실시예 중 GOA 유닛의 구체적인 회로 연결도이다.

도 7은 본 발명의 GOA 회로 제4 실시예 중 GOA 유닛의 구체적인 회로 연결도이다.

도 8은 본 발명의 GOA 회로 제5 실시예 중 GOA 유닛의 구체적인 회로 연결도이다.

도 9는 본 발명의 GOA 회로 제6 실시예 중 GOA 유닛의 구체적인 회로 연결도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 도 1을 참조하면, 본 발명의 GOA 회로 제1 실시예 다수의 GOA 유닛 캐스케이딩의 구조도이고, 상기 GOA 회로는 다수의 GOA 유닛을 포함하고, 여기서 N 스테이지 GOA 유닛은 디스플레이 영역의 제N 스테이지 수평 스캔 라인(G(N))을 충전한다.
- [0020] 도 2를 참조하면, 본 발명의 GOA 회로 제1 실시예 중 GOA 유닛의 구조도이고, N 스테이지 GOA 유닛은 N 스테이지 풀-업 제어 회로(101), N 스테이지 풀-업 회로(102), N 스테이지 전송 회로(103), N 스테이지 풀-다운 회로(104) 및 N 스테이지 풀-다운 유지 회로(105)를 포함하며; 여기서, N 스테이지 풀-업 회로(103) 및 N 스테이지 풀-다운 유지 회로(105)는 각각 제N 스테이지 게이트 신호 포인트(Q(N)) 및 제N 스테이지 수평 스캔 라인(G(N))과 연결되고, N 스테이지 풀-업 제어 회로(101), N 스테이지 풀-다운 회로(104), N 스테이지 전송 회로(103)는 제N 스테이지 게이트 신호 포인트(Q(N))와 연결된다. N 스테이지 풀-업 회로가 제N 스테이지 게이트 신호 포인트(Q(N))에서 하이 레벨일 경우 턴 온되며, 제1 클록 신호(CKN1)를 수신하고, 제1 클록 신호(CKN1)가 고전위일 경우 N 스테이지 수평 스캔 라인(G(N))을 충전하며; N 스테이지 전송 회로가 제N 스테이지 게이트 신호 포인트(Q(N))에서 하이 레벨일 경우 턴 온되며, 제2 클록 신호(CKN2)를 수신하고, N 스테이지 전송 신호(ST(N))를 출력하여 N+1 스테이지 GOA 유닛의 작업을 제어하고; 제2 클록 신호(CKN2)의 펄스 폭은 제1 클록 신호(CKN1)의 펄스 폭보다 크다.
- [0021] 구체적으로, N 스테이지 풀-업 제어 회로(101)는 이전 스테이지 GOA 유닛의 고전위의 ST(N-1)신호를 수신할 경우 턴 온되고 제N 스테이지 게이트 신호 포인트(Q(N))의 전위를 고전위로 풀-업하여, N 스테이지 풀-업 회로(102) 및 N 스테이지 전송 회로(103)를 턴 온시켜, N 스테이지 풀-업 회로(102) 및 N 스테이지 전송 회로(103)가 각각 제1 클록 신호(CKN1) 및 제2 클록 신호(CKN2)를 출력하도록 하고, 출력한 후 N 스테이지 풀-다운 회로(104)는 제N 스테이지 게이트 신호 포인트(Q(N))의 전위를 저전위로 풀-다운하며, N 스테이지 풀-다운 유지 회로(105)는 제N 스테이지 게이트 신호 포인트(Q(N)) 및 제N 스테이지 수평 스캔 라인(G(N))의 전위를 저전위로 유지한다.
- [0022] 선행기술과 구별되게, 본 실시예는 N 스테이지 풀-업 회로 및 N 스테이지 전송 회로에 펄스 폭이 상이한 두가지 클록 신호를 입력하여, 출력 신호와 전송 신호를 분리함으로써, Q(N) 포인트가 비교적 훌륭한 고전위에 이르도록 하며, 출력 신호의 딜레이를 감소하였고, GOA 회로 중의 스캔 라인의 더욱 훌륭한 충전을 보장하여, 회로 각각의 노드의 정상적인 작업에 유리하다.
- [0023] 도 3을 참조하면, 본 발명의 GOA 회로 제2 실시예 중 GOA 유닛의 구체적인 회로 연결도이고, 상기 N 스테이지 GOA 유닛은 N 스테이지 풀-업 제어 회로(301), N 스테이지 풀-업 회로(302), N 스테이지 전송 회로(303), N 스테이지 풀-다운 회로(304) 및 N 스테이지 풀-다운 유지 회로(305)를 포함하며; 여기서, N 스테이지 풀-업 회로(302) 및 N 스테이지 풀-다운 유지 회로(305)는 각각 제N 스테이지 게이트 신호 포인트(Q(N)) 및 제N 스테이지 수평 스캔 라인(G(N))과 연결되고, N 스테이지 풀-업 제어 회로(301), N 스테이지 풀-다운 회로(304), N 스테이지 전송 회로(303)는 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되며; N 스테이지 풀-업 회로(302) 및 N 스테이지 전송 회로(303)는 Q(N)이 하이 레벨일 경우 턴 온되고, 각각 제1 클록 신호(CKN1)를 수신하고 제2 클록 신호(CKN2)를 출력하며, 제2 클록 신호(CKN2)의 펄스 폭은 제1 클록 신호(CKN1)의 펄스 폭보다 크다.
- [0024] 여기서, N 스테이지 풀-다운 유지 회로(305)는,
- [0025] 그 게이트 및 드레인 전극이 직류 고전압(H)과 연결되는 제1 트랜지스터(T1); 그 게이트는 제1 트랜지스터(T1)의 소스 전극과 연결되고, 드레인 전극이 직류 고전압(H)과 연결되는, 소스 전극은 공통점(P(N))과 연결되는 제2 트랜지스터(T2); 그 게이트는 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 제1 트랜지스터(T1)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제3 트랜지스터(T3); 그 게이트는 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 공통점(P(N))과 연결되는 제4 트랜지스터(T4); 그 게이트는 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되고, 드레인 전극은 공통점(P(N))과 연결되는 제5 트랜지스터(T5); 그 게이트는 제4 트랜지스터(T4)의 소스 전극과 연결되고, 드레인 전극은 제5 트랜지스터(T5)의 소스 전극과 연결되며, 소스 전극은 제3 직류 저전압(VSS3)과 연결되는 제6 트랜지스터(T6); 그 게이트는 제4 트랜지스터(T4)의 소스 전극과 연결되고, 소스 전극은 제3 직류 저전압(VSS3)과 연결되는 제7 트랜지스터(T7); 그 게이트 및 드레인 전극이 직류 고전압(H)과 연결되는 제8 트랜지스터(T8); 그 게이트는 제8 트랜지스터(T8)의 소스 전극과 연결되고, 드레인 전극이 직류 고전압(H)과 연결되는, 소스 전극은 제5 트랜지스

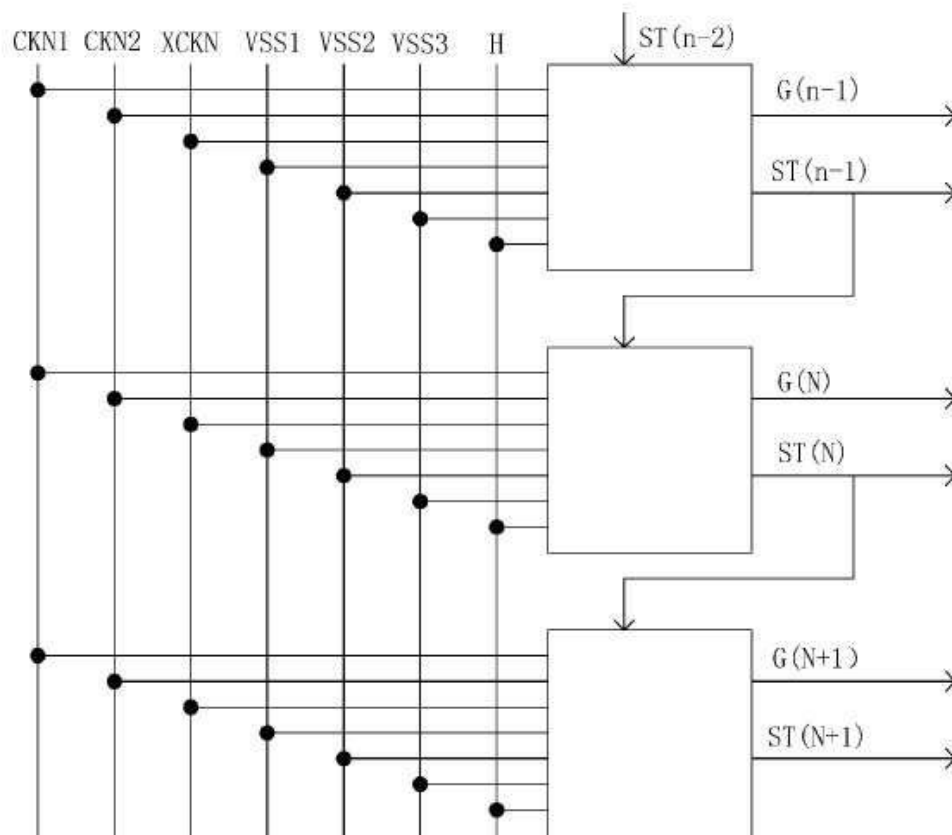
터(T5)의 소스 전극과 연결되는 제9 트랜지스터(T9); 그 게이트는 공통점(P(N))과 연결되고, 드레인 전극은 제N 스테이지 게이트 신호 포인트(Q(N))와 연결되며, 소스 전극은 제2 직류 저전압(VSS2)과 연결되는 제10 트랜지스터(T10); 그 게이트는 공통점(P(N))과 연결되고, 드레인 전극은 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 소스 전극은 제2 직류 저전압(VSS2)과 연결되는 제11 트랜지스터(T11)를 포함하고; 여기서, 제1 직류 저전압(VSS1)은 제2 직류 저전압(VSS2)보다 크고, 제2 직류 저전압(VSS2)은 제3 직류 저전압(VSS3)보다 크다.

- [0026] 도 4를 참조하면, 본 발명의 GOA 회로 제2 실시예 중 GOA 유닛 각 노드의 첫번째 전압 파형도이고, 상기 파형에서, N 스테이지 풀-다운 회로의 제어단은 XCKN2를 입력하며, 이하 제2 클럭 신호(CKN2)의 두 개 주기를 예로 들어, 회로 작업 원리를 소개한다.
- [0027] 제1 작업 구간: 이전 스테이지 전송 신호(ST(N-1))가 저전위이기에, N 스테이지 풀-업 제어 회로(301) 및 N 스테이지 전송 회로가 모두 턴 오프되며, 이때 T3, T4, T5도 턴 오프되고, 그러나 T1, T2의 턴 온 및 H 신호의 입력으로 인해, 공통점(P(N))은 고전위이고, T10, T11의 턴 온을 초래하며, 각각 제N 스테이지 게이트 신호 포인트(Q(N)) 및 제N 스테이지 게이트 신호 포인트(Q(N))의 전위를 풀-다운 시킨다.
- [0028] 제2 작업 구간: 단지 제1 클럭 신호(CKN1)에만 변화가 있고, 기타 클럭 신호 및 전송 신호는 변하지 않지만, N 스테이지 풀-업 회로의 턴 오프로 인해, 기타 노드의 전위가 모두 변화되지 않는 것을 초래한다.
- [0029] 제3 작업 구간: 이전 스테이지 전송 신호(ST(N-1))은 고전위이고, N 스테이지 풀-업 제어 회로(301)는 턴 온되며, 제N 스테이지 게이트 신호 포인트(Q(N))는 상승되고, 공통점(P(N))은 저전위로 하강하며, N 스테이지 풀-업 회로(302) 및 N 스테이지 전송 회로(303)는 모두 턴 온되고, G(N)과 CKN1은 동일하며, ST(N)과 CKN2는 동일하다.
- [0030] 제4 작업 구간: 커패시터(Cb)의 부트 스트랩 작용으로 인해, 제N 스테이지 게이트 신호 포인트(Q(N))는 여전히 고전위를 유지하고, G(N)과 CKN1은 동일하고, ST(N)과 CKN2는 동일하다.
- [0031] 제5 작업 구간: 제2 클럭 신호(CKN2)는 고전위로 변하고, 고전위의 N 스테이지 전송 신호(ST(N))를 출력하며, 커패시터(Cb)를 통해 제N 스테이지 게이트 신호 포인트(Q(N))의 전위를 더욱 높게 상승시켜, N 스테이지 풀-업 회로(302) 및 N 스테이지 전송 회로(303)의 자유로운 출력을 보장한다.
- [0032] 제6 작업 구간: 제N 스테이지 게이트 신호 포인트(Q(N))의 전위는 재차 더욱 높게 상승되고, CKN1은 고전위로 변하며, 제N 스테이지 수평 스캔 라인(G(N))은 순리롭게 고전위 신호를 출력한다.
- [0033] 제7 작업 구간: XCKN2는 고전위로 변하고, 제N 스테이지 게이트 신호 포인트(Q(N))의 전위를 풀-다운되며, N 스테이지 풀-업 회로(302) 및 N 스테이지 전송 회로(303)는 모두 턴 오프되고, 제N 스테이지 수평 스캔 라인(G(N)) 및 전송 신호(ST(N))는 저전위이다.
- [0034] 제8 작업 구간: 각 토인트와 제7 작업 구간은 유사하고, 각 출력은 저전위를 유지한다.
- [0035] 상기 실시예에 있어서, N 스테이지 풀-다운 회로의 제어단은 제3 클럭 신호(XCKN2)를 입력하고; 여기서, 제1 클럭 신호(CKN1)의 듀티 비는 50%보다 작으며, 제1 클럭 신호(CKN1)의 하이 레벨의 시작 시간과 제2 클럭 신호(CKN2)의 하이 레벨의 시작 시간은 동일하고; 제3 클럭 신호(XCKN2)의 하이 레벨은 제2 클럭 신호(CKN2)의 로우 레벨에 대응되며, 제3 클럭 신호(XCKN2)의 로우 레벨은 제2 클럭 신호(CKN2)의 하이 레벨에 대응된다.
- [0036] 도 5를 참조하면, 본 발명의 GOA 회로 제2 실시예 중 GOA 유닛 각 노드의 두번째 전압 파형도이다.
- [0037] 상기 두번째 파형과 첫번째 파형은 유사하고, 상이한 점은 제1 클럭 신호(CKN1)의 위상은 좌측으로 4분의 1 주기 이동하며, 제N 스테이지 게이트 신호 포인트(Q(N))가 제6 작업 구간의 전위에서 약간 하강하는 것을 초래하고, 제N 스테이지 수평 스캔 라인(G(N))은 제5 작업 구간에서 출력된다.
- [0038] 상기 실시예에 있어서, N 스테이지 풀-다운 회로의 제어단은 제3 클럭 신호(XCKN2)를 입력하고; 여기서, 제1 클럭 신호(CKN1)의 듀티 비는 50%보다 작으며, 제1 클럭 신호(CKN1)의 하이 레벨의 종료 시간은 제2 클럭 신호(CKN2)의 하이 레벨의 종료 시간과 동일하고; 제3 클럭 신호(XCKN2)의 하이 레벨은 제2 클럭 신호(CKN2)의 로우 레벨에 대응되며, 제3 클럭 신호(XCKN2)의 로우 레벨은 제2 클럭 신호(CKN2)의 하이 레벨에 대응된다.
- [0039] 당연히, 제1 클럭 신호(CKN1)의 하이 레벨의 시작 시간 및 종료 시간도 모두 제2 클럭 신호(CKN2)의 하이 레벨의 시작 시간 및 종료 시간과 동일하지 않을 수 있고, 제1 클럭 신호(CKN1)의 하이 레벨 구간이 제2 클럭 신호(CKN2)의 하이 레벨 구간 사이에 있을 수도 있다.

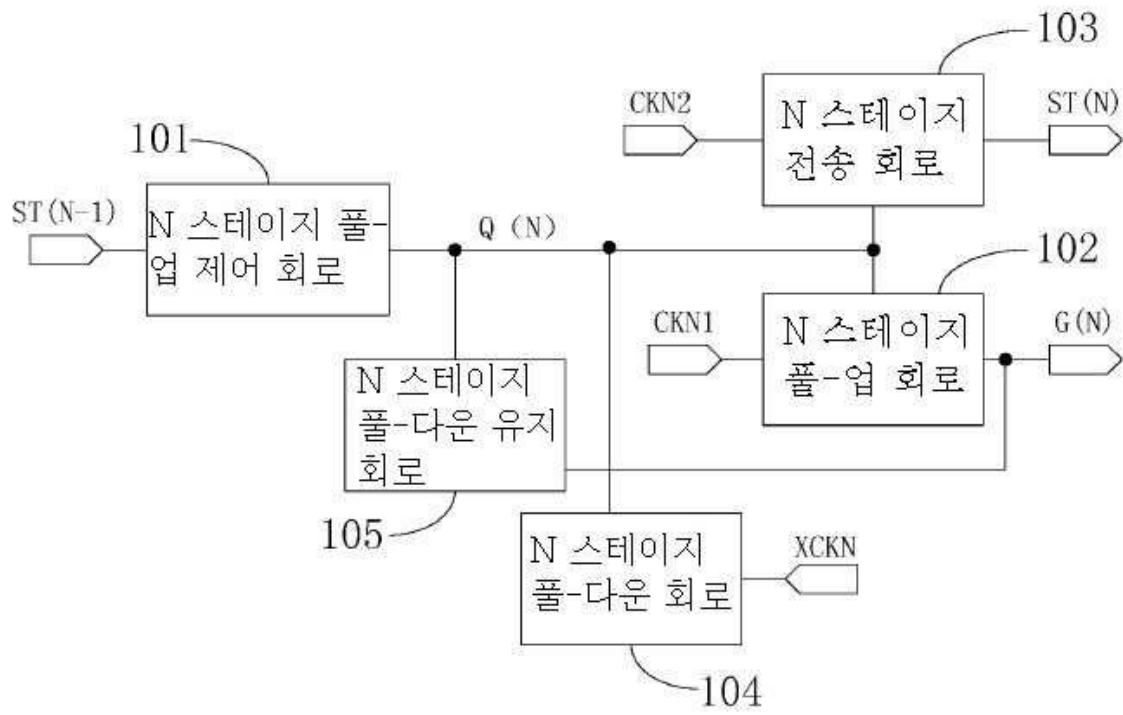
- [0040] 도 6을 참조하면, 본 발명의 GOA 회로 제3 실시예 중 GOA 유닛의 구체적인 회로 연결도이다. 상기 실시예와 제2 실시예의 구별점은 하기와 같다. N 스테이지 풀-다운 유지 회로(605)는 제7 트랜지스터(T7) 및 제8 트랜지스터(T8)를 포함하지 않고; 제9 트랜지스터(T9)의 게이트는 공통점(P(N))과 연결된다. 상기 실시예는 두 개의 TFT 트랜지스터를 감소하였고, 회로를 간소화하였으며, 전력 소비량을 감소시켰다.
- [0041] 도 7을 참조하면, 본 발명의 GOA 회로 제4 실시예 중 GOA 유닛의 구체적인 회로 연결도이다. 상기 실시예와 제3 실시예의 구별점은 하기와 같다. N 스테이지 풀-다운 유지 회로(705)는 제5 트랜지스터(T5)를 포함하지 않고; 제6 트랜지스터(T6)의 드레인 전극 및 제9 트랜지스터(T9)의 소스 전극은 제4 트랜지스터(T4)의 소스 전극과 연결되며, 제6 트랜지스터(T6)의 게이트 및 제7 트랜지스터(T7)의 게이트는 제N 스테이지 게이트 신호 포인트(Q(N))와 연결된다.
- [0042] 도 8을 참조하면, 본 발명의 GOA 회로 제5 실시예 중 GOA 유닛의 구체적인 회로 연결도이다. 상기 실시예와 제4 실시예의 구별점은 하기와 같다. N 스테이지 풀-다운 유지 회로(805)는 제7 트랜지스터(T7) 및 제8 트랜지스터(T8)를 포함하지 않고; 제9 트랜지스터(T9)의 게이트는 제2 트랜지스터(T2)의 게이트와 연결된다. 상기 실시예는 기존의 회로 키 포인트를 신호로 이용하여, 직류 고전위 신호 H의 연결을 감소시켰고, 회로를 간소화한다.
- [0043] 도 9를 참조하면, 본 발명의 GOA 회로 제6 실시예 중 GOA 유닛의 구체적인 회로 연결도이다. 상기 실시예는 제5 실시예의 한가지 변형으로서, 그 원리는 유사하다.
- [0044] 상기 각종 실시예 중의 N 스테이지 전송 회로 중의 부트 스트랩 커패시터(Cb)는 모두 제거할 수 있는 것이다.
- [0045] 본 발명의 액정 디스플레이의 제1 실시예에 있어서, 상기 액정 디스플레이는 상기 모든 실시예 중의 GOA 회로를 포함한다.
- [0046] 상기의 서술은 단지 본 발명의 실시예로서, 본 발명의 특허범위를 한정하기 위한 것이 아니며, 본 발명의 명세서 및 도면을 이용하여 진행한 모든 동등한 구조 또는 동등한 과정 변화, 또는 직접적이거나 간접적으로 기타 관련 기술분야에서의 응용은 마찬가지로 전부 본 발명의 특허보호범위 내에 속한다.

도면

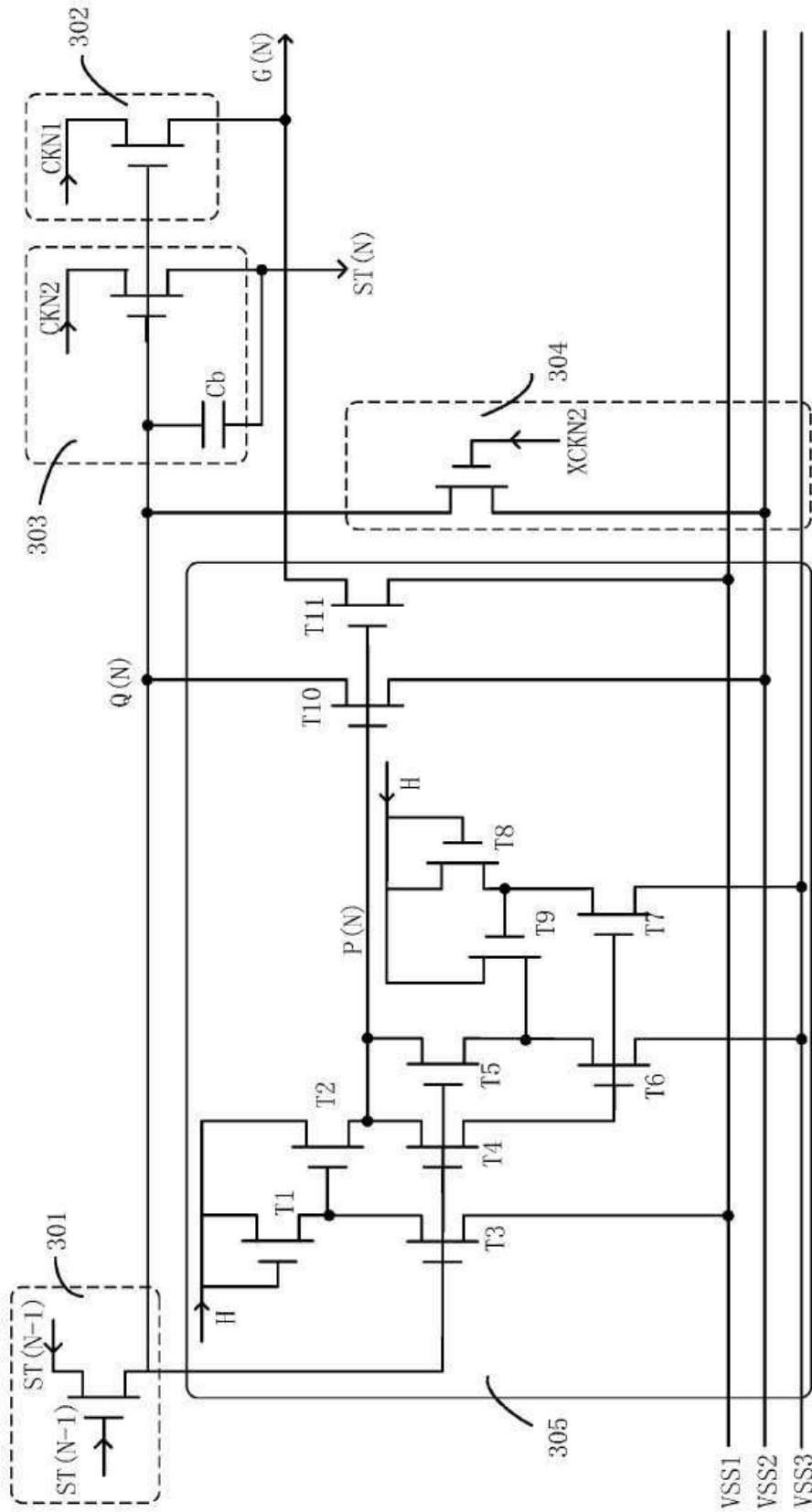
도면1



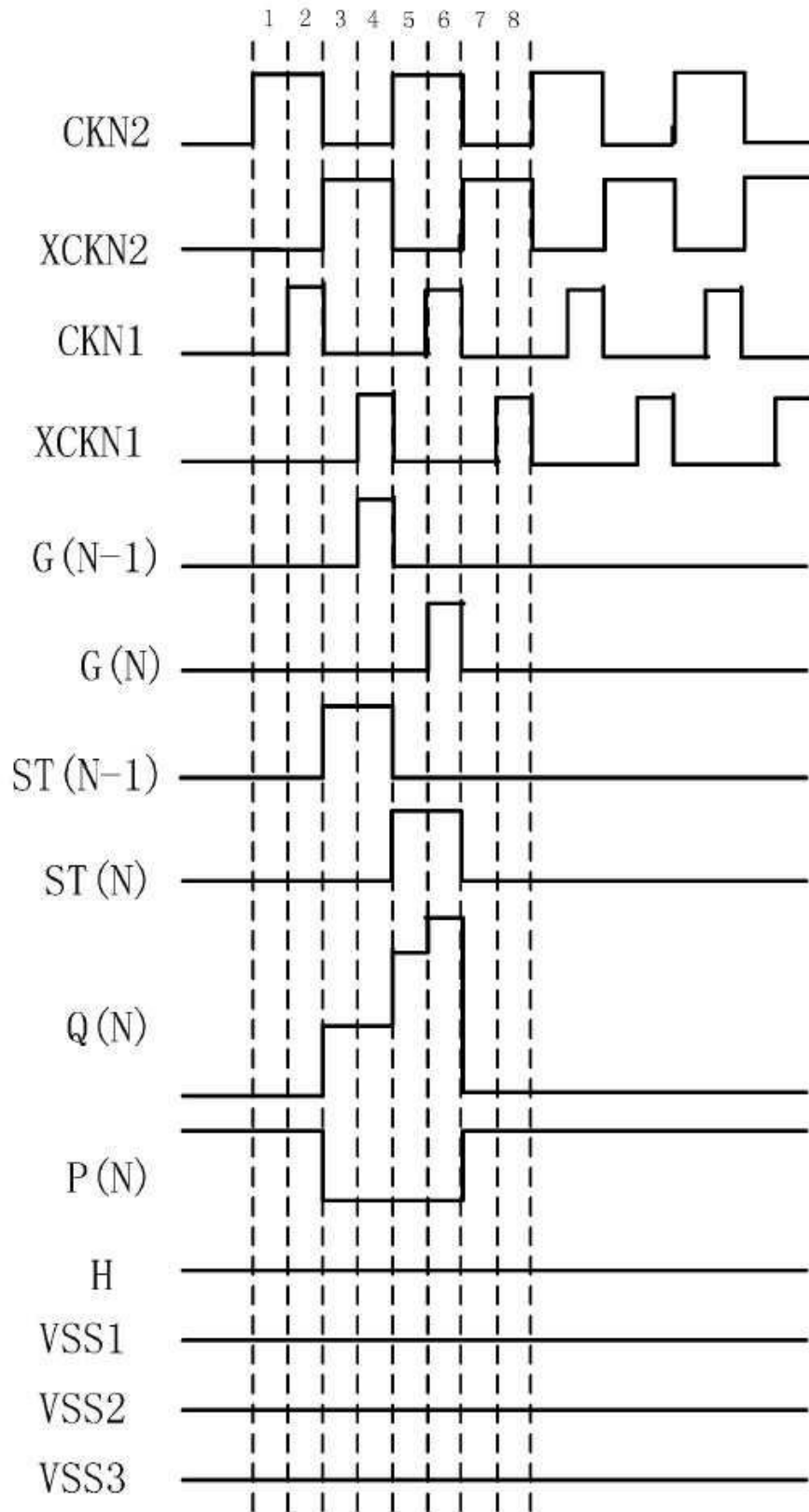
도면2



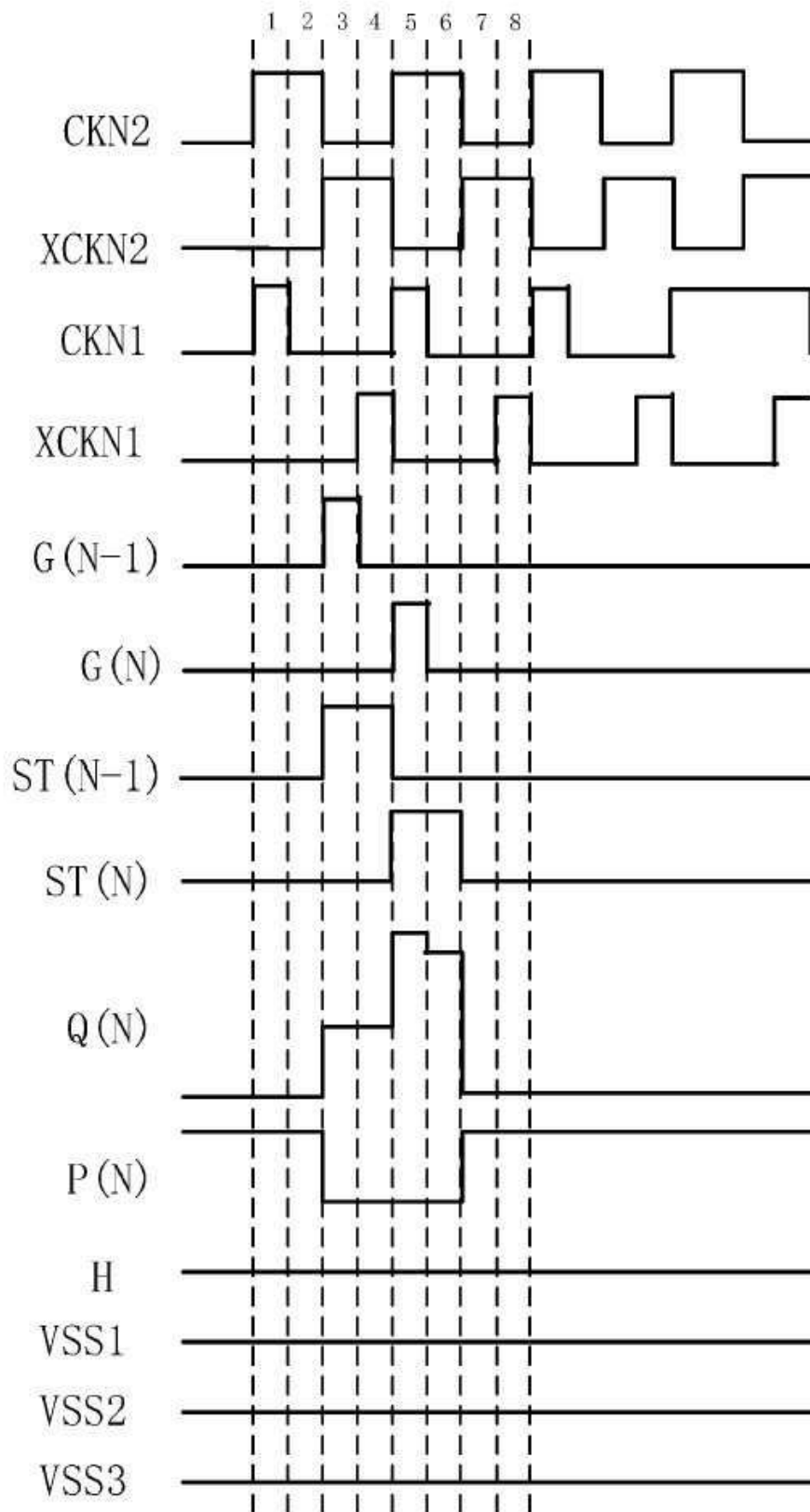
도면3



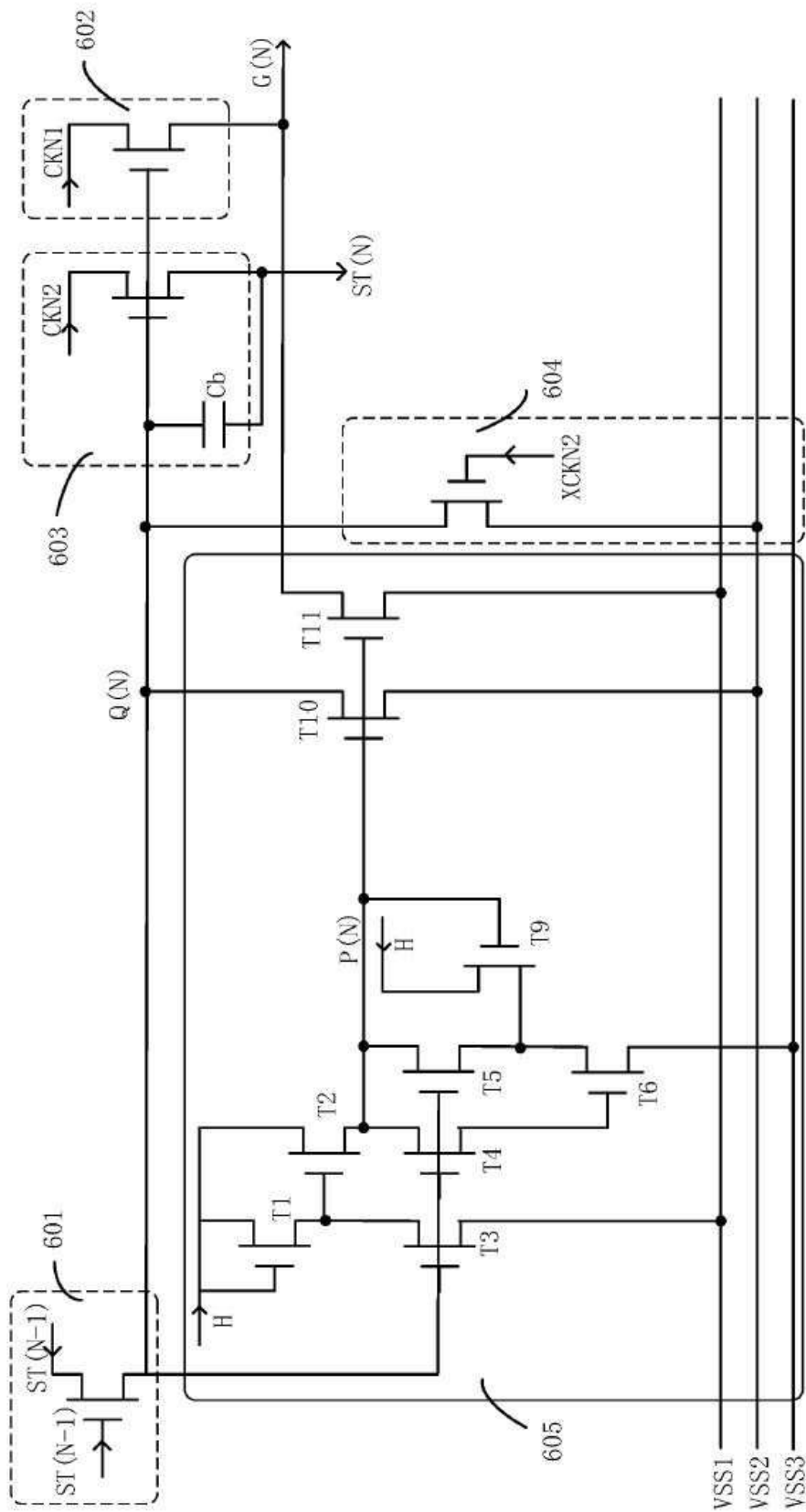
도면4



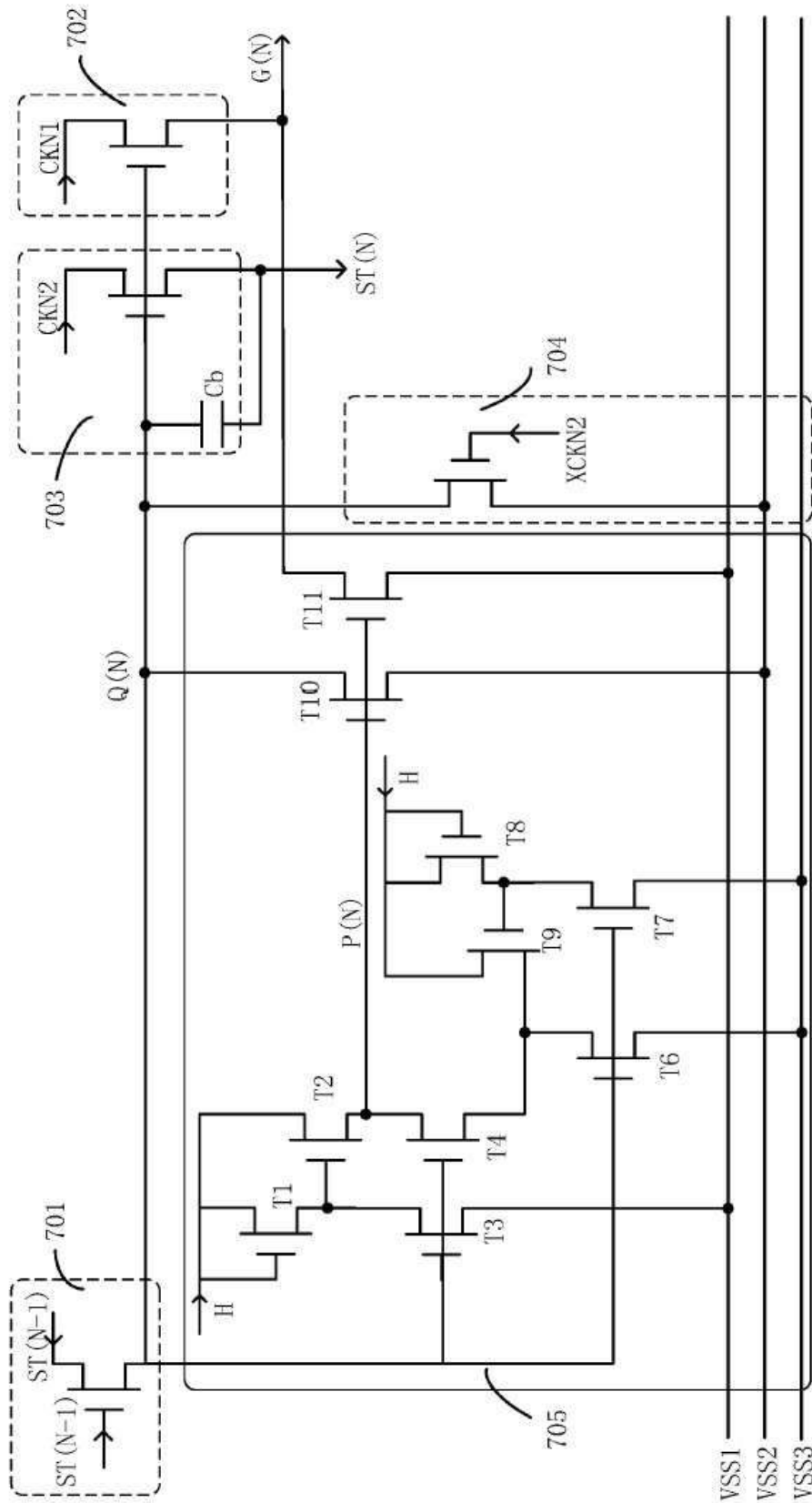
도면5



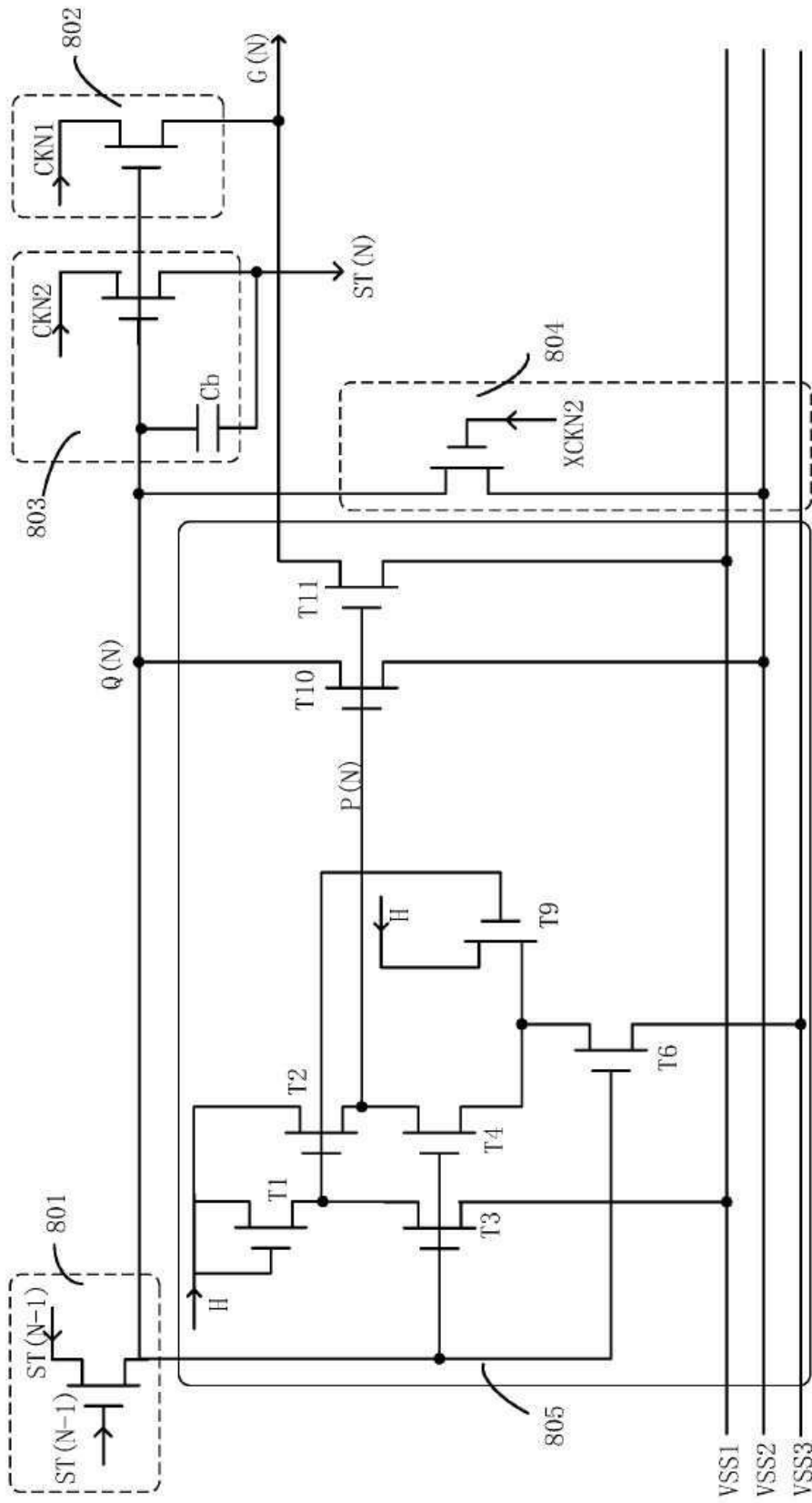
도면6



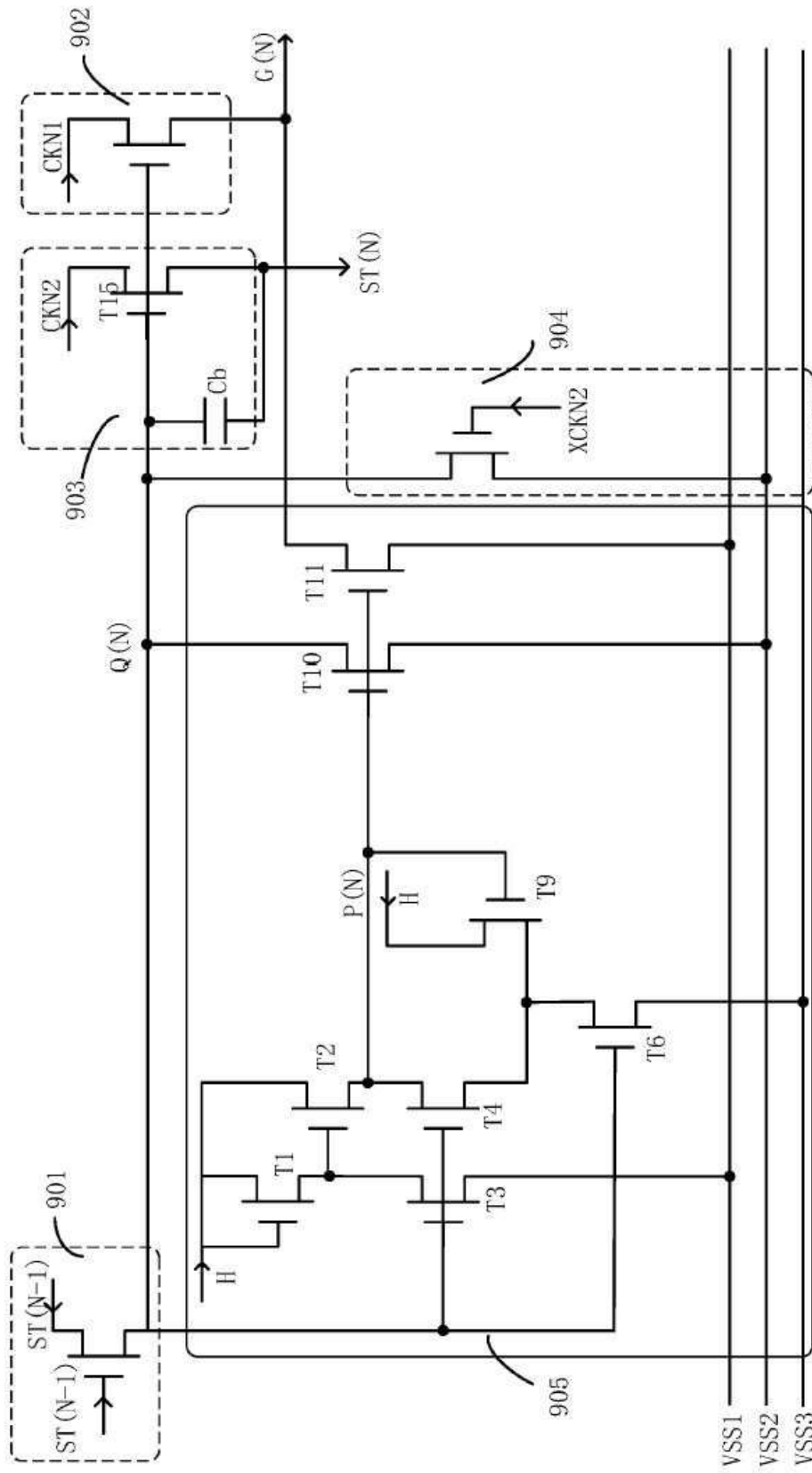
도면7



도면8



도면9



专利名称(译)	果阿电路和液晶显示器		
公开(公告)号	KR102019578B1	公开(公告)日	2019-09-06
申请号	KR1020177023829	申请日	2015-04-30
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
申请(专利权)人(译)	中国深圳恒星光电科技有限公司		
当前申请(专利权)人(译)	中国深圳恒星光电科技有限公司		
发明人	소우 준청		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G2310/0251 G09G2310/0267 G09G2310/0286 G09G2310/06 G09G2310/08 G09G2330/021		
代理人(译)	朴素贤		
审查员(译)	酋长姬		
优先权	201510186029.8 2015-04-17 CN		
其他公开文献	KR1020170108093A		
外部链接	Espacenet		

摘要(译)

公开了一种包括GOA单元的GOA电路和液晶显示器。N级GOA单元对显示区域中的第N级水平扫描线进行充电，包括N级上拉控制电路，N级上拉电路，N级传输电路，N级下拉电路。电路和N级下拉保持电路。当第N级栅极信号点为高电压电平时，N级上拉电路导通，接收第一时钟信号，并且当第一时钟信号为高电压电平时，对N级水平扫描线充电。当第N级栅极信号点处于高电压电平时，N级传输电路接收第二时钟信号，并输出N级传输信号以控制(N+1)级GOA单元的操作。本公开可以确保GOA电路中的扫描线被更好地充电，以促进电路中每个点的正常操作。

