



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년09월06일
 (11) 등록번호 10-2019577
 (24) 등록일자 2019년09월02일

- (51) 국제특허분류(Int. Cl.)
 G09G 3/36 (2006.01) HO1L 27/12 (2006.01)
- (52) CPC특허분류
 G09G 3/3677 (2013.01)
 HO1L 27/124 (2013.01)
- (21) 출원번호 10-2017-7023828
- (22) 출원일자(국제) 2015년04월30일
 심사청구일자 2017년08월25일
- (85) 번역문제출일자 2017년08월25일
- (65) 공개번호 10-2017-0107549
- (43) 공개일자 2017년09월25일
- (86) 국제출원번호 PCT/CN2015/077999
- (87) 국제공개번호 WO 2016/161679
 국제공개일자 2016년10월13일
- (30) 우선권주장
 201510160697.3 2015년04월07일 중국(CN)
- (56) 선행기술조사문헌
 CN103730094 A*
 CN104376824 A
 JP2010140593 A
 JP2011204343 A
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
 센젠 차이나 스타 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드
 중국 광둥 프로빈스, 센젠 시티, 광밍 뉴 디스트릭트, 탕밍 로드, 넘버 9-2
 우한 차이나 스타 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드
 중국 후베이 프로빈스, 우한, 우한 이스트 레이크 하이-테크 디벨롭먼트 존, 가오신 로드, 빌딩 씨5, 바이오레이크, 넘버 666
- (72) 발명자
 쇼우 준청
 중국 518132 광둥 센젠 시티 광밍 뉴 디스트릭트 탕밍 로드 넘버 9-2
- (74) 대리인
 박소현

전체 청구항 수 : 총 8 항

심사관 : 추장희

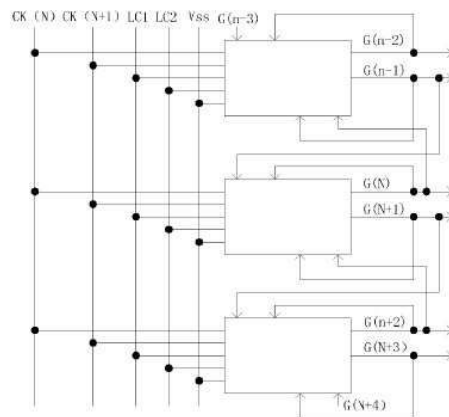
(54) 발명의 명칭 GOA 회로 및 액정 디스플레이

(57) 요약

GOA 회로 및 액정 디스플레이에 있어서, 상기 GOA 회로는 다수의 GOA 유닛을 포함하고, 각각의 GOA 유닛은 순차적으로 디스플레이 영역의 제N 스테이지 수평 스캔 라인(G(N)) 및 제N+1 스테이지 수평 스캔 라인(G(N+1))을 충전하며; GOA 유닛은 N 스테이지 풀-업 제어 회로(101), N+1 스테이지 풀-업 제어 회로(102), N 스테이지 풀-업

(뒷면에 계속)

대표도 - 도1



회로(201), N+1 스테이지 풀-업 회로(202), N 스테이지 풀-다운 회로(301), N+1 스테이지 풀-다운 회로(302) 및 풀-다운 유지 회로(400)를 포함하고; 풀-다운 유지 회로(400)는 제N 스테이지 수평 스캔 라인(G(N))을 충전한 후 제N 스테이지 게이트 신호점(Q(N)) 및 제N 스테이지 수평 스캔 라인(G(N))의 전위를 저전위로 유지하고, 제N+1 스테이지 수평 스캔 라인(G(N+1))을 충전한 후 제N+1 스테이지 게이트 신호점(Q(N+1)) 및 제N+1 스테이지 수평 스캔 라인(G(N+1))의 전위를 저전위로 유지한다. 상기 방식을 통해, 두 스테이지의 GOA 유닛은 공동으로 하나의 풀-다운 유지 회로(400)를 사용할 수 있게, 전력 소비를 감소한다.

(52) CPC특허분류

G09G 2300/0408 (2013.01)

G09G 2300/0426 (2013.01)

G09G 2310/0251 (2013.01)

G09G 2310/061 (2013.01)

G09G 2310/08 (2013.01)

G09G 2330/021 (2013.01)

명세서

청구범위

청구항 1

액정 디스플레이를 위한 GOA 회로에 있어서,

상기 GOA 회로는 다수의 GOA 유닛을 포함하고, 각각의 상기 GOA 유닛은 순차적으로 디스플레이 영역의 제N 스테이지 수평 스캔 라인(G(N)) 및 제N+1 스테이지 수평 스캔 라인(G(N+1))을 충전하며, 상기 GOA 유닛은 N 스테이지 풀-업 제어 회로, N+1 스테이지 풀-업 제어 회로, N 스테이지 풀-업 회로, N+1 스테이지 풀-업 회로, N 스테이지 풀-다운 회로, N+1 스테이지 풀-다운 회로 및 풀-다운 유지 회로를 포함하고;

상기 N 스테이지 풀-업 회로 및 풀-다운 유지 회로는 각각 제N 스테이지 게이트 신호점(Q(N)) 및 상기 제N 스테이지 수평 스캔 라인(G(N))과 연결되고, 상기 N 스테이지 풀-업 제어 회로, N 스테이지 풀-다운 회로는 상기 제N 스테이지 게이트 신호점(Q(N))와 연결되며;

상기 N+1 스테이지 풀-업 회로 및 풀-다운 유지 회로는 각각 제N+1 스테이지 게이트 신호점(Q(N+1)) 및 상기 제N+1 스테이지 수평 스캔 라인(G(N+1))과 연결되고, 상기 N+1 스테이지 풀-업 제어 회로, N+1 스테이지 풀-다운 회로는 상기 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되며;

상기 풀-다운 유지 회로는 상기 제N 스테이지 수평 스캔 라인(G(N))을 충전한 후 상기 제N 스테이지 게이트 신호점(Q(N)) 및 상기 제N 스테이지 수평 스캔 라인(G(N))의 전위를 저전위로 유지하고, 상기 제N+1 스테이지 수평 스캔 라인(G(N+1))을 충전한 후 상기 제N+1 스테이지 게이트 신호점(Q(N+1)) 및 상기 제N 스테이지 수평 스캔 라인(G(N+1))의 전위를 저전위로 유지하며;

상기 풀-다운 유지 회로는,

그 게이트 및 드레인 전극이 제1 클록 신호(LC1)와 연결되는 제1 트랜지스터(T1);

그 게이트는 상기 제1 트랜지스터(T1)의 소스 전극과 연결되고, 드레인 전극은 상기 제1 클록 신호(LC1)와 연결되며, 소스 전극은 제1 공통점(K(N))과 연결되는 제2 트랜지스터(T2);

그 게이트는 제2 클록 신호(LC2)와 연결되고, 드레인 전극은 상기 제1 클록 신호(LC1)와 연결되며, 소스 전극은 상기 제1 공통점(K(N))과 연결되는 제3 트랜지스터(T3);

그 게이트 및 드레인 전극은 상기 제1 공통점(K(N))과 연결되는 제4 트랜지스터(T4);

그 게이트는 상기 제N 스테이지 게이트 신호점(Q(N))과 연결되고, 드레인 전극은 상기 제1 트랜지스터(T1)의 소스 전극 및 상기 제4 트랜지스터(T4)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제5 트랜지스터(T5);

그 게이트는 상기 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되고, 드레인 전극은 상기 제1 트랜지스터(T1)의 소스 전극과 연결되며, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제6 트랜지스터(T6);

그 게이트는 상기 제1 공통점(K(N))과 연결되고, 드레인 전극은 상기 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되며, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제7 트랜지스터(T7);

그 게이트는 상기 제1 공통점(K(N))과 연결되고, 드레인 전극은 상기 제N+1 스테이지 수평 스캔 라인(G(N+1))과 연결되며, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제8 트랜지스터(T8);

그 게이트는 제2 공통점(P(N))과 연결되고, 드레인 전극은 상기 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되며, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제9 트랜지스터(T9);

그 게이트는 상기 제2 공통점(P(N))과 연결되고, 드레인 전극은 상기 제N+1 스테이지 수평 스캔 라인(G(N+1))과 연결되며, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제10 트랜지스터(T10);

그 게이트 및 드레인 전극은 상기 제2 클록 신호(LC2)와 연결되는 제11 트랜지스터(T11);

그 게이트는 상기 제11 트랜지스터(T11)의 소스 전극과 연결되고, 드레인 전극은 상기 제2 클록 신호(LC2)와 연

결되며, 소스 전극은 제2 공통점((P(N))과 연결되는 제12 트랜지스터(T12);

그 게이트는 제1 클록 신호(LC1)와 연결되고, 드레인 전극은 상기 제2 클록 신호(LC2)와 연결되며, 소스 전극은 상기 제2 공통점((P(N))과 연결되는 제13 트랜지스터(T13);

그 게이트 및 드레인 전극은 상기 제2 공통점((P(N))과 연결되는 제14 트랜지스터(T14);

그 게이트는 상기 제N 스테이지 게이트 신호점(Q(N))과 연결되고, 드레인 전극은 상기 제11 트랜지스터(T11)의 소스 전극 및 상기 제14 트랜지스터(T14)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제15 트랜지스터(T15);

그 게이트는 상기 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되고, 드레인 전극은 상기 제11 트랜지스터(T11)의 소스 전극과 연결되며, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제16 트랜지스터(T16);

그 게이트는 상기 제2 공통점((P(N))과 연결되고, 드레인 전극은 상기 제N 스테이지 게이트 신호점(Q(N))과 연결되며, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제17 트랜지스터(T17);

그 게이트는 상기 제2 공통점((P(N))과 연결되고, 드레인 전극은 상기 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제18 트랜지스터(T18);

그 게이트는 제1 공통점(K(N))과 연결되고, 드레인 전극은 상기 제N 스테이지 게이트 신호점(Q(N))과 연결되며, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제19 트랜지스터(T19);

그 게이트는 상기 제1 공통점(K(N))과 연결되고, 드레인 전극은 상기 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제20 트랜지스터(T20)를 포함하는 것을 특징으로 하는 GOA 회로.

청구항 2

제 1항에 있어서,

상기 풀-다운 유지 회로는,

그 게이트는 상기 제N 스테이지 게이트 신호점(Q(N))과 연결되고, 드레인 전극은 상기 제1 공통점(K(N))과 연결되고, 소스 전극은 상기 제2 공통점((P(N))과 연결되는 제21 트랜지스터(T21); 및

그 게이트는 상기 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되고, 드레인 전극 및 소스 전극은 각각 상기 제1 공통점(K(N)) 및 상기 제2 공통점((P(N))과 연결되는 제22 트랜지스터(T22)를 더 포함하는 것을 특징으로 하는 GOA 회로.

청구항 3

제 2항에 있어서,

상기 GOA 유닛은 제N 스테이지 전송 회로 및 제N+1 스테이지 전송 회로를 더 포함하되;

상기 제N 스테이지 전송 회로는 상기 제N 스테이지 게이트 신호점(Q(N))과 연결되어, 상기 제N+1 스테이지 전송 제어 회로에 N 스테이지 전송 신호(ST(N))를 제공하며;

상기 제N+1 스테이지 전송 회로는 상기 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되어, 다음 스테이지의 GOA 유닛의 제N+2 스테이지 전송 제어 회로에 N+1 스테이지 전송 신호(ST(N+1))를 제공하는 것을 특징으로 하는 GOA 회로.

청구항 4

제 3항에 있어서,

상기 풀-다운 유지 회로는,

그 게이트는 상기 제N+1 스테이지 수평 스캔 라인(G(N+1))과 연결되고, 드레인 전극은 상기 제1 공통점(K(N))과 연결되고, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제23 트랜지스터(T23);

그 게이트는 상기 제N 스테이지 수평 스캔 라인(G(N))과 연결되고, 드레인 전극은 상기 제2 공통점((P(N))과 연결되는, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제24 트랜지스터(T24)를 더 포함하는 것을 특징으로 하는 GOA 회로.

청구항 5

제 4항에 있어서,

상기 제23 트랜지스터(T23)의 게이트는 상기 N+1 스테이지 전송 신호((ST(N+1)))와 연결되고; 상기 제24 트랜지스터(T24)의 게이트는 상기 N 스테이지 전송 신호(ST(N))와 연결되는 것을 특징으로 하는 GOA 회로.

청구항 6

제 5항에 있어서,

상기 제7 트랜지스터(T7)의 소스 전극, 제9 트랜지스터(T9)의 소스 전극, 제17 트랜지스터(T17)의 소스 전극 및 제19 트랜지스터(T19)의 소스 전극은 제2 직류 저전압(VSS2)과 연결되는 것을 특징으로 하는 GOA 회로.

청구항 7

제 6항에 있어서,

상기 풀-다운 유지 회로는,

그 게이트는 상기 제1 공통점(K(N))과 연결되고, 드레인 전극은 상기 N+1 스테이지 전송 신호((ST(N+1)))와 연결되며, 소스 전극은 상기 제2 직류 저전압(VSS2)과 연결되는 제25 트랜지스터(T25);

그 게이트는 상기 제2 공통점((P(N))과 연결되고, 드레인 전극은 상기 N+1 스테이지 전송 신호((ST(N+1)))와 연결되며, 소스 전극은 상기 제2 직류 저전압(VSS2)과 연결되는 제26 트랜지스터(T26);

그 게이트는 상기 제2 공통점((P(N))과 연결되고, 드레인 전극은 상기 N 스테이지 전송 신호(ST(N))와 연결되며, 소스 전극은 상기 제2 직류 저전압(VSS2)과 연결되는 제27 트랜지스터(T27);

그 게이트는 상기 제1 공통점(K(N))과 연결되고, 드레인 전극은 상기 N 스테이지 전송 신호(ST(N))와 연결되며, 소스 전극은 상기 제2 직류 저전압(VSS2)과 연결되는 제28 트랜지스터(T28)를 더 포함하는 것을 특징으로 하는 GOA 회로.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

GOA 회로를 포함하고, 상기 GOA 회로는 다수의 GOA 유닛을 포함하고, 각각의 상기 GOA 유닛은 순차적으로 디스플레이 영역의 제N 스테이지 수평 스캔 라인(G(N)) 및 제N+1 스테이지 수평 스캔 라인(G(N+1))을 충전하며, 상기 GOA 유닛은 N 스테이지 풀-업 제어 회로, N+1 스테이지 풀-업 제어 회로, N 스테이지 풀-업 회로, N+1 스테이지 풀-업 회로, N 스테이지 풀-다운 회로, N+1 스테이지 풀-다운 회로 및 풀-다운 유지 회로를 포함하고;

상기 N 스테이지 풀-업 회로 및 풀-다운 유지 회로는 각각 제N 스테이지 게이트 신호점(Q(N)) 및 상기 제N 스테이지 수평 스캔 라인(G(N))과 연결되고, 상기 N 스테이지 풀-업 제어 회로, N 스테이지 풀-다운 회로는 상기 제N 스테이지 게이트 신호점(Q(N))와 연결되며;

상기 N+1 스테이지 풀-업 회로 및 풀-다운 유지 회로는 각각 제N+1 스테이지 게이트 신호점(Q(N+1)) 및 상기 제N+1 스테이지 수평 스캔 라인(G(N+1))과 연결되고, 상기 N+1 스테이지 풀-업 제어 회로, N+1 스테이지 풀-다운 회로는 상기 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되며;

상기 풀-다운 유지 회로는 상기 제N 스테이지 수평 스캔 라인(G(N))을 충전한 후 상기 제N 스테이지 게이트 신호점(Q(N)) 및 상기 제N 스테이지 수평 스캔 라인(G(N))의 전위를 저전위로 유지하고, 상기 제N+1 스테이지 수평 스캔 라인(G(N+1))을 충전한 후 상기 제N+1 스테이지 게이트 신호점(Q(N+1)) 및 상기 제N 스테이지 수평 스캔 라인(G(N+1))의 전위를 저전위로 유지하고,

상기 풀-다운 유지 회로는,

그 게이트 및 드레인 전극이 제1 클록 신호(LC1)와 연결되는 제1 트랜지스터(T1);

그 게이트는 상기 제1 트랜지스터(T1)의 소스 전극과 연결되고, 드레인 전극은 상기 제1 클록 신호(LC1)와 연결되며, 소스 전극은 제1 공통점(K(N))과 연결되는 제2 트랜지스터(T2);

그 게이트는 제2 클록 신호(LC2)와 연결되고, 드레인 전극은 상기 제1 클록 신호(LC1)와 연결되며, 소스 전극은 상기 제1 공통점(K(N))과 연결되는 제3 트랜지스터(T3);

그 게이트 및 드레인 전극은 상기 제1 공통점(K(N))과 연결되는 제4 트랜지스터(T4);

그 게이트는 상기 제N 스테이지 게이트 신호점(Q(N))과 연결되고, 드레인 전극은 상기 제1 트랜지스터(T1)의 소스 전극 및 상기 제4 트랜지스터(T4)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제5 트랜지스터(T5);

그 게이트는 상기 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되고, 드레인 전극은 상기 제1 트랜지스터(T1)의 소스 전극과 연결되며, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제6 트랜지스터(T6);

그 게이트는 상기 제1 공통점(K(N))과 연결되고, 드레인 전극은 상기 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되며, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제7 트랜지스터(T7);

그 게이트는 상기 제1 공통점(K(N))과 연결되고, 드레인 전극은 상기 제N+1 스테이지 수평 스캔 라인(G(N+1))과 연결되며, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제8 트랜지스터(T8);

그 게이트는 제2 공통점((P(N))과 연결되고, 드레인 전극은 상기 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되며, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제9 트랜지스터(T9);

그 게이트는 상기 제2 공통점((P(N))과 연결되고, 드레인 전극은 상기 제N+1 스테이지 수평 스캔 라인(G(N+1))과 연결되며, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제10 트랜지스터(T10);

그 게이트 및 드레인 전극은 상기 제2 클록 신호(LC2)와 연결되는 제11 트랜지스터(T11);

그 게이트는 상기 제11 트랜지스터(T11)의 소스 전극과 연결되고, 드레인 전극은 상기 제2 클록 신호(LC2)와 연결되며, 소스 전극은 제2 공통점((P(N))과 연결되는 제12 트랜지스터(T12);

그 게이트는 제1 클록 신호(LC1)와 연결되고, 드레인 전극은 상기 제2 클록 신호(LC2)와 연결되며, 소스 전극은 상기 제2 공통점((P(N))과 연결되는 제13 트랜지스터(T13);

그 게이트 및 드레인 전극은 상기 제2 공통점((P(N))과 연결되는 제14 트랜지스터(T14);

그 게이트는 상기 제N 스테이지 게이트 신호점(Q(N))과 연결되고, 드레인 전극은 상기 제11 트랜지스터(T11)의 소스 전극 및 상기 제14 트랜지스터(T14)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제15 트랜지스터(T15);

그 게이트는 상기 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되고, 드레인 전극은 상기 제11 트랜지스터(T11)의 소스 전극과 연결되며, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제16 트랜지스터(T16);

그 게이트는 상기 제2 공통점((P(N))과 연결되고, 드레인 전극은 상기 제N 스테이지 게이트 신호점(Q(N))과 연결되며, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제17 트랜지스터(T17);

그 게이트는 상기 제2 공통점((P(N))과 연결되고, 드레인 전극은 상기 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제18 트랜지스터(T18);

그 게이트는 제1 공통점(K(N))과 연결되고, 드레인 전극은 상기 제N 스테이지 게이트 신호점(Q(N))과 연결되며, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제19 트랜지스터(T19);

그 게이트는 상기 제1 공통점(K(N))과 연결되고, 드레인 전극은 상기 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 소스 전극은 상기 제1 직류 저전압(VSS1)과 연결되는 제20 트랜지스터(T20); 를 포함하는 것을 특징으로 하는 액정 디스플레이.

청구항 18

삭제

발명의 설명

기술 분야

[0001] 본 발명은 액정 디스플레이 기술분야에 관한 것으로서, 특히는 GOA 회로 및 액정 디스플레이에 관한 것이다.

배경 기술

[0002] Gate Driver On Array는 약칭 GOA인 바, 박막 트랜지스터 액정 디스플레이를 이용하는 Array프로세스가 Gate 스캐닝 구동 신호 회로를 Array 기판에 제조하여, Gate 순차 주사 방식을 실현하는 한가지 기술이다.

[0003] 기존의 GOA 회로는 주요하게 풀-업 회로(Pull-up part), 풀-업 제어 회로(Pull-up control part), 전송 회로(Transfer Part, 풀-다운 회로(Key Pull-down Part), 풀-다운 유지 회로(Pull-down Holding Part), 및 전위의 부스팅을 책임지는 커패시터(Boost Part)로 이루어진다. 풀-업 회로는 주요하게 입력된 클록 신호(Clock)를 Gate단에 출력하는 것을 주요하게 책임지고, 액정 디스플레이의 구동 신호로 한다. 풀-업 회로는 주요하게 풀-업 회로의 열림을 제어하는 것을 책임지고, 일반적으로 이전의 GOA 회로로써 신호를 전달하는 작용을 한다. 풀-다운 회로는 Gate단이 출력을 완성한 후의 제1 시간은 Gate를 저전위로 풀-다운하는 것을 책임지고, 즉 게이트 신호를 오프한다. 풀-다운 유지 회로는 Gate 신호와 풀-업 회로의 Gate 신호(통상적으로 Q점이라고 함)를 닫기

상태(즉 설정한 음전위)로 유지하는 것을 책임지고, 통상적으로 두 개의 풀-다운 유지 회로는 교대로 작용한다. 커패시터(Boost Part)는 Q점의 2차 부스팅을 책임지고, 이로써 풀-업 회로의 G(N) 정상 출력을 확보한다.

[0004] 하지만 이러한 설계는 각 스테이지에 모두 풀-다운 유지 회로가 포함되고, 두 개 부분으로 교체 작용을 하기에, 전력 소모가 비교적 크고 환경 보호에 불리하다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 주요하게 해결하고자 하는 기술적 과제는 GOA 회로 및 액정 디스플레이를 제공하여, 액정 디스플레이에서 GOA 회로의 전력 소비를 감소하는 것이다.

과제의 해결 수단

[0006] 상기 기술적 과제를 해결하기 위해, 본 발명에서 사용하는 기술적 해결수단은, GOA 회로를 제공하는 것인 바, GOA 회로는 다수의 GOA 유닛을 포함하고, 각각의 GOA 유닛은 순차적으로 디스플레이 영역의 제N 스테이지 수평 스캔 라인(G(N)) 및 제N+1 스테이지 수평 스캔 라인(G(N+1))을 충전하며, GOA 유닛은 N 스테이지 풀-업 제어 회로, N+1 스테이지 풀-업 제어 회로, N 스테이지 풀-업 회로, N+1 스테이지 풀-업 회로, N 스테이지 풀-다운 회로, N+1 스테이지 풀-다운 회로 및 풀-다운 유지 회로를 포함하고; 여기서, N 스테이지 풀-업 회로 및 풀-다운 유지 회로는 각각 제N 스테이지 게이트 신호점(Q(N)) 및 제N 스테이지 수평 스캔 라인(G(N))과 연결되고, N 스테이지 풀-업 제어 회로, N 스테이지 풀-다운 회로는 제N 스테이지 게이트 신호점(Q(N))과 연결되며; N+1 스테이지 풀-업 회로 및 풀-다운 유지 회로는 각각 제N+1 스테이지 게이트 신호점(Q(N+1)) 및 제N+1 스테이지 수평 스캔 라인(G(N+1))과 연결되고, N+1 스테이지 풀-업 제어 회로, N+1 스테이지 풀-다운 회로는 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되며; 풀-다운 유지 회로는 제N 스테이지 수평 스캔 라인(G(N))을 충전한 후 제N 스테이지 게이트 신호점(Q(N)) 및 제N 스테이지 수평 스캔 라인(G(N))의 전위를 저전위로 유지하고, 제N+1 스테이지 수평 스캔 라인(G(N+1))을 충전한 후 제N+1 스테이지 게이트 신호점(Q(N+1)) 및 제N 스테이지 수평 스캔 라인(G(N+1))의 전위를 저전위로 유지하며; 여기서, 풀-다운 유지 회로는, 그 게이트 및 드레인 전극은 제1 클럭 신호(LC1)와 연결되는 제1 트랜지스터(T1); 그 게이트는 제1 트랜지스터(T1)의 소스 전극과 연결되고, 드레인 전극은 제1 클럭 신호(LC1), 소스 전극은 제1 공통점(K(N))과 연결되는 제2 트랜지스터(T2); 그 게이트는 제2 클럭 신호(LC2)와 연결되고, 드레인 전극은 제1 클럭 신호(LC1)와 연결되며, 소스 전극은 제1 공통점(K(N))과 연결되는 제2 트랜지스터(T3); 그 게이트 및 드레인 전극은 제1 공통점(K(N))과 연결되는 제4 트랜지스터(T4); 그 게이트는 제N 스테이지 게이트 신호점(Q(N))과 연결되고, 드레인 전극은 제1 트랜지스터(T1)의 소스 전극 및 제4 트랜지스터(T4)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제5 트랜지스터(T5); 그 게이트는 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되고, 드레인 전극은 제1 트랜지스터(T1)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제6 트랜지스터(T6); 그 게이트는 제1 공통점(K(N))과 연결되고, 드레인 전극은 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제7 트랜지스터(T7); 그 게이트는 제1 공통점(K(N))과 연결되고, 드레인 전극은 제N+1 스테이지 수평 스캔 라인(G(N+1))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제8 트랜지스터(T8); 그 게이트는 제2 공통점(P(N))과 연결되고, 드레인 전극은 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제9 트랜지스터(T9); 그 게이트는 제2 공통점(P(N))과 연결되고, 드레인 전극은 제N+1 스테이지 수평 스캔 라인(G(N+1))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제10 트랜지스터(T10); 그 게이트 및 드레인 전극은 제2 클럭 신호(LC2)와 연결되는 제11 트랜지스터(T11); 그 게이트는 제11 트랜지스터(T11)의 소스 전극과 연결되고, 드레인 전극은 제2 클럭 신호(LC2)와 연결되며, 소스 전극은 제2 공통점(P(N))과 연결되는 제12 트랜지스터(T12); 그 게이트는 제1 클럭 신호(LC1)와 연결되고, 드레인 전극은 제2 클럭 신호(LC2)와 연결되며, 소스 전극은 제2 공통점(P(N))과 연결되는 제13 트랜지스터(T13); 그 게이트 및 드레인 전극은 제2 공통점(P(N))과 연결되는 제14 트랜지스터(T14); 그 게이트는 제N 스테이지 게이트 신호점(Q(N))과 연결되고, 드레인 전극은 제11 트랜지스터(T11)의 소스 전극 및 제14 트랜지스터(T14)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제15 트랜지스터(T15); 그 게이트는 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되고, 드레인 전극은 제11 트랜지스터(T11)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제16 트랜지스터(T16); 그 게이트는 제2 공통점(P(N))과 연결되고, 드레인 전극은 제N 스테이지 게이트 신호점(Q(N))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제17 트랜지스터(T17); 그 게이트는 제2 공통점(P(N))과 연결되고, 드레인 전극은 제N

스테이지 수평 스캔 라인(G(N))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제18 트랜지스터(T18); 그 게이트는 제1 공통점(K(N))과 연결되고, 드레인 전극은 제N 스테이지 게이트 신호점(Q(N))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제19 트랜지스터(T19); 그 게이트는 제1 공통점(K(N))과 연결되고, 드레인 전극은 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제20 트랜지스터(T20)를 포함하고; 여기서, GOA 유닛은 리셋 회로를 더 포함하되; 리셋 회로는 제N 스테이지 게이트 신호점(Q(N)), 제N+1 스테이지 게이트 신호점(Q(N+1)) 및 제1 직류 저전압(VSS1)과 연결되어, 리셋 신호를 수신한 후 제N 스테이지 게이트 신호점(Q(N)) 및 제N+1 스테이지 게이트 신호점(Q(N+1))의 전위를 저전위로 풀-다운한다.

[0007] 상기 기술적 과제를 해결하기 위해, 본 발명에서 사용하는 다른 일 기술적 해결수단은, GOA 회로를 제공하는 것인 바, GOA 회로는 다수의 GOA 유닛을 포함하고, 각각의 GOA 유닛은 순차적으로 디스플레이 영역의 제N 스테이지 수평 스캔 라인(G(N)) 및 제N+1 스테이지 수평 스캔 라인(G(N+1))을 충전하며, GOA 유닛은 N 스테이지 풀-업 제어 회로, N+1 스테이지 풀-업 제어 회로, N 스테이지 풀-업 회로, N+1 스테이지 풀-업 회로, N 스테이지 풀-다운 회로, N+1 스테이지 풀-다운 회로 및 풀-다운 유지 회로를 포함하고; 여기서, N 스테이지 풀-업 회로 및 풀-다운 유지 회로는 각각 제N 스테이지 게이트 신호점(Q(N)) 및 제N 스테이지 수평 스캔 라인(G(N))과 연결되고, N 스테이지 풀-업 제어 회로, N 스테이지 풀-다운 회로는 제N 스테이지 게이트 신호점(Q(N))과 연결되며; N+1 스테이지 풀-업 회로 및 풀-다운 유지 회로는 각각 제N+1 스테이지 게이트 신호점(Q(N+1)) 및 제N+1 스테이지 수평 스캔 라인(G(N+1))과 연결되고, N+1 스테이지 풀-업 제어 회로, N+1 스테이지 풀-다운 회로는 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되며; 풀-다운 유지 회로는 제N 스테이지 수평 스캔 라인(G(N))을 충전한 후 제N 스테이지 게이트 신호점(Q(N)) 및 제N 스테이지 수평 스캔 라인(G(N))의 전위를 저전위로 유지하고, 제N+1 스테이지 수평 스캔 라인(G(N+1))을 충전한 후 제N+1 스테이지 게이트 신호점(Q(N+1)) 및 제N 스테이지 수평 스캔 라인(G(N+1))의 전위를 저전위로 유지한다.

[0008] 여기서, 풀-다운 유지 회로는, 그 게이트 및 드레인 전극은 제1 클록 신호(LC1)와 연결되는 제1 트랜지스터(T1); 그 게이트는 제1 트랜지스터(T1)의 소스 전극과 연결되고, 드레인 전극은 제1 클록 신호(LC1), 소스 전극은 제1 공통점(K(N))과 연결되는 제2 트랜지스터(T2); 그 게이트는 제2 클록 신호(LC2)와 연결되고, 드레인 전극은 제1 클록 신호(LC1)와 연결되며, 소스 전극은 제1 공통점(K(N))과 연결되는 제3 트랜지스터(T3); 그 게이트 및 드레인 전극은 제1 공통점(K(N))과 연결되는 제4 트랜지스터(T4); 그 게이트는 제N 스테이지 게이트 신호점(Q(N))과 연결되고, 드레인 전극은 제1 트랜지스터(T1)의 소스 전극 및 제4 트랜지스터(T4)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제5 트랜지스터(T5); 그 게이트는 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되고, 드레인 전극은 제1 트랜지스터(T1)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제6 트랜지스터(T6); 그 게이트는 제1 공통점(K(N))과 연결되고, 드레인 전극은 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제7 트랜지스터(T7); 그 게이트는 제1 공통점(K(N))과 연결되고, 드레인 전극은 제N+1 스테이지 수평 스캔 라인(G(N+1))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제8 트랜지스터(T8); 그 게이트는 제2 공통점(P(N))과 연결되고, 드레인 전극은 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제9 트랜지스터(T9); 그 게이트는 제2 공통점(P(N))과 연결되고, 드레인 전극은 제N+1 스테이지 수평 스캔 라인(G(N+1))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제10 트랜지스터(T10); 그 게이트 및 드레인 전극은 제2 클록 신호(LC2)와 연결되는 제11 트랜지스터(T11); 그 게이트는 제11 트랜지스터(T11)의 소스 전극과 연결되고, 드레인 전극은 제2 클록 신호(LC2)와 연결되며, 소스 전극은 제2 공통점(P(N))과 연결되는 제12 트랜지스터(T12); 그 게이트는 제1 클록 신호(LC1)와 연결되고, 드레인 전극은 제2 클록 신호(LC2)와 연결되며, 소스 전극은 제2 공통점(P(N))과 연결되는 제13 트랜지스터(T13); 그 게이트 및 드레인 전극은 제2 공통점(P(N))과 연결되는 제14 트랜지스터(T14); 그 게이트는 제N 스테이지 게이트 신호점(Q(N))과 연결되고, 드레인 전극은 제11 트랜지스터(T11)의 소스 전극 및 제14 트랜지스터(T14)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제15 트랜지스터(T15); 그 게이트는 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되고, 드레인 전극은 제11 트랜지스터(T11)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제16 트랜지스터(T16); 그 게이트는 제2 공통점(P(N))과 연결되고, 드레인 전극은 제N 스테이지 게이트 신호점(Q(N))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제17 트랜지스터(T17); 그 게이트는 제2 공통점(P(N))과 연결되고, 드레인 전극은 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제18 트랜지스터(T18); 그 게이트는 제1 공통점(K(N))과 연결되고, 드레인 전극은 제N 스테이지 게이트 신호점(Q(N))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제19 트랜지스터(T19); 그 게이트는 제1 공통점(K(N))과 연결되고, 드레인 전극은 제N 스템

테이지 수평 스캔 라인(G(N))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제20 트랜지스터(T20)를 포함한다.

[0009] 여기서, 풀-다운 유지 회로는, 그 게이트는 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되고, 드레인 전극 및 소스 전극은 각각 제1 공통점(K(N)) 및 제2 공통점(P(N))과 연결되는 제22 트랜지스터(T22)를 더 포함한다.

[0010] 여기서, GOA 유닛은 제N 스테이지 전송 회로 및 제N+1 스테이지 전송 회로를 더 포함하되; 제N 스테이지 전송 회로는 제N 스테이지 게이트 신호점(Q(N))과 연결되어, 제N+1 스테이지 전송 제어 회로에 N 스테이지 전송 신호(ST(N))를 제공하며; 제N+1 스테이지 전송 회로는 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되어, 다음 스테이지의 GOA 유닛의 제N+2 스테이지 전송 제어 회로에 N+1 스테이지 전송 신호(ST(N+1))를 제공한다.

[0011] 여기서, 풀-다운 유지 회로는, 그 게이트는 제N+1 스테이지 수평 스캔 라인(G(N+1))과 연결되고, 드레인 전극은 제1 공통점(K(N))과 연결되고, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제23 트랜지스터(T23); 그 게이트는 제N 스테이지 수평 스캔 라인(G(N))과 연결되고, 드레인 전극은 제2 공통점(P(N))과 연결되는, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제24 트랜지스터(T24)를 더 포함한다.

[0012] 여기서, 제23 트랜지스터(T23)의 게이트는 N+1 스테이지 전송 신호(ST(N+1))와 연결되고; 제24 트랜지스터(T24)의 게이트는 N 스테이지 전송 신호(ST(N))와 연결된다.

[0013] 여기서, 제7 트랜지스터(T7)의 소스 전극, 제9 트랜지스터(T9)의 소스 전극, 제17 트랜지스터(T17)의 소스 전극 및 제19 트랜지스터(T19)의 소스 전극은 제2 직류 저전압(VSS2)과 연결된다.

[0014] 여기서, 풀-다운 유지 회로는, 그 게이트는 제1 공통점(K(N))과 연결되고, 드레인 전극은 N+1 스테이지 전송 신호(ST(N+1))와 연결되며, 소스 전극은 제2 직류 저전압(VSS2)과 연결되는 제25 트랜지스터(T25); 그 게이트는 제2 공통점(P(N))과 연결되고, 드레인 전극은 N+1 스테이지 전송 신호(ST(N+1))와 연결되며, 소스 전극은 제2 직류 저전압(VSS2)과 연결되는 제26 트랜지스터(T26); 그 게이트는 제2 공통점(P(N))과 연결되고, 드레인 전극은 N 스테이지 전송 신호(ST(N))와 연결되며, 소스 전극은 제2 직류 저전압(VSS2)과 연결되는 제27 트랜지스터(T27); 그 게이트는 제1 공통점(K(N))과 연결되고, 드레인 전극은 N 스테이지 전송 신호(ST(N))와 연결되며, 소스 전극은 제2 직류 저전압(VSS2)과 연결되는 제28 트랜지스터(T28)를 더 포함한다.

[0015] 여기서, GOA 유닛은 리셋 회로를 더 포함하되; 리셋 회로는 제N 스테이지 게이트 신호점(Q(N)), 제N+1 스테이지 게이트 신호점(Q(N+1)) 및 제1 직류 저전압(VSS1)과 연결되어, 리셋 신호를 수신한 후 제N 스테이지 게이트 신호점(Q(N)) 및 제N+1 스테이지 게이트 신호점(Q(N+1))의 전위를 저전위로 풀-다운한다.

[0016] 상기 기술적 과제를 해결하기 위해, 본 발명에서 사용하는 다른 일 기술적 해결수단은, 액정 디스플레이를 제공하는 것인 바, 상기 액정 디스플레이는 GOA 회로를 포함하고, 상기 GOA 회로는 다수의 GOA 유닛을 포함하며, 각각의 GOA 유닛은 순차적으로 디스플레이 영역의 제N 스테이지 수평 스캔 라인(G(N)) 및 제N+1 스테이지 수평 스캔 라인(G(N+1))을 충전하며, GOA 유닛은 N 스테이지 풀-업 제어 회로, N+1 스테이지 풀-업 제어 회로, N 스테이지 풀-업 회로, N+1 스테이지 풀-업 회로, N 스테이지 풀-다운 회로, N+1 스테이지 풀-다운 회로 및 풀-다운 유지 회로를 포함하고; 여기서, N 스테이지 풀-업 회로 및 풀-다운 유지 회로는 각각 제N 스테이지 게이트 신호점(Q(N)) 및 제N 스테이지 수평 스캔 라인(G(N))과 연결되고, N 스테이지 풀-업 제어 회로, N 스테이지 풀-다운 회로는 제N 스테이지 게이트 신호점(Q(N))와 연결되며; N+1 스테이지 풀-업 회로 및 풀-다운 유지 회로는 각각 제N+1 스테이지 게이트 신호점(Q(N+1)) 및 제N+1 스테이지 수평 스캔 라인(G(N+1))과 연결되고, N+1 스테이지 풀-업 제어 회로, N+1 스테이지 풀-다운 회로는 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되며; 풀-다운 유지 회로는 제N 스테이지 수평 스캔 라인(G(N))을 충전한 후 제N 스테이지 게이트 신호점(Q(N)) 및 제N 스테이지 수평 스캔 라인(G(N))의 전위를 저전위로 유지하고, 제N+1 스테이지 수평 스캔 라인(G(N+1))을 충전한 후 제N+1 스테이지 게이트 신호점(Q(N+1)) 및 제N 스테이지 수평 스캔 라인(G(N+1))의 전위를 저전위로 유지한다.

발명의 효과

[0017] 본 발명의 유익한 효과는 하기와 같다. 선행기술의 상황과 구별되게, 본 발명은 서로 인접한 두 스테이지의 GOA 유닛을 커플링하는 것을 통해, 두 스테이지의 GOA 유닛이 공동으로 하나의 풀-다운 유지 회로를 사용하도록 하며, 상기 풀-다운 유지 회로는 제1 스테이지 GOA 회로에서 충전된 후 제1 스테이지 GOA 회로를 저전위로 유지하고, 제2 스테이지 GOA 회로가 충전된 후 제2 스테이지 GOA 회로를 저전위로 유지한다. 이러한 방식을 사용하여, 전체 디스플레이에서 절반의 풀-다운 유지 회로의 전력 소비량을 감소하여, 에너지 소모를 감소시킬 수 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 GOA 회로 제1 실시예 중 각각의 GOA 유닛의 연결 구조도이다.
- 도 2는 본 발명의 GOA 회로 제1 실시예 중 GOA 유닛의 회로 연결 모식도이다.
- 도 3은 본 발명의 GOA 회로 제2 실시예 중 GOA 유닛의 구체적인 회로 연결 모식도이다.
- 도 4는 본 발명의 GOA 회로 제2 실시예 중 GOA 유닛의 구체적인 회로 중 각 신호의 파형도이다.
- 도 5는 본 발명의 GOA 회로 제3 실시예 중 GOA 유닛의 구체적인 회로 연결 모식도이다.
- 도 6은 본 발명의 GOA 회로 제4 실시예 중 GOA 유닛의 구체적인 회로 연결 모식도이다.
- 도 7은 본 발명의 GOA 회로 제5 실시예 중 GOA 유닛의 구체적인 회로 연결 모식도이다.
- 도 8은 본 발명의 GOA 회로 제6 실시예 중 GOA 유닛의 구체적인 회로 연결 모식도이다.
- 도 9는 본 발명의 GOA 회로 제7 실시예 중 GOA 유닛의 구체적인 회로 연결 모식도이다.
- 도 10은 본 발명의 GOA 회로 제7 실시예 중 GOA 유닛의 구체적인 회로 중 각 신호의 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 도 1을 참조하면, 본 발명의 GOA 회로 제1 실시예 중 각각의 GOA 유닛의 연결 구조도인 바, 상기 GOA 회로는 다수의 GOA 유닛을 포함하고, 각각의 GOA 유닛은 순차적으로 디스플레이 영역의 서로 인접한 두 스테이지의 수평 스캔 라인을 충전한다.
- [0020] 이하 제N 스테이지 수평 스캔 라인(G(N)) 및 제N+1 스테이지 수평 스캔 라인(G(N+1))을 충전하는 GOA 유닛을 예로 든다. 도 2를 참조하면, 본 발명 GOA 회로 제1 실시예 중 하나의 GOA 유닛 중의 회로 연결 모식도이인 바, GOA 유닛은 N 스테이지 풀-업 제어 회로(101), N+1 스테이지 풀-업 제어 회로(102), N 스테이지 풀-업 회로(201), N+1 스테이지 풀-업 회로(202), N 스테이지 풀-다운 회로(301), N+1 스테이지 풀-다운 회로(302) 및 풀-다운 유지 회로(400)를 포함한다.
- [0021] 여기서, N 스테이지 풀-업 회로(201) 및 풀-다운 유지 회로(400)는 각각 제N 스테이지 게이트 신호점(Q(N)) 및 제N 스테이지 수평 스캔 라인(G(N))과 연결되고, N 스테이지 풀-업 제어 회로(101), N 스테이지 풀-다운 회로(301)는 제N 스테이지 게이트 신호점(Q(N))과 연결된다.
- [0022] N+1 스테이지 풀-업 회로(202) 및 풀-다운 유지 회로(400)는 각각 제N+1 스테이지 게이트 신호점(Q(N+1)) 및 제N+1 스테이지 수평 스캔 라인(G(N+1))과 연결되고, N+1 스테이지 풀-업 제어 회로(102), N+1 스테이지 풀-다운 회로(302)는 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결된다.
- [0023] 풀-다운 유지 회로(400)는 제N 스테이지 수평 스캔 라인(G(N))을 충전한 후 제N 스테이지 게이트 신호점(Q(N)) 및 제N 스테이지 수평 스캔 라인(G(N))의 전위를 저전위로 유지하고, 제N+1 스테이지 수평 스캔 라인(G(N+1))을 충전한 후 제N+1 스테이지 게이트 신호점(Q(N+1)) 및 제N 스테이지 수평 스캔 라인(G(N+1))의 전위를 저전위로 유지한다.
- [0024] 구체적으로는, N 스테이지 풀-업 제어 회로(101)는 이전 스테이지의 GOA 유닛(G(N-1))의 신호를 수신한 후 제N 스테이지 게이트 신호점(Q(N))의 전위 값을 고전위로 부스팅하고 N 스테이지 풀-업 회로(201)의 열림을 제어하며, N 스테이지 클럭 신호(CK(N))를 수신함으로써 제N 스테이지 수평 스캔 라인(G(N))을 충전하고, 충전 완료 후, N 스테이지 풀-다운 회로(301)는 제N 스테이지 게이트 신호점(Q(N))의 전위를 저전위로 풀-다운하고, 아울러 N 스테이지 풀-업 회로(201)를 닫으며, 풀-다운 유지 회로(400)는 제N 스테이지 게이트 신호점(Q(N)) 및 제N 스테이지 수평 스캔 라인(G(N))의 전위를 저전위로 풀-다운 유지하고 저전위로 유지한다.
- [0025] 제N 스테이지 수평 스캔 라인(G(N))이 출력하는 스캐닝 신호(G(N))는 N+1 스테이지 회로 중 N+1 스테이지 풀-업 제어 회로의 입력 신호로서, N+1 스테이지 회로와 N 스테이지 회로의 작업 원리는 동일하고, 단지 풀-업 제어 회로 및 풀-다운 회로의 제어 신호가 상이할 뿐, 두 스테이지의 회로의 작업 기간에, 풀-다운 유지 회로(400)는 제1 클럭 신호(LC1) 및 제2 클럭 신호(LC2)의 제어하에 동시에 두 스테이지의 회로의 전위를 저전위로 풀-다운시키고 저전위를 유지한다.
- [0026] 선행기술과 구별되게, 본 실시예는 서로 인접한 두 스테이지의 GOA 유닛을 커플링하는 것을 통해, 두 스테이지

의 GOA 유닛이 공동으로 하나의 풀-다운 유지 회로를 사용하도록 하며, 상기 풀-다운 유지 회로는 제1 스테이지 GOA 회로에서 충전된 후 제1 스테이지 GOA 회로를 저전위로 유지하고, 제2 스테이지 GOA 회로가 충전된 후 제2 스테이지 GOA 회로를 저전위로 유지한다. 이러한 방식을 사용하여, 전체 디스플레이에서 절반의 풀-다운 유지 회로의 전력 소비량을 감소하여, 에너지 소모를 감소시킬 수 있다.

[0027] 도 3을 참조하면, 본 발명 GOA 회로의 제2 실시예 중 GOA 유닛의 구체적인 회로 연결 모식도인 바, 상기 GOA 유닛은 N 스테이지 풀-업 제어 회로(101), N+1 스테이지 풀-업 제어 회로(102), N 스테이지 풀-업 회로(201), N+1 스테이지 풀-업 회로(202), N 스테이지 풀-다운 회로(301), N+1 스테이지 풀-다운 회로(302) 및 풀-다운 유지 회로(400)를 포함하고, 여기서 풀-다운 유지 회로(400)는, 그 게이트 및 드레인 전극은 제1 클록 신호(LC1)와 연결되는 제1 트랜지스터(T1); 그 게이트는 제1 트랜지스터(T1)의 소스 전극과 연결되고, 드레인 전극은 제1 클록 신호(LC1), 소스 전극은 제1 공통점(K(N))과 연결되는 제2 트랜지스터(T2); 그 게이트는 제2 클록 신호(LC2)와 연결되고, 드레인 전극은 제1 클록 신호(LC1)와 연결되며, 소스 전극은 제1 공통점(K(N))과 연결되는 제3 트랜지스터(T3); 그 게이트 및 드레인 전극은 제1 공통점(K(N))과 연결되는 제4 트랜지스터(T4); 그 게이트는 제N 스테이지 게이트 신호점(Q(N))과 연결되고, 드레인 전극은 제1 트랜지스터(T1)의 소스 전극 및 제4 트랜지스터(T4)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제5 트랜지스터(T5); 그 게이트는 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되고, 드레인 전극은 제1 트랜지스터(T1)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제6 트랜지스터(T6); 그 게이트는 제1 공통점(K(N))과 연결되고, 드레인 전극은 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제7 트랜지스터(T7); 그 게이트는 제1 공통점(K(N))과 연결되고, 드레인 전극은 제N+1 스테이지 수평 스캔 라인(G(N+1))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제8 트랜지스터(T8); 그 게이트는 제2 공통점(P(N))과 연결되고, 드레인 전극은 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제9 트랜지스터(T9); 그 게이트는 제2 공통점(P(N))과 연결되고, 드레인 전극은 제N+1 스테이지 수평 스캔 라인(G(N+1))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제10 트랜지스터(T10); 그 게이트 및 드레인 전극은 제2 클록 신호(LC2)와 연결되는 제11 트랜지스터(T11); 그 게이트는 제11 트랜지스터(T11)의 소스 전극과 연결되고, 드레인 전극은 제2 클록 신호(LC2)와 연결되며, 소스 전극은 제2 공통점(P(N))과 연결되는 제12 트랜지스터(T12); 그 게이트는 제1 클록 신호(LC1)와 연결되고, 드레인 전극은 제2 클록 신호(LC2)와 연결되며, 소스 전극은 제2 공통점(P(N))과 연결되는 제13 트랜지스터(T13); 그 게이트 및 드레인 전극은 제2 공통점(P(N))과 연결되는 제14 트랜지스터(T14); 그 게이트는 제N 스테이지 게이트 신호점(Q(N))과 연결되고, 드레인 전극은 제11 트랜지스터(T11)의 소스 전극 및 제14 트랜지스터(T14)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제15 트랜지스터(T15); 그 게이트는 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되고, 드레인 전극은 제11 트랜지스터(T11)의 소스 전극과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제16 트랜지스터(T16); 그 게이트는 제2 공통점(P(N))과 연결되고, 드레인 전극은 제N 스테이지 게이트 신호점(Q(N))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제17 트랜지스터(T17); 그 게이트는 제2 공통점(P(N))과 연결되고, 드레인 전극은 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제18 트랜지스터(T18); 그 게이트는 제1 공통점(K(N))과 연결되고, 드레인 전극은 제N 스테이지 게이트 신호점(Q(N))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제19 트랜지스터(T19); 그 게이트는 제1 공통점(K(N))과 연결되고, 드레인 전극은 제N 스테이지 수평 스캔 라인(G(N))과 연결되며, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제20 트랜지스터(T20)를 포함한다.

[0028] 아울러 도 4를 참조하면, 본 발명 GOA 회로의 제2 실시예 중 GOA 유닛의 구체적인 회로 중 각 신호의 파형도이다. 도 4에서 점선은 파형도를 1~8개 작업 구간으로 구분한다.

[0029] 제1 작업 구간: G(N-1)은 로우 레벨이고, N 스테이지 풀-업 제어 회로(101)는 닫기며, Q(N) 포인트는 로우 레벨이고, N 스테이지 풀-업 회로(201)는 닫기며, LC1 및 LC2의 작용으로 인해, P(N) 포인트는 하이 레벨이고, T12는 도통되며, G(N)이 로우 레벨로 유지되면, N+1 스테이지 풀-업 제어 회로(102)는 닫기며, Q(N+1) 포인트는 로우 레벨이고, N+1 스테이지 풀-업 회로(202)는 닫기며, LC1 및 LC2의 작용으로 인해, P(N) 포인트는 하이 레벨이고, T10는 도통되며, G(N+1)은 로우 레벨을 출력한다;

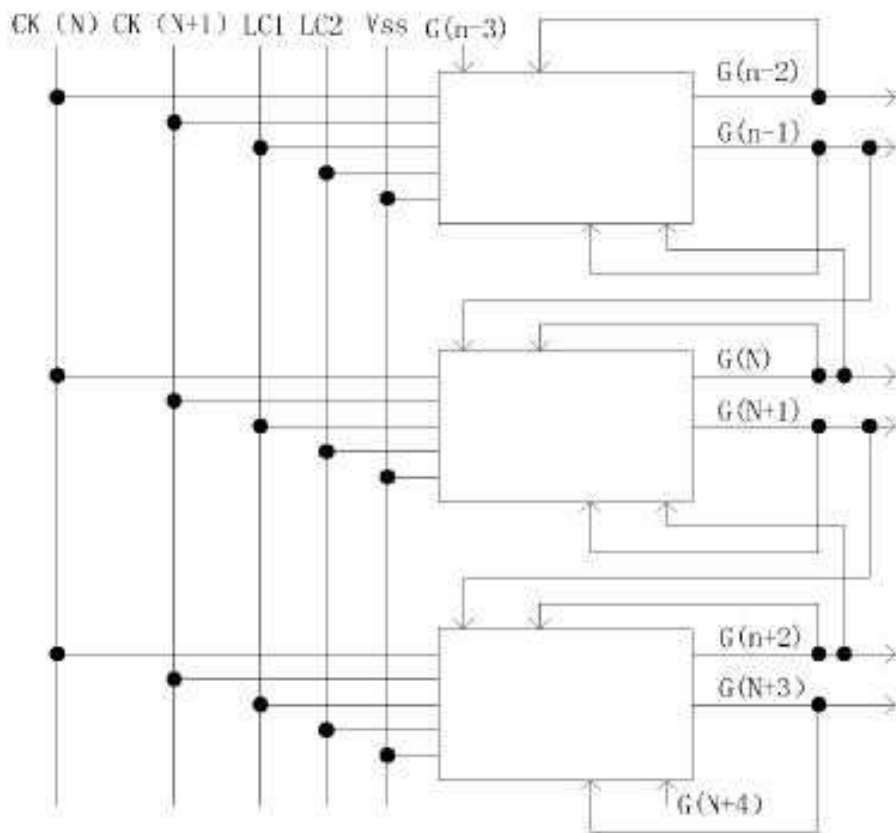
[0030] 제2 작업 구간: G(N-1)은 하이 레벨이고, N 스테이지 풀-업 제어 회로(101)는 열리며, Q(N) 포인트는 하이 레벨이고, N 스테이지 풀-업 회로(102)는 열리지만, CK(N)이 여전히 로우 레벨이기에, 따라서 G(N)은 여전히 로우 레벨을 출력하며, 이 밖에, Q(N)이 하이 레벨이기에, T21, T5 및 T15의 도통을 초래하며, 즉 P(N) 및 K(N)은 동시에 로우 레벨이고, G(N+1)은 계속하여 로우 레벨을 유지한다;

- [0031] 제3 작업 구간: G(N-1)은 로우 레벨이고, N 스테이지 풀-업 제어 회로(101)는 닫기며, Q(N) 포인트는 약간 감소되고, 기타 관전 포인트는 대체적으로 변하지 않는다;
- [0032] 제4 작업 구간: N 스테이지 풀-업 회로(201) 중 제1 커패시터(Cb1)의 자체 작용으로 인해, Q(N) 포인트의 전위를 더욱 높게 부스팅하고, N 스테이지 풀-업 회로(201)는 여전히 열려있으며, 이때, N 스테이지 클록 신호(CK(N))는 고전위로 변하고, G(N)은 충전한다;
- [0033] G(N)이 높아져, N+1 스테이지 풀-업 제어 회로(102)는 열리며, Q(N+1)이 고전위로 변하여, N+1 스테이지 풀-업 회로(202)는 열리지만, 이때 N+1 스테이지 클록 신호는 낮고, G(N+1)은 여전히 낮다;
- [0034] 제5 작업 구간: N 스테이지 클록 신호(CK(N))는 저전위로 변하고, G(N)은 충전 완료되어, N+1 스테이지 풀-업 제어 회로(102)가 닫기는 것을 초래하며, 기타 관전 포인트는 대체적으로 변하지 않는다;
- [0035] 제6 작업 구간: N+1 스테이지 풀-업 회로(202) 중 제2 커패시터(Cb2)의 자체 작용으로 인해, Q(N+1) 포인트의 전위를 더욱 높게 부스팅하고, N+1 스테이지 풀-업 회로(202)는 여전히 열려있으며, 이때, N+1 스테이지 클록 신호(CK(N+1))는 고전위로 변하고, G(N+1)은 충전한다;
- [0036] G(N+1)이 고전위로 변하여, 제1 풀-다운 회로(301)는 열리며, Q(N)의 전압은 풀-다운되고, T21, T5 및 T15는 닫기지만, Q(N+1)의 작용, 및 LC1과 LC2의 변화로 인해, (P(N)) 및 (K(N))이 여전히 낮다.
- [0037] 제7 작업 구간: N+1 스테이지 클록 신호(CK(N+1))는 저전위로 변하고, G(N+1)은 충전 완료되며, 기타 관전 포인트는 대체적으로 변하지 않는다.
- [0038] 도 5를 참조하면, 본 발명의 GOA 회로 제3 실시예 중 GOA 유닛의 구체적인 회로 연결 모식도인 바, 상기 GOA 유닛과 상기 제2 실시예의 구별점은 하기와 같다.
- [0039] 풀-다운 유지 회로(400)는, 그 게이트는 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되고, 드레인 전극 및 소스 전극은 각각 제1 공통점(K(N)) 및 제2 공통점(P(N))과 연결되는 제22 트랜지스터(T22)를 더 포함한다.
- [0040] 풀-다운 유지 회로(400)가 동시에 두 스테이지의 회로를 풀-다운하고 유지해야 하기에, T22와 T21의 공동 작용을 사용하여 두 스테이지의 회로의 정상적인 출력을 보장하여, 회로가 더욱 안전하고 안정적이다.
- [0041] 도 6을 참조하면, 본 발명의 GOA 회로 제4 실시예 중 GOA 유닛의 구체적인 회로 연결 모식도인 바, 상기 GOA 유닛과 상기 제3 실시예의 구별점은 하기와 같다.
- [0042] GOA 유닛은 제N 스테이지 전송 회로(501) 및 제N+1 스테이지 전송 회로(502)를 더 포함하고; 제N 스테이지 전송 회로(501)는 제N 스테이지 게이트 신호점(Q(N))과 연결되어, 제N+1 스테이지 전송 제어 회로에 N 스테이지 전송 신호(ST(N))를 제공하며; 제N+1 스테이지 전송 회로(502)는 제N+1 스테이지 게이트 신호점(Q(N+1))과 연결되고, 다음 스테이지의 GOA 유닛의 제N+2 스테이지 전송 제어 회로에 N+1 스테이지 전송 신호(ST(N+1))를 제공한다.
- [0043] 상기 실시예에 있어서, N 스테이지 풀-업 제어 회로(101) 및 N+1 스테이지 풀-업 제어 회로(102)의 제어 신호를 각각 ST(N-1) 및 ST(N)으로 교체하는 바, 즉 N 스테이지 풀-업 제어 회로(101) 및 N+1 스테이지 풀-업 제어 회로(102) 중의 TFT트랜지스터의 게이트는 각각 ST(N-1) 및 ST(N)과 연결된다.
- [0044] 도 7을 참조하면, 본 발명의 GOA 회로 제5 실시예 중 GOA 유닛의 구체적인 회로 연결 모식도인 바, 상기 GOA 유닛과 상기 제4 실시예의 구별점은 하기와 같다.
- [0045] 풀-다운 유지 회로는 그 게이트는 제N+1 스테이지 수평 스캔 라인(G(N+1))과 연결되고, 드레인 전극은 제1 공통점(K(N))과 연결되고, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제23 트랜지스터(T23); 그 게이트는 제N 스테이지 수평 스캔 라인(G(N))과 연결되고, 드레인 전극은 제2 공통점(P(N))과 연결되는, 소스 전극은 제1 직류 저전압(VSS1)과 연결되는 제24 트랜지스터(T24)를 더 포함한다.
- [0046] 본 실시예에 두 개의 TFT 트랜지스터를 증가하였고, 주요하게는 작용 기간에 P(N) 및 K(N)에 대한 풀-다운을 강화하기 위한 것이며, 따라서 출력 기간에서의 풀-다운이 매우 중요한데, 만약 풀-다운이 훌륭하지 않으면 직접적으로 디스플레이 이상을 초래하게 된다.
- [0047] 이 밖에, N 스테이지 풀-다운 회로의 게이트 신호를 ST(N+1)로 개변시키고, N+1 스테이지 풀-다운 회로의 게이트 신호를 ST(N+2)로 개변시키며, T23의 게이트 신호를 ST(N+1)로 개변시키고, T24의 게이트 신호를 ST(N)로 개변시킬 수 있는데, 이렇게 하면 트랜지스터의 누전을 방지한다.

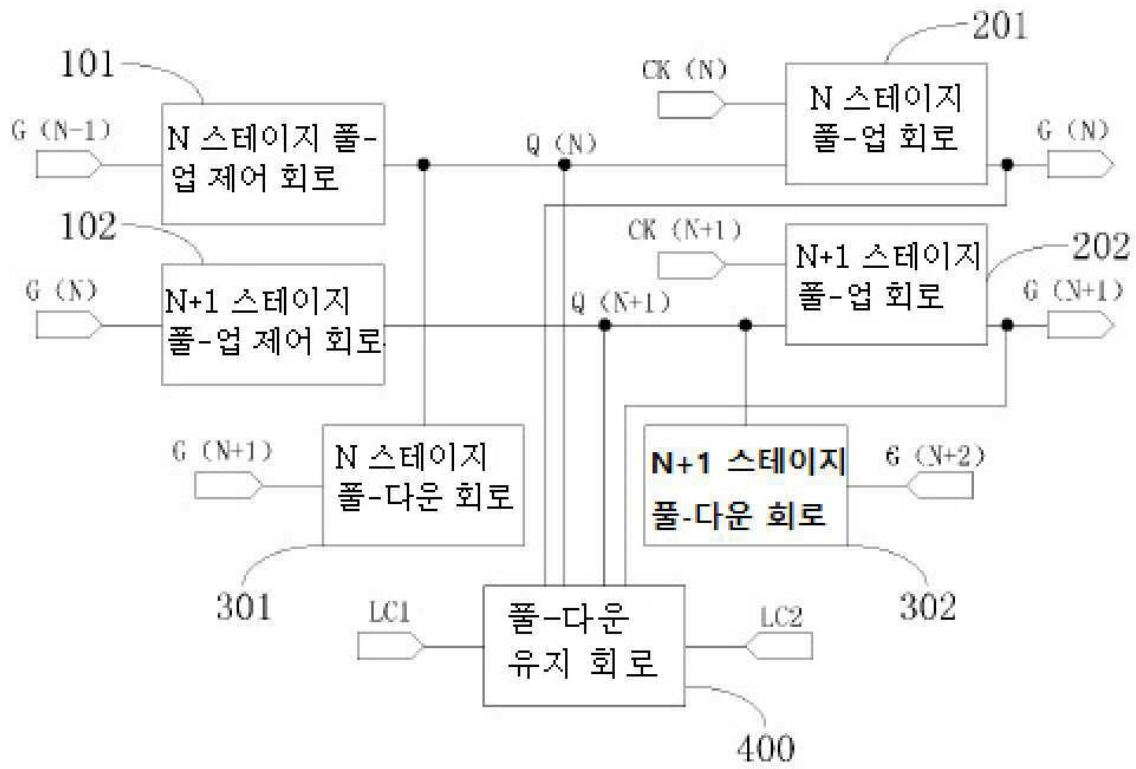
- [0048] 도 8을 참조하면, 본 발명의 GOA 회로 제6 실시예 중 GOA 유닛의 구체적인 회로 연결 모식도인 바, 상기 GOA 유닛과 상기 제5 실시예의 구별점은 하기와 같다.
- [0049] 제7 트랜지스터(T7)의 소스 전극, 제9 트랜지스터(T9)의 소스 전극, 제17 트랜지스터(T17)의 소스 전극 및 제19 트랜지스터(T19)의 소스 전극은 제2 직류 저전압(VSS2)과 연결된다.
- [0050] 도 9를 참조하면, 본 발명의 GOA 회로 제7 실시예 중 GOA 유닛의 구체적인 회로 연결 모식도인 바, 상기 GOA 유닛과 상기 제6 실시예의 구별점은 하기와 같다. 풀-다운 유지 회로는,
- [0051] 그 게이트는 제1 공통점(K(N))과 연결되고, 드레인 전극은 N+1 스테이지 전송 신호(ST(N+1))와 연결되며, 소스 전극은 제2 직류 저전압(VSS2)과 연결되는 제25 트랜지스터(T25);
- [0052] 그 게이트는 제2 공통점(P(N))과 연결되고, 드레인 전극은 N+1 스테이지 전송 신호(ST(N+1))와 연결되며, 소스 전극은 제2 직류 저전압(VSS2)과 연결되는 제26 트랜지스터(T26);
- [0053] 그 게이트는 제2 공통점(P(N))과 연결되고, 드레인 전극은 N 스테이지 전송 신호(ST(N))와 연결되며, 소스 전극은 제2 직류 저전압(VSS2)과 연결되는 제27 트랜지스터(T27);
- [0054] 그 게이트는 제1 공통점(K(N))과 연결되고, 드레인 전극은 N 스테이지 전송 신호(ST(N))와 연결되며, 소스 전극은 제2 직류 저전압(VSS2)과 연결되는 제28 트랜지스터(T28)를 더 포함한다.
- [0055] 이 밖에, N 스테이지 풀-다운 회로의 게이트 신호를 ST(N+2)로 개변시키고, N+1 스테이지 풀-다운 회로의 게이트 신호를 ST(N+3)로 개변시킬 수 있는데, 이는 Q(N) 포인트가 비교적 훌륭한 "凸" 자 파형을 형성하도록 한다.
- [0056] 아울러 도 10을 참조하면, 본 발명의 GOA 회로 제7 실시예 중 GOA 유닛의 구체적인 회로 중 각 신호의 파형도이다. 상기 파형도는 도 4와 유사한데, 그 구별점은 Q(N)과 Q(N+1)의 "凸" 자 파형이 더욱 완전하다는 것이다.
- [0057] 이상의 각 실시예 중의 TFT는 모두 NTF를 예로 들고, 실제 조작에 있어서 PTFT으로 대체할 수 있으며, 그 게이트의 제어 전위의 높고 낮음은 서로 교환될 수 있고, 전위의 타이밍은 변하지 않는다.
- [0058] 상기의 서술은 단지 본 발명의 실시예로서, 본 발명의 특허범위를 한정하기 위한 것이 아니며, 본 발명의 명세서 및 도면을 이용하여 진행한 모든 동등한 구조 또는 동등한 과정 변화, 또는 직접적이거나 간접적으로 기타 관련 기술분야에서의 응용은 마찬가지로 전부 본 발명의 특허보호범위 내에 속한다.

도면

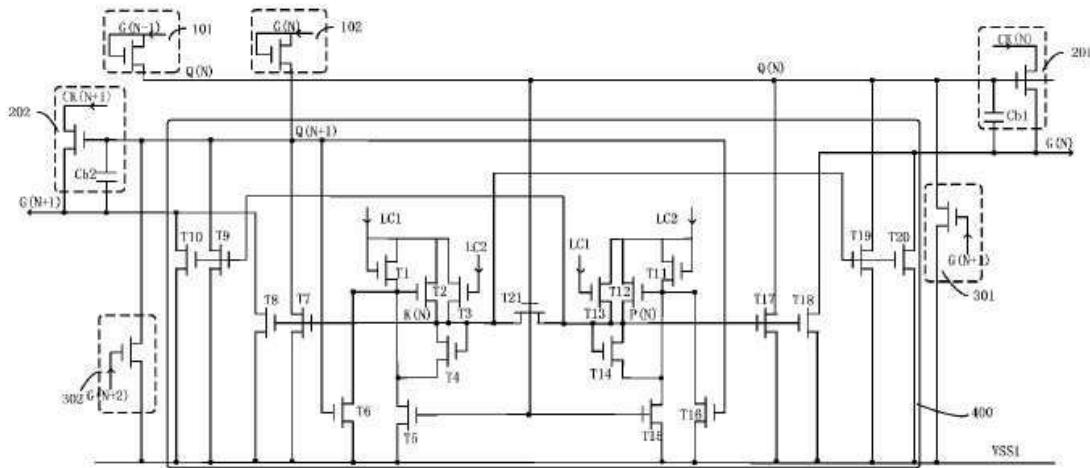
도면1



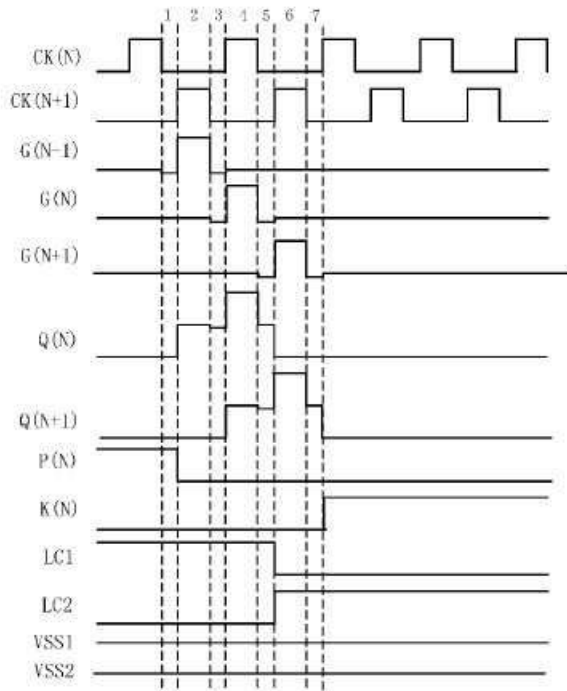
도면2



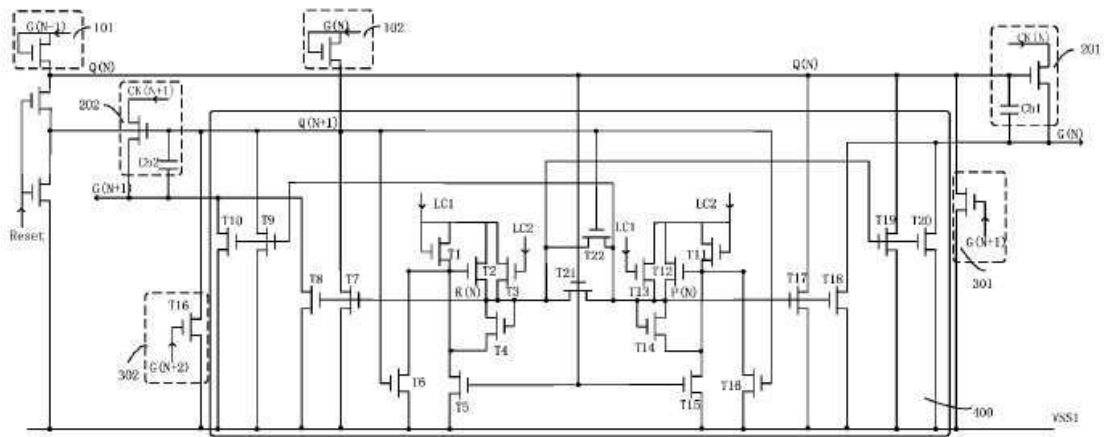
도면3



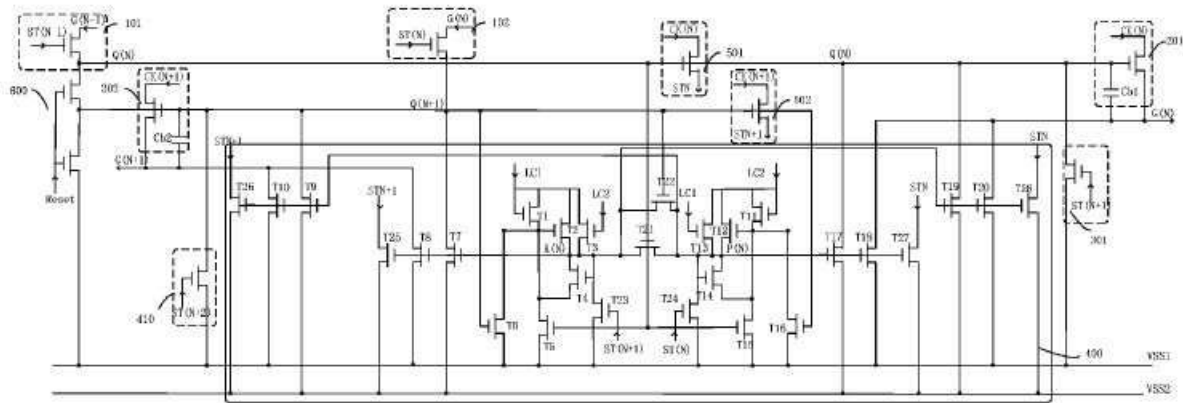
도면4



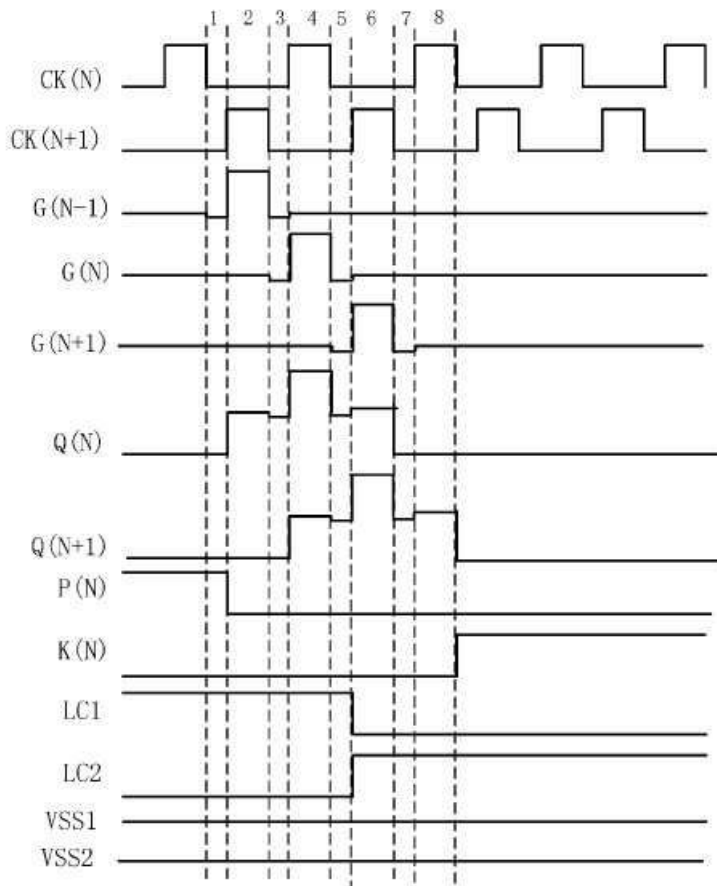
도면5



도면9



도면10



专利名称(译)	果阿电路和液晶显示器		
公开(公告)号	KR102019577B1	公开(公告)日	2019-09-06
申请号	KR1020177023828	申请日	2015-04-30
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
申请(专利权)人(译)	中国深圳恒星光电科技有限公司		
当前申请(专利权)人(译)	中国深圳恒星光电科技有限公司		
发明人	소우 준청		
IPC分类号	G09G3/36 H01L27/12		
CPC分类号	G09G3/3677 H01L27/124 G09G2300/0408 G09G2300/0426 G09G2310/0251 G09G2310/061 G09G2310/08 G09G2330/021 G09G2310/0286 G09G2330/02 G09G3/36 H01L27/12		
代理人(译)	朴素贤		
审查员(译)	酋长姬		
优先权	201510160697.3 2015-04-07 CN		
其他公开文献	KR1020170107549A		
外部链接	Espacenet		

摘要(译)

本发明公开了一种GOA电路和液晶显示器。GOA电路包括多个GOA单元，每个GOA单元在显示区域中顺序地对第N级水平扫描线和第(N+1)级水平扫描线充电。GOA单元包括N级上拉控制电路，(N+1)级上拉控制电路，N级上拉电路，(N+1)级上拉电路，N级上拉电路下拉电路，(N+1)级下拉电路和下拉保持电路。下拉保持电路在对第N级水平扫描线进行充电之后，将第N级栅极信号点和第N级水平扫描线的电压电平保持为低电平，并保持(N在对第(N+1)级水平扫描线充电之后，第+1级栅极信号点和第N级水平扫描线为低电平。通过这种配置，两级GOA单元共享公共的下拉保持电路，以进一步降低功耗。

