



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0002678
(43) 공개일자 2018년01월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
(52) CPC특허분류
G09G 3/3688 (2013.01)
G09G 3/3614 (2013.01)
(21) 출원번호 10-2017-7032532
(22) 출원일자(국제) 2015년05월13일
심사청구일자 2017년11월09일
(85) 번역문제출일자 2017년11월09일
(86) 국제출원번호 PCT/CN2015/078822
(87) 국제공개번호 WO 2016/165178
국제공개일자 2016년10월20일
(30) 우선권주장
201510176329.8 2015년04월15일 중국(CN)

(71) 출원인
센젠 차이나 스타 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드
중국 광둥 프로빈스, 센젠 시티, 광밍 뉴 디스트릭트, 탕밍 로드, 넘버 9-2
우한 차이나 스타 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드
중국 후베이 프로빈스, 우한, 우한 이스트 레이크 하이-테크 디벨롭먼트 존, 가오신 로드, 빌딩 씨5, 바이오레이크, 넘버 666
(72) 발명자
구오, 천평
중국 518132 광둥, 센젠, 광밍 뉴 디스트릭트, 탕밍 로드, 베이냐 넘버 9-2, 시
진, 지예후이
중국 518132 광둥, 센젠, 광밍 뉴 디스트릭트, 탕밍 로드, 베이냐 넘버 9-2, 시
장, 전저우
중국 518132 광둥, 센젠, 광밍 뉴 디스트릭트, 탕밍 로드, 베이냐 넘버 9-2, 시
(74) 대리인
특허법인(유한)유일하이스트

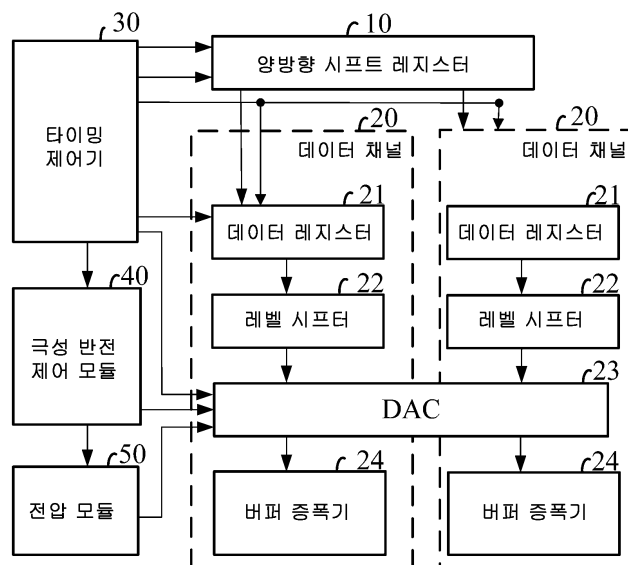
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 소스 드라이버 및 액정 디스플레이 장치

(57) 요약

소스 드라이버(1) 및 액정 디스플레이. 상기 소스 드라이버는 양방향 시프트 레지스터(10); 상기 양방향 시프트 레지스터(10)와 박막 트랜지스터 사이에 연결되며 데이터 레지스터(21) 및 디지털-아날로그 변환기(23)를 포함하는 복수의 데이터 채널들(20)을 포함하며, 상기 디지털-아날로그 변환기(23)는 2개의 인접한 데이터 채널들(20)에 의해 공유되고, 타이밍 제어기(30)의 행 반전 신호를 수신하여 기준 전압의 극성을 반전시킴으로써, 상기 2개의 인접한 데이터 채널들(20)의 출력 전압의 극성을 결정하는데 사용된다. 상기 소스 드라이버(1)는 작은 면적과 저렴한 비용을 필요로 한다.

대표도 - 도1



(52) CPC특허분류

G09G 3/3696 (2013.01)

G09G 2310/027 (2013.01)

G09G 2310/0286 (2013.01)

G09G 2310/0289 (2013.01)

G09G 2310/0291 (2013.01)

G09G 2310/08 (2013.01)

G09G 2320/0276 (2013.01)

명세서

청구범위

청구항 1

양방향 시프트 레지스터 및 복수의 데이터 채널들을 포함하는 소스 드라이버로서,

상기 양방향 시프트 레지스터는 클럭 신호 및 동기 신호를 수신하여 그로부터 순차적으로 2개의 인접한 데이터 채널들의 온-오프 로직 상태들을 제어하기 위해서, 타이밍 제어기에 연결되며; 또한

상기 데이터 채널들 각각은 그 일단이 상기 양방향 시프트 레지스터에 연결되고 타단이 아날로그 전압을 TFT에 출력하기 위해 상기 TFT에 연결되며, 상기 데이터 채널들 각각은 데이터 레지스터, DAC(Digital to Analog Converter), 및 버퍼 증폭기를 포함하고;

상기 DAC는 상기 2개의 인접한 데이터 채널들에 의해 공유되고, 상기 DAC는 상기 타이밍 제어기로부터 라인 반전 신호를 수신함으로써 기준 전압의 극성을 반전시켜서, 상기 2개의 인접한 데이터 채널들의 출력 전압의 극성을 결정하고, 상기 DAC는 또한 픽셀을 구동하기 위해 디지털 신호를 아날로그 전압으로 변환시키는데 사용되며, 상기 DAC는,

상기 라인 반전 신호를 수신하기 위해, 상기 타이밍 제어기에 연결되는 반전 입력단;

상기 디지털 신호를 수신하기 위해, 상기 2개의 인접한 데이터 채널들의 2개의 데이터 레지스터들에 연결되는 신호 입력단; 및

상기 아날로그 전압을 출력하기 위해, 상기 2개의 인접한 데이터 채널들의 2개의 버퍼 증폭기들에 연결되는 전압 출력단을 포함하는, 소스 드라이버.

청구항 2

제 1 항에 있어서,

감마 보정(Gamma correction) 기준 전압을 제공하기 위한 전압 모듈; 및

상기 극성의 반전을 제어하기 위한 반전 신호를 제공하여, 상기 감마 보정 기준 전압의 극성을 결정하기 위한, 극성 반전 제어 모듈을 더 포함하는, 소스 드라이버.

청구항 3

제 2 항에 있어서,

상기 극성 반전 제어 모듈은 상기 클럭 신호를 수신하여, 각 클럭 사이클에서 반전 신호를 생성하는, 소스 드라이버.

청구항 4

제 1 항에 있어서,

상기 데이터 채널은, 상기 디지털 신호의 전압을 증폭하기 위해 상기 데이터 레지스터와 상기 DAC 사이에 연결되는 레벨 시프터를 더 포함하는, 소스 드라이버.

청구항 5

제 4 항에 있어서,

상기 데이터 레지스터는 상기 클럭 신호에 응답하여 상기 디지털 신호들을 하나씩 저장하기 위해, 상기 양방향 시프트 레지스터, 상기 레벨 시프터, 및 상기 타이밍 제어기에 연결되는, 소스 드라이버.

청구항 6

제 1 항에 있어서,

상기 버퍼 증폭기는 상기 아날로그 전압을 증폭하여 상기 디지털 신호의 구동 능력을 높이기 위해, 상기 DAC와 상기 TFT 사이에 연결되는, 소스 드라이버.

청구항 7

제 1 항에 있어서,

상기 데이터 레지스터는 적어도 2개의 래치들을 포함하는, 소스 드라이버.

청구항 8

소스 드라이버를 포함하는 액정 디스플레이 장치로서,

상기 소스 드라이버는,

타이밍 제어기에 연결되는 양방향 시프트 레지스터; 및

복수의 데이터 채널들로서, 상기 데이터 채널들 각각은 그 일단이 상기 양방향 시프트 레지스터에 연결되고 타단이 아날로그 전압을 TFT에 출력하기 위해 상기 TFT에 연결되며, 상기 데이터 채널들 각각은 데이터 레지스터 및 DAC를 포함하는, 상기 복수의 데이터 채널들을 포함하며,

상기 DAC는 상기 2개의 인접한 데이터 채널들에 의해 공유되고, 또한 상기 DAC는 상기 타이밍 제어기로부터 라인 반전 신호를 수신함으로써 기준 전압의 극성을 반전시켜서, 상기 2개의 인접한 데이터 채널들의 출력 전압의 극성을 결정하는, 액정 디스플레이 장치.

청구항 9

제 8 항에 있어서,

상기 데이터 채널들 각각은 버퍼 증폭기를 더 포함하고,

상기 DAC는 픽셀을 구동하기 위해 디지털 신호를 아날로그 전압으로 변환시키는데 사용되며, 상기 DAC는,

라인 반전 신호를 수신하기 위해, 상기 타이밍 제어기에 연결되는 반전 입력단;

상기 디지털 신호를 수신하기 위해, 상기 2개의 인접한 데이터 채널들의 2개의 데이터 레지스터들에 연결되는 신호 입력단; 및

상기 아날로그 전압을 출력하기 위해, 상기 2개의 인접한 데이터 채널들의 2개의 버퍼 증폭기들에 연결되는 전압 출력단을 포함하는, 액정 디스플레이 장치.

청구항 10

제 9 항에 있어서,

상기 소스 드라이버는,

감마 보정 기준 전압을 제공하기 위한 전압 모듈; 및

상기 극성의 반전을 제어하기 위한 반전 신호를 제공하여, 상기 감마 보정 기준 전압의 극성을 결정하기 위한, 극성 반전 제어 모듈을 더 포함하는, 액정 디스플레이 장치.

청구항 11

제 10 항에 있어서,

상기 극성 반전 제어 모듈은 상기 클럭 신호를 수신하여, 각 클럭 사이클에서 반전 신호를 생성하는, 액정 디스플레이 장치.

청구항 12

제 9 항에 있어서,

상기 데이터 채널은, 상기 디지털 신호의 전압을 증폭하기 위해 상기 데이터 레지스터와 상기 DAC 사이에 연결되는 레벨 시프터를 더 포함하는, 액정 디스플레이 장치.

청구항 13

제 12 항에 있어서,

상기 데이터 레지스터는 상기 클럭 신호에 응답하여 상기 디지털 신호들을 하나씩 저장하기 위해, 상기 양방향 시프트 레지스터, 상기 레벨 시프터, 및 상기 타이밍 제어기에 연결되는, 액정 디스플레이 장치.

청구항 14

제 9 항에 있어서,

상기 버퍼 증폭기는 상기 아날로그 전압을 증폭하여 상기 디지털 신호의 구동 능력을 높이기 위해, 상기 DAC와 상기 TFT 사이에 연결되는, 액정 디스플레이 장치.

청구항 15

제 8 항에 있어서,

상기 양방향 시프트 레지스터는 클럭 신호 및 동기 신호를 수신하여 그로부터 순차적으로 2개의 인접한 데이터 채널들의 온-오프 로직 상태들을 제어하기 위해서, 타이밍 제어기에 연결되는, 액정 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 발명은 LCD(Liquid Crystal Display) 분야에 관한 것이며, 보다 구체적으로는 소스 드라이버 및 액정 디스플레이 장치에 관한 것이다.

배경 기술

[0002] 박막 트랜지스터(TFT) LCD는 LCD 기술 분야에서 가장 활발한 분야이며, 최근 가장 경쟁적인 전자 디스플레이 제품들 중 하나이다.

[0003] TFT LCD에 의해 디스플레이되는 정보는 호스트의 프로세서로부터 나오므로, 주사 신호 및 아날로그 전압을 수신 및 생성하기 위해서는 그 시스템 요건을 충족시키는 인터페이스가 필요하다. 주사 신호는 일반적으로 주사 드라이버(게이트 드라이버라고도 함)에 의해 생성되며, 이것의 주된 기능은 주사 전극에 대하여 트리거 게이트 전압을 인가하는 것이다. TFT LCD에서의 그레이스케일은 데이터 드라이버(소스 드라이버라고도 함)에 의해 생성되는 아날로그 전압으로 구현된다. 픽셀의 그레이스케일 전압은 출력 신호 전압의 증감에 의해 변화되며, 또한 픽셀의 그레이스케일을 결정한다.

[0004] 이 둘 중에, 소스 드라이버가 더 복잡하며, 상이한 기능들을 지원해야 하므로, 소스 드라이버의 사이즈는 더 크고 비용도 더 많이 든다.

발명의 내용

과제의 해결 수단

[0005] 상기와 같은 단점을 극복하기 위하여, 본 발명은 사이즈가 크고 높은 비용의 소스 드라이버 문제점들을 해결한, 소스 드라이버 및 액정 디스플레이 장치를 제공한다.

[0006] 본 발명의 기술 방식은 다음과 같다.

[0007] 소스 드라이버가 양방향 시프트 레지스터 및 복수의 데이터 채널들을 포함하고,

[0008] 상기 양방향 시프트 레지스터는 클럭 신호 및 동기 신호를 수신하여 그로부터 순차적으로 2개의 인접한 데이터 채널들의 온-오프 로직 상태들을 제어하기 위해서, 타이밍 제어기에 연결되며; 또한

[0009] 상기 데이터 채널들 각각은 그 일단이 상기 양방향 시프트 레지스터에 연결되고 타단이 아날로그 전압을 TFT에

출력하기 위해 상기 TFT에 연결되며, 상기 데이터 채널들 각각은 데이터 레지스터, DAC(Digital to Analog Converter), 및 버퍼 증폭기를 포함하고;

- [0010] 상기 DAC는 상기 2개의 인접한 데이터 채널들에 의해 공유되고, 상기 DAC는 상기 타이밍 제어기로부터 라인 반전 신호를 수신함으로써 기준 전압의 극성을 반전시켜서, 상기 2개의 인접한 데이터 채널들의 출력 전압의 극성을 결정하고, 상기 DAC는 또한 픽셀을 구동하기 위해 디지털 신호를 아날로그 전압으로 변환시키는데 사용되며, 상기 DAC는,
- [0011] 상기 라인 반전 신호를 수신하기 위해, 상기 타이밍 제어기에 연결되는 반전 입력단;
- [0012] 상기 디지털 신호를 수신하기 위해, 상기 2개의 인접한 데이터 채널들의 2개의 데이터 레지스터들에 연결되는 신호 입력단; 및
- [0013] 상기 아날로그 전압을 출력하기 위해, 상기 2개의 인접한 데이터 채널들의 2개의 버퍼 증폭기들에 연결되는 전압 출력단을 포함한다.
- [0014] 바람직하게는, 상기 소스 드라이버는,
- [0015] 감마 보정(Gamma correction) 기준 전압을 제공하기 위한 전압 모듈; 및
- [0016] 상기 극성의 반전을 제어하기 위한 반전 신호를 제공하여, 상기 감마 보정 기준 전압의 극성을 결정하기 위한, 극성 반전 제어 모듈을 더 포함한다.
- [0017] 바람직하게는, 상기 극성 반전 제어 모듈은 상기 클럭 신호를 수신하여, 각 클럭 사이클에서 반전 신호를 생성한다.
- [0018] 바람직하게는, 상기 데이터 채널 각각은, 상기 디지털 신호의 전압을 증폭하기 위해 상기 데이터 레지스터와 상기 DAC 사이에 연결되는 레벨 시프터를 더 포함한다.
- [0019] 바람직하게는, 상기 데이터 레지스터는 상기 클럭 신호에 응답하여 상기 디지털 신호들을 하나씩 저장하기 위해, 상기 양방향 시프트 레지스터, 상기 레벨 시프터, 및 상기 타이밍 제어기에 연결된다.
- [0020] 바람직하게는, 상기 버퍼 증폭기는 상기 아날로그 전압을 증폭하여 상기 디지털 신호의 구동 능력을 높이기 위해, 상기 DAC와 상기 TFT 사이에 연결된다.
- [0021] 바람직하게는, 상기 데이터 레지스터는 적어도 2개의 래치들을 포함한다.
- [0022] 본 발명의 기술 방식은 다음과 같다.
- [0023] 액정 디스플레이 장치가 소스 드라이버를 포함하고, 상기 소스 드라이버는,
- [0024] 타이밍 제어기에 연결되는 양방향 시프트 레지스터; 및
- [0025] 복수의 데이터 채널들로서, 상기 데이터 채널들 각각은 그 일단이 상기 양방향 시프트 레지스터에 연결되고 타단이 아날로그 전압을 TFT에 출력하기 위해 상기 TFT에 연결되며, 상기 데이터 채널들 각각은 데이터 레지스터 및 DAC를 포함하는, 상기 복수의 데이터 채널들을 포함하며,
- [0026] 상기 DAC는 상기 2개의 인접한 데이터 채널들에 의해 공유되고, 또한 상기 DAC는 상기 타이밍 제어기로부터 라인 반전 신호를 수신함으로써 기준 전압의 극성을 반전시켜서, 상기 2개의 인접한 데이터 채널들의 출력 전압의 극성을 결정한다.
- [0027] 바람직하게는, 상기 데이터 채널은 버퍼 증폭기를 더 포함하고,
- [0028] 상기 DAC는 픽셀을 구동하기 위해 디지털 신호를 아날로그 전압으로 변환시키는데 사용되며, 상기 DAC는,
- [0029] 라인 반전 신호를 수신하기 위해, 상기 타이밍 제어기에 연결되는 반전 입력단;
- [0030] 상기 디지털 신호를 수신하기 위해, 상기 2개의 인접한 데이터 채널들의 2개의 데이터 레지스터들에 연결되는 신호 입력단; 및
- [0031] 상기 아날로그 전압을 출력하기 위해, 상기 2개의 인접한 데이터 채널들의 2개의 버퍼 증폭기들에 연결되는 전압 출력단을 포함한다.
- [0032] 바람직하게는, 상기 소스 드라이버는,

- [0033] 감마 보정 기준 전압을 제공하기 위한 전압 모듈; 및
- [0034] 상기 극성의 반전을 제어하기 위한 반전 신호를 제공하여, 상기 감마 보정 기준 전압의 극성을 결정하기 위한, 극성 반전 제어 모듈을 더 포함한다.
- [0035] 바람직하게는, 상기 극성 반전 제어 모듈은 상기 클럭 신호를 수신하여, 각 클럭 사이클에서 반전 신호를 생성한다.
- [0036] 바람직하게는, 상기 데이터 채널은, 상기 디지털 신호의 전압을 증폭하기 위해 상기 데이터 레지스터와 상기 DAC 사이에 연결되는 레벨 시프터를 더 포함한다.
- [0037] 바람직하게는, 상기 데이터 레지스터는 상기 클럭 신호에 응답하여 상기 디지털 신호들을 하나씩 저장하기 위해, 상기 양방향 시프트 레지스터, 상기 레벨 시프터, 및 상기 타이밍 제어기에 연결된다.
- [0038] 바람직하게는, 상기 버퍼 증폭기는 상기 아날로그 전압을 증폭하여 상기 디지털 신호의 구동 능력을 높이기 위해, 상기 DAC와 상기 TFT 사이에 연결된다.
- [0039] 바람직하게는, 상기 양방향 시프트 레지스터는 클럭 신호 및 동기 신호를 수신하여 그로부터 순차적으로 2개의 인접한 데이터 채널들의 온-오프 로직 상태들을 제어하기 위해서, 타이밍 제어기에 연결된다.
- [0040] 종래 기술과 비교하여, 본 발명의 소스 드라이버 및 액정 디스플레이 장치는 데이터 채널의 전자 라인 수를 줄이게 되며, 이로 인해 그 사이즈가 감소될 뿐만 아니라 DAC의 공유에 따라서 비용도 절감된다.

도면의 간단한 설명

- [0041] 본 구현의 기술 방식을 보다 명확하게 설명하기 위해, 아래의 도면들에 대해 간략하게 소개하도록 한다. 본 명세서의 도면들은 단지 몇몇 실시예들을 나타낸 것이며, 당업자는, 어떤 창조적인 노력 없이도 다음의 도면들을 기초로 다른 도면을 용이하게 취득할 수 있다.
- 도 1은 본 발명의 제 1 실시예에 따른 소스 드라이버를 나타낸 개략도이다.
- 도 2는 본 발명의 제 1 실시예에 따른 소스 드라이버를 나타낸 회로도이다.
- 도 3은 본 발명의 제 2 실시예에 따른 소스 구동 방법을 나타낸 흐름도이다.
- 도 4는 본 발명의 제 3 실시예에 따른 액정 디스플레이 장치의 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0042] 도면들을 참조하면, 동일한 구성요소 기호는 동일한 구성요소를 나타낸다. 이하의 설명은 본 발명의 특정한 예시적 실시예들에 기초한 것으로서, 이것이 본 발명에 대한 제한으로서 구성되지는 않는다.
- [0043] 실시예 1
- [0044] 도 1을 참조하면, 이것은 본 발명의 바람직한 실시예에 따른 소스 드라이버의 개략도이다. 소스 드라이버는 양방향 시프트 레지스터(10), 양방향 시프트 레지스터(10)에 연결된 복수의 데이터 채널들(20), 타이밍 제어기(30), 극성 반전 제어 모듈(40) 및 전압 모듈(50)을 포함한다.
- [0045] 양방향 시프트 레지스터(10)는 2개의 인접한 데이터 채널들(20)의 온-오프 로직 상태를 제어하는데 사용된다.
- [0046] 양방향 시프트 레지스터(10)는 입력단에서 출력단으로 로직 상태를 송신하도록, 각 클럭 사이클(clock cycle)에서 동작한다는 것을 이해해야 한다. 각 프레임 시간이 시작되기 전에, 동기 신호가 제 1 레벨 시프트 레지스터로 전송되며, 그 클럭 신호에 따라 제 2 레벨 시프트 레지스터에 의한 현재 상태, 즉 로직 상태들이 순차적으로 하나씩 대응 데이터 라인으로 출력된다.
- [0047] 양방향 시프트 레지스터(10)는 클럭 신호 및 동기 신호를 수신하는 타이밍 제어기(30)에 일단이 연결되고, 타단이 복수의 데이터 채널들(20)에 연결되어, 순차적으로 2개의 인접한 데이터 채널들(20)의 온-오프 로직 상태를 제어한다는 것을 이해해야 한다.
- [0048] 데이터 채널은 일단이 양방향 시프트 레지스터(10)에 연결되고, 타단이 TFT(도시되지 않음)에 연결되어 TFT에 아날로그 전압을 출력한다. 데이터 채널(20)은 데이터 레지스터(21), 레벨 시프터(22), DAC(Digital to Analog Converter)(23) 및 버퍼 증폭기(24)를 포함한다.

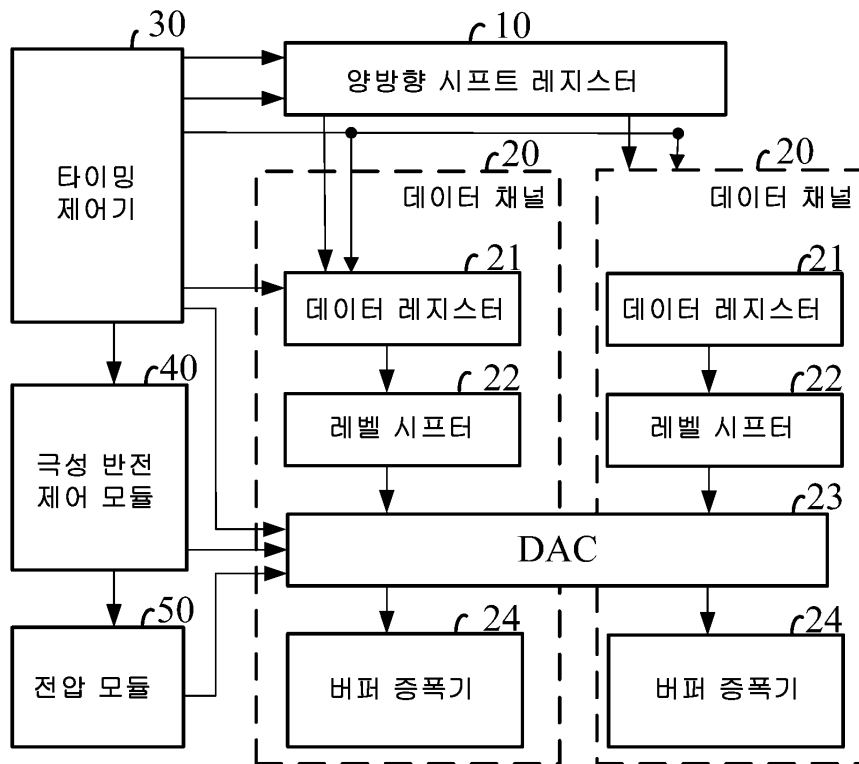
- [0049] DAC(23)는 2개의 인접한 데이터 채널들(20)에 의해 공유되며, 이 DAC(23)가 타이밍 제어기(30)로부터 라인 반전 신호를 수신함으로써 기준 전압의 극성을 반전시키게 되며, 이에 따라 2개의 인접한 데이터 채널들(20)의 출력 전압의 극성을 결정한다.
- [0050] 데이터 레지스터(21)는 양방향 시프트 레지스터(10)를 타이밍 제어기(30)에 연결시킨다는 것을 이해해야 한다. 데이터 레지스터(21)는 클럭 신호에 응답하여, 단위 시간에 적어도 2개의 디지털 신호들을 저장하고 이 저장된 디지털 신호들을 출력하는데 사용된다.
- [0051] 그 중에서도 특히, 데이터 레지스터(21)는 적어도 2개의 래치를 포함한다. 2개의 래치가 있으면, 회로 소자들이 더 이상 필요하지 않게 된다. 2개보다 많은 래치가 있는 경우, 듀플렉서들의 라인은 이 래치들의 수에 의존하게 된다.
- [0052] 레벨 시프터(22)는 기준 전압의 스위치로서, 디지털 신호의 전압을 증폭하기 위해 데이터 레지스터(21)를 DAC(23)에 연결한다.
- [0053] 일 실시예에서는, 디지털 신호의 전압이 +3V이며, + 21V가 되도록 증폭되거나 또는 디지털 신호의 전압이 -5V이고, -20V가 되도록 증폭된다는 것을 이해해야 한다.
- [0054] DAC(23)는 픽셀 구동을 위해 디지털 신호를 아날로그 전압으로 변환하는데 사용된다. DAC(23)는 반전 입력단, 신호 입력단 및 전압 출력단을 포함한다. 여기서, 반전 입력단은 라인 반전 신호를 수신하기 위해 타이밍 제어기(30)에 연결된다. 신호 입력단은 디지털 신호를 수신하기 위해 2개의 인접한 데이터 채널들(20) 내의 2개의 데이터 레지스터들(21)에 연결된다. 전압 출력단은 아날로그 전압을 출력하기 위해 2개의 인접한 데이터 채널들(20) 내의 2개의 버퍼 증폭기들(24)에 연결된다.
- [0055] DAC(23)는 라인 반전 신호를 수신한 후에, 2개의 인접한 데이터 채널들(20)을 반전시키는데 사용된다.
- [0056] 액정 분자들에 인가되는 전기장(electric field)은 방향성을 갖는다는 것을 이해해야 한다. 전기장의 방향은 서로 다른 기간들에 있어서 반대로 인가된다(즉, "극성 반전(polarity reversal)"). 이 반전의 목적은 (1) 그 정렬의 DC(Direct Current) 차단 효과; (2) 휴대용 모듈들의 DC 레지듀를 방지하기 위해 사용된다. 여기서는 이에 대해 더 이상 반복하지 않는다.
- [0057] 픽셀 어레이에서의 공통 반전들은 프레임 반전, 라인 반전, 컬럼 반전 및 도트 반전을 포함한다. 그 중, 라인 반전은 인터레이스된(interlaced) 라인 반전을 말하는 것이며, 본 발명에서, 라인 반전은 또한 인접한 데이터 채널을 반전시키는 것을 말한다.
- [0058] 극성 반전 제어 모듈(40)은 극성의 반전을 제어하기 위해 반전 신호를 발생시키는데 사용된다.
- [0059] 극성 반전 제어 모듈(40)은 타이밍 제어기(30)로부터 클럭 신호를 수신하여 각각의 클럭 사이클에서 반전 신호를 생성한다는 것을 이해해야 한다.
- [0060] 전압 모듈(50)은 감마 보정 기준 전압을 제공하는데 사용된다. 여기서, 이 기준 전압의 극성은 반전 신호에 따라 반전된다.
- [0061] 버퍼 증폭기(24)는 DAC(23)에서 아날로그 전압을 증폭하여 디지털 신호의 구동 능력을 높이고, 증폭된 아날로그 전압을 TFT에 송신하기 위해 사용된다. 여기서, 증폭된 아날로그 전압은 TFT에서의 픽셀 그레이스케일 전압이다.
- [0062] 도 2를 참조하면, 이것은 본 발명의 바람직한 실시예에 따른 소스 드라이버의 회로도이다. 소스 드라이버는 2개의 인접한 데이터 채널들을 포함하며, 데이터 채널들 각각은 그 2개의 인접한 데이터 채널들에 의해 공유되는 2개의 래치, 레벨 시프터(L/S), 버퍼 증폭기(BA) 및 디지털-아날로그 변환기(DAC)를 포함한다. 여기서, DAC는 폴링(POL) 신호 및 기준 전압(V)을 수신한다.
- [0063] 공통 소스 드라이버에서, DAC는 전체 회로 영역의 60% 이상을 커버한다. 2개의 인접한 데이터 채널들에서 하나의 DAC를 공유하면서, 소스 드라이버의 사이즈가 30% 줄어들고, 생산 비용도 절감된다.
- [0064] 실시예 2
- [0065] 도 3을 참조하면, 이것은 본 발명의 바람직한 실시예에 따른 소스 구동의 흐름도이다.
- [0066] 단계 S301에서, 양방향 시프트 레지스터는 타이밍 신호 및 동기 신호를 수신하며 그로부터, 데이터 채널의 온-

오프 로직 상태들을 순차적으로 제어한다.

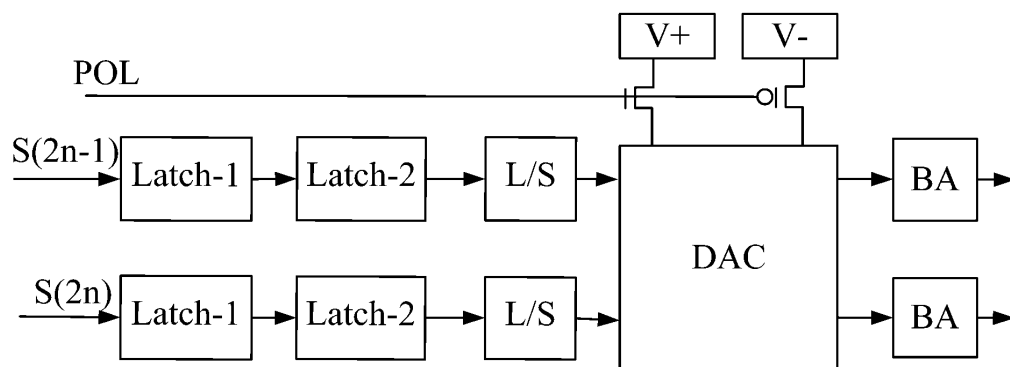
- [0067] 양방향 시프트 레지스터는 일단이 클럭 신호 및 동기 신호를 수신하기 위해 타이밍 제어기에 연결되고, 타단이 복수의 데이터 채널들에 연결되어 로직 상태 신호를 전송한다는 것을 이해해야 한다.
- [0068] 단계 S302에서, 데이터 채널의 데이터 레지스터는 클럭 신호에 따라 하나씩 디지털 신호들을 저장한다.
- [0069] 단계 S303에서, 데이터 채널의 레벨 시프터는 기준 전압의 스위치로서 디지털 신호의 전압을 증폭한다.
- [0070] 단계 S304에서, 디지털 신호를 수신하기 위해 2개의 인접한 데이터 채널들의 2개의 레벨 시프터들에 연결된 DAC는, 픽셀을 구동하기 위해 디지털 신호를 아날로그 전압으로 변환한다.
- [0071] DAC의 입력단은 라인 반전 신호를 수신하기 위해 타이밍 제어기에 연결되고, 디지털 신호를 수신하기 위해 2개의 인접한 데이터 채널들의 2개의 데이터 레지스터들에 연결되며, DAC의 출력단은 아날로그 전압을 출력하기 위해 2개의 인접한 데이터 채널들의 2개의 버퍼 증폭기들에 연결된다는 것을 이해해야 한다.
- [0072] 단계 S305에서, 버퍼 증폭기는 아날로그 전압을 증폭하여, 증폭된 아날로그 전압을 TFT의 소스 드라이버에 전송한다.
- [0073] 본 발명에 있어서, 본 발명의 소스 드라이버 및 액정 디스플레이 장치는 데이터 채널의 전자 라인들을 절약할 수 있으며, 이로 인해 그 사이즈가 감소될 뿐만 아니라 DAC의 공유에 따라 비용도 절감된다.
- [0074] 공통 소스 드라이버에서, DAC는 전체 회로 영역의 60% 이상을 커버한다. 2개의 인접한 데이터 채널들에서 하나의 DAC를 공유하면서, 소스 드라이버의 사이즈가 30% 줄어들고, 생산 비용도 절감된다.
- [0075] 실시예 3
- [0076] 도 4를 참조하면, 이것은 본 발명의 바람직한 실시예에 따른 액정 디스플레이 장치의 회로도를 나타낸다.
- [0077] 액정 디스플레이 장치가 화면을 보여줄 때 액정 모듈의 광 투과율을 제어하기 위해서 전계가 사용된다. 따라서, LCD 패널(3), 소스 드라이버(1) 및 게이트 드라이버(2)를 포함하는 액정 디스플레이 장치가 제공된다.
- [0078] LCD 패널(3)에서, 복수의 데이터 라인들(5) 및 주사 라인들(6)은 서로 엇갈리게 배치되며, TFT를 덮는 액정 모듈들의 광 투과율에 의존한다.
- [0079] 소스 드라이버(1)는 전압 모듈(50)에 연결되어, 게이트 드라이버(2)와 함께 클럭 신호를 수신하며, 데이터 라인(4) 및 주사 라인(5)에 의해서 TFT의 픽셀(6)로 아날로그 전압 및 주사 신호를 전송한다.
- [0080] 소스 드라이버(1)는 CPU 및 LCD와 통신하기 위해 디스플레이 제어 모듈에 일단이 연결되고, 타단이 LCD의 TFT를 구동하기 위해 LCD 패널에 연결되어 그레이스케일을 구현한다. 따라서, 소스 드라이버는 호스트로부터의 디지털 신호 및 제어 신호를 논리적으로 처리하여, 레벨 스위칭 및 D/A 변환한 후에, 버퍼 증폭기를 통해 출력함으로써 픽셀을 구동한다.
- [0081] 실시예들이 서로 다르게 초점을 맞추고 있지만, 설계 아이디어는 일관성이 있다는 것을 이해해야 한다. 몇몇 무시 부분들은 전체 명세서와 관련될 수 있으므로 여기에서는 반복하지 않는다.
- [0082] 결론적으로, 본 발명이 몇몇 바람직한 실시예들 및 대안적인 실시예들을 참조하여 설명되었지만, 이들은 단지 예시적인 것이며 첨부된 청구범위에 기술된 본 발명의 전체 범위를 제한하지 않는다.

도면

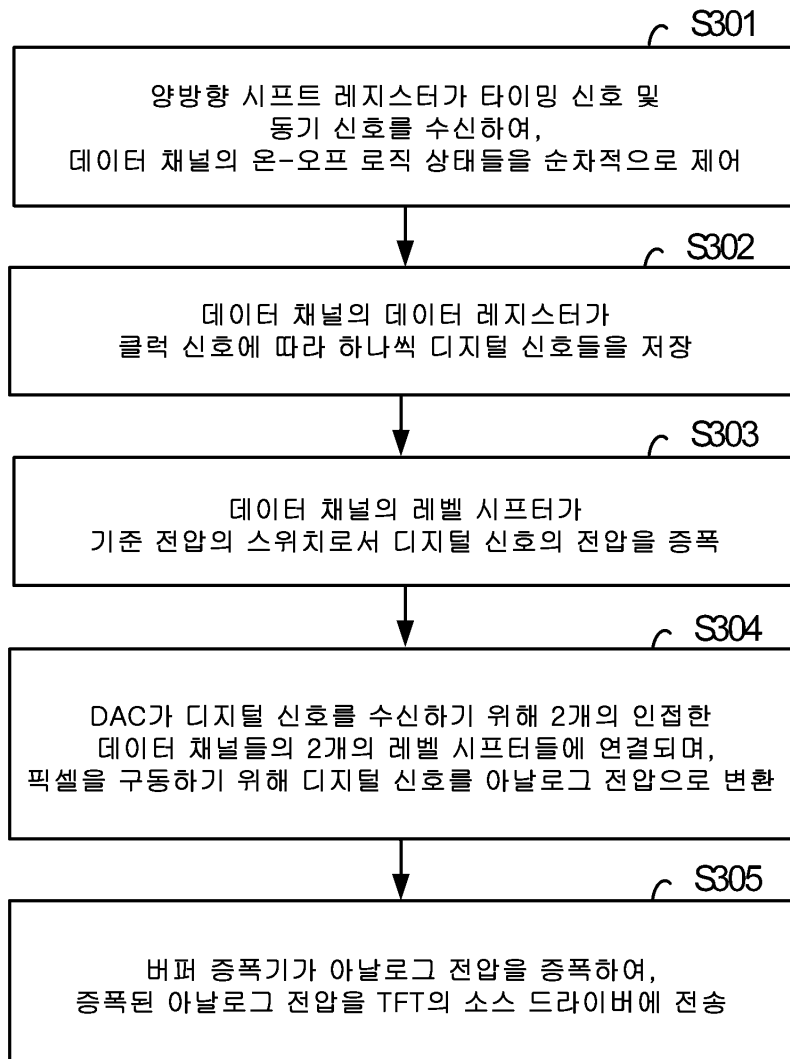
도면1



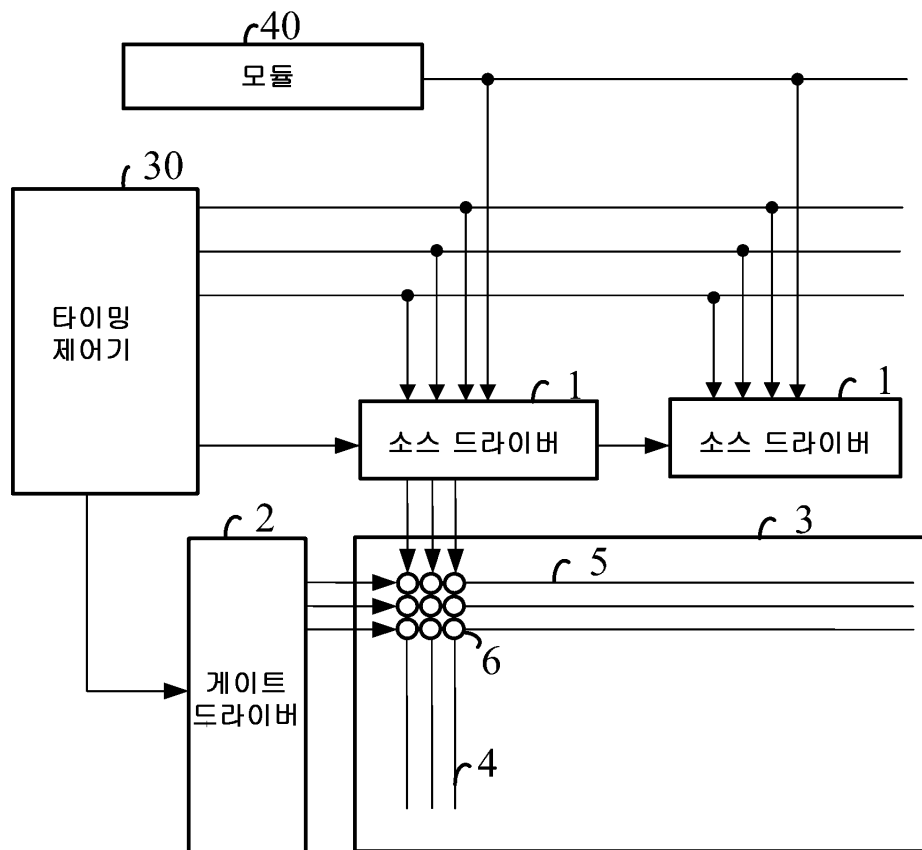
도면2



도면3



도면4



专利名称(译)	源极驱动器和液晶显示器件		
公开(公告)号	KR1020180002678A	公开(公告)日	2018-01-08
申请号	KR1020177032532	申请日	2015-05-13
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
申请(专利权)人(译)	中国深圳恒星光电科技有限公司		
[标]发明人	GUO CHUNPENG 구오천평 QIN JIEHUI 진지에후이 XING ZHENZHOU 징전저우		
发明人	구오,천평 진,지에후이 징,전저우		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3688 G09G3/3696 G09G3/3614 G09G2310/027 G09G2310/0286 G09G2310/0289 G09G2310/0291 G09G2310/08 G09G2320/0276 G02F1/1368		
优先权	201510176329.8 2015-04-15 CN		
外部链接	Espacenet		

摘要(译)

源极驱动器 (1) 和液晶显示器。源极驱动器包括双向移位寄存器 (10) ;多个数据通道20连接在双向移位寄存器10和薄膜晶体管之间，并包括数据寄存器21和数模转换器23.数模转换器23，由两个相邻数据通道 (20) 共享，并且通过接收定时控制器 (30) 的行反转信号以反转参考电压的极性，两个相邻数据通道的输出电压的极性Lt ;源极驱动器1需要小面积和低成本。

