(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0047271
(43) 공개일자 2016년05월02일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
(21) 출원번호 10-2014-0143501
(22) 출원일자 2014년10월22일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
최수진
경상북도 구미시 인동52길 46-1 (구평동)
(74) 대리인
박장원

전체 청구항 수 : 총 7 항

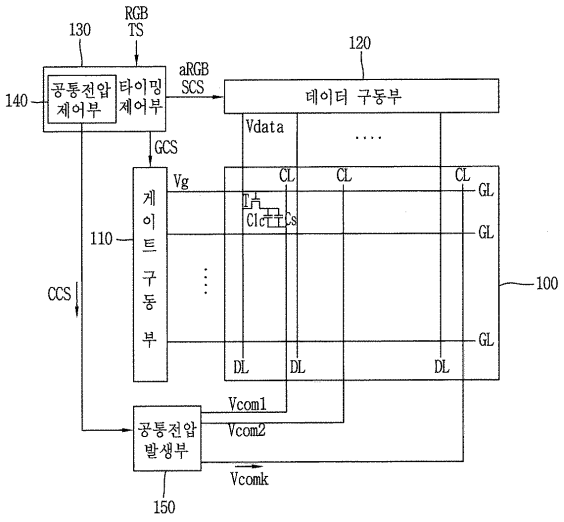
(54) 발명의 명칭 **공통전압 발생부 및 이를 포함하는 액정표시장치**

(57) 요 약

본 발명은 액정표시장치를 개시한다. 보다 상세하게는, 본 발명은 액정패널의 박막트랜지스터 어레이 구조에 의한 킥백전압(kickback voltage, ΔVp)을 보상하여 플리커(flicker) 및 잔상을 개선한 공통전압 발생부 및 이를 포함하는 액정표시장치에 관한 것이다.

본 발명의 바람직한 실시예에 따르면, 영상에 따라 공통전압을 수직선 단위 또는 블록단위로 보상함으로써, 공통전압 보상이 고정되는 종래방식에 대비하여 킥백전압에 기인한 잔상 및 플리커 현상을 최소화하는 최적화된 공통전압을 제공할 수 있는 효과가 있다.

대 표 도 - 도3



명 세 서

청구범위

청구항 1

복수의 게이트 배선 및 데이터 배선이 교차 배치되어 복수의 화소를 정의하고, 수직선, 수평선 및 블록 중, 적어도 하나의 단위로 구분되어 상기 복수의 화소와 연결되는 복수의 공통배선이 구비되는 액정패널;

상기 복수의 게이트 배선 및 데이터 배선에 각각 게이트 구동전압 및 데이터 전압을 인가하는 게이트 구동부 및 데이터 구동부;

상기 게이트 구동부 및 데이터 구동부를 제어하는 타이밍 제어부; 및

복수의 공통전압을 생성하고, 수직선별 또는 블록별로 화소전압에 대응되는 공통전압을 인가하는 공통전압 발생부

를 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 공통전압은,

동일 수직선, 수평선 또는 블록내의 화소들의 화소전압의 평균레벨에 대응되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 타이밍 제어부는,

영상 데이터를 검출하여 상기 공통전압 발생부를 제어하는 공통전압 제어부를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 공통전압 제어부는,

상기 영상 데이터를 수집하는 데이터 수집부;

하나이상의 공통전압 레벨이 저장된 메모리부;

상기 메모리부로부터 상기 영상 데이터의 수집결과에 따라 상기 공통전압 레벨을 독출하는 보상값 판단부; 및

상기 공통전압 레벨을 선택하기 위한 공통제어신호를 생성하는 제어신호 생성부

를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 공통전압 발생부는,

제1 및 제2 기준전압을 분압하는 복수의 저항으로 이루어지는 저항스트링;

공통제어신호에 대응하여 상기 저항스트링에 의해 분압된 전압들을 선택하여 상기 복수의 공통전압을 생성하는 셀렉터부; 및

상기 복수의 공통전압을 상기 공통배선에 출력하는 복수의 연산증폭기로 이루어지는 출력버퍼부

를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 블록단위의 화소는,

k × l(k,l는 자연수) 화소들이 하나의 블록을 이루는 것을 특징으로 하는 액정표시장치.

청구항 7

수직선단위 또는 블록단위로 상기 복수의 화소와 연결되는 복수의 공통배선이 구비되는 액정패널을 포함하는 액정표시장치의 공통전압 발생부로서,

제1 및 제2 기준전압을 분압하는 저항스트링;

공통제어신호에 대응하여 상기 저항스트링에 의해 분압된 전압들을 선택하여 상기 복수의 공통전압을 생성하는 셀렉터부; 및

상기 복수의 공통전압을 상기 공통배선에 출력하는 출력버퍼부

를 포함하는 공통전압 발생부.

발명의 설명

기 술 분 야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 액정패널의 박막트랜지스터 어레이 구조에 의한 킥백전압(kickback voltage, ΔVp)을 보상하여 플리커(flicker) 및 잔상을 개선한 공통전압 발생부 및 이를 포함하는 액정표시장치에 관한 것이다.

배 경 기 술

[0002] 평판 표시장치(FPD; Flat Panel Display)는 종래의 음극선관(Cathode Ray Tube, CRT) 표시장치를 대체하여 데스크탑 컴퓨터의 모니터 뿐만 아니라, 노트북 컴퓨터, PDA 등의 휴대용 컴퓨터나 휴대 전화 단말기 등의 소형 경량화된 시스템을 구현하는데 필수적인 표시장치이다. 현재 상용화된 평판 표시장치로는 액정표시장치(Liquid Crystal Display, LCD), 플라즈마 표시장치(Plasma Display Panel, PDP), 유기전계발광장치{Organic Light Emitting Diode, OLED) 등이 있으며 특히, 이중 액정표시장치는 우수한 시인성, 용이한 박막화, 저전력 및 저발열 등의 장점에 따라 모바일기기, 컴퓨터의 모니터 및 HDTV 등에 이용되는 표시장치로서 각광받고 있다.

[0003] 일반적으로, 액정표시장치는 투명한 상부기판과 하부기판을 포함하고, 상기 상부기판과 하부기판 사이에 액정이 개재된 구조를 갖는다. 특히, 액티브 매트릭스형 액정표시장치(AMLCD)일 경우, 상기 하부기판에는 다수의 화소에 대응하는 다수의 스위칭 소자가 매트릭스 형태로 형성된다.

[0004] 도 1은 종래 액정표시장치의 일 화소의 등가회로도를 나타낸 도면으로서, 도 1을 참조하면, 액정표시장치에 구비되는 스위칭 소자는 소스전극과 드레인전극과 게이트전극으로 구성되는 일반적인 박막트랜지스터(T)로 이루어질 수 있고, 게이트전극과 소스전극에 각각 게이트 구동전압(Vg)을 인가하기 위한 게이트배선(GL)과 데이터 전압(Vdata)을 인가하기 위한 데이터배선(DL)이 형성되고, 상기 게이트배선(GL)과 데이터배선(DL)은 절연막을 사이에 두고 서로 교차되어 형성된다.

[0005] 그리고, 게이트배선(GL)과 데이터배선(DL)의 교차지점에는 화소(PX)가 정의되며, 각 화소(PX)에는 드레인전극과 접촉되는 화소전극과, 그 화소전극과 대향하며 공통전압(Vcom)이 인가되는 공통전극이 형성되어 있어 액정 캐패시터(Clc)와 스토리지 캐패시터(Cs)를 이루게 된다.

[0006] 이러한 구조의 액정표시장치는 게이트배선(GL)과 화소전극사이의 기생캐패시턴스 성분(Cgs)으로 인해 액정에 실제로 인가되는 전압의 직류레벨이 떨어지는 현상이 발생한다. 이 때, 떨어지는 직류전압의 크기를 킥백전압(kickback voltage)이라고 하며, 이러한 킥백전압에 의해 액정에 충전되는 전하의 양에 불일치가 일어나서 잔류

직류 성분이 발생한다. 이러한 잔류 직류 성분은 액정 표시장치의 잔상 및 플리커(flicker)의 원인이 된다.

[0007] 도 2는 종래 액정표시장치에서 두 프레임에 걸쳐 극성반전을 고려한 데이터 전압 인가시, 게이트 배선의 전압변화에 따른 화소내의 전압변화(a)와, 화소내의 전압변화에 따른 액정의 투과율(b)을 나타내는 도면이다.

[0008] 도 2를 함께 참조하면, 게이트 배선에 게이트 구동전압(Vg)이 하이레벨로 인가되면, 화소(PX) 내의 박막트랜지스터(T)가 턴-온되어 데이터배선(DL)을 통해 데이터 전압(Vdata)가 인가된다. 따라서, 화소(PX)내의 액정캐패시터(Clc) 및 스토리지캐패시터(Cs)는 인가되는 데이터전압(Vdata)에 의해 충전되어 화소 전압(Vp)이 변하게 된다.

[0009] 일정 시간이 지난 후, 게이트 배선(GL)에 인가되는 신호가 하이레벨에서 로우레벨로 바뀌면, 박막트랜지스터(T)가 턴오프되어 화소전압(Vp)은 플로팅(floating)상태로 된다. 이와 동시에, 게이트 배선(GL)과 화소전극 간의 기생 커패시턴스 성분(Cgs)에 의해 게이트배선(GL)의 전압변화가 발생하고, 이것이 화소전극에 영향을 주어 화소전압(Vp)은 일정레벨(V_A, V_B)만큼 변하게 된다.

[0010] 액정은 양단에 걸린 전압의 크기에 따라 투과되는 빛의 양을 조절하므로, 동일한 화상 신호가 지속적으로 인가될 때, 킥백전압(△Vp)으로 인해 실제로 액정 양단에 인가되는 전압의 절대값이 극성 반전할 때마다 바뀌게 되어, 화면의 밝기가 주기적으로 변하는 플리커(flicker)현상이 발생한다.

[0011] 상기의 플리커 문제를 개선하기 위해, 제품 출하전 공통전압을 조정하는 과정을 거치게 된다. 이러한 공통전압 조정과정에서는 도 2(b)에 도시된 바와 같이, 대상이 되는 액정표시장치에 127 gray 및 0 gray의 수직선이 교번하는 테스트 패턴을 표시하고, 화면을 촬영하여 플리커가 최소가 되도록 하는 공통전압 레벨을 찾아 재설정하게 된다.

[0012] 127 gray를 기준으로 하는 이유는 화소전압-투과율 그래프에서 나타낸 바와 같이, 저계조에서의 킥백전압($\triangle V_1$) 및 고계조에서의 킥백전압($\triangle V_2$) 보다 중계조인 127 gray 부근에서의 킥백전압($\triangle V_3$)이 작은 전압차에서도 큰 투과율의 차이를 보이기 때문이다.

[0013] 그러나, 액정표시장치의 각 제조사마다 테스트 패턴이 상이(ex. 체스판 패턴 등)하여 플리커 테스트에 의해 공통전압이 이상적으로 설정되었다 하더라도 실제 제품출하 후 플리커 현상이 개선되지 않는 문제가 발생할 수 있고, 또한 테스트 패턴에 의해 영상품질을 만족시켰다 하더라도, 테스트의 기준이 되는 127 gray가 아닌, 고계조(255 gray) 및 저계조(0 gray)가 지속적으로 교번하는 영상에서는 잔상 및 플리커 현상이 발생한다는 한계가 있다.

발명의 내용

해결하려는 과제

[0014] 본 발명은 전술한 문제점을 해결하기 위해 안출된 것으로, 본 발명은 킥백전압에 기인하는 잔상 및 플리커 현상을 최소화하는 최적화된 공통전압 발생부 및 이의 액정표시장치를 제거하는 데 목적이 있다.

과제의 해결 수단

[0015] 상기의 목적을 달성하기 위해, 본 발명의 바람직한 실시예에 따른 공통전압 발생부를 포함하는 액정표시장치는, 액정패널과 이를 구동하는 구동부를 구비하며, 액정패널은 복수의 게이트 배선 및 데이터 배선이 교차 배치되어 복수의 화소를 정의하고, 수직선, 수평선 및 블록 중, 적어도 하나의 단위로 구분되어 상기 복수의 화소와 연결되는 복수의 공통배선이 구비된다.

[0016] 또한, 구동부는 게이트 구동부, 데이터 구동부, 타이밍 제어부 및 공통전압 발생부로 이루어지며, 게이트 구동부 및 데이터 구동부는 복수의 게이트 배선 및 데이터 배선에 각각 게이트 구동전압 및 데이터 전압을 인가한다.

[0017] 또한, 타이밍 제어부는 게이트 구동부 및 데이터 구동부를 제어하며, 공통전압 발생부는, 복수의 공통전압을 생성하고, 수직선별 또는 블록별로 화소전압에 대응되는 공통전압을 인가한다.

[0018] 특히, 상기 타이밍 제어부는 영상 데이터를 검출하여 상기 공통전압 발생부를 제어하는 공통전압 제어부를 더 포함한다.

발명의 효과

[0019] 본 발명의 바람직한 실시예에 따른 공통전압 발생부 및 이의 액정표시장치는 영상에 따라 공통전압을 수직선 단위 또는 블록단위로 보상함으로써, 공통전압 보상이 고정되는 종래방식에 대비하여 킥백전압에 기인한 잔상 및 플리커 현상을 최소화하는 최적화된 공통전압을 제공할 수 있는 효과가 있다.

도면의 간단한 설명

[0020] 도 1은 종래 액정표시장치의 일 화소의 등가회로도를 나타낸 도면이다.

도 2는 종래 액정표시장치에서 두 프레임에 걸쳐 극성반전을 고려한 데이터 전압 인가시, 게이트 배선의 전압변화에 따른 화소내의 전압변화와, 화소내의 전압변화에 따른 액정의 투과율을 나타내는 도면이다.

도 3은 본 발명의 실시예에 따른 공통전압 발생부를 포함하는 액정표시장치의 전체 구조를 나타내는 도면이다.

도 4는 본 발명의 실시예에 따른 액정표시장치의 공통전압 제어부를 나타낸 도면이다.

도 5는 본 발명의 실시예에 따른 공통전압 발생부의 구조를 나타낸 도면이다.

도 6은 본 발명의 다른 실시예에 따른 액정표시장치의 블록단위로 분할된 화소구조를 나타낸 도면이고, 도 7은 도 6의 액정표시장치에서 액정패널과 공통전압 발생부가 연결되는 구조를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0021] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0022] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

[0023] 본 명세서 상에서 언급한 '구비한다', '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0024] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0025] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0026] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간 적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0027] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0028] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

[0029] 이하, 도면을 참조하여 본 발명의 바람직한 실시예에 따른 공통전압 발생부 및 이를 포함하는 액정표시장치를 설명한다.

[0030] 도 3은 본 발명의 실시예에 따른 공통전압 발생부를 포함하는 액정표시장치의 전체 구조를 나타내는 도면이다.

[0031] 도 3을 참조하면, 본 발명의 실시예에 따른 액정표시장치는, 복수의 게이트 배선(GL) 및 데이터 배선(DL)이 교차 배치되어 복수의 화소(PX)를 정의하고, 수직선단위 또는 블록단위로 상기 복수의 화소(PX)와 연결되는 복수의 공통배선(CL)이 구비되는 액정패널(100), 상기 복수의 게이트 배선(GL) 및 데이터 배선(DL)에 각각 게이트 구동전압(Vg) 및 데이터 전압(Vdata)을 인가하는 게이트 구동부(110) 및 데이터 구동부(120), 상기 게이트 구동부(110) 및 데이터 구동부(120)를 제어하는 타이밍 제어부(130) 및, 복수의 공통전압을 생성하고, 수직선 및 블록별로 화소전압에 대응되는 공통전압(Vcom 1 ~ Vcom k, k는 자연수)을 인가하는 공통전압 발생부(150)를 포함한다.

[0032] 액정패널(100)은 글라스 또는 플라스틱을 이용한 투명기판 상에 수직 방향으로 형성되는 복수의 게이트배선(GL)과 수평 방향으로 형성되는 복수의 데이터배선(DL)이 매트릭스 형태로 교차 형성되어 있고, 그 교차지점에 복수의 화소(PX)가 정의되어 있다. 각 화소(PX)에는 적어도 하나의 박막트랜지스터(T)와 액정캐패시터(Clc), 그리고 스토리지 캐패시터(Cs)가 구성되어 있다.

[0033] 상기 박막트랜지스터(T)의 게이트전극은 게이트 배선(GL)에 연결되어 있고, 소스전극은 데이터 배선(DL)에 연결되어 있으며, 드레인전극은 공통전극과 대향하는 화소전극과 연결되어 있다. 이러한 구조에 따라, 박막트랜지스터(T)가 도통되면, 데이터 배선(DL)으로 인가되는 전압은 액정캐패시터(Clc) 및 스토리지 캐패시터(Cs)에 화소전압으로 저장되게 된다.

[0034] 또한, 공통전극은 수직방향으로 형성되는 복수의 공통배선(CL)과 연결되어 있으며, 특히 동일 수직선상의 화소(PX)들의 공통전극은 하나의 공통배선(CL)과 연결되어 있다. 즉, 각 공통배선(CL)은 수직선 단위로 화소(PX)들과 연결됨에 따라, 하나의 공통배선(CL)에 인가되는 공통전압은 동일 수직선상의 화소(PX)들에 모두 동일하게 인가되며, 수직방향으로 이웃한 화소(PX)와는 다른 레벨의 공통전압(Vcom1 ~ Vcomk)이 인가될 수 있다.

[0035] 도면에서는 각 화소들(PX)이 수직방향으로 공통배선을 공유하는 구조의 예를 나타내고 있으나, 수평방향으로 연결될 수도 있으며, 또는 상하 블록단위로 하나의 공통배선을 공유하는 형태로 연결될 수도 있다.

[0036] 이러한 구조에서, 각 공통배선(CL)으로 인가되는 공통전압들(Vcom1 ~ Vcomk)은 화소(PX)에 충전되는 화소전압에 대응하여 잔상 및 플리커가 최소가 되는 레벨로 인가되는 특징이 있다.

[0037] 게이트 구동부(110)는 타이밍 제어부(130)로부터 입력되는 게이트 제어신호(GCS)에 응답하여 액정패널(100)에 형성된 게이트배선(GL)을 통해 1 수평기간씩 순차적으로 하이레벨의 게이트 구동전압(Vg)을 출력한다. 하이레벨의 게이트 구동전압(Vg)이 인가되는 게이트배선(GL)에 연결된 박막트랜지스터(T)는 1 턴-온(turn-on)되며, 이와 동기하여 데이터 구동부(120)는 데이터배선(DL)을 통해 아날로그 파형의 데이터 전압(Vdata)을 출력하여 박막트랜지스터에 접속된 화소(PX)들에 인가되도록 한다. 나머지 박막트랜지스터(T)는 로우레벨의 게이트 구동전압(Vg)에 의해 턴-오프(turn-off) 상태가 유지된다.

[0038] 상기 게이트 제어신호로는, 첫번째 게이트배선(GL)에 게이트 구동신호를 출력하는 시기를 결정하는 신호로서 게이트 구동부(110)의 쉬프트 레지스터(미도시)에 인가되는 게이트 스타트 펄스(GSP), 각 쉬프트 레지스터에 공통으로 인가되며, 차기 쉬프트레지스터를 인에이블하는 클록신호인 게이트 쉬프트 클럭(GSC) 및, 쉬프트 레지스터의 출력을 제어하는 게이트 출력 인에이블 신호(GOE)등 있다.

[0039] 데이터 구동부(120)는 후술하는 타이밍 제어부(130)로부터 입력되는 소스 제어신호(SCS)에 대응하여 입력되는 정렬된 디지털형태의 영상 데이터(aRGB)를 기준전압에 따라 아날로그 형태의 데이터 전압(Vdata)으로 변환하고, 데이터배선(DL)을 통해 액정패널(100)로 출력한다. 도시되어 있지는 않지만, 데이터 구동부(120)는 소정의 래치 및 DAC(미도시)를 구비하며, 상기 영상 데이터를 하나의 수평선씩 래치하고 감마전압(GMA)을 이용하여 변환 후 액정패널(100)의 각 화소(PX)에 아날로그 파형의 데이터 전압(Vdata)을 인가하게 된다.

[0040] 상기 소스 제어신호(SCS)로는 데이터 구동부(120)의 영상 데이터의 샘플링 시작 타이밍을 결정하는 소스 스타트 펄스(SSP), 데이터 구동부(120)에서 데이터 샘플링 동작을 제어하는 클록신호인 소스 쉬프트 클록(SSC) 및, 데이터 구동부(120)의 출력 제어하는 소스 출력 인에이블 신호(SOE) 등이 있다.

[0041] 타이밍 제어부(130)는 외부시스템(미도시)으로부터 전송되는 디지털 형태의 영상 데이터(RGB)와, 수평 및 수직 동기신호 및 데이터 인에이블 신호 등으로 이루어지는 타이밍 신호(TS)를 인가받으며, 이를 통해 게이트 구동부(110) 및 데이터 구동부(120)등의 제어신호(GCS, SCS)를 생성한다.

[0042] 또한, 타이밍 제어부(130)는 입력된 영상 데이터(RGB)를 데이터 구동부(120)가 처리가능한 형태로 정렬(aRGB)하여 출력한다.

[0043] 그리고, 본 발명의 실시예에 따른 타이밍 제어부(130)는 공통전압 생성부(150)를 제어하여 각 공통배선(CL)으로 적절한 공통전압(Vcom1 ~ Vcom k)을 출력하도록 하는 공통전압 제어부(140)를 내장되어 있다.

[0044] 공통전압 제어부(140)는 소정의 저장수단을 구비하고, 이에 영상 데이터에 따른 플리커를 최소화하는 최적의 공통전압 레벨을 저장하고 있다. 또한, 공통전압 제어부(140)는 외부 시스템 또는 타이밍 제어부(130)가 수신한 영상 데이터를 분석하여 현재 영상에 따라 각 화소(PX)에 플리커를 최소로 하는 보상된 공통전압을 선택하고, 공통제어신호(CSS)를 공통전압 발생부(150)에 인가하여 공통배선(CL)을 통해 공통전압(Vcom1 ~ Vcomk)을 출력하도록 한다. 이러한 공통전압 제어부(140)의 상세한 구조를 후술한다.

[0045] 도면에서는 공통전압 제어부(140)가 타이밍 제어부(130)내의 회로블록으로 내장된 구조를 예시하고 있으나, 타이밍 제어부(130)와는 별도의 IC로 구비될 수도 있다.

[0046] 공통전압 발생부(150)는 공통제어신호(CSS)에 대응하여 액정패널(100)상의 각 화소(PX)에 공통전압(Vcom1 ~ Vcomk)을 공급한다.

[0047] 상세하게는, 공통전압 발생부(150)는 전압 분압을 통해 복수의 공통전압을 생성하는 저항 스트링과, 이를 선택적으로 출력하는 셀렉터부를 구비하고 있으며, 생성한 다수의 공통전압을 공통제어신호(CSS)에 대응하여 각 공통배선(CL)에 선택적으로 출력하게 된다. 공통제어신호(CSS)는 현재 영상에 대하여 플리커가 최소화되도록 하는 공통전압들을 선택하고 해당 화소(PX)들에 공급하게 된다. 여기서, 각 공통배선(CL)은 동일 수평선, 수직선 또는 블록내의 화소(PX)들과 연결될 수 있으며, 도면에서는 각 수직선상의 화소(PX)이 동일 공통배선(CL)에 연결되는 구조를 예시하고 있다. 따라서, 동일 수직선상의 화소(PX)에는 동일한 공통전압(Vcom1 ~ Vcomk)들이 인가되며, 수평선상의 화소(PX)에는 서로 공통전압(Vcom1 ~ Vcomk)들이 인가될 수 있으나, 이웃한 수직선상의 화소(PX)들의 화소전압이 동일할 경우, 동일한 레벨의 공통전압이 인가될 수도 있다.

[0048] 이러한 구조에 따라, 본 발명의 실시예에 따른 공통전압 발생부를 포함하는 액정표시장치는, 표시되는 영상에 따라 최적의 공통전압을 선택적으로 출력하게 됨으로써, 킥백전압(?Vp)을 최소화하여 잔상 및 플리커가 개선된 영상을 구현할 수 있는 효과가 있다.

[0049] 이하, 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치의 공통전압 제어부의 구조를 설명한다.

[0050] 도 4는 본 발명의 실시예에 따른 액정표시장치의 공통전압 제어부를 나타낸 도면이다.

[0051] 도 4를 참조하면, 본 발명의 액정표시장치의 공통전압 제어부는, 상기 영상 데이터(RGB)를 수집하는 데이터 수집부(141), 하나이상의 공통전압 레벨이 저장된 메모리부(145), 상기 메모리부(145)로부터 상기 영상 데이터의 수집결과에 따라 상기 공통전압 레벨을 독출하는 보상값 판단부(143) 및, 상기 공통전압 레벨을 선택하기 위한 공통전압 제어신호(CCS)를 생성하는 제어신호 생성부(147)를 포함한다.

[0052] 데이터 수집부(141)는 각 화소(PX)에 대응하는 영상 데이터(RGB)를 수집한다. 상세하게는, 화소(PX)의 화소전극에는 데이터 전압이 인가되고, 공통전극에는 공통전압이 인가됨에 따라, 화소(PX)에는 화소전압이 충전되며, 이는 상기 영상 데이터(RGB)에 대응된다. 이에 따라, 데이터 수집부(141)를 통해 영상 데이터(RGB)를 수집함으로써, 그 결과를 이용하여 각 화소(PX)에 인가되는 화소전압 및 이로 인한 플리커 정보를 추정할 수 있다.

[0053] 보상값 판단부(143)는 전송되는 영상 데이터 수집결과에 따라 킥백전압(ΔVp)을 최소화하는 공통전압 레벨을 판단하게 된다. 상세하게는, 보상값 판단부(143)는 수신한 영상 데이터에 기초하여 초기 공통전압에 의해 발생하는 잔상 및 플리커 특성을 판단하게 되며, 메모리부(145)에 저장된 영상 데이터에 따른 킥백전압(ΔVp)이 최소가 되는 공통전압, 즉 최적의 공통전압 레벨을 독출한다.

[0054] 메모리부(145)는 영상 데이터에 따른 잔상 및 플리커가 최소인 최적의 공통전압 레벨을 저장하고 있으며, 보상값 판단부(143)의 요청에 따라 해당 데이터를 제공한다. 메모리부(145)에 저장되는 데이터는 플리커 측정장치(미도시) 등을 통해 미리 설정된 플리커별 최적의 공통전압 레벨에 관한 데이터를 포함하고 있다. 이러한 데이터는 설계자의 의도에 따라 새로운 데이터로 갱신될 수 있다.

[0055] 특히, 메모리부(145)는 내 최적의 공통전압을 저장하기 위해, 8비트 0 ~ 255 gray 구동 액정표시장치일 경우, 통상의 127 gray 및 0 gray 패턴의 표시시 발생하는 플리커 정도뿐만 아니라, 0 ~ 255 gray 사이의 계조레벨을 소정의 범위씩 그룹화하고, 각 그룹에 대한 플리커가 최소인 공통전압 레벨이 저장된다.

[0056] 일 예로서, 127 gray 및 255 gray에서 발생하는 잔상 및 플리커 특성은 상이하며, 그 사이의 계조레벨에서 발생하는 플리커는 그 정도에 차이가 있다. 이에 따라, 소정의 그룹, 0 ~ 32 gray, 32 ~ 64 gray, ..., 127 ~ 159

gray, ..., 223 ~ 255 gray 등과 같이, 플리커 특성이 유사한 범주의 계조레벨들을 그룹화하고 현재 입력되는 영상 데이터가 어느 그룹에 속하는지 검출하여 그 검출결과를 보상값 판단부(143)에 제공하게 된다.

[0057] 제어신호 생성부(147)는 보상값 판단부(143)에 의해 판단된 공통전압레벨에 따라 공통제어신호(CCS)를 생성하는 역할을 한다. 각 공통전압은 수직선, 수평선 또는 블록 단위로 공급되며, 제어신호 생성부(147)는 분류된 각 화소들에 해당하는 레벨의 공통전압이 인가될 수 있도록 공통전압 발생부에 공통제어신호(CSS)를 인가한다.

[0058] 여기서, 상기 공통전압은 수직선, 수평선 또는 블록내의 화소들에 대한 화소전압의 평균계조레벨에 대응하는 레벨이 이용된다. 이는 동일 공통배선으로 연결되는 화소들이라 하더라도 충전되는 화소전압은 다른 전압레벨일 수 있으며, 화소간 편차를 최소화하기 위해 화소간 평균값을 이용한다.

[0059] 이하, 도면을 참조하여 본 발명의 실시예에 따른 공통전압 발생부의 구조를 설명한다.

[0060] 도 5는 본 발명의 실시예에 따른 공통전압 발생부의 구조를 나타낸 도면이다.

[0061] 도 5를 참조하면, 본 발명의 공통전압 발생부(150)는 제1 및 제2 기준전압(ref1, ref2)을 분압하는 저항 스트링(152), 공통제어신호(CSS)에 대응하여 상기 저항 스트링(152)에 의해 분압된 전압들을 선택하여 복수의 공통전압을 생성하는 셀렉터부(154) 및 상기 복수의 공통전압을 상기 공통배선(CL1 ~ CLk)에 출력하는 출력버퍼부(156)을 포함한다.

[0062] 저항스트링(152)은 직렬로 연결된 다수의 저항(R1)으로 구성될 수 있으며, 출력단이 셀렉터부(154)에 연결된다. 이러한 저항스트링(152)은 기준이 되는 제1 및 제2 기준전압(ref1, ref2)을 입력받아 두 전압을 분압하여 다양한 레벨의 전압을 생성하고, 이를 셀렉터부(154)에 전달한다. 상기 제1 및 제2 기준전압(ref1, ref2)은 전원공급부(미도시)로부터 제공될 수 있다.

[0063] 셀렉터부(154)는 멀티플렉서(multiplexer) 또는 디코더(decoder)로 구성될 수 있으며, 공통제어신호(CCS)에 응답하여 저항스트링(152)으로부터 출력되는 다수의 전압들 중, 각 공통배선에 해당하는 하나의 전압을 선택하여 출력한다.

[0064] 출력버퍼부(156)부는 출력이득이 1인 다수의 연산증폭기(OP1)를 포함할 수 있으며, 셀렉터부(154)로부터 출력되는 전압을 공통전압(Vcom1 ~ Vcomk)으로써 각 공통배선(CL1 ~ CLk)에 출력하게 된다. 여기서, 출력되는 공통전압(Vcom1 ~ Vcomk)들은 공통제어신호(CCS)에 의해 영상 데이터가 고려되어 선택된 신호이므로 킥백전압에 대한 보상값이 반영된 공통전압이다.

[0065] 이러한 구조에 따라, 본 발명의 공통전압 발생부는 분할된 공통배선에 플리커에 최적화된 공통전압을 공급할 수 있다.

[0066] 한편, 상기 실시예는 액정패널의 각 화소들이 동일수직선상에서 공통배선을 공유하는 구조에 관한 것이며, 이하 도면을 참조하여 각 화소들이 블록단위로 공통배선을 공유하는 구조에 대하여 설명한다.

[0067] 도 6은 본 발명의 다른 실시예에 따른 액정표시장치의 블록단위로 분할된 화소구조를 나타낸 도면이고, 도 7은 도 6의 액정표시장치에서 액정패널과 공통전압 발생부가 연결되는 구조를 나타낸 도면이다.

[0068] 도 6 및 도 7을 참조하면, 본 발명의 다른 실시예에 따른 액정표시장치는, 복수의 화소(PX)가 정의된 액정패널(200)을 포함하며, 액정패널(200)은 기판상에 수직 방향으로 복수의 게이트배선(GL)과 복수의 데이터배선(DL)이 매트릭스 형태로 교차 형성되어 있고, 그 교차지점에는 적어도 하나의 박막트랜지스터(T)와 액정캐패시터(Clc), 그리고 스토리지 캐패시터(Cs)를 포함하는 화소(PX)가 정의되어 있다.

[0069] 상기 박막트랜지스터(T)의 게이트전극은 게이트 배선(GL)에 연결되어 있고, 소스전극은 데이터 배선(DL)에 연결되어 있으며, 드레인전극은 공통전극과 대향하는 화소전극과 연결되어 있다.

[0070] 또한, 공통전극은 수직방향으로 형성되는 복수의 공통배선(CL)과 연결되어 있으며, 특히 소정개의 화소(PX)들의 공통전극은 하나의 공통배선(CL)과 연결되어 있다. 도면에서는 수직 및 수평방향으로 4×4 화소가 하나의 공통배선(CL)과 연결되어 하나의 블록(BLK[k,l], k,l은 자연수)를 이루는 구조를 예시하고 있으나, 각 블록(BLK[1,1] ~ BLK[k,l])에 포함되는 화소(PX)의 개수는 이에 한정되는 것은 아니며, 액정표시장치의 크기 및 해상도에 따라 하나의 블록(BLK[k,l])에 속하는 화소(PX)의 개수는 달라질 수 있다.

[0071] 하나의 블록(BLK[k,l])에 속하는 화소의 개수가 많아질수록 공통전압 발생부(250)의 구조는 단순해지는 반면 화질보상 성능은 낮아지며, 화소의 개수가 적어질수록 공통배선의 개수는 증가하고 화질보상 성능은 높아짐에 따

라, 설계자는 이러한 특성을 고려하여 블록의 구조를 결정하여야 한다.

[0072] 또한, 각 블록(BLK[1,1] ~ BLK[k,l])들은 서로 다른 공통배선(CL)과 연결되며, 공통전압 발생부(250)로부터 서로 다른 공통전압(Vcom[1,1] ~ Vcom[k,l])을 인가받게 된다. 즉, 각 블록(BLK[1,1] ~ BLK[k,l])마다 영상 데이터에 따라 공통전압(Vcom[1,1] ~ Vcom[k,l])레벨이 다르게 설정될 수 있다. 여기서, 공통전압(Vcom[1,1] ~ Vcom[k,l])레벨은 블록내 화소(PX)들에 해당하는 영상 데이터의 평균값에 의해 결정된다.

[0073] 이러한 블록단위의 분할구조는 수직선 형태의 플리커 현상보다는 국부적인 잔상문제를 개선하는 데 보다 유리하다.

[0074] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다.

부호의 설명

[0075] 100 : 액정패널 110 : 게이트 구동부

120 : 데이터 구동부 130 : 타이밍 제어부

140 : 공통전압 제어부 150 : 공통전압 발생부

GL : 게이트배선 DL : 데이터 배선

CL : 공통배선 PX : 화소

T : 박막트랜지스터 Clc : 액정캐패시터

Cs : 스토리지 캐패시터 RGB : 영상데이터

aRGB : 정렬된 영상데이터 Ts : 타이밍 신호

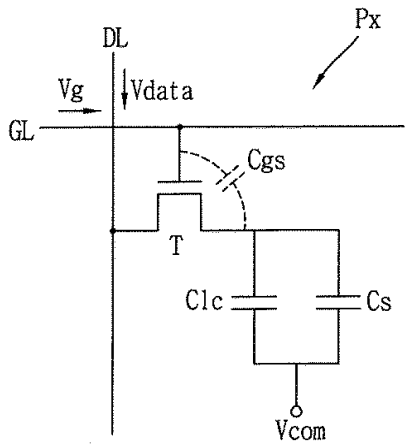
GCS : 게이트 제어신호 SCS : 데이터 제어신호

Vdata : 데이터 전압 CCS : 공통제어신호

Vcom1 ~ Vcomk : 공통전압

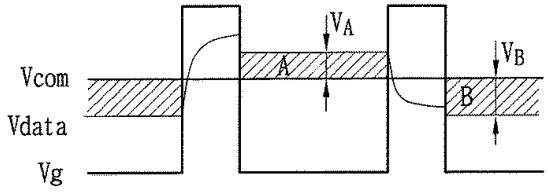
도면

도면1

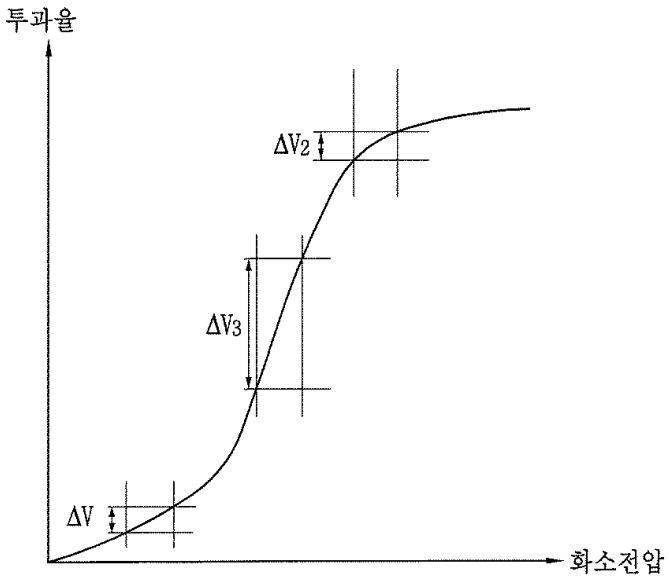


도면2

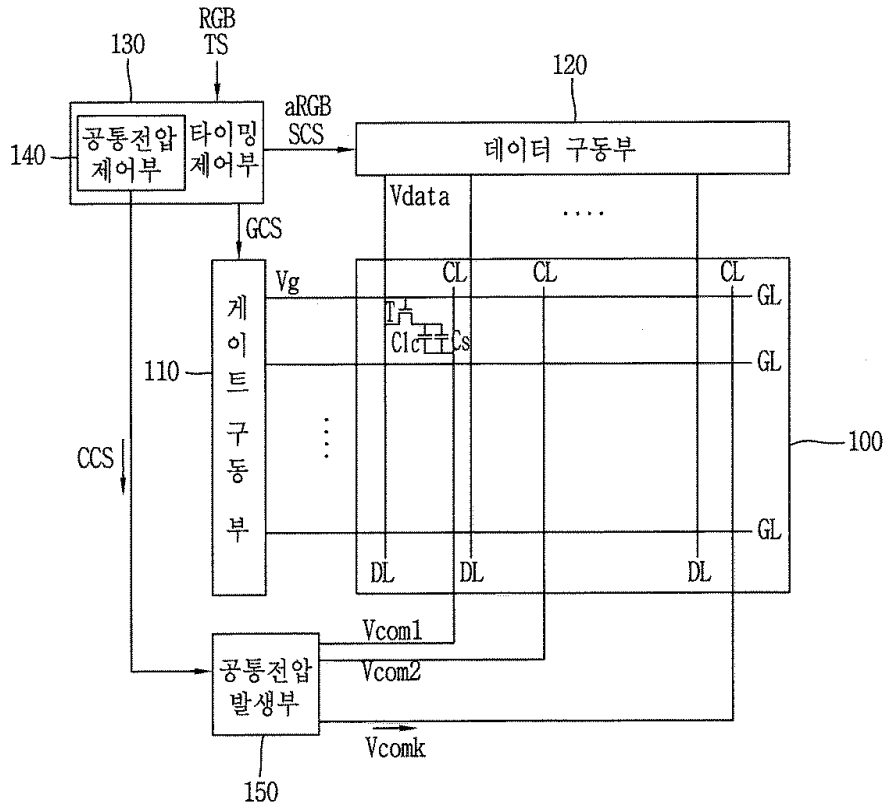
(a)



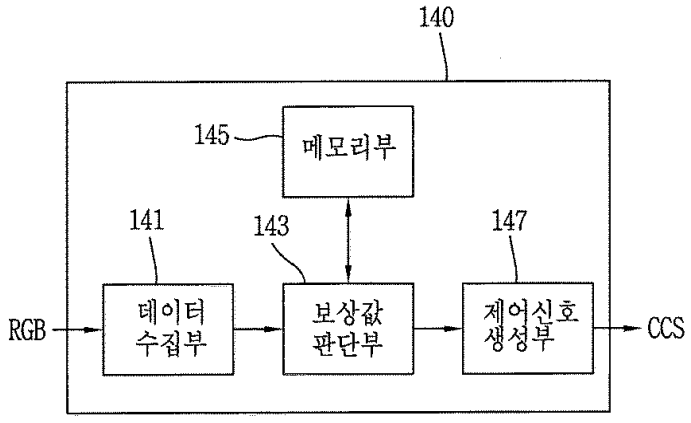
(b)



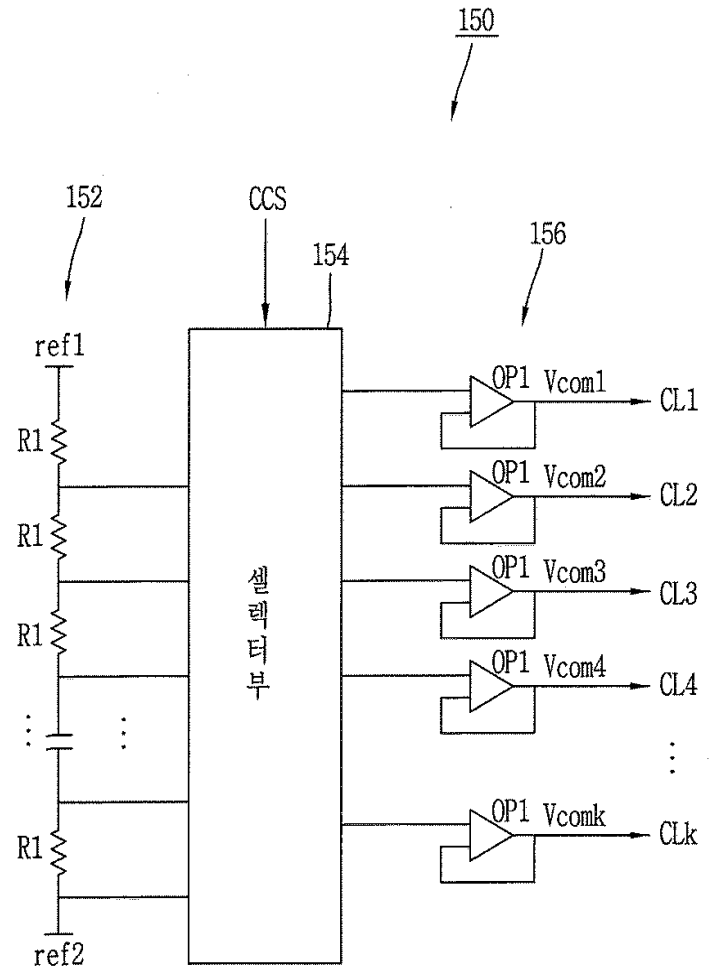
도면3


130
RGB
TS
120
140
공통전압
제어부
타이밍
제어부
aRGB
SCS
데이터 구동부
Vdata
GCS
Vg
CL
GL
110
게이트 구동부
100
CCS
DL
Vcom1
Vcom2
공통전압
발생부
Vcomk
150

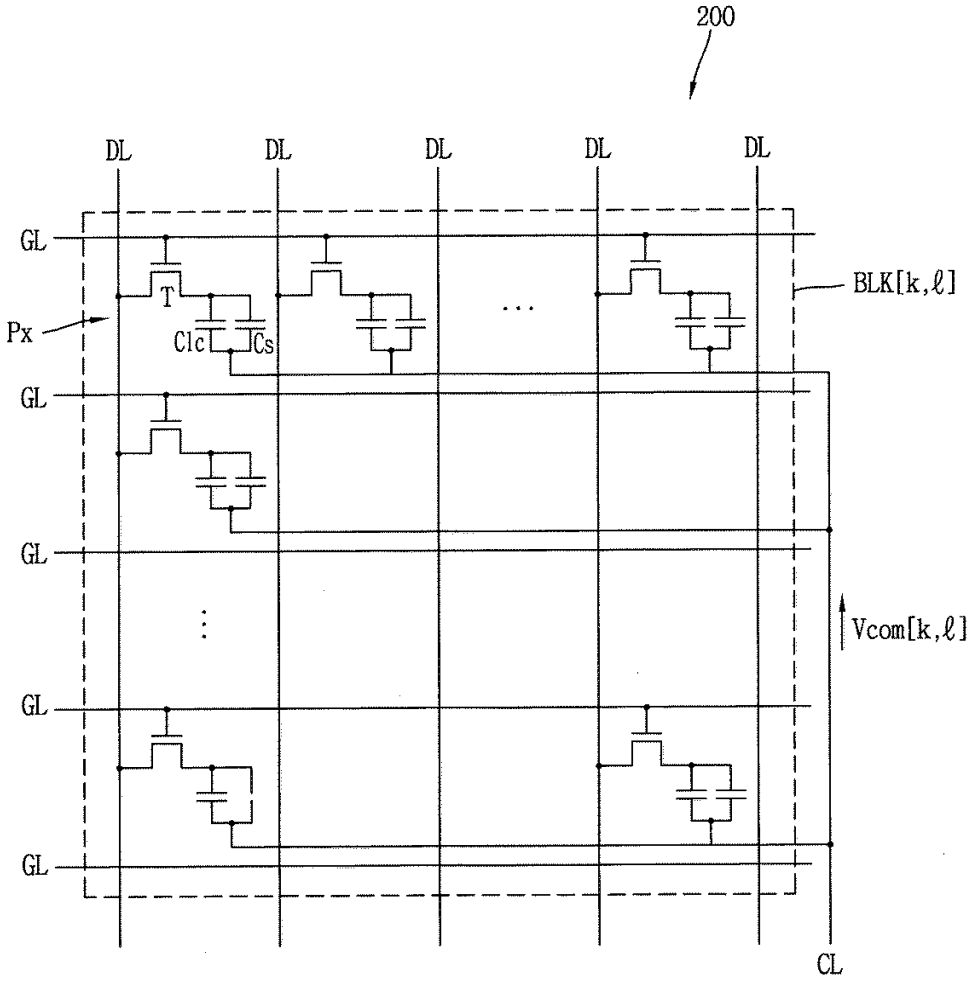
도면4


140
145
메모리부
141
143
147
RGB
데이터
수집부
보상값
판단부
제어신호
생성부
CCS

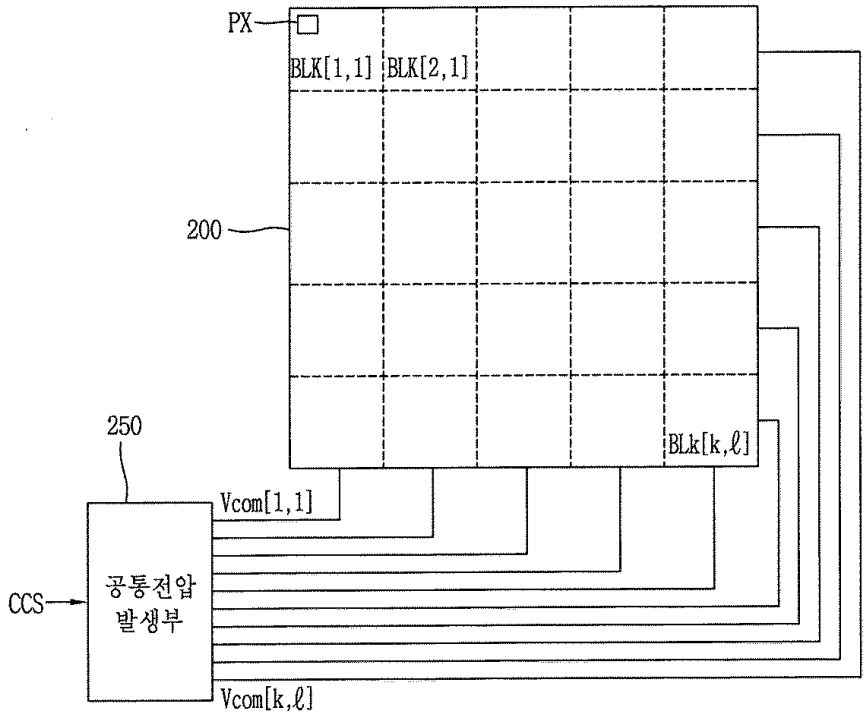
도면5


150
152
CCS
154
156
ref1
R1
R1
R1
R1
ref2
셀
렉
터
부
OP1 Vcom1
OP1 Vcom2
OP1 Vcom3
OP1 Vcom4
OP1 Vcomk
CL1
CL2
CL3
CL4
CLk

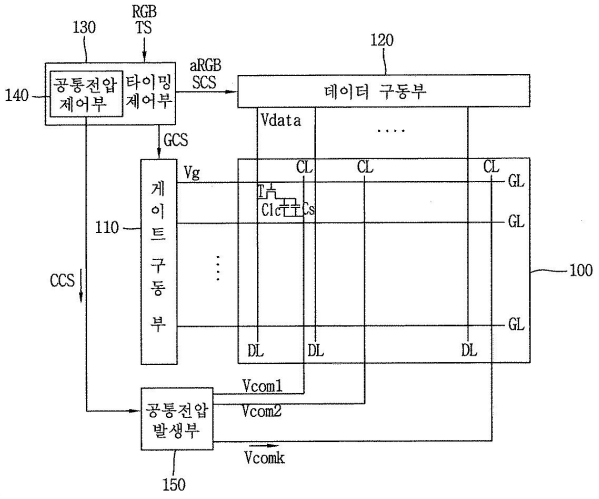
도면6


200
DL
DL
DL
DL
DL
GL
GL
GL
GL
GL
T
Clc
Cs
Px
BLK[k,ℓ]
Vcom[k,ℓ]
CL

도면7


PX
BLK[1,1]
BLK[2,1]
200
BLk[k,ℓ]
250
Vcom[1,1]
CCS
공통전압
발생부
Vcom[k,ℓ]

专利名称(译)	标题：共电压发生器和包括其的液晶显示装置		
公开(公告)号	KR1020160047271A	公开(公告)日	2016-05-02
申请号	KR1020140143501	申请日	2014-10-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI SU JIN 최수진		
发明人	최수진		
IPC分类号	G09G3/36		
代理人(译)	박장원		
外部链接	Espacenet		

摘要(译)

本发明公开了一种液晶显示器。更具体地，关于改善闪烁和余像的公共电压产生部分，本发明通过液晶面板和包括液晶显示器的液晶显示器的薄膜晶体管阵列结构来补偿反冲电压（反冲电压，ΔVp）。相同。根据本发明的优选实施例，其具有如下效果：根据图像，以垂直线单元或块为单位补偿公共电压。以这种方式，它比较了迄今为止的方法，其中公共电压补偿是固定的，并且可以提供由反冲电压引起的余像和最小化闪烁效应的优化的公共电压。