



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0050051
(43) 공개일자 2015년05월08일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2013-0131396

(22) 출원일자 2013년10월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

백정선

경기 파주시 쇄재로 30, 708동 905호 (금촌동, 서원마을아파트)

방정호

경기 파주시 가람로116번길 130, 702동 1001호 (와동동, 가람마을7단지한라비발디)

(74) 대리인

특허법인네이트

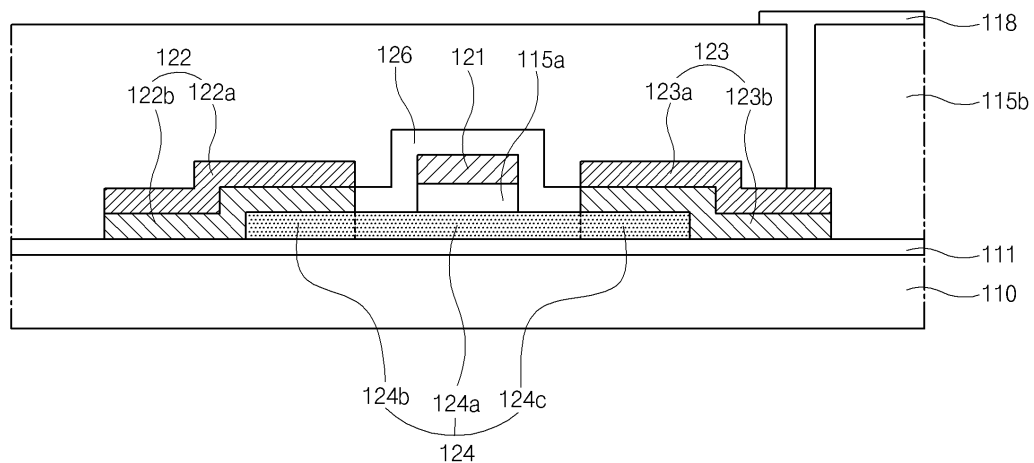
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 액정표시장치용 어레이기판 및 그의 제조방법

(57) 요약

본 발명은, 기판과; 상기 기판 상부에 형성되며, 채널영역과 상기 채널영역 양측에 형성되는 소스 및 드레인 영역을 포함하는 액티브층과; 상기 채널영역 상부에 형성되는 제1 절연막과; 상기 제1 절연막 상부에 형성되는 게이트 전극과; 상기 기판 상부에 형성되며, 상기 소스 및 드레인 영역과 접촉되어 형성되는 소스 및 드레인 전극과; 상기 채널영역에 대응하여, 상기 게이트 전극 상부로 형성되는 산화막을 포함하는 액정표시장치용 어레이기판을 제공한다.

대표도 - 도2



명세서

청구범위

청구항 1

기관과;

상기 기관 상부에 형성되는 반도체층과;

상기 반도체층 상부에 형성되는 게이트 전극과;

상기 기관 상부에 형성되며, 상기 반도체층과 접촉되어 형성되는 소스 및 드레인 전극과;

상기 반도체층에 대응하여, 상기 게이트 전극 상부로 형성되는 산화막을 포함하는 액정표시장치용 어레이기관.

청구항 2

제 1 항에 있어서,

상기 소스 및 드레인 전극은 상층에 형성되는 제1 소스 및 제1 드레인 패턴과 하층에 형성되는 제2 소스 및 제2 드레인 패턴을 포함하고, 상기 제2 소스 및 제2 드레인 패턴은 상기 산화막과 동일층에 위치하는 액정표시장치용 어레이기관.

청구항 3

제 2 항에 있어서,

상기 제1 소스 및 제1 드레인 패턴은 낮은 비저항을 갖고, 상기 제2 소스 및 제2 드레인 패턴은 도체에 대해서 낮은 접촉저항을 갖는 것을 특징으로 하는 액정표시장치용 어레이기관.

청구항 4

제 2 항에 있어서,

상기 제1 소스 및 제1 드레인 패턴은 구리(Cu), 금(Au), 몰리브덴(Mo) 중 어느 하나를 포함하고,

상기 제2 소스 및 제2 드레인 패턴은 알루미늄(Al), 알루미늄 합금(Al alloy), 구리(Cu), 니켈(Ni), 크롬(Cr), 티타늄(Ti), 백금(Pt), 탄탈(Ta), 티타늄 합금(Ti alloy), 몰리브덴(Mo), 몰리브덴합금(Mo alloy) 중 어느 하나를 포함하는 액정표시장치용 어레이기관.

청구항 5

제 1 항에 있어서,

상기 산화막은 산화 알루미늄(Al_xO_x), 산화 알루미늄 합금(Al_xO_x alloy), 산화 구리(Cu_xO_x), 산화 니켈(Ni_xO_x), 산화 크롬(Cr_xO_x), 산화 티타늄(Ti_xO_x), 산화 백금(Pt_xO_x), 산화 탄탈(Ta_xO_x), 산화 티타늄 합금(Ti_xO_x alloy), 산화 몰리브덴(Mo_xO_x), 산화 몰리브덴합금(Mo_xO_x alloy) 중 어느 하나를 포함하는 액정표시장치용 어레이기관.

청구항 6

제 1 항에 있어서,

상기 반도체층은 내부에 채널영역과 상기 채널영역 양측에 형성되는 소스 및 드레인 영역을 포함하고,

상기 채널영역 상부에 형성되는 제1 절연막을 더 포함하는 액정표시장치용 어레이 기판.

청구항 7

제 6 항에 있어서,

상기 게이트 전극은 상기 제1 절연막 상부에 형성되는 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 8

제 1 항에 있어서,

상기 소스 및 드레인 전극 상부로 기판 전면에 위치하며, 드레인 전극의 일부를 노출하는 제2 절연막과, 제2 절연막 상부에 위치하고 드레인 전극과 전기적으로 접촉하는 화소전극을 더 포함하는 액정표시장치용 어레이기판.

청구항 9

기판 상부에 반도체층을 형성하는 단계와;

상기 반도체층 상부에 게이트 전극을 형성하는 단계와;

상기 게이트 전극 상부로 상기 기판 전면에 제1 금속층 및 제2 금속층을 순차적으로 형성하는 단계와;

상기 제1 및 제2 금속층을 선택적으로 패터닝하여 제1 및 제2 금속패턴을 형성하는 단계와;

상기 제1 금속패턴의 일부 영역이 노출되도록 상기 제2 금속패턴을 식각하여 제1 소스 및 제1 드레인 패턴을 형성하는 단계와;

상기 노출된 제1 금속패턴을 산화시켜 산화막을 형성하고, 제2 소스 및 제2 드레인 패턴을 형성하여, 상기 제1 소스 및 제2 소스 패턴과 상기 제1 드레인 및 제2 드레인 패턴을 포함하는 소스 및 드레인 전극을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판의 제조방법.

청구항 10

제 9 항에 있어서,

상기 제1 및 제2 금속패턴을 형성하는 단계는,

상기 제1 및 제2 금속층이 형성된 상기 기판 상부에 마스크를 이용하여 제1 감광막패턴과 제2 감광막패턴을 형성하는 단계와;

상기 제1 및 제2 감광막패턴을 마스크로 상기 제1 및 제2 금속층을 선택적으로 패터닝하여 상기 제1 및 제2 금속패턴을 형성하는 단계를 포함하는 액정표시장치용 어레이기판의 제조방법.

청구항 11

제 10 항에 있어서,

제1 감광막패턴과 제2 감광막패턴을 형성하는 단계는, 하프톤 마스크를 이용하여 패터닝하는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 12

제 10 항에 있어서,

상기 제2 소스 및 제2 드레인 패턴을 형성하는 단계는,

상기 제 1 및 제2 감광막패턴의 일부를 에싱공정을 통해 제거하여 제 3 및 제4 감광막패턴을 형성하는 단계와;

상기 제 3 및 제4 감광막패턴을 마스크로 하여 상기 제1 금속패턴의 일부 영역이 노출되도록 상기 제2 금속패턴을 식각하여 제2 소스 및 제2 드레인 패턴을 형성하는 단계를 포함하는 액정표시장치용 어레이기판의 제조방법.

청구항 13

제 9 항에 있어서,

상기 제1 및 제2 금속층을 형성하는 단계는, 상기 제1 금속층을 도체에 대해서 낮은 접촉저항을 갖는 금속으로 형성하고,

상기 제2 금속층은 낮은 비저항을 갖는 금속으로 형성하는 것을 특징으로 하는 액정표시장치용 어레이기판의 제조방법.

청구항 14

제 9 항에 있어서,

상기 제1 및 제2 금속층을 형성하는 단계는 상기 제1 금속층을 알루미늄(Al), 알루미늄 합금(Al alloy), 구리(Cu), 니켈(Ni), 크롬(Cr), 티타늄(Ti), 백금(Pt), 탄탈(Ta), 티타늄 합금(Ti alloy), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy) 중 어느 하나로 형성하고,

상기 제2 소스 및 제2 드레인 패턴은 구리(Cu), 금(Au), 몰리브덴(Mo) 중 어느 하나로 형성하는 액정표시장치용 어레이기판의 제조방법.

청구항 15

제 9 항에 있어서,

상기 노출된 제1 금속층을 산화시켜 산화막을 형성하는 단계는, 상기 제1 금속층 중 상기 식각된 제2 금속패턴에 대응하는 부분을 산소 플라즈마 처리 또는 산소분위기에서 산화시키는 액정표시장치용 어레이기판의 제조방법.

청구항 16

제 9 항에 있어서,

상기 반도체층을 형성하는 단계는, 상기 반도체층 내부에 채널영역과 상기 채널영역의 양측에 소스 및 드레인 영역을 형성하는 것을 포함하는 액정표시장치용 어레이기판의 제조방법.

청구항 17

제 16 항에 있어서,
상기 채널영역 상부에 제1 절연막을 형성하는 단계에 더 포함하고,

청구항 18

제 17 항에 있어서,
상기 게이트 전극을 형성하는 단계는, 상기 게이트 전극은 상기 제1 절연막 상부에 형성하는 것을 특징으로 하는 액정표시장치용 어레이기판의 제조방법.

청구항 19

제 9 항에 있어서,
상기 기판 위에 제2 절연막을 형성하는 단계와;
상기 보호막의 일부 영역을 제거하여 상기 드레인전극의 일부를 노출시키는 콘택홀을 형성하는 단계와;
상기 콘택홀을 통해 상기 드레인전극과 전기적으로 접속하는 화소전극을 형성하는 단계를 더 포함하는 액정표시장치용 어레이기판의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치용 어레이기판 및 그의 제조방법에 관한 것으로, 특히 코플레이너 방식 박막트랜지스터를 포함하는 액정표시장치용 어레이기판 및 그의 제조방법에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 디스플레이 장치에 대한 요구도 다양한 형태로 증대하고 있으며, 이에 부응하여 근래에는 액정표시장치(Liquid Crystal Display), 유기발광 디스플레이장치(Organic Light Emitting Diodes), 플라즈마 디스플레이장치(Plasma Display Panel)등 여러 가지 디스플레이 장치가 연구, 활용되고 있다.

[0003] 그 중에 액정표시장치는 동작 전압이 낮아 소비 전력이 적고 휴대용으로 쓰일 수 있는 등의 이점으로 노트북 컴퓨터, 모니터, 우주선, 항공기 등에 이르기까지 응용분야가 넓고 다양하다.

[0004] 이러한 액정표시장치 중에서도 각 화소(pixel)별로 전압의 온(on), 오프(off)를 조절할 수 있는 스위칭 소자인 박막트랜지스터가 구비된 액티브 매트릭스형 액정표시장치가 해상도 및 동영상 구현능력이 뛰어나 가장 주목 받고 있다.

[0005] 이와 같은 박막트랜지스터는 게이트 전극의 위치에 의하여 크게 4가지 종류 형태가 있으며, 스테거드(staggered)형, 역 스테거드(inverted staggered)형, 코플레이너(coplanar)형으로 불린다.

[0006] 이 중 코플레이너형 박막트랜지스터는 소스 및 드레인전극 식각 시 액티브층에 손상을 주지 않아 우수한 소자특성을 확보할 수 있는 특징을 가진다.

[0007] 이때, 일반적인 코플레이너형 박막트랜지스터는 액티브층 상부에 게이트전극과 소스 및 드레인전극이 위치하는 구조를 가진다

[0008] 이하, 도 1을 참조하여 일반적인 코플레이너형 박막트랜지스터의 구조를 설명한다.

[0009] 도 1은 종래의 액정표시장치용 어레이기판을 개략적으로 도시한 단면도이다.

[0010] 도시한 바와 같이, 일반적인 코플레이너형 박막트랜지스터는 기판(10) 상부에 형성된 버퍼층(11)과, 버퍼층(11)

상부에 위치하고 채널영역(24a)과 채널영역(24a) 양측에 각각 위치하는 소스 및 드레인 영역(24b, 24c)을 포함하는 액티브층(24)과, 액티브층(24) 상부의 일부를 덮으며 위치하는 제1 절연막(15a)과, 제1 절연막(15a) 상부에 위치하는 게이트 전극(21)과, 게이트 전극(21) 상부로 기판(10) 전면에서 위치하고 액티브층(24)의 소스 및 드레인 영역(24b, 24c)을 노출하는 제2 절연막(15b)과, 노출된 소스 및 드레인 영역(24b, 24c)과 전기적으로 접촉하는 소스 및 드레인 전극(22, 23)과, 소스 및 드레인 전극(22, 23) 상부로 기판(10) 전면에서 위치하고 드레인 전극(23)의 일부를 노출하는 제3 절연막(15c)과, 제3 절연막(15c) 상부에 위치하며, 드레인 전극(23)과 전기적으로 접촉하는 화소전극(18)을 포함한다.

[0011] 이때, 일반적인 코플레이너 박막트랜지스터는 아연 산화물(ZnO)계 반도체를 이용하여 액티브층(24)을 형성함에 따라 높은 이동도와 정전류 테스트 조건을 만족하는 특성이 있어 대면적 디스플레이에 적용 가능한 장점이 있다.

[0012] 그리고, 아연 산화물(ZnO)은 산소 함량에 따라 도체, 반도체 및 부도체의 3가지 성질을 모두 구현할 수 있는 물질로, 아연 산화물계 반도체 물질을 액티브층(24)으로 적용한 박막트랜지스터는 액정표시장치와 유기발광 디스플레이를 포함하는 대면적 디스플레이에 적용될 수 있다.

[0013] 하지만, 이와 같은 특성을 가지는 코플레이너형 박막트랜지스터는 아연 산화물계 반도체 물질로 이루어진 액티브층이 외부로 노출되는 것을 방지하기 위해 제2 절연막(15b)을 형성함에 따라 마스크수가 증가한다.

[0014] 이에 따라, 공정단계가 많아지며, 코플레이너형 박막트랜지스터의 제조비용이 증가하고, 생산성이 감소하는 문제가 발생한다.

발명의 내용

해결하려는 과제

[0015] 본 발명에서는 위와 같이 코플레이너형 박막트랜지스터에서 공정단계가 많아지고, 생산성이 감소하는 문제를 해결하고자 한다.

과제의 해결 수단

[0016] 위와 같은 과제의 해결을 위해, 본 발명은, 기판과; 상기 기판 상부에 형성되며, 채널영역과 상기 채널영역 양측에 형성되는 소스 및 드레인 영역을 포함하는 액티브층과; 상기 채널영역 상부에 형성되는 제1 절연막과; 상기 제1 절연막 상부에 형성되는 게이트 전극과; 상기 기판 상부에 형성되며, 상기 소스 및 드레인 영역과 접촉되어 형성되는 소스 및 드레인 전극과; 상기 채널영역에 대응하여, 상기 게이트 전극 상부로 형성되는 산화막을 포함하는 액정표시장치용 어레이기판을 제공한다.

[0017] 이때, 상기 소스 및 드레인 전극은 상층에 형성되는 제1 소스 및 제1 드레인 패턴과 하층에 형성되는 제2 소스 및 제2 드레인 패턴을 포함하고, 상기 제2 소스 및 제2 드레인 패턴은 상기 산화막과 동일층에 위치한다.

[0018] 이때, 상기 제1 소스 및 제1 드레인 패턴은 낮은 비저항을 갖고, 상기 제2 소스 및 제2 드레인 패턴은 도체에 대해서 낮은 접촉저항을 갖는 것을 특징으로 한다.

[0019] 그리고, 상기 제1 소스 및 제1 드레인 패턴은 구리(Cu), 금(Au), 몰리브덴(Mo) 중 어느 하나를 포함하고, 상기 제2 소스 및 제2 드레인 패턴은 알루미늄(Al), 알루미늄 합금(Al alloy), 구리(Cu), 니켈(Ni), 크롬(Cr), 티타늄(Ti), 백금(Pt), 탄탈(Ta), 티타늄 합금(Ti alloy), 몰리브덴(Mo), 몰리브덴합금(Mo alloy) 중 어느 하나를 포함한다.

[0020] 그리고, 상기 산화막은 산화 알루미늄(Al_xO_x), 산화 알루미늄 합금(Al_xO_x alloy), 산화 구리(Cu_xO_x), 산화 니켈(Ni_xO_x), 산화 크롬(Cr_xO_x), 산화 티타늄(Ti_xO_x), 산화 백금(Pt_xO_x), 산화 탄탈(Ta_xO_x), 산화 티타늄 합금(Ti_xO_x alloy), 산화 몰리브덴(Mo_xO_x), 산화 몰리브덴합금(Mo_xO_x alloy) 중 어느 하나를 포함한다.

[0021] 그리고, 상기 소스 및 드레인 전극 상부로 기판 전면에서 위치하며, 드레인 전극의 일부를 노출하는 제2 절연막과, 제2 절연막 상부에 위치하고 드레인 전극과 전기적으로 접촉하는 화소전극을 더 포함한다.

[0022] 한편 본 발명은, 기판 위에 채널영역과 상기 채널영역 양측에 형성되는 소스 및 드레인 영역을 포함하는 액티브

층을 형성하는 단계와; 상기 채널영역 상부에 제1 절연막을 형성하는 단계와; 상기 제1 절연막 상부에 게이트 전극을 형성하는 단계와; 상기 게이트 전극 상부로 상기 기판 전면에서 제1 금속층 및 제2 금속층을 순차적으로 형성하는 단계와; 상기 제1 및 제2 금속층이 형성된 상기 기판 위에 하프톤 마스크를 이용하여 상기 제1 및 제2 금속층을 선택적으로 패터닝하여 제1 및 제2 금속패턴을 형성하는 단계와; 상기 제1 금속패턴의 일부 영역이 노출되도록 상기 제2 금속패턴을 식각하여 제1 소스 및 제1 드레인 패턴을 형성하는 단계와; 상기 노출된 제1 금속패턴을 산화시켜 산화막을 형성하고, 제2 소스 및 제2 드레인 패턴을 형성하여, 상기 제1 소스 및 제2 소스 패턴과 상기 제1 드레인 및 제2 드레인 패턴을 포함하는 소스 및 드레인 전극을 형성하는 단계를 포함하는 액정 표시장치용 어레이기판의 제조방법을 제공한다.

[0023] 이때, 상기 제1 및 제2 금속패턴을 형성하는 단계는, 상기 제1 및 제2 금속층이 형성된 상기 기판 위에 하프톤 마스크를 이용하여 제1 감광막패턴과 제2 감광막패턴을 형성하는 단계와; 상기 제1 및 제2 감광막패턴을 마스크로 상기 제1 및 제2 금속층을 선택적으로 패터닝하여 상기 제1 및 제2 금속패턴을 형성하는 단계를 포함한다.

[0024] 그리고, 상기 제2 소스 및 제2 드레인 패턴을 형성하는 단계는, 상기 제1 및 제2 감광막패턴의 일부를 에칭공정을 통해 제거하여 제3 및 제4 감광막패턴을 형성하는 단계와; 상기 제3 및 제4 감광막패턴을 마스크로 하여 상기 제1 금속패턴의 일부 영역이 노출되도록 상기 제2 금속패턴을 식각하여 제2 소스 및 제2 드레인 패턴을 형성하는 단계를 포함한다.

[0025] 그리고, 상기 제1 및 제2 금속층을 형성하는 단계는, 상기 제1 금속층을 도체에 대해서 낮은 접촉저항을 갖는 금속으로 형성하고, 상기 제2 금속층은 낮은 비저항을 갖는 금속으로 형성하는 것을 특징으로 한다.

[0026] 그리고, 상기 제1 및 제2 금속층을 형성하는 단계는 상기 제1 금속층을 알루미늄(Al), 알루미늄 합금(Al alloy), 구리(Cu), 니켈(Ni), 크롬(Cr), 티타늄(Ti), 백금(Pt), 탄탈(Ta), 티타늄 합금(Ti alloy), 몰리브덴(Mo), 몰리브덴합금(Mo alloy) 중 어느 하나로 형성하고, 상기 제2 소스 및 제2 드레인 패턴은 구리(Cu), 금(Au), 몰리브덴(Mo) 중 어느 하나로 형성한다.

[0027] 그리고, 상기 노출된 제1 금속층을 산화시켜 산화막을 형성하는 단계는, 상기 제1 금속층 중 상기 식각된 제2 금속패턴에 대응하는 부분을 산소 플라즈마 처리 또는 산소분위기에서 산화시킨다.

[0028] 그리고, 상기 기판 위에 제2 절연막을 형성하는 단계와; 상기 보호막의 일부 영역을 제거하여 상기 드레인전극의 일부를 노출시키는 콘택홀을 형성하는 단계와; 상기 콘택홀을 통해 상기 드레인전극과 전기적으로 접속하는 화소전극을 형성하는 단계를 더 포함한다.

발명의 효과

[0029] 본 발명은 코플레이너형 박막트랜지스터 제작 시, 액티브층을 소스 및 드레인 전극과 동일한 물질로 감싸고, 외부로 노출된 액티브층 상부에 대응되는 부분을 산화하여 액티브층을 덮어 마스크 수를 감소시켜, 제조비용을 감소하고, 생산성을 향상시키는 효과가 있다.

도면의 간단한 설명

[0030] 도 1은 종래의 액정표시장치용 어레이기판을 개략적으로 도시한 단면도이다.

도 2는 본 발명의 일 실시예에 따른 액정표시장치용 어레이기판의 단면도이다.

도 3a 내지 3h는 본 발명의 일 실시예에 따른 액정표시장치용 어레이기판의 제조공정을 순차적으로 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0031] 이하, 첨부된 도면을 참조하여 본 발명의 코플레이너형 박막트랜지스터에 대해 자세히 설명한다.

[0032] 본 발명의 코플레이너형 박막트랜지스터는 다결정 박막트랜지스터, 비정질 박막트랜지스터, 산화물 박막트랜지스터 중 하나 일 수 있으며, 본 발명의 일 실시예에서는 코플레이너형 박막트랜지스터가 산화물 박막트랜지스터 일 경우를 예로 들어 설명한다.

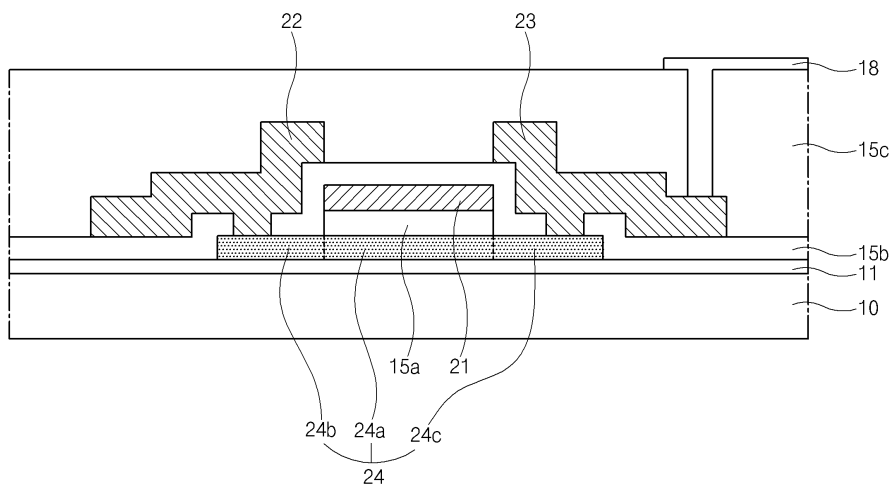
- [0033] 도 2는 본 발명의 일 실시예에 따른 액정표시장치용 어레이기판의 단면도이다.
- [0034] 도시한 바와 같이, 본 발명의 일 실시예에 따른 액정표시장치용 어레이기판은 기판(110) 상부에 형성된 버퍼층(111)과, 버퍼층(111) 상부에 채널영역(124a)과 채널영역(124a) 양측에 각각 위치하는 소스 및 드레인 영역(124b, 124c)을 포함하는 액티브층(124)과, 채널영역(124a)의 일부를 덮으며 채널영역(124a) 상부에 위치하는 제1 절연막(115a)과, 제1 절연막(115a) 상부에 위치하는 게이트 전극(121)과, 채널영역(124a)에 대응하여 게이트 전극(121) 상부를 덮으며 형성되는 산화막(126)과, 소스 및 드레인 영역(124b, 124c)을 덮으며 소스 및 드레인 영역(124b, 124c)과 전기적으로 접촉하는 제2 소스 및 제2 드레인 패턴(122b, 123b)과, 제2 소스 및 제2 드레인 패턴(122b, 123b) 상부에 위치하고 각각 제2 소스 및 제2 드레인 패턴(122b, 123b)에 대응되는 제1 소스 및 제1 드레인 패턴(122a, 123a)으로 구성된다.
- [0035] 이때, 제1 소스 및 제2 소스 패턴(122a, 122b)과, 제1 드레인 및 제2 드레인 패턴(123a, 123b)은 각각 소스 및 드레인 전극(122, 123)을 이루며, 버퍼층(111)은 생략할 수 있다.
- [0036] 이와 같은 액정표시장치용 어레이기판은 소스 및 드레인 전극(122, 123) 상부로 기판(110) 전면에 위치하며, 드레인 전극(123)의 일부를 노출하는 제2 절연막(115b)과, 제2 절연막(115b) 상부에 위치하고 드레인 전극(123)과 전기적으로 접촉하는 화소전극(118)을 더 포함한다.
- [0037] 이때, 액티브층(124)은 아연 산화물(ZnO)계 반도체를 이용하여 형성되는데, 예를 들어 인듐-갈륨-아연-산화물(IGZO)로 형성될 수 있다.
- [0038] 이와 같은, 아연 산화물(ZnO)은 산소 함량에 따라 도체 반도체 및 부도체의 3가지 성질을 모두 구현할 수 있는 물질로, 아연 산화물계 반도체 물질을 액티브층(124)으로 적용한 박막트랜지스터는 액정표시장치와 유기전계발광 디스플레이를 포함하는 대면적 디스플레이에 적용될 수 있다.
- [0039] 즉, 본 발명의 일 실시예에 따른 액정표시장치용 어레이기판은 스퍼터링 중의 반응 가스 내의 산소 농도를 조절함으로써 액티브층(124)의 캐리어 농도를 조절할 수 있어 박막트랜지스터의 소자특성을 조절할 수 있는 특징이 있다.
- [0040] 이와 같은 구성의 본 발명의 일 실시예에 따른 액정표시장치용 어레이기판의 액티브층(124)은 아연 산화물계 반도체 물질을 이용하여 형성되어 높은 이동도와 정전류 테스트 조건을 만족하여, 대면적 디스플레이에 적용 가능한 장점을 가지고 있다.
- [0041] 또한, 액티브층(124)이 외부로 노출되는 부분에 소스 및 드레인 전극(122, 123)과 동일한 물질로 감싸며, 소스 및 드레인 전극(122, 123)을 형성하면, 외부로 노출되는 액티브층(124) 상부에 대응하는 부분을 산화할 수 있다.
- [0042] 즉, 제2 소스 및 제2 드레인 패턴(122b, 123b) 중 채널영역(124a)에 대응하는 영역을 산화시켜 액티브층(124)을 덮음으로 인해 종래의 제2 절연막(도 1의 15b)를 생략할 수 있어, 마스크 수를 감소시켜, 제조비용을 감소하고, 생산성을 향상시키는 효과가 있다.
- [0043] 이때, 본 발명의 산화막(126)은 제2 소스 및 제2 드레인 패턴(122b, 123b)과 접촉한다.
- [0044] 그리고 도시하지 않았지만, 산화막(126)은 소스 및 드레인 영역(124b, 124c)의 일부를 덮도록 연장될 수 있다.
- [0045] 한편, 본 발명의 일 실시예에 따른 액정표시장치용 어레이기판은 채널영역(124a) 일부를 덮으며 위치하는 산화막(126)과, 소스 및 드레인 영역(124b, 124c)을 덮으며 위치하는 소스 및 드레인 전극(122, 123)은 제1 금속층(미도시)과 제2 금속층(미도시)을 연속으로 증착한 후, 마스크를 이용하여 형성된다.
- [0046] 이때, 마스크는 단일 마스크 또는 하프톤 마스크일 수 있으며, 마스크단계를 줄이기 위해 하프톤 마스크를 사용하는 것이 바람직하다.
- [0047] 이하 도 3a 내지 3h를 참조하여 본 발명의 일 실시예에 따른 액정표시장치의 박막트랜지스터의 제조방법을 좀 더 상세하게 설명한다.
- [0048] 도 3a 내지 3h는 본 발명의 일 실시예에 따른 박막트랜지스터의 제조공정을 순차적으로 나타내는 도면이다.

- [0049] 도 3a에 도시된 바와 같이, 버퍼층(111)이 형성된 기판(110) 전면에 아연 산화물(ZnO)계 반도체 물질을 증착하여 액티브층(124)을 형성하고, 액티브층(124)의 상부에 제1 절연막(115a) 및 게이트 전극(121)을 순차적으로 형성한다.
- [0050] 좀 더 상세하게는, 아연 산화물계 반도체 물질을 제1 마스크 공정을 이용하여 패터닝함으로써 액티브층(124)을 형성할 수 있다.
- [0051] 그리고, 아연 산화물계 반도체 물질은 예를들어, 갈륨산화물(Ga₂O₃), 인듐산화물(In₂O₃) 및 아연산화물(ZnO)의 복합체 타겟을 이용하여 스퍼터링(sputtering) 방법에 의해 형성될 수 있으며, 이 이외에도 화학기상증착이나 원자증착(Atomic Layer Deposition; ALD) 등의 화학적 증착방법으로 형성할 수 있다.
- [0052] 그리고, 제1 절연막(115a)은 실리콘질화막(SiN_x), 실리콘산화막(SiO₂)과 같은 무기절연막 또는 하프늄(hafnium; Hf) 옥사이드, 알루미늄 옥사이드와 같은 고유전성 산화막으로 이루어질 수 있다.
- [0053] 이와 같은, 제1 절연막(115a)은 화학기상증착(Chemical Vapour Deposition; CVD) 또는 플라즈마 화학기상증착(Plasma Enhanced Chemical Vapour Deposition; PECVD)으로 형성할 수 있다.
- [0054] 그리고, 게이트 전극(121)은 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 니켈(nickel; Ni), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo), 티타늄(titanium; Ti), 백금(platinum; Pt), 탄탈(tantalum; Ta) 등과 같은 저저항 불투명 도전물질 또는, 인듐-틴-옥사이드(Indium Tin Oxide; ITO), 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 불투명한 도전물질로 형성할 수 있으며, 전술한 도전물질이 두 가지 이상 적층된 다층구조로 형성할 수 있다.
- [0055] 이와 같은, 제1 절연막(115a) 및 게이트 전극(121)은 기판 전면에 형성한 후 제2 마스크공정을 이용하여 패터닝함으로써 형성할 수 있다.
- [0056] 이때, 제1 절연막(115a) 및 게이트 전극(121)의 식각에는 건식식각을 이용할 수 있다.
- [0057] 그 다음 도 3b에 도시한 바와 같이, 기판(110) 전면에 게이트 전극(121)을 덮도록 제 1 금속층(113) 및 제2 금속층(114)을 순차적으로 증착한다.
- [0058] 이때, 제1 금속층(113)은 높은 이동도와 정전류테스트 조건을 만족하기 위해 낮은 접촉저항을 가지는 금속으로 형성될 수 있으며, 예를들어, 알루미늄(Al), 알루미늄 합금(Al alloy), 구리(Cu), 니켈(Ni), 크롬(Cr), 티타늄(Ti), 백금(Pt), 탄탈(Ta), 티타늄 합금(Ti alloy), 몰리브덴(Mo), 몰리브덴합금(Mo alloy) 등의 금속을 포함할 수 있다.
- [0059] 그리고, 제2 금속층(114)은 제1 금속층(113) 때문에 액티브층(124)과의 접촉저항을 고려하지 않고, 제1 금속층(113)에 비해 상대적으로 낮은 비저항을 가지는 금속으로 형성될 수 있으며, 예를들어, 구리(Cu), 금(Au), 몰리브덴(Mo) 등의 금속으로 형성될 수 있다.
- [0060] 한편, 제1 금속층(113)은 높은 이동도와 정전류테스트 조건을 만족하기 위해 200Å이하의 두께로 형성될 수 있으며, 예를 들어 100~200Å의 두께로 형성하는 것이 바람직하다.
- [0061] 그 후, 제1 및 제2 금속층(113, 114) 상부로 기판(110) 전면에 포토레지스트와 같은 감광물질을 도포하여 감광막(128)을 형성한다.
- [0062] 그 다음 도 3c에 도시한 바와 같이, 제3 마스크 공정을 이용하여 감광막(128)에 선택적으로 빛을 조사한다.
- [0063] 이때, 제3 마스크 공정은 단일 마스크 또는 하프톤 마스크(130)로 진행될 수 있으며, 마스크 공정 단계를 줄이기 위해 하프톤 마스크(130)를 이용하는 것이 바람직하다.
- [0064] 하프톤 마스크(130)는 조사되는 빛을 모두 투과시키는 제 1 투과영역(I)과, 조사되는 빛의 일부만 투과시키고 일부는 차단하는 제 2 투과영역(II) 및 조사된 모든 광을 차단하는 차단영역(III)을 포함한다.
- [0065] 따라서, 하프톤 마스크(130)에 조사되는 빛 중 하프톤 마스크(130)를 투과한 빛만이 감광막(128)에 조사된다.
- [0066] 그 다음 도 3d에 도시한 바와 같이, 하프톤 마스크(130)을 통해 빛에 노광된 감광막(128)을 현상하면, 감광막(128) 중 제1 투과영역(I)과 대응되는 부분은 감광막(128)이 완전히 제거되고, 제2 투과영역(II)에 대응하는 부분은 감광막(128)의 일부가 남아 제1 감광막패턴(128a)이 되고, 차단영역(III)에 대응하는 부분은 감광막(128)이 완전히 남아 제1 감광막패턴(128a)보다 두께가 두꺼운 제2 감광막패턴(128b)이 된다.

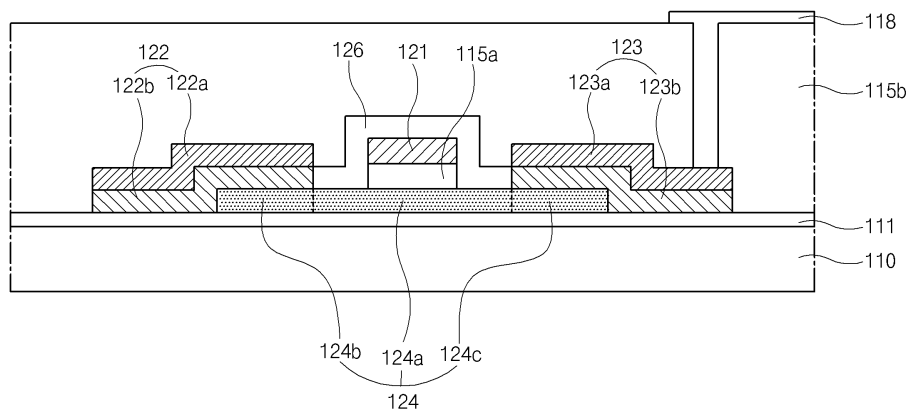
115a : 제1 절연막 115b : 제2 절연막
 118 : 화소전극 121 : 게이트 전극
 122a : 제1 소스패턴 122b : 제2 소스패턴
 123a : 제1 드레인패턴 123b : 제2 드레인패턴
 122 : 소스전극 123 : 드레인 전극
 126 : 산화막 260 : 박막트랜지스터 보호층
 280 : 화소전극

도면

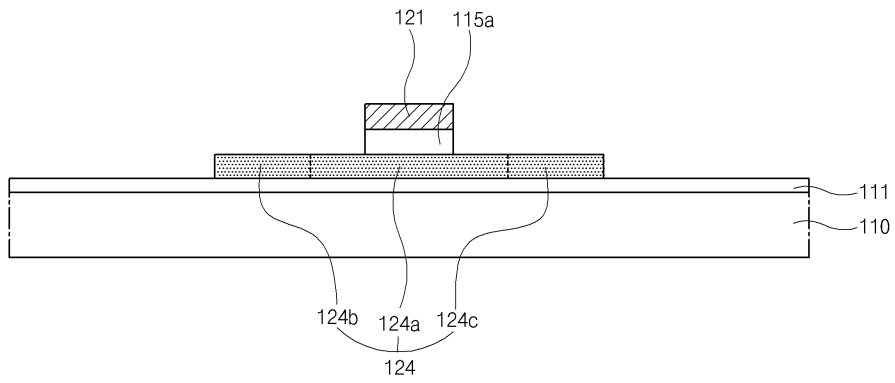
도면1



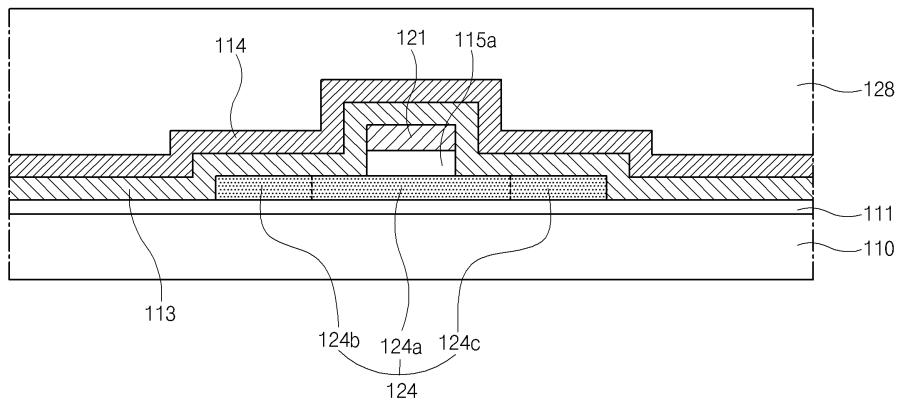
도면2



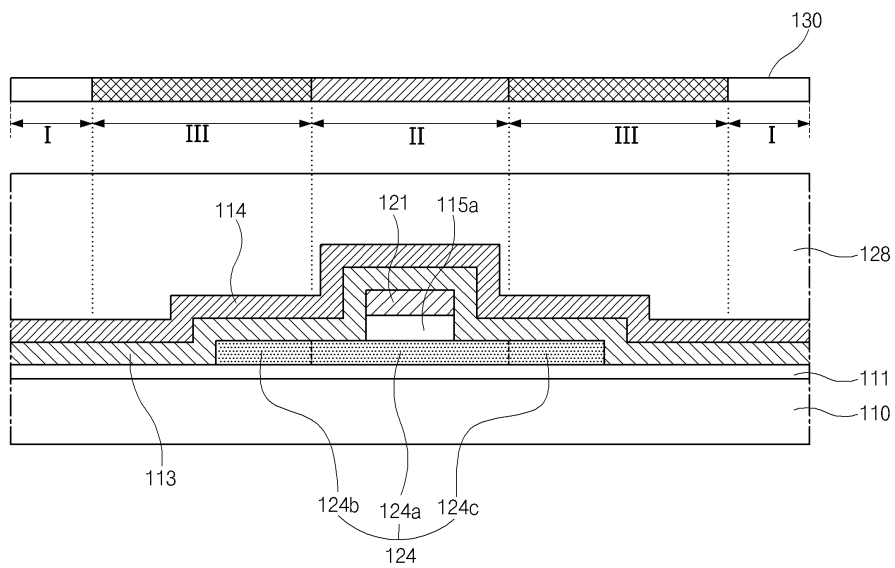
도면3a



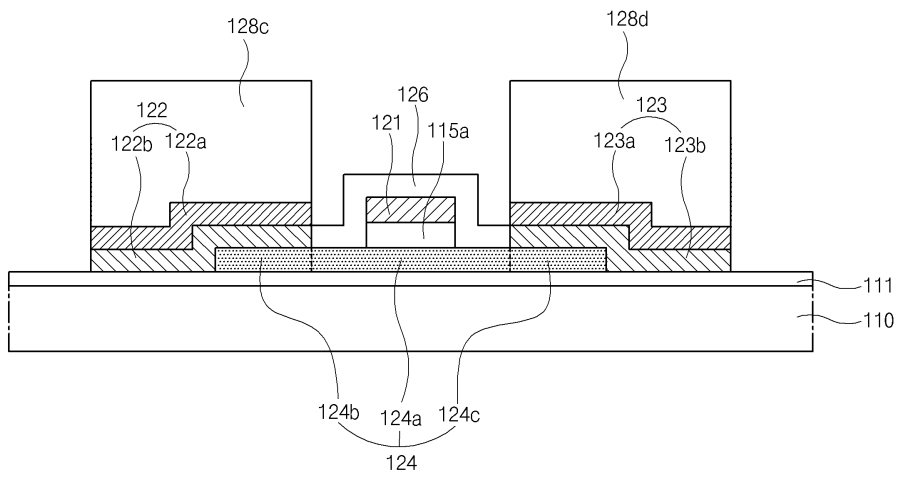
도면3b



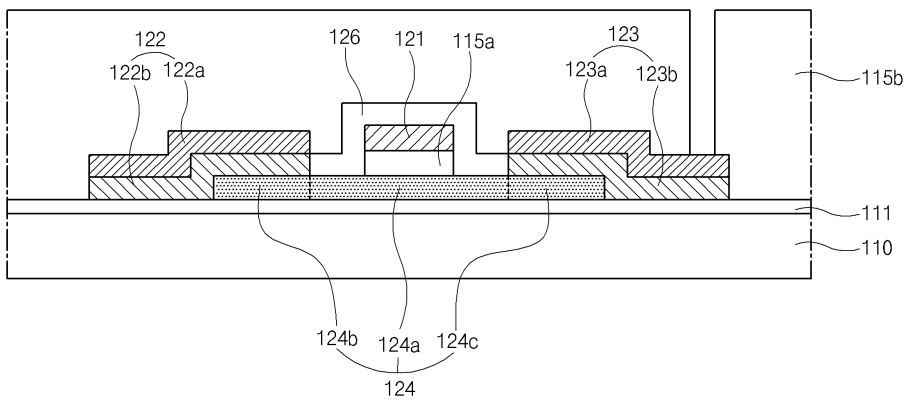
도면3c



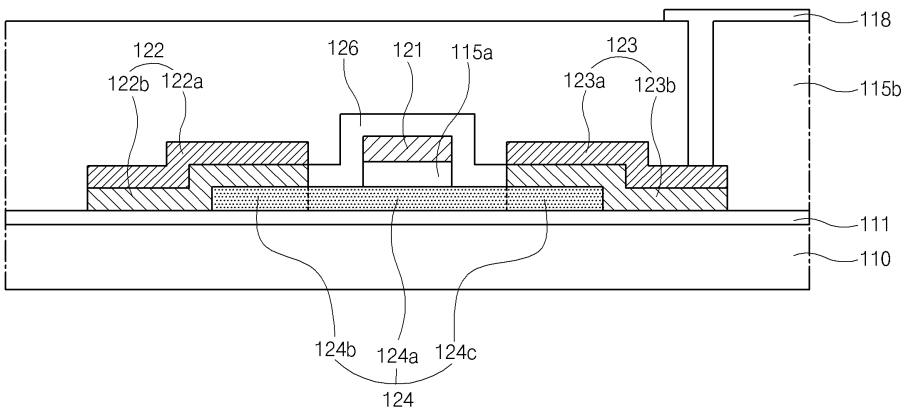
도면3f



도면3g



도면3h



专利名称(译)	标题：用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR1020150050051A	公开(公告)日	2015-05-08
申请号	KR1020130131396	申请日	2013-10-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	BEAK JUNG SUN 백정선 BANG JUNG HO 방정호		
发明人	백정선 방정호		
IPC分类号	G02F1/136 H01L29/786		
CPC分类号	H01L21/02244 H01L21/02252 H01L21/02255 H01L21/0273 H01L21/32139 H01L27/1225 H01L27/1259 H01L27/1288 H01L29/41733 H01L29/45 H01L29/66969 H01L29/78618 H01L29/7869 G02F1/1368 H01L29/66757 H01L29/78606 H01L21/44		
其他公开文献	KR102080484B1		
外部链接	Espacenet		

摘要(译)

一种用于液晶显示装置的阵列基板，包括基板；衬底上的半导体层；半导体层上的栅电极；源极和漏极上和半导体层接触；栅电极上的氧化物层，氧化物层包括多个金属原子，其中每个源电极和漏电极包括基本上由多个金属原子制成的金属图案。

