



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0035242
(43) 공개일자 2014년03월21일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2013-0085415

(22) 출원일자 2013년07월19일

심사청구일자 2013년07월19일

(30) 우선권주장

201210339738.1 2012년09월13일 중국(CN)

(71) 출원인

보에 테크놀로지 그룹 컴퍼니 리미티드

중국 베이징 100016, 차오양 디스트릭트, 지우시 양치아오 로드 10호

베이징 보에 디스플레이 테크놀로지 컴퍼니 리미티드

중국 베이징 100176 비디에이 정하이일루 118호

(72) 발명자

샤오, 시빈

중국 베이징 100176 비디에이 디저로드 9호

장, 홍린

중국 베이징 100176 비디에이 디저로드 9호

(뒷면에 계속)

(74) 대리인

백만기, 김성운, 장수길

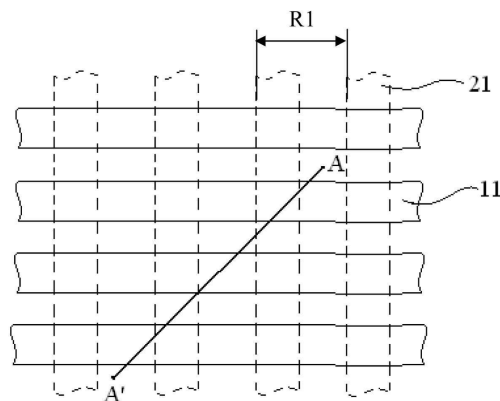
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 픽셀 유닛, 어레이 기판 및 액정 표시 장치

(57) 요약

본 발명의 실시예들에 따르면, 픽셀 유닛, 어레이 기판 및 액정 표시 장치가 제공된다. 픽셀 유닛은 제1 전극, 상기 제1 전극상에 위치한 절연층 및 상기 절연층상에 위치한 제2 전극을 포함한다. 상기 제1 전극은 서로 평행하게 일정 간격을 두고 떨어져 있는 복수의 제1 전극 스트립들을 포함하고, 상기 제2 전극은 서로 평행하게 일정 간격을 두고 떨어져 있는 복수의 제2 전극 스트립들을 포함하며; 상기 제1 전극 스트립들과 이들 위에 위치한 제2 전극 스트립들 간의 각은 0도보다 크고 90도 이하이다.

대표도 - 도4



(72) 발명자

자오, 허빈

중국 베이징 100176 비디에이 디저로드 9호

왕, 단

중국 베이징 100176 비디에이 디저로드 9호

특허청구의 범위

청구항 1

제1 전극, 상기 제1 전극 상에 위치한 절연층 및 상기 절연층 상에 위치한 제2 전극을 포함하는 픽셀 유닛에 있어서,

상기 제1 전극은 서로 평행하게 일정 간격(interval)을 두고 떨어져 있는 복수의 제1 전극 스트립들을 포함하고, 상기 제2 전극은 서로 평행하게 일정 간격을 두고 떨어져 있는 복수의 제2 전극 스트립들을 포함하며;

상기 제1 전극 스트립들과, 상기 제1 전극 스트립 위에 위치한 상기 제2 전극 스트립들 간의 각은 0도보다 크고 90도 이하인 픽셀 유닛.

청구항 2

제1항에 있어서,

상기 제1 전극 스트립들과, 상기 제1 전극 스트립 위에 위치한 상기 제2 전극 스트립들 간의 상기 각은 10도보다 크고 90도 이하인 픽셀 유닛.

청구항 3

제1항 또는 제2항에 있어서,

상기 제1 전극은 공통 전극이고, 상기 제2 전극은 픽셀 전극인 픽셀 유닛.

청구항 4

제3항에 있어서,

상기 제1 전극 스트립들의 폭들은 모두 동일한 픽셀 유닛.

청구항 5

제3항에 있어서,

상기 제1 전극 스트립들 중에서 인접한 제1 전극 스트립들 간의 간격은 동일한 픽셀 유닛.

청구항 6

제3항에 있어서,

상기 제1 전극 스트립들 중에서, 하나의 제1 전극 스트립의 폭과 상기 하나의 제1 전극 스트립과 인접한 제1 전극 스트립 간의 간격과의 합은 $5\mu\text{m}$ 내지 $7\mu\text{m}$ 의 범위에 있는 픽셀 유닛.

청구항 7

제1항 또는 제2항에 있어서,

상기 제1 전극은 픽셀 전극이고, 상기 제2 전극은 공통 전극인 픽셀 유닛.

청구항 8

제7항에 있어서,

상기 제2 전극 스트립들의 폭은 모두 동일한 픽셀 전극.

청구항 9

제7항에 있어서,

상기 제2 전극 스트립들 중에서 인접한 제2 전극 스트립들 간의 간격은 동일한 픽셀 유닛.

청구항 10

제7항에 있어서,

상기 제2 전극 스트립들 중에서, 하나의 제2 전극 스트립의 폭과, 상기 하나의 제2 전극 스트립과 인접한 제2 전극 스트립 간의 간격과의 합은 $5\mu\text{m}$ 내지 $10\mu\text{m}$ 의 범위에 있는 픽셀 유닛.

청구항 11

제1항 또는 제2항에 있어서,

상기 복수의 제1 전극 스트립들은 2개의 그룹으로 나뉘지며, 각각 상기 픽셀 유닛의 중앙 라인의 양측에 위치하며, 서로 대칭인 픽셀 유닛.

청구항 12

제11항에 있어서,

상기 복수의 제2 전극 스트립들은 2개의 그룹으로 나뉘지며, 각각 상기 픽셀 유닛의 중앙 라인의 양측에 위치하며, 서로 대칭인 픽셀 유닛.

청구항 13

제1항에 청구된 픽셀 유닛을 포함하는 어레이 기관.

청구항 14

제13항에 청구된 어레이 기관을 포함하는 액정 표시 장치.

명세서

기술 분야

[0001] 본 발명의 실시예들은 픽셀 유닛, 어레이 기관 및 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치(LCD)는 현재 가장 중요한 유형의 평판 표시 장치이다. 액정 표시 장치의 표시는 픽셀들(또는 서브-픽셀들)에 기반을 두고 있다. 픽셀 전극과 공통 전극은 각 픽셀에 포함되어 있고, 전계는 이들 두 전극 간에 생성되어 픽셀들에 대응하는 액정을 트위스트되게 구동할 수 있다. 이와 같이, 픽셀을 통해 투과된 광량이 변하여 원하는 콘텐츠가 전체로서 액정 표시 장치에 표시된다.

[0003] 어드밴스트 슈퍼 디멘션 스위치(advanced super dimension switch: ADS) 모드 액정 표시 장치는 액정 표시 장치의 유형에 속하며, 여기서, 다차원 전계는 동일 평면의 슬릿(slit) 전극들의 에지(edge)들에서 생성된 전계와, 슬릿 전극들의 층과 판형 전극의 층 사이에 생성된 전계에 의해서 형성되어, 평판 전극 바로 위와 슬릿 전극들 사이에 있는 액정 셀 내의 모든 방위에서 액정 분자들이 회전할 수 있게 되며, 그 결과 액정의 일 효율이 향상되고 투과 효율이 증가한다. 어드밴스트 슈퍼 디멘션 스위치 기술은 TFT-LCD(Thin Film Transistor-Liquid Crystal Display) 제품의 화질을 향상시킬 수 있으며, 고해상도, 고투과율, 저전력 소모, 광시야각, 높은 개구율, 낮은 색수차, 푸쉬 무라-프리(push Mura-free) 등의 장점이 있다.

[0004] 도 1은 기존의 ADS 모드 액정 표시 장치의 어레이 기관의 1개의 픽셀 유닛을 보여주는 평면도이다. 도 2는 선 A-A'를 따라서 취한 기존의 ADS 모드 액정 표시 장치의 어레이 기관의 1개의 픽셀 유닛의 단면을 보여주는 개략도이다.

[0005] 도 2에 도시된 바와 같이, 판 모양의 공통 전극(2)은 어레이 기관(9)상에 위치해 있고, 공통 전극(2)은 절연층(7)(예를 들어, 실리콘 이산화물 층)으로 덮히고 절연층(7) 상에는 픽셀 전극(1)이 제공된다. 픽셀 전극(1)은 일정한 간격(interval)으로 떨어져 있는 복수의 픽셀 전극 스트립들(11)을 포함한다. 픽셀 전극(1)과 공통 전극(2) 양단에 전압 차를 인가하면, 액정이 회전되도록 액정을 구동하는 작용을 하는 다-차원 전계가 픽셀 전극

스트립들(11)과 공통 전극(2) 사이에 생성될 수 있다.

[0006] 도 1에 도시된 바와 같이, 색상차(color deviation)를 줄이기 위해서, 하나의 직사각형 프로필을 갖는 1개의 픽셀 유닛의 픽셀 전극(1)의 픽셀 전극 스트립들(11)은 전체로서 두 개의 그룹으로 나누어질 수 있으며, 이들 그룹은 각각 도 1에 도시된 바와 같이 상부와 하부에 위치해 있다. 각 그룹에 있는 픽셀 전극 스트립들(11)은 서로 평행하지만, 두 그룹의 픽셀 전극 스트립들(11)의 연장선들은 일정한 각으로 서로 교차하며, 이러한 디자인을 "테이퍼 형상 전극(tapered electrode)"이라 칭한다. 물론, 완전한 픽셀 유닛에는, 박막 트랜지스터와 다른 구조들이 더 포함되어야 하지만 간명함을 위해서 이들을 여기에서는 설명하지 않는다.

[0007] ADS 모드 액정 표시 장치에서, 공통 전극(2)과 픽셀 전극(1)은 서로 짧은 거리만큼 떨어져 있고 그들 간에 대향면적이 크기 때문에, 픽셀 유닛은 지나치게 큰 축적 캐패시턴스(Cst)를 갖는다. 축적 캐패시턴스는 액정 표시를 실행하는데 필요한 특성이고, 전압이 픽셀 전극에 인가되지 않을 때 표시 화면이 안정될 수 있게 전계를 픽셀 유닛에 유지시키는데 유용하다. 그러나, 축적 캐패시턴스가 지나치게 크면, 축적 캐패시터의 충전 속도가 느려진다. 그 결과 A 게이트 라인(H-블록, 수평 블록)의 라인을 따라서 표시 에러가 생기며, 한편 축적 캐패시터의 방전 속도가 느려져서 잔상 현상이 생긴다(라인-IS, 라인 잔상(line afterimage)). 표시 장치가 비교적 높은 리프레시 주파수(refresh frequency)를 가질 때, 이들 문제가 훨씬 심각해진다. 일반적으로, 검출을 위한 어떤 특정한 화면의 경우, 지나치게 큰 축적 캐패시턴스로 인해 화면들이 녹색을 띠게 된다.

발명의 내용

해결하려는 과제

[0008] 기존의 어드밴스트 슈퍼 디멘션 스위치 모드 액정 표시 장치의 픽셀 유닛들은 축적 캐패시턴스가 지나치게 크거나 불안정하다는 문제점들을 안고 있으므로, 높은 생산 정밀도가 요구된다.

과제의 해결 수단

[0009] 본 발명의 한 양태에 있어서, 픽셀 전극이 제공되는데, 이 픽셀 전극은 제1 전극, 상기 제1 전극 상에 위치한 절연층 및 상기 절연층 상에 위치한 제2 전극을 포함하며; 상기 제1 전극은 서로 평행하게 일정 간격을 두고 떨어져 있는 복수의 제1 전극 스트립들을 포함하고, 상기 제2 전극은 서로 평행하게 일정 간격을 두고 떨어져 있는 복수의 제2 전극 스트립들을 포함하며, 상기 제1 전극 스트립들과 이들 위에 위치한 제2 전극 스트립들 간의 각은 0도보다 크고 90도 이하이다.

[0010] 상기 픽셀 유닛의 경우, 예를 들어, 상기 제1 전극 스트립들과 이들 위에 위치한 제2 전극 스트립들 간의 상기 각은 10도보다 크고 90도 이하이다.

[0011] 상기 픽셀 유닛의 경우, 예를 들어, 상기 제1 전극은 공통 전극이고, 상기 제2 전극은 픽셀 전극이다.

[0012] 예를 들어, 상기 제1 전극 스트립들의 폭들은 모두 동일하다.

[0013] 예를 들어, 상기 제1 전극 스트립들 중에서 인접한 제1 전극 스트립들 간의 간격은 동일하다.

[0014] 상기 픽셀 유닛의 경우, 예를 들어, 상기 제1 전극 스트립들 중에서, 하나의 제1 전극 스트립의 폭과, 상기 하나의 제1 전극 스트립과 인접한 제1 전극 스트립 간의 간격과의 합은 $5\mu\text{m}$ 내지 $7\mu\text{m}$ 의 범위에 있다.

[0015] 상기 픽셀 유닛의 경우, 예를 들어, 상기 제1 전극은 픽셀 전극이고, 상기 제2 전극은 공통 전극이다.

[0016] 예를 들어, 상기 제2 전극 스트립들의 폭은 동일하다.

[0017] 예를 들어, 상기 제2 전극 스트립들 중에서 인접한 제2 전극 스트립들 간의 간격은 동일하다.

[0018] 상기 픽셀 유닛의 경우, 예를 들어, 상기 제2 전극 스트립들 중에서, 하나의 제2 전극 스트립의 폭과, 상기 하나의 제2 전극 스트립과 인접한 제2 전극 스트립 간의 간격의 합은 $5\mu\text{m}$ 내지 $10\mu\text{m}$ 의 범위에 있다.

[0019] 상기 픽셀 유닛의 경우, 예를 들어, 상기 복수의 제1 전극 스트립들은 2개의 그룹으로 나뉘지고, 이들은 각각 상기 픽셀 유닛의 중앙 라인의 양측에 위치하며, 서로 대칭이다.

[0020] 상기 픽셀 유닛의 경우, 예를 들어, 상기 복수의 제2 전극 스트립들은 2개의 그룹으로 나뉘지고, 이들은 각각 상기 픽셀 유닛의 중앙 라인의 양측에 위치하며, 서로 대칭이다.

[0021] 본 발명의 다른 양태에서, 위에 언급한 픽셀 유닛 중 임의 픽셀 유닛을 포함하는 어레이 기판이 제공된다.

[0022] 본 발명의 또 다른 양태에서, 상기 어레이 기판을 포함하는 액정 표시 장치가 제공된다.

발명의 효과

[0023] 상기 어레이 기판을 고려해 보면, 액정 표시 장치는 상기 어레이 기판을 포함하므로, 축적 캐패시턴스가 낮고 안정적이며, 높은 생산 정밀도가 요구되지 않는다. 본 발명의 실시예들의 기술적인 해법은 특히 어드밴스트 수퍼 디멘션 스위치 모드 액정 표시 장치에 적합할 수 있다.

도면의 간단한 설명

[0024] 도 1은 기존 픽셀 유닛의 구조를 보여주는 개략적인 평면도이다.

도 2는 라인 A-A'를 따라서 취한 도 1의 픽셀 유닛의 단면을 보여주는 개략적 구조도이다.

도 3은 한 픽셀 유닛의 구조를 보여주는 개략적인 단면도이다.

도 4는 본 발명의 실시예 2에 따른 한 픽셀 유닛의 부분 구조를 보여주는 개략적인 평면도이다.

도 5는 라인 A-A'를 따라서 취한 도 4의 픽셀 유닛의 단면을 보여주는 구조 개략도이다.

도 6은 본 발명의 실시예 2에 따른 다른 픽셀 유닛의 부분 구조를 보여주는 개략적인 평면도이다.

도 7은 본 발명의 실시예에 의해 제공된 액정 표시 장치를 보여주는 개략적인 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0025] 본 발명의 기술적인 해법들을 이 기술 분야에 숙련된 자들이 잘 이해할 수 있도록 하기 위해서, 첨부 도면과 특정 실시예들을 연관시켜서 본 발명을 상세히 설명한다.

[0026] 달리 정의가 없으면, 여기서 이용되는 기술적 또는 과학적 용어는 본 발명이 속하는 기술 분야의 숙련된 자들이 공통으로 이해하는 의미와 같은 의미를 지닌다. 본 특허 출원의 명세서 및 청구항들에 이용된 "제1", "제2" 등은 순서, 번호 또는 중요성을 나타내는 것이 아니라, 단지 다양한 구성요소를 구분하는데 이용된다. 마찬가지로, "한", "그" 및 "등"은 한정 숫자를 의미하는 것이 아니라 적어도 하나의 존재를 명시하는 것이다. 용어 "포함한다", "포함하는", "구비한다", "구비하는", "함유한다" 등은 이 용어의 앞에 있는 요소 또는 아티클이 용어의 뒤에 열거된 요소(들) 또는 아티클(들)과 그의(그들의) 균등물을 아우르지만 다른 요소들 또는 아티클들의 존재를 배제하지 않음을 의미한다. 용어 "연결", "연결된", 등은 물리적 또는 기계적 연결에 한정되는 것이 아니라 직간접적인 전기적 연결을 포함할 수 있다. "상부", "하부", "좌", "우" 등은 단지 상대적인 위치 관계를 설명하는데 이용되며, 설명 대상의 절대 위치가 변경될 때 이에 따라서 상대적 위치 관계도 변경될 수 있다.

[0027] 도 3은 ADS 모드 액정 표시 장치의 어레이 기판의 한 픽셀 유닛을 보여주는 개략적인 단면도이다.

[0028] 도 3에 도시된 바와 같이, 축적 캐패시턴스가 지나치게 크다는 문제를 해결하기 위해서, 도 3에 도시된 ADS 모드 액정 표시 장치의 픽셀 유닛에서, 공통 전극(2)은 또한 일정한 간격으로 간격을 두고 있는 복수의 공통 전극 스트립들(21)을 포함할 수 있다. 공통 전극 스트립들(21)은 대응하는 픽셀 전극 스트립들(11)에 평행하며(즉, 픽셀 전극 스트립들(11)은 공통 전극 스트립들 위에 위치함), 픽셀 전극 스트립들(11)의 갭(gap)과 거의 같은 갭으로 분포되어 있다. 이러한 설계의 경우, 픽셀 전극(1)과 공통 전극(2)의 대향 면적이 감소하기 때문에 축적 캐패시턴스도 감소한다. 그러나 이러한 유형의 픽셀 유닛을 위해서는 제조시에 매우 높은 생산 정밀도(이는 주로 포토리소그래피 동안 얼라인먼트 정밀도를 지칭함)가 요구된다. 픽셀 전극(1)과 공통 전극(2) 간의 상대적 위치에 약간의 편차가 있으면, 픽셀 전극(1)과 공통 전극(2) 간의 전계 분포와 대향 면적은 현저하게 변경될 수 있다. 따라서, 이는 축적 캐패시턴스를 불안정하게 하며 전계 분포를 불균일하게 만드는 등의 문제점들을 야기한다.

[0029] 본 발명의 한 실시예에 다른 어레이 기판은 복수의 게이트 라인과 복수의 데이터 라인을 포함하고, 이들 게이트 라인들과 데이터 라인들은 서로 교차하여 매트릭스 형태로 배열된 픽셀 유닛들을 규정하며, 이들 각각은 스위치 요소로서 작용하는 박막 트랜지스터와 액정의 배열을 제어하는데 이용되는 픽셀 전극 및 공통 전극을 포함한다. 예를 들어, 각 픽셀의 박막 트랜지스터의 경우에, 그의 게이트 전극은 대응하는 게이트 라인에 전기적으로 연결되거나 그와 일체로 형성되고, 그의 소스 전극은 대응하는 데이터 라인에 전기적으로 연결되거나 그와 일체로

형성되고, 그의 드레인 전극은 대응하는 픽셀 전극에 전기적으로 연결되거나 그와 일체로 형성된다. 다음에는 단일 픽셀 유닛 또는 복수의 픽셀 유닛에 대해서 설명을 하지만 다른 픽셀 유닛(들)도 같은 방식으로 형성될 수 있다. 본 발명의 한 실시예에 따른 어레이 기관에 있어서, 공통 전극 라인이 더 포함될 수 있고, 픽셀 유닛들 내의 공통 전극들은 공통 전극 라인에 연결될 수 있다.

[0030] 실시예 1

[0031] 이 실시예는 제1 전극, 제1 전극 위에 위치한 절연층, 및 절연층 위에 위치한 제2 전극을 포함하는 어레이 기관의 픽셀 유닛을 제공한다. 예를 들어, 절연층은 제1 전극을 덮는다. 제1 전극과 제2 전극은 절연층에 의해서 서로 전기적으로 절연된다. 제1 전극은 서로 평행하게 일정한 간격으로 간격을 두고 있는 적어도 한 세트의 제1 전극 스트립들(복수의 제1 전극 스트립들)을 포함하고, 제2 전극은 서로 평행하게 일정한 간격으로 간격을 두고 있는 적어도 한 세트의 제2 전극 스트립들(복수의 제2 전극 스트립들)을 포함하며, 제1 전극 스트립들과 제1 전극 스트립들 위에 위치한 제2 전극 스트립들 간의 각(angle)은 0도보다 크고 90도 이하이다.

[0032] 제1 전극 스트립들과 제2 전극 스트립들은 서로 다른 층들에 위치해 있기 때문에, 제1 전극 스트립들과 제2 전극 스트립들 간의 각은, 예를 들어, 제2 전극 스트립들 상의 제1 전극 스트립들의 수직 투영(vertical projection)과 제2 전극 스트립들 간의 각이다.

[0033] 복수의 제1 전극 스트립들은 폭이 동일하거나 서로 다를 수 있고, 예를 들어, 제1 전극 스트립들의 폭들은 특정한 규칙을 기반으로 점차 증가하며, 모든 두 개의 인접한 제1 전극 스트립들 간의 간격은 같거나 같지 않을 수 있다. 복수의 제2 전극 스트립들은 폭은 같거나 서로 다를 수 있고, 예를 들어, 제2 전극 스트립들의 폭들은 특정한 규칙을 기반으로 점차 증가하며; 모든 두 개의 인접한 제1 전극 스트립들 간의 간격은 같거나 같지 않을 수 있다.

[0034] 물론, 완전한 픽셀 유닛에는, 박막 트랜지스터와 다른 구조들도 포함되어야 하며, 이들에 대해서는 간결함을 위해 상세히 설명하지 않는다.

[0035] 이 실시예에 따른 픽셀 유닛에서, 공통 전극과 픽셀 전극은 각각 "전극 스트립들"의 형태를 취하기 때문에, 공통 전극과 픽셀 전극 간의 대향 면적은 비교적 작다. 따라서, 픽셀 유닛의 축적 캐패시턴스도 작다. 그 결과, H-블록, 라인-IS, 녹색화(greenish) 등의 결함을 방지할 수 있다. 더욱이, 공통 전극 스트립들과 픽셀 전극 스트립들 사이에는 일정 각이 있다(즉, 이들은 서로에 대하여 경사져 있음). 그래서, 생산 정밀도가 비교적 낮은 경우에, 공통 전극 스트립과 픽셀 전극 스트립 간의 관계는 단지 상대적 위치 시프트(relative position shift)를 갖지만, 전극들 간의 전체 대향 면적, 전계 분포 등은 실질적으로 변하지 않는다. 그러므로 이러한 유형의 픽셀 유닛의 경우, 축적 캐패시턴스는 안정적이고, 전계 분포는 균일하다.

[0036] 실시예 2

[0037] 도 4는 본 발명의 실시예 2에 따른 어레이 기관의 픽셀 유닛의 부분 구조를 보여주는 개략 평면도이며; 도 5는 A-A'의 라인을 따라서 취한 도 4의 픽셀의 단면을 보여주는 구조적인 개략도이다. 도 4 및 도 5에 도시된 바와 같이, 이 실시예는 어레이 기관의 픽셀 유닛을 제공하며, 이는 공통 전극(2), 절연층(7) 및 픽셀 전극(1)을 포함한다.

[0038] 이 실시예에서, 제1 전극의 예로서 공통 전극(2)은 어레이 기관(9)상에 위치하고, 산화 인듐 주석(ITO) 등의 투명한 도전 재료로 구성될 수 있다. 예를 들어, 이는 공통 전극 라인(도면에는 도시되지 않음)에 연결되어 액정 표시 장치가 작동할 때 공통 전압(Vcom)을 픽셀 유닛에 인가하는 역할을 할 수 있다. 예를 들어, 기관(9)은 박막 트랜지스터, 게이트 라인, 데이터 라인 및 다른 구조들이 형성되어 있고 또한 공통 전극 라인이 내부에 더 형성될 수 있는 어레이 층을 포함한다. 박막 트랜지스터, 게이트 라인, 데이터 라인, 공통 전극 라인 등은 공지된 연결 방식과 구동 방식을 이용할 수 있고, 본 발명은 이에 제한되지 않는다.

[0039] 절연층(7)은 공통 전극(2) 상에 형성되며 실리콘 이산화물 등의 절연 재료로 형성되어 공통 전극(2)과 픽셀 전극을 분리하는 작용을 할 수 있다. 예를 들어, 절연층(7)은 공통 전극(2)을 덮는다.

[0040] 제2 전극의 일례로서 픽셀 전극(1)은 절연층(7) 상에 위치하고, 산화 인듐 주석(ITO) 등의 투명한 도전 재료로 만들어질 수 있다. 예를 들어, 픽셀 전극(1)은 픽셀 유닛의 박막 트랜지스터(도면에는 도시되지 않음)의 드레인 전극에 연결되고, 박막 트랜지스터의 소스 전극과 게이트 전극은 각각 데이터 라인과 게이트 라인에 연결된다. 표시할 때, 픽셀 유닛에서 그레이스케일(grayscale)을 생성하기 위한 전압 신호가 박막 트랜지스터를 통해서 픽셀 전극(1)에 인가되고, 그 결과 공통 전극(2)과 픽셀 전극(1) 간에 전계가 생성되며 이 전계에 의해 액정

표시 재료가 구동된다.

- [0041] 도 4 및 도 5에 도시된 바와 같이, 공통 전극(2)은 적어도 한 세트의 공통 전극 스트립들(21)(즉, 제1 전극 스트립들임, 파선은 공통 전극 스트립들(21)이 절연층(7) 아래 위치해 있음을 나타냄)을 포함하고, 각 세트에 있는 복수의 공통 전극 스트립들(21)은 서로 평행하게 일정 간격(an interval)으로 간격을 두고 있다. 이때 픽셀 전극(2)은 적어도 한 세트의 공통 전극 스트립들(11)(즉, 제2 전극 스트립들)을 포함하고, 각 세트에 있는 복수의 공통 전극 스트립들(11)은 서로 평행하게 일정 간격(interval)으로 떨어져 있다. 공통 전극 스트립들(21)과 이들 위에 위치한 픽셀 전극 스트립들(11) 간의 각은 0도보다 크고 90도 이하이다.
- [0042] 도 6은 본 발명의 실시예 2에 따른 다른 픽셀 유닛의 부분 구조를 보여주는 개략적인 평면도이고, 픽셀 유닛의 단면은 도 5에 도시된 것과 유사하다.
- [0043] 도 4 및 도 6은 공통 전극 스트립들(21)과 픽셀 전극 스트립들(11) 간의 각이 각각 90도와 45도인 예를 보여주고 있지만, 이 각이 10도, 15도, 30도, 45도, 60도, 90도 또는 임의의 다른 적당한 각일 수도 있다.
- [0044] 마찬가지로, 제1 전극 스트립들(21)과 제2 전극 스트립들(11)은 서로 다른 층에 위치해 있기 때문에, 제1 전극 스트립들(21)과 제2 전극 스트립들(11) 간의 각은, 예를 들어, 제2 전극 스트립들(11) 상의 제1 전극 스트립들(21)의 수직 투영과 제2 전극 스트립들(11) 간의 각이다. 복수의 제1 전극 스트립들(21)은 폭이 같거나, 예를 들어, 특정한 규칙을 기반으로 폭들이 점차 증가하는 식으로 서로 다를 수 있으며; 모든 두 개의 인접한 제1 전극 스트립들(21) 간의 간격은 같거나 또는 다를 수 있다. 복수의 제2 전극 스트립들(11)은 폭이 같거나, 예를 들어, 특정한 규칙을 기반으로 폭들이 점차 증가하는 식으로 서로 다를 수 있으며; 모든 두 개의 인접한 제2 전극 스트립들(11) 간의 간격은 같거나 또는 다를 수 있다.
- [0045] 전극 스트립의 폭과 인접한 전극 스트립들 간의 거리 각각은 전극 스트립들의 길이 방향에 대해 수직 방향으로 측정된 값이다.
- [0046] 물론, 이 실시예에 따른 픽셀 유닛 내의 전극들은 도 1에 도시된 바와 같이 "태퍼드 전극"과 유사한 형태일 수 있고; 즉, 픽셀 전극(1)은 2 세트의 픽셀 전극 스트립들(11)을 포함할 수 있고, 2 세트의 픽셀 전극 스트립들(11)의 연장 라인들은 일정한 각으로 서로 교차하며; 이와 대응되게, 공통 전극(2)은 2 세트의 공통 전극 스트립들(21)을 포함할 수 있고, 2 세트의 공통 전극 스트립들(21)들은 이들 위에 위치한 픽셀 전극 스트립들(11)과 일정한 각을 이룬다. 2 세트의 픽셀 전극 스트립들(11)은 예를 들어 서로 대칭이 되도록 픽셀 유닛의 중앙 라인의 양측에 분포되어 있으며; 마찬가지로, 두 세트의 공통 전극 스트립들(21)은 예를 들어 서로 대칭이 되도록 픽셀 유닛의 중앙 라인의 양측에 분포되어 있다.
- [0047] 공통 전극과 픽셀 전극 각각이 "전극 스트립"의 형태를 취하고 있기 때문에, 이들 둘 간의 대향 면적이 비교적 작고 이에 따라 전극들 간에 생성되는 축적 캐패시턴스도 비교적 작다. 더욱이, 도 5에 도시된 바와 같이, 공통 전극 스트립들(21)은 이들 위에 배치된 픽셀 전극 스트립들(11)에 평행하지 않다. 그러므로 불충분한 생산 정밀도에 기인해서 공통 전극 스트립들(21)과 픽셀 전극 스트립들(11)에 상대적 위치 변동이 생기더라도, 두 전극들 간의 전체 대향 면적, 전계 분포 등은 거의 변하지 않는다. 그러므로 이 실시예에 따른 픽셀 유닛의 경우, 축적 캐패시턴스는 안정적이고, 전계 분포는 균일하며 높은 생산 정밀도가 요구되지 않는다.
- [0048] 예를 들어, 공통 전극 스트립들(21)과 이들 위에 위치한 픽셀 전극 스트립들(11) 간의 각은 10도 이상 90도 이하이며, 예를 들어, 이 각은 30도 내지 60도의 범위 내에 있다. 상기 각이 매우 작은 경우에는, 픽셀 전극 스트립들(11)과 공통 전극 스트립들(21) 간의 관계는 거의 평행 상태에 근접하므로 이 실시예에 따른 픽셀 유닛의 장점들이 뚜렷하지 않다. 분석을 통해서, 이 각이 10도 이상일 때, 이 실시예에 따른 픽셀 유닛의 이점이 아주 현저하게 나타남을 알 수 있었다.
- [0049] 예를 들어, 공통 전극 스트립들(21) 각각의 폭은 동일하고, 공통 전극 스트립들의 인접한 공통 전극 스트립들(21) 간의 간격도 동일하다. 즉, 공통 전극 스트립들(21)은 규칙적인 패턴으로 주기적으로 분포되어 있으며, 이는 픽셀 유닛 내에서 전계 분포를 균일하게 하는데 도움을 준다. 예를 들어, 이 경우에, 픽셀 전극 스트립들(11) 각각의 폭도 동일할 수 있고, 픽셀 전극 스트립들(11)의 인접한 픽셀 전극 스트립들(11) 간의 간격도 또한 동일할 수 있으므로, 픽셀 전극 스트립들(11)이 규칙적인 패턴으로 주기적으로 분포될 수 있다.
- [0050] 바람직하게는, 동일 세트에서, 하나의 공통 전극 스트립들(21)의 폭과 2개의 인접한 공통 전극 스트립들(21) 간의 간격과의 합 R1(도 4 및 도 6에 도시된 바와 같음)은 $5\mu\text{m}$ 내지 $7\mu\text{m}$ 의 범위에 있다. 즉, 스트립 폭과 공통 전극 스트립들(21) 간의 간격과의 합의 값은 바람직하게 $5\mu\text{m}$ 내지 $7\mu\text{m}$ 의 범위 안에 있다.

[0051] 다음의 표1 내지 표 3에서 나타낸 있는 바와 같이, 공통 전극 스트립들(21)과 픽셀 전극 스트립들(11)이 서로에 대하여 경사지게 배치되어 있을 때, 특정한 경사각(교차각)이 축적 캐패시턴스에 미치는 영향은 스트립 폭과 공통 전극 스트립들(21) 간의 간격과의 합의 값이 축적 캐패시턴스에 미치는 영향보다 작으며; 시뮬레이션 테스트를 통해서, 스트립 폭과 공통 전극 스트립들(21) 간의 간격과의 합의 값이 상기 범위 안에 있는 경우, 축적 캐패시턴스의 값이 비교적 적절한 값으로 보장되고, 더욱이 픽셀 유닛 내의 전계 분포가 기존의 어드밴스트 수퍼 디멘션 스위치 모드 액정 표시 장치에서의 전계 분포와 큰 차이가 나지 않음이 보장되므로, 표시가 영향을 받지 않는다는 사실을 알게 되었다. 스트립 폭과 공통 전극 스트립들(21) 간의 간격과의 합의 값을 결정하는 경우, 이 기술 분야에 숙련된 자이면 필요에 따라서 스트립 폭과 간격의 특정 값을 조정할 수 있다. 예를 들어, 공통 전극 스트립들(21)의 스트립 폭은 보통 $2\mu\text{m}$ 내지 $5\mu\text{m}$ 의 범위 안에 있고 간격은 $2\mu\text{m}$ 내지 $5\mu\text{m}$ 의 범위 안에 있다.

[0052] 물론, 공통 전극 스트립들(21)의 형태 변경은 픽셀 유닛 내의 전계 분포에 어느 정도 영향을 줄 것이다. 그러므로 어떤 전극 파라미터(예를 들어, 스트립 폭, 간격, 교차각 등)를 선택한 후, 이들에 의해서 어떤 표시 효과를 얻을 수 있는지를, 예를 들어, 시뮬레이션 계산을 통해 확인할 수 있다.

[0053] 스트립 폭과 공통 전극 스트립들(21) 간의 간격과의 합의 값은 정의하지만, 스트립 폭과 픽셀 전극 스트립들(11) 간의 간격과의 합의 값은 정의하지 않는 것이 바람직하다. 그 이유는 공통 전극에 인가되는 전압은 비교적 일정하지만 픽셀 전극에 인가되는 전압은 비교적 큰 폭 안에서 변하기 때문이다. 그러므로, 픽셀 전극 스트립들(11)의 파라미터는 변하지 않는 것이 바람직하다. 일반적으로, 동일한 세트에서 픽셀 전극 스트립들(11)의 폭은 필요에 따라서 $2\mu\text{m}$ 내지 $8\mu\text{m}$ 의 범위 안에서 선택될 수 있고 간격은 $2\mu\text{m}$ 내지 $8\mu\text{m}$ 의 범위 안에 있다.

[0054] 표 1 내지 3은 동일 세트 내의 스트립 폭과 인접한 공통 전극 스트립들(21) 간의 간격과의 합의 값이 각각 $5\mu\text{m}$, $6\mu\text{m}$ 및 $7\mu\text{m}$ 인 경우 시뮬레이션 계산에 의해 얻은 픽셀 유닛들의 특성을 나타내고 있다. 여기서, 비교의 편의상, 동일 세트 내의 픽셀 전극 스트립들(11)의 폭은 $2.6\mu\text{m}$ 로 균일하고 간격은 $5.4\mu\text{m}$ 라고 한다. "축적 캐패시턴스의 감소"는 이 실시예에 따른 픽셀 유닛의 축적 캐패시턴스가 기존의 픽셀 전극의 축적 캐패시턴스에 비해서 감소하는 비율, 즉 "축적 캐패시턴스의 감소" = (기존의 픽셀 유닛의 축적 캐패시턴스 - 본 발명에 따른 픽셀 유닛의 축적 캐패시턴스)/기존의 픽셀 유닛의 축적 캐패시턴스를 나타낸다. 비교를 위한 기존의 픽셀 유닛은 도 1에 도시된 판형 공통 전극을 채택하는 픽셀 유닛이고, 이 픽셀 전극에 있는 픽셀 전극 스트립들(11)의 폭은 $2.6\mu\text{m}$ 로 균일하고 간격은 $5.4\mu\text{m}$ 이다. 도 1에 도시된 기존의 픽셀 유닛에서, 픽셀 유닛을 작동하게 하는 동작 전압은 8.2V이고 이 픽셀 유닛의 응답 시간은 28.2ms이다.

[0055] 표 1: 스트립 폭과 공통 전극 스트립들 간의 간격과의 합의 값이 $5\mu\text{m}$ 인 경우의 픽셀 유닛의 특성

공통 전극 스트립들과 픽셀 전극 스트립들 간의 각도(degrees)	15	30	45	90
공통 전극의 스트립 폭(μm)/공통 전극 스트립들 간의 간격(μm)	2.5/2.5	2.5/2.5	2.5/2.5	2.5/2.5
축적 캐패시턴스의 감소(%)	22.2	22.0	22.4	21.0
동작 전압(V)	8.4	8.4	8.4	8.8
응답 시간(s)	28.9	28.9	28.7	27.8

[0056]

[0057] 표 2: 스트립 폭과 공통 전극 스트립들 간의 간격과의 합이 $6\mu\text{m}$ 인 경우의 픽셀 유닛의 특성

공통 전극 스트립들과 픽셀 전극 스트립들 간의 각도(degrees)	15	30	45	90
공통 전극의 스트립 폭(μm)/공통 전극 스트립들 간의 간격(μm)	3.5/2.5	3.5/2.5	3.5/2.5	3.5/2.5
축적 캐패시턴스의 감소(%)	32.1	32.7	33.2	31.5
동작 전압(V)	9.2	9.2	9.2	9.6
응답 시간(s)	29.6	29.0	29.0	28.4

[0058]

[0059] 표 3: 스트립 폭과 공통 전극 스트립들 간의 간격과의 합이 $7\mu\text{m}$ 인 경우의 픽셀 유닛의 특성

공통 전극 스트립들과 픽셀 전극 스트립들 간의 각도(degrees)	15	30	45	90
공통 전극의 스트립 폭(μm)/공통 전극 스트립들 간의 간격(μm)	4.5/2.5	4.5/2.5	4.5/2.5	4.5/2.5
축적 캐패시턴스의 감소(%)	40.0	40.4	40.4	42.3
동작 전압(V)	10.0	10.4	10.2	10.6
응답 시간(s)	31.2	31.2	31.5	30.3

[0060]

[0061] 위의 표들로부터 알 수 있는 바와 같이, 한 픽셀 전극 내의 공통 전극은 공통 전극 스트립들의 형태이며, 일정 각은 공통 전극 스트립들과 픽셀 전극 스트립들 간에 형성되고, 픽셀 유닛 내의 축적 캐패시턴스는 상당히 감소하고; 축적 캐패시턴스의 감소한 값은 스트립 폭과 공통 전극 스트립들 간의 간격과의 합의 값에 밀접한 관계를 갖는 한편 앞서 언급한 각과는 비교적 관계가 적다. 더욱이, 기존의 픽셀 유닛에 비교해 볼 때, 표들에 있는 픽셀 유닛의 경우, 동작 전압과 응답 시간은 각각 뚜렷한 변화가 없다. 이는 이 실시예에 따른 구조가 픽셀 유닛들의 다른 주요 특성들에 불리한 영향을 주지 않는다는 것을 보여준다.

[0062] 앞서 언급한 전극 스트립들의 폭과 간격의 값은 선택적이며 본 발명의 보호 범위를 한정하는 것이 아님을 유의해야 한다. 예를 들어, 픽셀 전극 스트립들의 폭과 간격은 각각 $2.6\mu\text{m}$ 및 $5.4\mu\text{m}$ 에 한정되지 않으며, 필요에 따라 수정될 수 있다. 유사하게, 공통 전극 스트립들의 폭은 상기 표들에 열거되어 있는 $2.5\mu\text{m}$, $3.5\mu\text{m}$ 및 $4.5\mu\text{m}$ 에 한정되지 않으며; 공통 전극 스트립들 간의 간격도 $2.5\mu\text{m}$ 에 한정되지 않는다. 예를 들어, 전계 형성에 특정한 필요조건이 있다면, 공통 전극 스트립들 간의 간격은 $0 \sim 4\mu\text{m}$ 의 범위 또는 그보다 좁은 범위 내의 임의의 값에 설정될 수 있다. 또한, 스트립 폭과 인접한 공통 전극 스트립들 간의 간격과의 합은 위에 열거한 $5\mu\text{m}$, $6\mu\text{m}$ 및 $7\mu\text{m}$ 의 값에 한정되지 않는다. 본 발명의 실시예에 대한 이와 같은 조정 및 수정은 기술적 문제를 해결하는데 영향을 주지 않으며 원하는 기술적 효과를 얻을 수 있다.

[0063] 실시예 3

[0064] 이 실시예는 실시예 2에 따른 픽셀 유닛의 구조와 유사한 구조를 갖는 어레이 기판의 픽셀 유닛을 제공한다.

[0065] 이 실시예와 실시예 2와의 차이는, 본 실시예에 따른 픽셀 유닛에 있어서, 픽셀 전극에 대한 공통 전극의 상대 위치가 실시예 2에 따른 픽셀 유닛에 대한 것과는 반대라는 점이다. 즉, 본 실시예에 따른 픽셀 유닛에 있어서, 픽셀 전극은 어레이 기판상에 위치해 있고, 이는 위에 절연층이 형성되어 있는 제1 전극의 예이며(예를 들어, 절연층은 픽셀 전극을 덮음); 공통 전극은 절연층 상에 증착되고 이는 제2 전극의 예이다. 즉, 이 경우

에, 픽셀 전극은 제1 전극인 한편, 공통 전극은 제2 전극이며 둘 다 동일한 어레이 기판에 배치된다.

[0066] 이 실시예에서 공통 전극과 픽셀 전극 각각은 공통의 전극 스트립들을 포함한다. 그러므로 두 전극들 간에 절연층 상에 위치하든 절연층 아래에 위치하든 실질적으로 픽셀 유닛의 전계 분포에는 영향을 주지 않는다. 따라서, 두 전극의 위치는 교환될 수 있다.

[0067] 실시예 4

[0068] 이 실시예는, 예를 들어, 매트릭스 형태로 배열되어 있는 복수의 픽셀 전극 - 이들 픽셀 전극은, 예를 들어, 위의 실시예들 중 어느 하나에 따른 픽셀 유닛의 구조를 택하고 있다 - 들을 포함하는 어레이 기판을 제공한다.

[0069] 이 실시예에 따른 어레이 기판은 위의 픽셀 유닛을 이용하므로, 그의 축적 캐패시턴스는 비교적 낮고 안정적이며, 높은 생산 정밀도가 요구되지 않는다.

[0070] 물론, 이 실시예에 따른 어레이 기판에는, 어레이 기판상의 픽셀 유닛들을 구동하기 위한 게이트 라인 및 데이터 라인, 게이트 라인과 데이터 라인에 연결된 구동 회로 등이 더 포함될 수 있다. 더욱이, 어레이 기판은 열 라인먼트 층 및 다른 구조들을 포함할 수 있다. 이들 구조는 공지되어 있는 방식 또는 미래에 개발되는 방식으로 구현될 수 있고, 본 발명은 이에 제한되지 않는다.

[0071] 실시예 5

[0072] 이 실시예는 위의 실시예 4에 따른 어레이 기판을 포함하는 액정 표시 장치를 제공한다.

[0073] 도 7에 도시된 바와 같이, 표시 장치(10)는 셀-어셈블링(cell-assembling)에 의해 제공되는 상기 실시예들 중 임의의 실시예에 따른 대향 기판(300)과 어레이 기판(200)을 포함한다. 대향 기판(300)은 어레이 기판(200)의 픽셀 유닛들에 대응하는 블랙 매트릭스를 포함한다. 어레이 기판(200)과 대향 기판(300)은 액정 셀이 형성되도록 마주보게 배치되며, 내부에 액정 재료(400)가 채워져 있는 액정 셀은 실란트(350)에 의해 밀봉된다. 대향 기판(300)은, 예를 들어, 컬러 필터 기판이며, 컬러 필터 기판상의 블랙 매트릭스는 어레이 기판(200)상의 픽셀 유닛들에 대응하는 픽셀 유닛들을 규정하며, 컬러 필터 기판의 픽셀 유닛들 각각에는 RGB 필터와 같은 컬러 필터가 형성된다.

[0074] 몇몇 실시예에서, 액정 표시 장치(10)는, 예를 들어, 어레이 기판(300) 아래에 위치하는, 표시용 백라이트를 제공하기 위한 백라이트 광원(500)을 더 포함할 수 있다.

[0075] 이 실시예에 따른 액정 표시 장치는 앞서 언급한 픽셀 유닛들 중 임의의 픽셀 유닛을 이용할 수 있으므로, 축적 캐패시턴스는 비교적 낮고 안정적이며, 높은 생산 정밀도가 요구되지 않는다.

[0076] 예를 들어, 액정 표시 장치는 액정 패널, 전자 종이, 셀 폰, 태블릿 컴퓨터, 텔레비전, 디스플레이, 노트북 컴퓨터, 디지털 포토 프레임, 내비게이터, 또는 표시 기능을 갖는 임의의 제품 또는 컴포넌트로 구현될 수 있다.

[0077] 앞서 언급한 실시예들은 본 발명의 원리를 설명하는데 이용되는 단지 예시적인 실시예이므로, 본 발명이 이들에 한정되지 않는다. 이 기술 분야에 숙련된 자들의 경우, 본 발명의 정신 및 범위를 벗어나지 않고도 이들 실시예를 다양하게 변경 및 개선할 수 있을 것이다. 이러한 변경 및 개선은 본 발명의 보호 범위 내에 속하는 것으로 보아야 한다.

부호의 설명

[0078] 1: 픽셀 전극

11: 픽셀 전극 스트립

2: 공통 전극

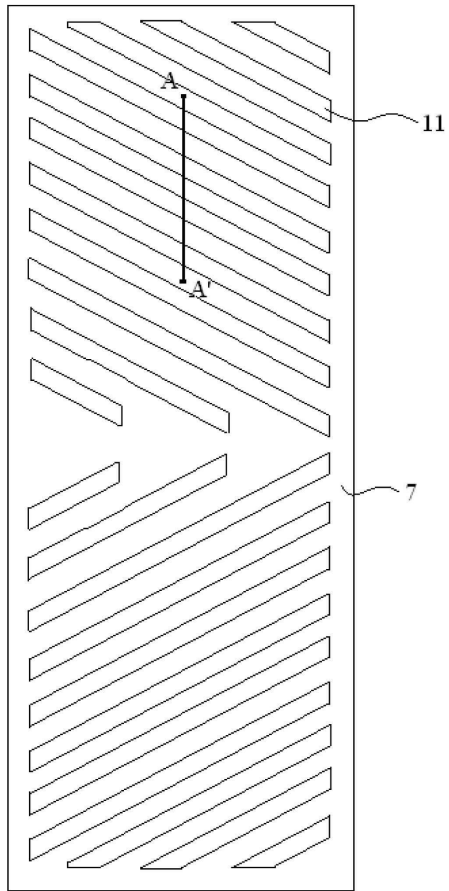
21: 공통 전극 스트립

7: 절연층

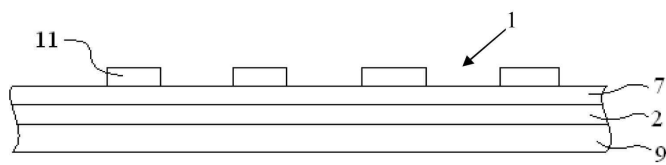
9: 어레이 기판

도면

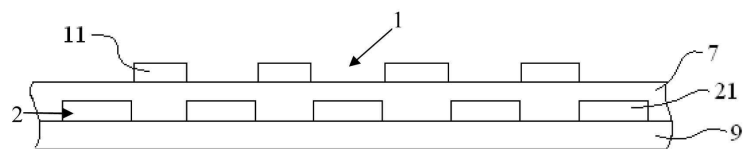
도면1



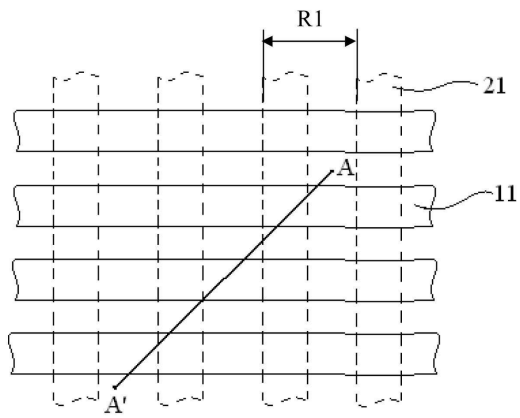
도면2



도면3



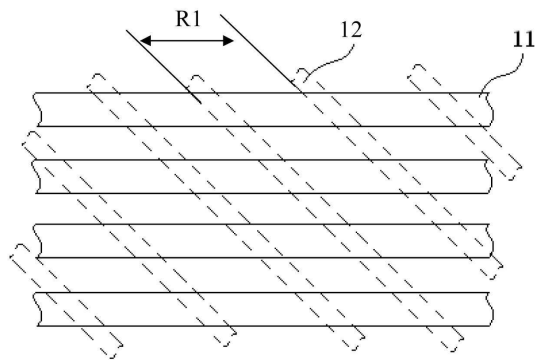
도면4



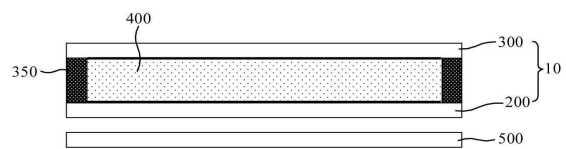
도면5



도면6



도면7



专利名称(译)	像素单元，阵列基板和液晶显示器		
公开(公告)号	KR1020140035242A	公开(公告)日	2014-03-21
申请号	KR1020130085415	申请日	2013-07-19
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
申请(专利权)人(译)	博科技集团股份有限公司 显示技术有限公司北京博		
当前申请(专利权)人(译)	博科技集团股份有限公司 显示技术有限公司北京博		
[标]发明人	SHAO XIBIN ZHANG HONGLIN ZHAO HEBIN WANG DAN 왕단		
发明人	샤오,시빈 장,홍린 차오,허빈 왕,단		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/136286 G02F2001/134318 G02F1/134363 G02F2001/134345		
代理人(译)	CHANG, SOO KIL 金诚WOON		
优先权	201210339738.1 2012-09-13 CN		
外部链接	Espacenet		

摘要(译)

根据本发明的实施例，提供了像素单元，阵列基板和液晶显示装置。像素单元包括第一电极，位于第一电极上的绝缘层，以及位于绝缘层上的第二电极。第一电极包括多个第一电极条，它们彼此平行并以一定间隔隔开。第二电极包括多个第二电极条，它们彼此平行并以一定间隔隔开。位于第一电极条上方的第一电极条和第二电极条之间的角度大于0度且小于或等于90度。

