



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0069303
(43) 공개일자 2013년06월26일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01)
(21) 출원번호 10-2012-0037395
(22) 출원일자 2012년04월10일
심사청구일자 없음
(30) 우선권주장
1020110135654 2011년12월15일 대한민국(KR)

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김강일
서울특별시 은평구 대조동 209-30 101호
이정일
경기도 고양시 일산서구 일산동 후곡4단지 407동 1202호
손정호
경기도 파주시 월롱면 덕은리 파주LCD산업단지 정다운마을 G동 1202호
(74) 대리인
서교준

전체 청구항 수 : 총 12 항

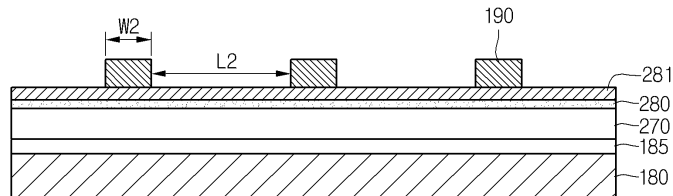
(54) 발명의 명칭 액정표시장치 및 그 제조방법

(57) 요약

본 발명은 액정표시장치 및 그 제조방법을 개시한다. 개시된 본 발명의 액정표시장치는, 본 발명의 액정표시장치는, 기판과, 상기 기판 상에 화소 영역을 정의하기 위해 교차배열된 게이트 라인과 데이터 라인과, 상기 게이트 라인과 데이터 라인의 교차 영역에 배치되어 있는 스위칭 소자와, 상기 화소 영역에서 상기 데이터 라인과 평행 하면서 서로 교대로 배치되어 있는 화소전극과 공통전극을 포함하고, 상기 화소전극과 공통전극은 투명성 도전물질층과 불투명 금속층이 적층된 구조로 형성되고, 상기 적층된 투명성 도전 물질층과 불투명 금속층의 투과율은 70% 이하인 것을 특징으로 한다.

본 발명의 액정표시장치 및 그 제조방법은, 전극들을 투명성 도전물질층과 불투명 금속층의 이중층 구조로 형성 하여, 척 얼룩을 방지하면서 화소 영역의 투과율을 개선한 효과가 있다.

대표도 - 도5



특허청구의 범위

청구항 1

기관과,

상기 기관 상에 화소 영역을 정의하기 위해 교차배열된 게이트 라인과 데이터 라인과,

상기 게이트 라인과 데이터 라인의 교차 영역에 배치되어 있는 스위칭 소자와,

상기 화소 영역에서 상기 데이터 라인과 평행하면서 서로 교대로 배치되어 있는 화소전극과 공통전극을 포함하고,

상기 화소전극과 공통전극은 투명성 도전물질층과 불투명 금속층이 적층된 구조로 형성되고, 상기 적층된 투명성 도전 물질층과 불투명 금속층의 투과율은 70% 이하인 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서, 상기 화소전극과 공통 전극의 전극 폭은 $3.5\mu\text{m}$ 이하 인 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서, 상기 투명성 도전 물질층은 ITO, ITZO 또는 IZO 중 어느 하나인 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서, 상기 불투명 금속층은 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu), 크롬(Cr), 알루미늄(Al), 이들의 조합으로부터 형성되는 합금(MoTi) 중 어느 하나의 금속층인 것을 특징으로 하는 액정표시장치.

청구항 5

제1항에 있어서, 상기 화소전극과 공통전극의 전극간 거리는 $14.3\mu\text{m}$ 이상인 것을 특징으로 하는 액정표시장치.

청구항 6

제1항에 있어서, 상기 화소전극과 공통전극의 투과율은 70% 내지 50%인 것을 특징으로 하는 액정표시장치.

청구항 7

기관을 제공하는 단계와,

상기 기관 상에 금속막을 형성한 다음, 제 1 마스크 공정에 따라 게이트 전극, 게이트 라인 및 제 1 공통 라인을 형성하는 단계와,

상기 게이트 전극이 형성된 기관 상에 게이트 절연막을 형성하고, 제 2 마스크 공정에 따라 채널층, 소스 전극, 드레인 전극 및 데이터 라인을 형성하는 단계와,

상기 소스 전극과 드레인 전극이 형성된 기관 상에 보호막을 형성한 다음, 제 3 마스크 공정에 따라 드레인 전

극의 일부를 노출하는 콘택홀 공정을 진행하는 단계와,

상기 보호막이 형성된 기판 상에 투명성 도전물질층과 불투명 금속층을 형성한 다음, 제 4 마스크 공정에 따라 식각 공정을 진행하여 제 2 공통라인, 다수개의 슬릿바 구조를 갖는 화소 전극 및 공통 전극을 형성하는 단계를 포함하고,

상기 화소전극과 공통전극은 투명성 도전물질층과 불투명 금속층이 적층된 이중막 구조로 형성되며, 상기 적층된 투명성 도전 물질층과 불투명 금속층의 투과율은 70% 이하인 것을 특징으로 하는 액정표시장치 제조방법.

청구항 8

제7항에 있어서, 상기 화소전극과 공통 전극의 전극 폭은 $3.5\mu\text{m}$ 이하 인 것을 특징으로 하는 액정표시장치 제조 방법.

청구항 9

제7항에 있어서, 상기 화소 전극들과 공통전극들은 서로 교대로 화소 영역에 배치되며, 상기 화소전극과 공통전극의 거리는 $14.3\mu\text{m}$ 이상인 것을 특징으로 하는 액정표시장치 제조방법.

청구항 10

제7항에 있어서, 상기 투명성 도전물질층은 ITO, ITZO 또는 IZO 중 어느 하나인 것을 특징으로 하는 액정표시장치 제조방법.

청구항 11

제7항에 있어서, 상기 불투명 금속층은 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu), 크롬(Cr), 알루미늄(Al), 이들의 조합으로부터 형성되는 합금(MoTi) 중 어느 하나의 금속층인 것을 특징으로 하는 액정표시장치 제조방법.

청구항 12

제7항에 있어서, 상기 화소전극과 공통전극의 투과율은 70% 내지 50%인 것을 특징으로 하는 액정표시장치 제조 방법.

명 세 서

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 보다 구체적으로는 투명성 도전물질 층과 불투명 금속층을 이용하여 다층 반투명 전극을 형성함으로써, 척(Chuck) 얼룩 방지와 화소 투과율을 개선한 액정표시장치 및 그 제조방법에 관한 것이다.

배 경 기 술

[0002] 통상적으로 액정표시장치(Liquid Crystal Display)는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시한다. 액정표시장치는 주로 컬러필터 어레이가 형성되는 컬러필터 기판과 박막 트랜지스터(TFT: Thin Film Transistor) 어레이가 형성되는 박막 트랜지스터 어레이 기판이 액정을 사이에 두고 합착되어 형성된다.

- [0003] 최근에는 액정표시장치의 협소한 시야각 문제를 해결하기 위해 여러가지 새로운 방식을 채용한 액정표시장치가 개발되고 있다. 광시야각 특성을 갖는 액정표시장치는 횡전계 방식(IPS:in-plane switching mode), OCB 방식(optically compensated birefringence mode) 및 FFS(Fringe Field Switching) 방식 등이 있다.
- [0004] 이중 상기 횡전계 방식 액정표시장치는 화소전극과 공통전극을 동일한 기판 상에 배치하여 전극들 간에 수평 전계가 발생하도록 한다. 이로 인하여 액정 분자들의 장축이 기판에 대해서 수평 방향으로 배열되어 종래 TN(Twisted Nematic) 방식 액정표시장치에 비해 광시야각 특성이 있다.
- [0005] 도 1은 종래 횡전계 방식 액정표시장치의 구조를 도시한 도면이다.
- [0006] 도 1을 참조하면, 횡전계 방식 액정표시장치는 어레이 기판(34)과 컬러필터 기판(32)을 포함한다. 상기 어레이 기판(34)은 제1기판(10a) 상에 박막 트랜지스터(미도시), 화소 전극(21) 및 공통 전극(22)이 형성되고, 제1기판(10a)의 전면에 제1배향막(20)을 형성하여 완성한다. 상기 어레이 기판(34)과 대향하는 컬러필터기판(32)은 제2기판(10b) 상에 컬러필터층(미도시) 등을 형성하고, 상기 컬러필터층 상에는 제2배향막(30)을 형성하여 완성한다.
- [0007] 상기 어레이 기판(34)과 컬러필터기판(32)은 액정층(25)을 사이에 두고 합착되는데, 화소 전극(21)과 공통 전극(22)들은 동일한 기판 상에 교대로 배치되기 때문에 상기 화소 전극(21)과 공통 전극(22)에 공급되는 전압 차로 인하여 수평전계가 발생된다. 수평전계에 의해 액정층(25)의 액정분자의 장축은 제1기판(10a)과 제2기판(10b)에 대해 평행하게 배열되어, 종래 TN 모드에 대해 광시야각을 구현한다.
- [0008] 상기 어레이 기판(34)은 액정층(25)에 입사되는 광을 편광하는 제1 편광판(50a)을 포함하고, 상기 컬러필터 기판(32)은 액정층(25)을 통과한 광을 편광하는 제2 편광판(50b)을 포함한다. 상기 제 1 편광판(50a)과 제 2 편광판(50b)의 조합으로 컬러필터 기판(32)을 통과하는 광을 조절한다.
- [0009] 일반적으로 상기 화소 전극(21)은 투명성 도전물질로 형성하고, 상기 공통 전극(22)은 불투명 금속을 사용하는 데, 화소 전극(21)과 공통 전극(22)의 전극 폭(W1)과 전극 간 거리(L1)에 따라 화소 영역의 투과율이 결정된다. 화소 영역을 투과하는 광의 평균 파장은 380nm~530nm이다.
- [0010] 특히, 최근에는 고해상도 요구에 따라 화소 면적은 줄어들고, 상대적으로 박막 트랜지스터가 형성되는 비투과 영역이 증가하여, 좁아진 화소 영역에서는 높은 투과율이 요구된다. 하지만, 현재 노광 장비 특성상 일정 폭 이하의 화소 전극 또는 공통 전극을 형성하기에는 물리적 한계가 있다.
- [0011] 도 2는 종래 기술에 따라 액정표시장치의 전극 형성시 척(Chuck) 얼룩 불량이 발생하는 문제점을 설명하기 위한 도면이다.
- [0012] 도 2를 참조하면, 액정표시장치의 제조 공정에서는 척(80: Chuck) 상에 포토 공정을 진행하기 위해 기판(84)을 안착시키고, 기판(84) 상에는 포토레지스트를 코팅한다.
- [0013] 즉, 상기 기판(84) 상에 투명성 도전 물질층(85)이 형성되고, 상기 투명성 도전 물질층(85) 상에는 포토레지스트가 코팅된다.
- [0014] 그런 다음, 마스크 공정에 따라 노광 및 현상 공정을 진행하여 상기 투명성 도전 물질층(85) 상에 포토레지스트패턴(90)을 형성하고, 식각 공정을 진행하여 상기 기판(84) 상에 형성된 투명성 도전 물질층(85)을 패터닝한다.
- [0015] 화소 영역의 투과율을 향상시키기 위해 화소 전극(21)과 공통 전극(22)은 투명성 도전 물질층으로 형성될 수 있다. 하지만, 척 얼룩 불량으로 포토레지스트의 폭(W)을 4.3 μ m 이하로 형성하기 어렵다.
- [0016] 왜냐하면, ITO와 같은 투명성 도전물질층은 투과율이 83% 정도인데, 노광 공정에 따라 광이 포토레지스트에 조사되면, 포토레지스트의 노광 영역에서는 투명성 도전물질층(85)과 기판(84)을 투과한 후, 척(80)에서 재반사가 일어나 포토레지스트의 하부에서 재노광이 발생하여 척 얼룩 불량이 발생되기 때문이다. 이와 같은 척 얼룩 불량은 불규칙한 형태의 포토레지스트 패턴을 야기한다.
- [0017] 따라서, 일반적으로 척 얼룩 불량으로 인하여 포토레지스트패턴(90)의 폭(W)을 4.3 μ m 이하로 줄이기 어렵고, 더군다나 포토레지스트패턴(90)들 간의 거리도 9.8 μ m 이상으로 할 수 없어 화소 영역의 투과율을 높이는데도 한계가 있다.

발명의 내용

해결하려는 과제

- [0018] 본 발명은, 전극들을 투명성 도전물질층과 불투명 금속층의 이중층 구조로 형성하여, 척 얼룩을 방지하면서 화소 영역의 투과율을 개선한 액정표시장치 및 그 제조방법을 제공하는데 그 목적이 있다.
- [0019] 또한, 본 발명은, 전극들을 투명성 도전물질층과 불투명 금속층의 이중층 구조로 형성하여 미세 폭을 갖는 화소 전극을 구현할 수 있는 액정표시장치 및 그 제조방법을 제공하는데 다른 목적이 있다.

과제의 해결 수단

- [0020] 상기와 같은 종래 기술의 과제를 해결하기 위한 본 발명의 액정표시장치는, 기판과, 상기 기판 상에 화소 영역을 정의하기 위해 교차배열된 게이트 라인과 데이터 라인과, 상기 게이트 라인과 데이터 라인의 교차 영역에 배치되어 있는 스위칭 소자와, 상기 화소 영역에서 상기 데이터 라인과 평행하면서 서로 교대로 배치되어 있는 화소전극과 공통전극을 포함하고, 상기 화소전극과 공통전극은 투명성 도전물질층과 불투명 금속층이 적층된 구조로 형성되고, 상기 적층된 투명성 도전 물질층과 불투명 금속층의 투과율은 70% 이하인 것을 특징으로 한다.
- [0021] 또한, 본 발명의 액정표시장치 제조방법은, 기판을 제공하는 단계와, 상기 기판 상에 금속막을 형성한 다음, 제 1 마스크 공정에 따라 게이트 전극, 게이트 라인 및 제 1 공통 라인을 형성하는 단계와, 상기 게이트 전극이 형성된 기판 상에 게이트 절연막을 형성하고, 제 2 마스크 공정에 따라 채널층, 소스 전극, 드레인 전극 및 데이터 라인을 형성하는 단계와, 상기 소스 전극과 드레인 전극이 형성된 기판 상에 보호막을 형성한 다음, 제 3 마스크 공정에 따라 드레인 전극의 일부를 노출하는 콘택홀 공정을 진행하는 단계와, 상기 보호막이 형성된 기판 상에 투명성 도전물질층과 불투명 금속층을 형성한 다음, 제 4 마스크 공정에 따라 식각 공정을 진행하여 제 2 공통라인, 다수개의 슬릿바 구조를 갖는 화소 전극 및 공통 전극을 형성하는 단계를 포함하고, 상기 화소전극과 공통전극은 투명성 도전물질층과 불투명 금속층이 적층된 이중막 구조로 형성되며, 상기 적층된 투명성 도전 물질층과 불투명 금속층의 투과율은 70% 이하인 것을 특징으로 한다.

발명의 효과

- [0022] 본 발명의 액정표시장치 및 그 제조방법은, 전극들을 투명성 도전물질층과 불투명 금속층의 이중층 구조로 형성하여, 척 얼룩을 방지하면서 화소 영역의 투과율을 개선한 효과가 있다.
- [0023] 본 발명의 액정표시장치 및 그 제조방법은, 전극들을 투명성 도전물질층과 불투명 금속층의 이중층 구조로 형성하여 미세 폭을 갖는 화소 전극을 구현할 수 있는 효과가 있다.

도면의 간단한 설명

- [0024] 도 1은 종래 횡전계 방식 액정표시장치의 구조를 도시한 도면이다.
- 도 2는 종래 기술에 따라 액정표시장치의 전극 형성시 척 얼룩 불량이 발생하는 문제점을 설명하기 위한 도면이다.
- 도 3은 본 발명에 따른 횡전계 방식 액정표시장치의 화소 구조를 도시한 도면이다.
- 도 4는 도 3의 I-I'선을 절단한 단면도이다.
- 도 5는 본 발명의 투명성 도전물질층과 불투명 금속층을 적층한 후, 미세 폭을 갖는 전극을 형성하는 과정을 설명하기 위한 도면이다.
- 도 6은 투명성 도전물질층과 불투명 금속층의 단일막 또는 이중막에 따라 투과율 특성을 도시한 그래프이다.
- 도 7a 및 도 7b는 본 발명의 미세 폭을 갖는 전극 형성을 위하여 진행하는 식각 공정을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0026] 도 3은 본 발명에 따른 횡전계 방식 액정표시장치의 화소 구조를 도시한 도면이다.
- [0027] 도 3을 참조하면, 본 발명의 횡전계 방식 액정표시장치는, 화소 영역(sub-pixel region)은 게이트 라인(101)과 데이터 라인(103)이 교차 배열되어 정의되고, 상기 게이트 라인(101)과 데이터 라인(103)이 교차되는 영역에는 스위칭 소자인 박막 트랜지스터(TFT)가 배치되어 있다.
- [0028] 또한, 상기 게이트 라인(101)과 평행하면서 화소 영역을 사이에 두고 대향되어 있는 제 1 공통 라인(105)이 배치되어 있고, 상기 화소 영역에는 3.5 μ m 이하의 미세 폭을 갖는 제 2 화소 전극(161)과 공통 전극(171)이 소정 간격 교대로 배치되어 있다.
- [0029] 상기 제 2 화소 전극(161)들은 다수개의 슬릿바(slit bar) 구조로 형성되고, 박막 트랜지스터의 드레인 전극과 전기적으로 연결된 제 1 화소 전극(160)으로 부터 화소 영역으로 분기되어 있다. 또한, 상기 공통 전극(171)들도 다수개의 슬릿바 구조로 형성되고, 상기 제 1 공통 라인(105)과 전기적으로 연결된 제 2 공통 라인(170)으로 부터 화소 영역으로 분기되어 있다.
- [0030] 상기 제 2 화소 전극(161)과 공통 전극(171)들은 게이트 라인(101)과 평행한 화소 영역의 중심선(A-A')을 기준으로 상하 서로 대칭되도록 절곡되어 있다.
- [0031] 상기 제 1 화소 전극(160), 제 2 화소 전극(161), 제 2 공통 라인(170) 및 공통 전극(171)은 투명성 도전물질층(ITO, IZO, ITZO 등)과 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu), 크롬(Cr), 알루미늄(Al), 이들의 조합으로부터 형성되는 합금(MoTi) 중 어느 하나의 금속층이 적층 형성되어 있다.
- [0032] 상기 박막 트랜지스터(TFT)는 상기 게이트 라인(101)을 게이트 전극으로 사용하고, 상기 게이트 전극 상에 채널층, 소스전극 및 드레인 전극이 형성되어 있다.
- [0033] 특히, 본 발명에서는 화소 영역에 형성되는 제 2 화소 전극(161)과 공통 전극(171)을 형성하기 위한 포토레지스트패턴의 폭을 3.5 μ m을 갖도록 형성하고, 포토레지스트패턴들의 거리를 14.3 μ m 이상이 되도록 하였다.
- [0034] 상기와 같은 폭을 갖는 포토레지스트패턴을 마스크로 하여 제 2 화소 전극(161)과 공통 전극(171)을 형성할 경우, 전극들의 식각 CD는 1.5 μ m 정도이므로 3.5 μ m 이하의 폭을 갖는 전극을 형성할 수 있다.
- [0035] 또한, 본 발명의 제 2 화소 전극(161)과 공통 전극(171)은 투명성 도전물질층과 불투명 금속층이 적층 형성되어 있지만, 불투명 금속층의 두께를 얇게 형성하여 투과율이 확보될 수 있도록 하였다.
- [0036] 예를 들어, 제 2 화소 전극(161)과 공통 전극(171)이 ITO층과 MoTi층으로 적층될 때, MoTi층의 두께를 50Å로 증착할 경우, 전극 영역의 투과율이 70%가 형성되고, 척 얼룩은 발생되지 않는다. 하지만, 전극 영역의 투과율을 70% 이상으로 할 경우 척 얼룩이 발생되기 때문에 투과율 특성만을 높게 설정할 수는 없다.
- [0037] 즉, 투명성 도전물질층과 불투명 금속층을 적층하여 형성하지만, 실질적으로 투과율을 갖는 반투명성 전극이 형성된다. 또한, 투명성 도전물질층과 불투명 금속층의 위치는 고정된 것이 아니므로 서로 바뀔 수 있다.
- [0038] 일반적으로 전극의 투과율이 높을수록 좋지만, 종래 기술에서와 같이, 투과율이 높은 투명성 도전 물질층으로 전극을 형성하면, 척 얼룩 불량으로 인해 미세 폭을 갖는 전극을 형성할 수 없다. 본 발명에서는 화소 전극과 공통 전극을 형성하기 위해 적층하는 금속층들의 총 투과율이 70%~50%의 범위가 되도록 형성되는 것이 바람직하다.
- [0039] 본 발명의 액정표시장치 및 그 제조방법은, 전극들을 투명성 도전물질층과 불투명 금속층의 이중층 구조로 형성하여, 척 얼룩을 방지하면서 화소 영역의 투과율을 개선한 효과가 있다.
- [0040] 본 발명의 액정표시장치 및 그 제조방법은, 전극들을 투명성 도전물질층과 불투명 금속층의 이중층 구조로 형성

하여 미세 폭을 갖는 화소 전극을 구현할 수 있는 효과가 있다.

[0041] 도 4는 도 3의 I-I'선을 절단한 단면도이다.

[0042] 도 4를 참조하면, 투명성 절연물질로 된 하부기관(100) 상에 금속막을 스퍼터링 방식으로 증착한 다음, 제 1 마스크 공정에 따라 식각 공정을 진행한다. 제 1 마스크 공정에서는 증착된 금속막 상에 감광성 물질인 포토레지스트를 형성한 다음, 투과 영역과 비투과 영역을 구비한 마스크를 이용하여 노광 및 현상 공정을 진행하여 포토레지스트 패턴을 형성한다.

[0043] 그런 다음, 상기 포토레지스트 패턴을 마스크로 이용하여 금속막을 식각하여, 게이트 라인, 게이트 전극(101) 및 제 1 공통 라인(도 3의 도면부호 105)을 형성한다. 상기 게이트 전극(101)은 게이트 라인을 전극을 이용한다.

[0044] 상기 게이트 라인(도 3의 101)은 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu), 크롬(Cr), 알루미늄(Al), 이들의 조합으로부터 형성되는 합금을 적어도 하나 이상 적층하여 형성할 수 있다.

[0045] 상기와 같이, 게이트 전극(101) 등이 하부 기관(100) 상에 형성되면, 게이트 절연막(102), 비정질 실리콘막 및 도핑된 비정질 실리콘막(n+ 또는 p+)으로 구성된 채널층(114) 및 소스/드레인 전극(117a, 117b)을 회절 마스크 또는 하프 톤 마스크를 이용한 제 2 마스크 공정으로 형성한다. 이때, 데이터 라인도 함께 형성된다.

[0046] 상기 소스/드레인 전극(117a, 117b)은 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu), 크롬(Cr), 알루미늄(Al), 이들의 조합으로부터 형성되는 합금 중 어느 하나를 이용할 수 있다. 또한, ITO(Indium Tin Oxide)와 같은 투명성 도전물질을 사용할 수 있다. 또한, 경우에 따라서는 적어도 2개 이상의 금속막들을 적층하여 형성할 수 있다.

[0047] 그런 다음, 채널층(114)이 형성된 하부기관(100) 상에 보호막(109)을 형성하고, 제 3 마스크 공정에 따라 드레인 전극(117b)의 일부를 노출하는 콘택홀 공정을 진행한다.

[0048] 상기와 같이, 콘택홀 공정이 완료되면 하부기관(100)의 전면에 투명성 도전물질층과 불투명 금속층을 적층하고, 제 4 마스크 공정에 따라 드레인 전극(117b)과 전기적으로 콘택되는 제 1 화소 전극(160), 제 2 화소 전극(161) 및 공통 전극(171)을 형성한다.

[0049] 상기 투명성 도전물질층은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 일 수 있고, 불투명 금속층은 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu), 크롬(Cr), 알루미늄(Al), 이들의 조합으로부터 형성되는 합금(MoTi) 일 수 있다. 상기 투명성 도전물질층과 불투명 금속층은 서로 바뀌어 적층될 수 있다.

[0050] 상기와 같이, 투명성 도전물질층과 금속층이 적층 형성되면, 도 5에 도시한 바와 같이, 노광 공정에 따라 포토레지스트패턴의 폭(W2)을 3.5 μ m 이하로 형성한다. 이때, 종래 기술에서는 투명성 도전물질층으로만 전극이 형성되기 때문에 포토레지스트패턴의 폭을 4.3 μ m 이하로 형성할 경우, 척 얼룩 불량에 발생되지만, 본 발명에서는 노광 영역에 불투명 금속층이 존재하므로 척 얼룩이 발생되지 않는다.

[0051] 도 5에서와 같이 3.5 μ m 이하의 폭을 갖는 포토레지스트패턴을 이용하여 식각 공정을 진행하여, 화소 영역에 제 1 화소 전극(160), 제 2 화소 전극(161) 및 공통 전극(171)을 형성한다. 상기 제 1 화소 전극(160)은 제 1 화소 패턴부(160a)와 제 2 화소 패턴부(160b)로 적층되어 있고, 제 2 화소 전극(161)은 제 1 화소전극패턴(161a)과 제 2 화소전극패턴(161b)으로 적층되며, 공통 전극(171)은 제 1 공통전극패턴(171a)과 제 2 공통전극패턴(171b)으로 적층되어 있다.

[0052] 상기 제 2 화소 전극(161)과 공통 전극(171)은 식각 공정시 식각액의 침투로 인하여 3.5 μ m 폭을 갖는 포토레지스트패턴보다 더 좁은 미세 전극 폭으로 형성된다.

[0053] 본 발명의 액정표시장치 및 그 제조방법은, 전극들을 투명성 도전물질층과 불투명 금속층의 이중층 구조로 형성하여, 척 얼룩을 방지하면서 화소 영역의 투과율을 개선한 효과가 있다.

[0054] 본 발명의 액정표시장치 및 그 제조방법은, 전극들을 투명성 도전물질층과 불투명 금속층의 이중층 구조로 형성하여 미세 폭을 갖는 화소 전극을 구현할 수 있는 효과가 있다.

[0055] 도 5는 본 발명의 투명성 도전물질층과 불투명 금속층을 적층한 후, 미세 폭을 갖는 전극을 형성하는 과정을 설명하기 위한 도면이고, 도 6은 투명성 도전물질층과 불투명 금속층의 단일막 또는 이중막에 따라 투과율 특성을

도시한 그래프이며, 7a 및 도 7b는 본 발명의 미세 폭을 갖는 전극 형성을 위하여 진행하는 식각 공정을 도시한 도면이다.

[0056] 도 5 내지 도 7b를 참조하면, 본 발명의 화소 전극들(화소전극과 공통전극)을 형성하는 공정을 보면, 박막 트랜지스터 및 절연층이 적층 형성된 어레이층(270)을 구비한 기판(185: 하부기판일 수 있다)이 척(180)에 안착되면, 기판(185) 상에는 도 5에서 설명한 바와 같이, 투명성 도전물질층(280)과 불투명 금속층(281)을 순차적으로 형성한다. 상기 투명성 도전물질층(280)과 불투명 금속층(281)의 형성 순서는 바뀔 수 있다.

[0057] 상기 불투명 금속층(281) 상에는 폭(W2)이 $3.5\mu\text{m}$ 인 포토레지스트 패턴(190)이 형성되어 있다. 상기 포토레지스트 패턴(190)은 노광 광량 24.1mJ 을 사용하여 형성될 수 있다. 본 발명의 포토레지스트패턴들(190)의 거리(L2)는 $14.3\mu\text{m}$ 로 하면서 투명성 도전물질층에 적층된 불투명 금속층의 투과율은 척 얼룩 불량이 발생되지 않는 대략 70%까지 확보한다. 이때, 불투명 금속층이 MoTi인 경우에는 $50\text{\AA}\sim 100\text{\AA}$ 의 두께로 형성될 경우 투과율이 대략 70%를 갖는다

[0058] 여기서, 투명성 도전물질층(280)은 ITO, ITZO 또는 IZO로 사용되므로 83%의 투과율을 갖는다. 하지만, 불투명 금속층(281)은 광을 차단하기 때문에 투과율이 낮은 것이 보통이나, 본 발명에서는 불투명 금속층(예를 들어 MoTi)에서도 투과율 70%가 나올 수 있도록 얇게 형성한다. 예를 들어, 불투명 금속층이 MoTi일 경우 $50\text{\AA}$ 의 두께에서 투과율 73%가 되고, 투명성 도전 물질층(280)과 불투명 금속층(281)의 조합으로 70%의 투과율을 확보한다. 투명성 도전 물질층(280)의 두께는 $500\text{\AA}$ 일 수 있다.

[0059] 바람직하게는 투명성 도전 물질층(280)과 불투명 금속층(281)의 조합에 의한 투과율은 최소 50%이거나 그보다 커야한다. 만약 투과율이 50%이하인 경우에는 화소 영역에서의 휘도가 감소하거나 광시야각을 구현하기 어렵기 때문이다.

[0060] 도 6에서는 ITO 단일막($500\text{\AA}$)과, ITO($500\text{\AA}$)/Cu($200\text{\AA}$), ITO($500\text{\AA}$)/Cu($100\text{\AA}$), ITO($500\text{\AA}$)/MoTi($150\text{\AA}$), ITO($500\text{\AA}$)/MoTi($150\text{\AA}$), ITO($500\text{\AA}$)/MoTi($100\text{\AA}$), ITO($500\text{\AA}$)/MoTi($150\text{\AA}$)으로 구성된 이중막 구조에 대한 광과장 대비 투과율 특성들을 도시하였다.

[0061] 즉, 위에서 언급한 바와 같이, 투명성 도전물질층(280)과 불투명 금속층(281)이 적층된 경우, 두께와 노광시 조사되는 광과장에 따라 70%의 투과율이 나오는 설계 범위를 설정하여 공정을 진행하면, $3.5\mu\text{m}$ 이하의 전극 폭을 미세 전극을 형성하면서 척 얼룩 불량을 개선할 수 있다.

[0062] 구체적으로 투명성 도전물질층(280)과 불투명 금속층(281)이 적층된 상태에서 70% 정도의 투과율을 갖도록 하고 반사율이 50% 이하가 되도록 하면 척 얼룩이 발생하지 않으면서 불투명 금속층(281)을 사용으로 인한 투과율 저하를 방지할 수 있다. 따라서, 투과율을 70% 이상으로 할 경우 척 얼룩 발생 확률이 높으므로 투과율은 70% 이하가 되도록 하는 것이 바람직하다.

[0063] 그런 다음, 폭(W2)이 $3.5\mu\text{m}$ 이하이고, 패턴들 간의 거리(L2)를 $14.3\mu\text{m}$ 이상으로 형성된 포토레지스트패턴을 마스크로 하여 식각 공정을 진행하여, 화소 전극들을 형성한다.

[0064] 도 7a 및 도 7b를 참조하면, 포토레지스트패턴(PR)과 식각되는 전극패턴(EP)이 식각 용액으로 식각되는 시간에 따라 식각 CD(Critical Dimension) 바이어스가 증가하는 것을 볼 수 있다. 도면에서 도시하였지만, 설명하지 않은 AL은 어레이층이다.

[0065] 따라서, $3.5\mu\text{m}$ 이하의 포토레지스트패턴(PR)을 이용하여 식각 공정을 할 경우, 식각 CD에 의해 실제 형성되는 전극들의 폭은 더 좁게 형성될 수 있다.

[0066] 따라서, 본 발명에서는 미세 전극 폭을 갖는 전극을 형성할 때, 투명성 도전물질층과 불투명 금속층을 적층하고, 노광 공정을 진행함으로써, 노광 공정시 광이 척에 반사되어 재노광으로 발생하는 척 얼룩을 방지할 수 있는 이점이 있다.

[0067] 또한, 본 발명에서는 투명성 도전물질층과 불투명 금속층을 적층하고, 이들에 대한 전체 투과율을 조절함으로써, 불투명 금속층 사용으로 인하여 투과율이 저하되는 것을 최소화하면서 미세 전극 패턴을 형성한 효과가 있다.

[0068] 본 발명에서는 투명성 도전물질층과 불투명 금속층이 적층되어 형성된 전극이 투과율이 70%~50%가 되도록 하면서, 반사율이 50% 이하가 되도록 하여 투과율을 확보하면서 척 얼룩 불량이 발생되지 않도록 하였다.

[0069] 만약, 불투명 금속층이 MoTi일 경우, 증착 시간이 증가함에 따라 투과율은 하락하고, 반사율은 증가하는 것을

볼 수 있다. 따라서, 이와 같은 투과율 및 반사율 특성을 고려하여 투과율이 50% 이상인 경우와 반사율이 25% 이하인 경우를 설정하면, 투명성 도전물질층의 투과율이 83% 이상이므로 전체적으로 칩 얼룩이 발생되지 않는 70%대의 투과율 특성을 확보할 수 있다. 본 발명에서는 투명성 도전물질층과 불투명 금속층이 적층되어 형성된 전극이 투과율이 70%~50%가 되도록 하여 투과율을 확보하면서 칩 얼룩 불량이 발생되지 않도록 하였다.

[0070] 본 발명의 액정표시장치 및 그 제조방법은, 전극들을 투명성 도전물질층과 불투명 금속층의 이중층 구조로 형성하여, 척 얼룩을 방지하면서 화소 영역의 투과율을 개선한 효과가 있다.

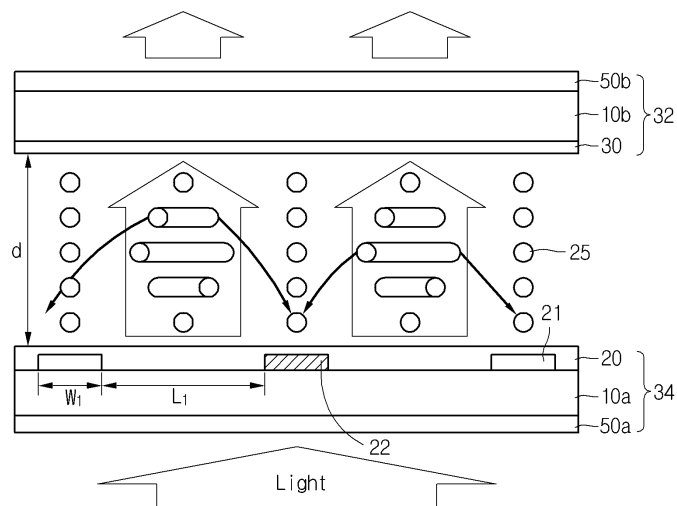
[0071] 본 발명의 액정표시장치 및 그 제조방법은, 전극들을 투명성 도전물질층과 불투명 금속층의 이중층 구조로 형성하여 미세 폭을 갖는 화소 전극을 구현할 수 있는 효과가 있다.

부호의 설명

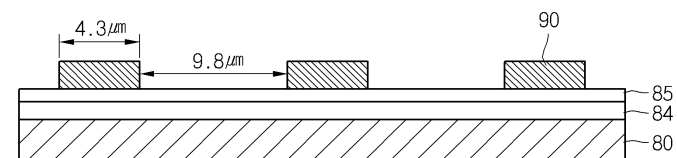
[0072]	101: 게이트 라인	103: 데이터 라인
	105: 제 1 공통 라인	170: 제 2 공통 라인
	160: 제 1 화소전극	161: 제 2 화소전극
	171: 공통전극	

도면

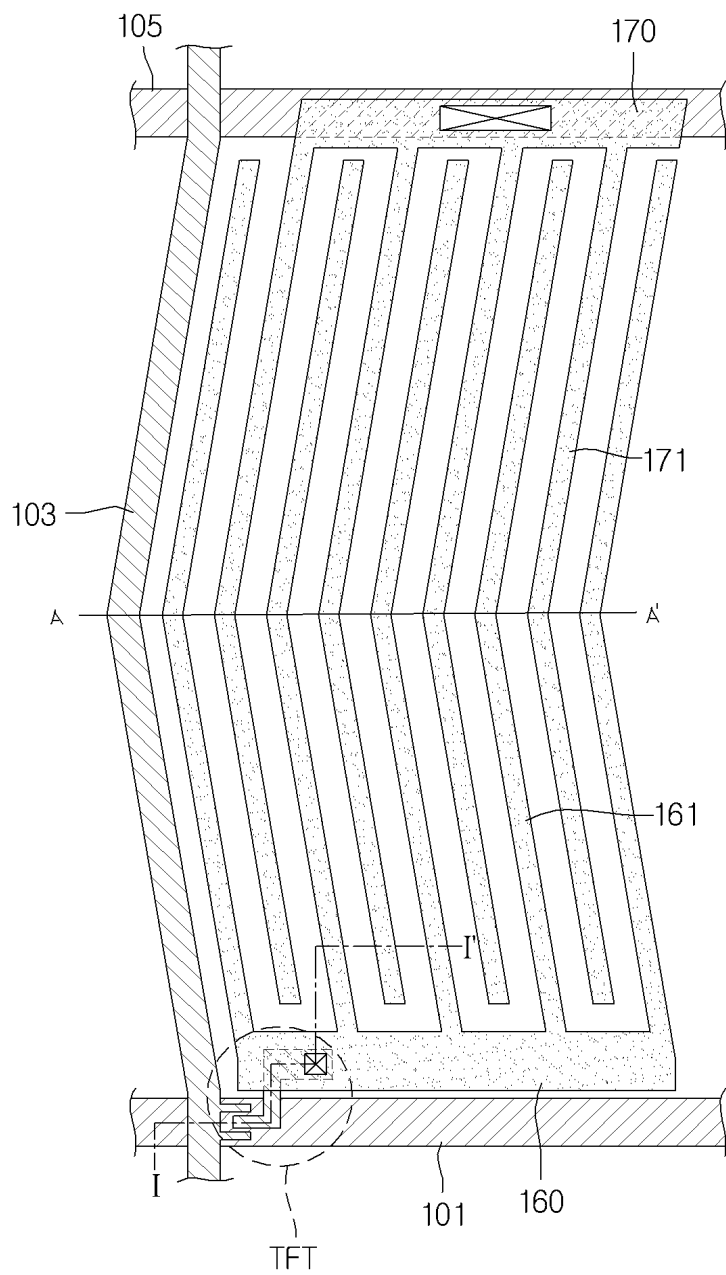
도면1



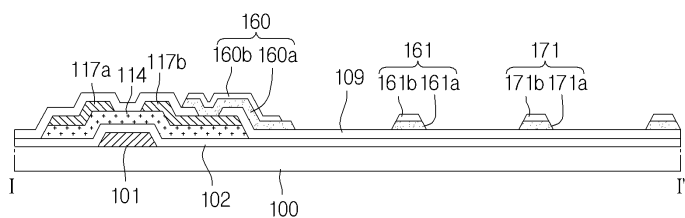
도면2



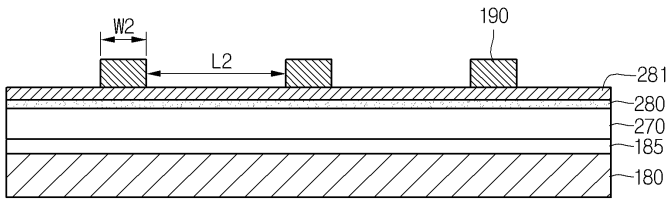
도면3



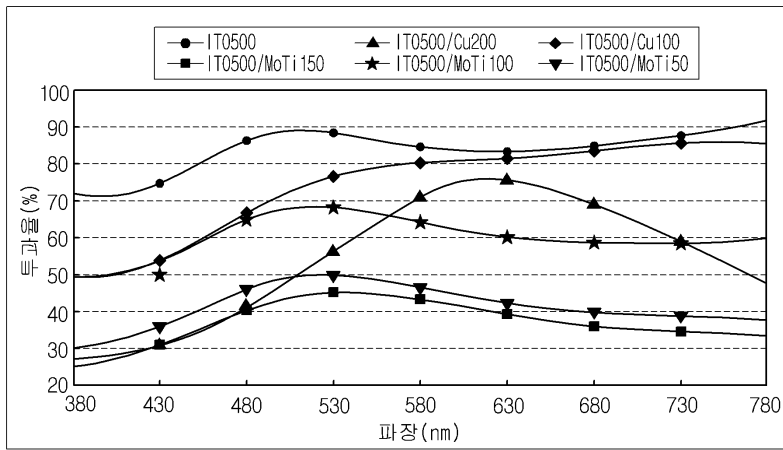
도면4



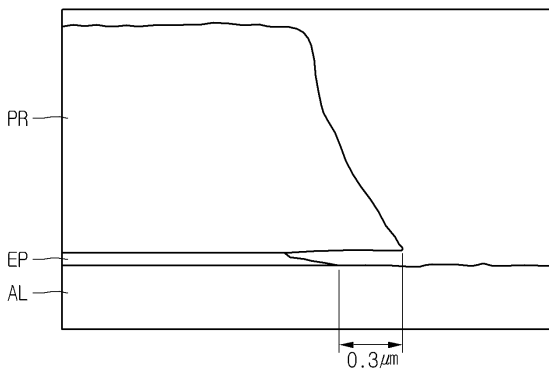
도면5



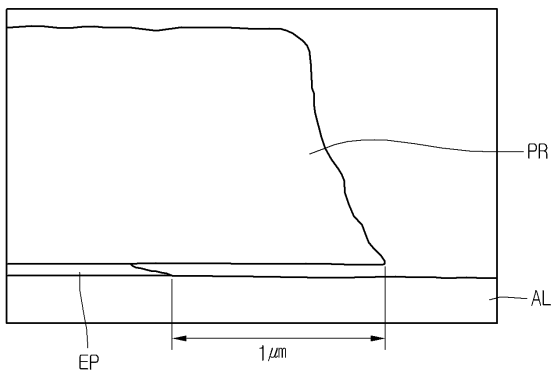
도면6



도면7a



도면7b



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020130069303A	公开(公告)日	2013-06-26
申请号	KR1020120037395	申请日	2012-04-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM KANG IL 김강일 LEE JUNG IL 이정일 SON JUNG HO 손정호		
发明人	김강일 이정일 손정호		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1362		
CPC分类号	G02F1/1368 G02F1/13439 G02F2001/13625		
优先权	1020110135654 2011-12-15 KR		
其他公开文献	KR101993884B1		
外部链接	Espacenet		

摘要(译)

本发明公开了一种液晶显示装置及其制造方法。公开的本发明的液晶显示器是本发明中，基板和，在所述交叉布置的栅极线和数据线的液晶显示装置中，以限定一个基板上的像素区域中，栅极线和数据线的交叉点，包括在像素电极和共用电极，并平行于线被布置在彼此交替的开关元件和所述像素区域中的数据，并且所述像素电极的堆叠和共用电极是透明导电材料层和不透明金属层的结构，其中排列并且，层叠透明导电材料层和不透明金属层的透射率为70%或更低。所述的液晶显示设备，并且本发明的其制造方法，以形成非透明金属层的透明导电材料层和双层结构的电极中，在像素区域的透射率的改善效果，同时防止卡盘的污点。

