



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0044710

(43) 공개일자 2013년05월03일

(51) 국제특허분류(Int. Cl.)

G02F 1/1339 (2006.01) C07D 207/325

(2006.01)

C07D 405/12 (2006.01)

(21) 출원번호 10-2011-0108909

(22) 출원일자 2011년10월24일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

김관수

충청남도 아산시 탕정면 탕정면로 37, 명암2리 탕정 삼성 트라팰리스 102동 1205호 (탕정 삼성트라팰리스)

강동욱

경기 수원시 영통구 영통2동 신나무실5단지아파트 517동 404호

허철

경기 용인시 수지구 죽전동 꽃메마을 현대 홈타운 4차 3단지 436동 2002호

(74) 대리인

권혁수, 송윤희, 오세준

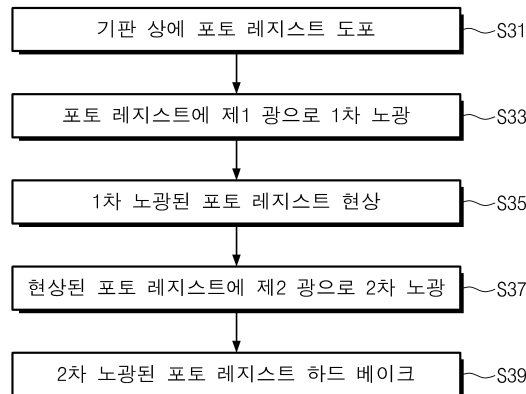
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 표시 장치의 제조방법

(57) 요약

표시 장치 제조 방법은 다수의 화소가 형성된 제1 기판을 형성하고, 상기 제1 기판 상에 블랙 컬럼 스페이서를 형성하고, 제2 기판을 형성하며, 상기 제1 기판과 상기 제2 기판 사이에 액정층을 형성하는 단계를 포함한다. 상기 블랙 컬럼 스페이서를 형성하는 단계는 상기 제1 기판 상에 포토 레지스트를 도포하고, 상기 포토 레지스트에 제1 광을 노광한 후 현상한 후, 상기 포토 레지스트에 제2 광을 노광하는 것을 포함한다.

대표도 - 도5



특허청구의 범위

청구항 1

다수의 화소가 형성된 제1 기판을 형성하는 단계;
 상기 제1 기판 상에 블랙 컬럼 스페이서를 형성하는 단계;
 제2 기판을 형성하는 단계;
 상기 제1 기판과 상기 제2 기판 사이에 액정층을 형성하는 단계를 포함하고,
 상기 블랙 컬럼 스페이서를 형성하는 단계는
 상기 제1 기판 상에 포토 레지스트를 도포하는 단계;
 상기 포토 레지스트에 제1 광을 노광한 후 현상하는 단계; 및
 상기 포토 레지스트에 제2 광을 노광하는 단계를 포함하는 것을 특징으로 하는 표시 장치 제조 방법.

청구항 2

제1 항에 있어서
 상기 블랙 컬럼 스페이서는 상기 화소들의 일부를 커버하는 블랙 매트릭스부와, 상기 블랙 매트릭스부의 일부 상에 제공되어 상기 제1 기판과 상기 제2 기판 사이의 간격을 유지하는 컬럼 스페이서부를 포함하는 것을 특징으로 하는 표시 장치 제조 방법.

청구항 3

제2 항에 있어서
 상기 블랙 매트릭스부와 상기 컬럼 스페이서부는 일체로 형성되는 것을 특징으로 하는 표시 장치 제조 방법.

청구항 4

제3 항에 있어서,
 상기 제1 기판을 형성하는 단계는
 제1 절연 기판 상에 박막 트랜지스터를 형성하는 단계;
 상기 박막 트랜지스터를 커버하는 보호막을 형성하는 단계;
 상기 보호막 상에 컬러 필터를 형성하는 단계; 및
 상기 박막 트랜지스터에 연결된 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 표시 장치 제조 방법.

청구항 5

제4 항에 있어서,
 상기 컬러 필터는 상기 화소들에 각각 대응되며 서로 다른 색을 나타내는 다수의 컬러 필터를 포함하는 것을 특징으로 하는 표시 장치 제조 방법.

청구항 6

제5 항에 있어서,
 상기 블랙 컬럼 스페이서부는 서로 인접한 컬러 필터들 사이에 제공되는 것을 특징으로 하는 표시 장치 제조 방법.

청구항 7

제1 항에 있어서

상기 포토 레지스트는 서로 다른 최대 에너지 흡수 파장을 갖는 두 종 이상의 개시제들을 포함하는 것을 특징으로 하는 표시 장치 제조 방법.

청구항 8

제7항에 있어서,

상기 제1 개시제와 상기 제2 개시제의 최대 에너지 흡수 파장은 서로 다른 것을 특징으로 하는 표시 장치 제조 방법.

청구항 9

제8항에 있어서,

상기 제1 개시제의 최대 에너지 흡수 파장 상기 제2 개시제의 최대 에너지 흡수 파장보다 긴 것을 특징으로 하는 표시 장치 제조 방법.

청구항 10

제9 항에 있어서,

상기 제1 광은 상기 제1 개시제의 최대 에너지 흡수 파장에 대응하는 파장을 가지며, 상기 제2 광은 상기 제2 개시제의 최대 에너지 흡수 파장에 대응하는 파장을 갖는 것을 특징으로 하는 표시 장치 제조 방법.

청구항 11

제10 항에 있어서,

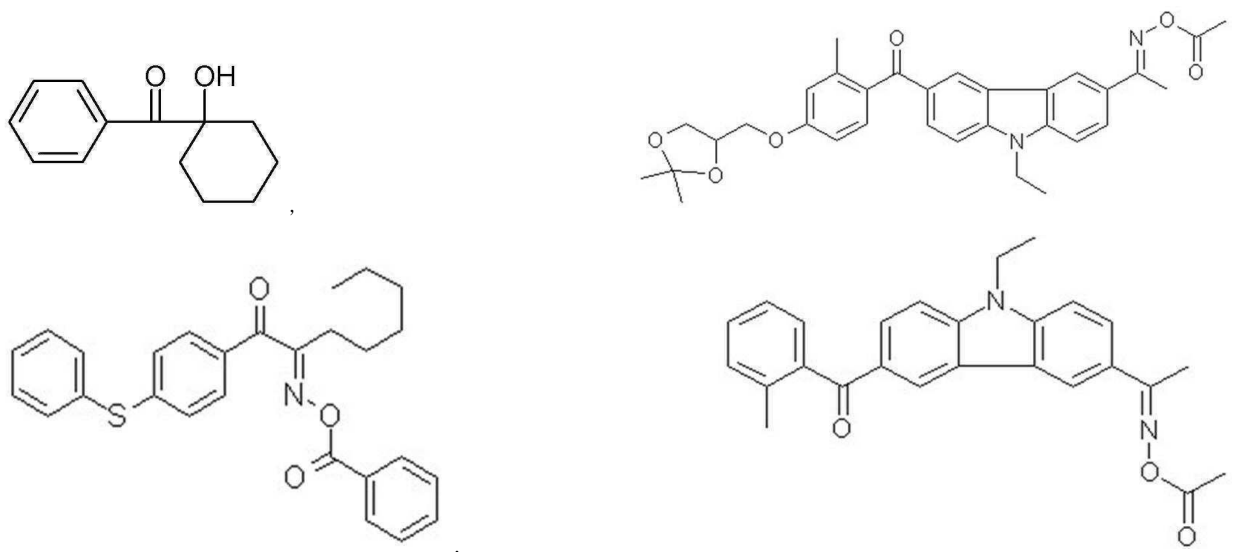
상기 제2 개시제는 에스테르계 개시제, 옥심-에스테르계 개시제, 이미다졸계 개시제, 또는 머캅탄계 개시제 중 적어도 하나를 포함하는 것을 특징으로 하는 표시 장치 제조 방법.

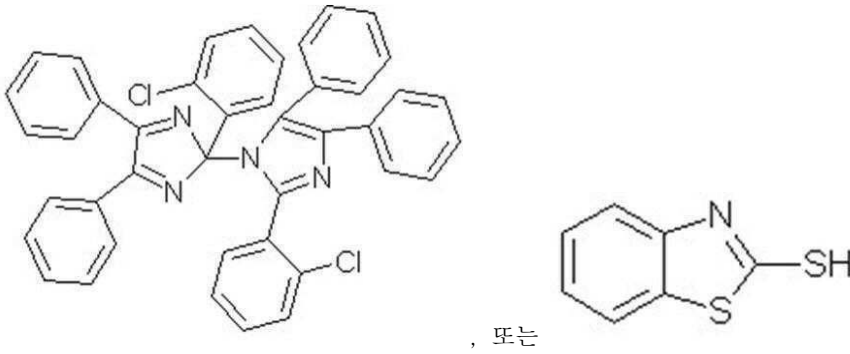
청구항 12

제11 항에 있어서,

상기 제2 개시제는 하기한 화학식 1의 개시제 중 적어도 하나인 것을 특징으로 하는 표시 장치 제조 방법.

[화학식 1]





청구항 13

제1 항에 있어서,

상기 제1 광의 광량은 상기 제2 광의 광량보다 큰 것을 특징으로 하는 표시 장치 제조 방법.

청구항 14

제1 항에 있어서,

상기 포토 레지스트는 네거티브 타입 레지스트인 것을 특징으로 하는 표시 장치 제조 방법.

청구항 15

제1 항에 있어서,

상기 제2 광을 노광하는 단계 이후 상기 포토 레지스트를 베이킹하는 단계를 더 포함하는 것을 특징으로 하는 표시 장치 제조 방법.

청구항 16

제1 항에 있어서,

상기 액정층은 수직 전계 모드 액정층인 것을 특징으로 하는 표시 장치 제조 방법.

명세서

기술분야

[0001] 본 발명은 표시 장치의 제조 방법에 관한 것이다.

배경기술

[0002] 액정표시장치는 투명한 두 기판 사이에 액정층이 형성된 형태로, 상기 액정층을 구동하여 화소별로 광투과율을 조절함으로써 원하는 화상을 표시할 수 있도록 한 표시장치이다.

[0003] 액정표시장치는 상기 두 기판 사이의 거리, 즉 셀 갭(cell gap)을 유지하기 위해 두 기판 사이에 형성된 스페이서를 포함한다. 상기 스페이서를 형성하기 위해서는 포토리소그래피 공정이나, 전사필름과 같은 필름을 부착하고 노광을 통해 컬럼 스페이서를 형성하는 공정 등 별도의 추가 공정이 필요하다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 공정이 단순하고 표시 품질이 향상된 표시 장치 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0005] 상기한 목적을 달성하기 위한 표시 장치 제조 방법은 다수의 화소가 형성된 제1 기판을 형성하고, 상기 제1 기판 상에 블랙 컬럼 스페이서를 형성하고, 제2 기판을 형성하며, 상기 제1 기판과 상기 제2 기판 사이에 액정층

을 형성하는 단계를 포함한다.

- [0006] 상기 블랙 컬럼 스페이서를 형성하는 단계는 상기 제1 기판 상에 포토 레지스트를 도포하고, 상기 포토 레지스트에 제1 광을 노광한 후 현상한 후, 상기 포토 레지스트에 제2 광을 노광하는 것을 포함한다.
- [0007] 상기 블랙 컬럼 스페이서는 상기 화소들의 일부를 커버하는 블랙 매트릭스부와, 상기 블랙 매트릭스부의 일부 상에 제공되어 상기 제1 기판과 상기 제2 기판 사이의 간격을 유지하는 컬럼 스페이서부를 포함하며, 상기 블랙 매트릭스부와 상기 컬럼 스페이서부는 일체로 형성된다.
- [0008] 상기 포토 레지스트는 서로 다른 최대 에너지 흡수 파장에서 반응하는 두 종 이상의 개시제들을 포함한다. 상기 제1 개시제의 최대 에너지 흡수 파장과 상기 제2 개시제의 최대 에너지 흡수 파장은 서로 다르며, 상기 제1 개시제의 최대 에너지 흡수 파장은 상기 제2 개시제의 최대 에너지 흡수 파장보다 길다. 상기 제2 개시제는 에스테르계 개시제, 옥심-에스테르계 개시제, 이미다졸계 개시제, 또는 머캡탄계 개시제 중 적어도 하나를 포함할 수 있다.

발명의 효과

- [0009] 본 발명의 일 실시예에 따른 표시 장치 제조 방법에 따르면 공정이 단순하여 제조시 원가가 절감될 뿐만 아니라, 불순물의 용출로 인한 결함이 방지되어 표시 품질이 향상된다.

도면의 간단한 설명

- [0010] 도 1은 본 발명의 일 실시예에 따른 화소의 레이아웃이다.
- 도 2a는 도 1에 도시된 절단선 I-I'를 따라 절단한 단면도이다.
- 도 2b는 도 1에 도시된 절단선 II-II'를 따라 절단한 단면도이다.
- 도 3은 도 1의 등가회로도이다.
- 도 4는 본 발명의 일 실시예에 따른 표시 장치를 제조하는 방법을 나타낸 순서도이다.
- 도 5는 블랙 컬럼 스페이서를 형성하는 단계를 도시한 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0012] 도 1은 본 발명의 일 실시예에 따른 화소의 레이아웃이다. 도 2a는 도 1에 도시된 절단선 I-I'를 따라 절단한 단면도이고, 도 2b는 도 1에 도시된 절단선 II-II'를 따라 절단한 단면도이다. 이하의 화소의 레이아웃은 본 발명의 일 실시예로서 설명된 것으로, 이에 한정되는 것은 아니다.
- [0013] 본 발명의 다른 실시예에 따르면 도 1, 도 2a, 및 도 2b에 도시된 화소와 다른 레이아웃을 가질 수 있다. 예를 들어, 본 발명의 다른 실시예에 따르면 하나의 화소에 하나의 게이트 라인과 하나의 데이터 라인이 연결될 수 있으며, 또 다른 실시예에서는 하나의 화소에 하나의 게이트 라인과 두 개의 데이터 라인이 연결될 수도 있다.
- [0014] 도 1, 도 2a 및 도 2b를 참조하면, 상기 표시 장치는 제1 기판(100), 상기 제1 기판(100)에 대향하는 제2 기판(200), 상기 제1 기판(100)과 제2 기판(200) 사이에 제공되어 상기 제1 기판(100)과 상기 제2 기판(200) 사이의 간격을 유지하는 블랙 컬럼 스페이서(BCS), 및 상기 제1 기판(100)과 상기 제2 기판(200) 사이에 형성된 액정층(300)을 포함한다.
- [0015] 상기 제1 기판(100)은 제1 베이스 기판(110), 상기 제1 베이스 기판(110) 상에 제공된 다수의 게이트 라인들, 다수의 데이터 라인들, 및 상기 게이트 라인들과 상기 데이터 라인들에 연결된 다수의 화소들(PXL)을 포함한다.
- [0016] 도 1, 도 2a 및 도 2b에서는 설명의 편의를 위하여, 다수의 게이트 라인들 중 n번째 게이트 라인(GLn)과 n+1번째 게이트 라인(GLn+1), 및 m번째 데이터 라인(DLm)과 m+1번째 데이터 라인(DLm+1)과 함께 하나의 화소를 도시하였다. 그러나, 본 발명의 일 실시예에 따른 액정 표시 장치에 있어서, 나머지 화소들도 이와 유사한 구조를 가지며, 이하에서는 n번째 게이트 라인(GLn)과 n+1번째 게이트 라인(GLn+1)을 각각 제1 및 제2 게이트 라인, m번째

제 데이터 라인(DL_m)과 m+1번째 데이터 라인(DL_{m+1})을 각각 제1 데이터 라인과 제2 데이터 라인으로 지칭한다.

- [0017] 상기 제1 및 제2 게이트 라인들(GL_n, GL_{n+1})은 상기 제1 베이스 기판(110) 상에 상기 제1 방향(D1)으로 서로 평행하게 연장된다. 상기 제1 및 제2 데이터 라인들(DL_m, DL_{m+1})은 상기 게이트 절연막(120)을 사이에 두고 상기 제1 방향(D1)에 교차하는 제2 방향(D2)으로 서로 평행하게 연장된다.
- [0018] 각 화소(PXL)는 제1 서브 화소 및 제2 서브 화소를 포함한다. 상기 제1 서브 화소는 제1 박막 트랜지스터(Tr1), 제1 서브 화소 전극(PE1), 및 제1 스토리지 전극부로 이루어지고, 상기 제2 서브 화소는 제2 박막 트랜지스터(Tr2), 제2 스토리지 전극부, 제3 박막 트랜지스터(Tr3), 제2 서브 화소 전극(PE2), 및 커패시터 전극(CE1)으로 이루어진다. 상기 제1 및 제2 서브 화소는 서로 인접하는 상기 제1 데이터 라인(DL_m) 및 제2 데이터 라인(DL_{m+1}) 사이에 구비된다.
- [0019] 상기 제1 서브 화소의 상기 제1 박막 트랜지스터(Tr1)는 상기 제1 데이터 라인(DL_m) 및 제1 게이트 라인(GL_n)에 연결된다.
- [0020] 상기 제1 박막 트랜지스터(Tr1)의 제1 게이트 전극(GE1)은 상기 제1 게이트 라인(GL_n)으로부터 분기되고, 제1 소스 전극(SE1)은 상기 제1 데이터 라인(DL_m)으로부터 분기된다. 상기 제1 박막 트랜지스터(Tr1)의 제1 드레인 전극(DE1)은 제1 서브 화소 전극(PE1)과 전기적으로 연결된다.
- [0021] 상기 제1 스토리지 전극부는 상기 제1 방향(D1)으로 연장된 제1 스토리지 라인(SL_n)과, 상기 제1 스토리지 라인(SL_n)으로부터 분기되어 상기 제2 방향(D2)으로 연장된 제1 및 제2 분기 전극(LSL_n, RSL_n)을 더 포함한다.
- [0022] 상기 제1 서브 화소 전극(PE1)은 상기 제1 스토리지 라인(SL_n), 제1 및 제2 분기 전극(LSL_n, RSL_n)과 부분적으로 오버랩되어 상기 제1 스토리지 커패시터를 형성한다.
- [0023] 상기 제1 서브 화소 전극(PE1)은 상기 제1 서브 화소 전극(PE)은 줄기부(PE1a)와 상기 줄기부(PE1a)로부터 방사형으로 돌출되어 연장된 복수의 가지부들(PE1b)을 포함할 수 있다.
- [0024] 상기 줄기부(PE1a)는 본 발명의 제1 실시예와 같이 십자 형상으로 제공될 수 있으며, 이 경우 상기 제1 서브 화소는 상기 줄기부(PE1a)에 의해 복수의 영역으로 구분된다. 상기 제1 서브 화소는 상기 줄기부(PE1a)에 의해 다수의 도메인으로 구분될 수 있다. 상기 가지부들(PE1b)은 각 도메인에 대응되어, 각 도메인마다 서로 다른 방향으로 연장될 수 있다. 본 발명의 일 실시예에서는 일 예로서 상기 제1 서브 화소가 제1 내지 제4 도메인들(DM1, DM2, DM3, DM4)로 이루어진 것을 도시하였다. 상기 복수의 가지부들(PE1b)은 서로 인접한 가지부(PE1b)와 만나지 않도록 이격되어 있으며, 상기 줄기부(PE1a)에 의해 구분된 영역 내에서는 서로 평행한 방향으로 연장된다. 상기 가지부들(PE1b)에 있어서, 인접한 서로 인접한 가지부들(PE1b) 사이는 마이크로미터 단위의 거리로 이격되어 있으며, 이는 상기 액정층(300)의 액정 분자들을 상기 제1 베이스 기판(110)과 평행한 평면 상의 특정 방향으로 정렬 시키기 위한 수단에 해당된다.
- [0025] 상기 제2 박막 트랜지스터(Tr2)의 제2 게이트 전극(GE2)은 상기 제1 게이트 라인(GL_n)으로부터 분기되고, 제2 소스 전극(SE2)은 상기 제1 데이터 라인(DL_m)으로부터 분기된다. 상기 제2 박막 트랜지스터(Tr2)의 제2 드레인 전극(DE2)은 제2 서브 화소 전극(PE2)과 전기적으로 연결된다.
- [0026] 상기 제2 스토리지 전극부는 상기 제2 방향(D2)으로 연장된 제2 스토리지 라인(SL_{n+1})과, 상기 제2 스토리지 라인(SL_{n+1})으로부터 분기되어 상기 제2 방향(D2)으로 연장된 제3 및 제4 분기 전극(LSL_{n+1}, RSL_{n+1})을 더 포함한다.
- [0027] 상기 제2 서브 화소 전극(PE2)은 상기 제2 스토리지 라인(SL_{n+1}), 제3 및 제4 분기 전극(LSL_{n+1}, RSL_{n+1})과 부분적으로 오버랩되어 상기 제2 스토리지 커패시터를 형성한다.
- [0028] 상기 제2 서브 화소 전극(PE2) 또한 줄기부(PE2a)와 상기 줄기부(PE2a)로부터 방사형으로 돌출되어 연장된 복수의 가지부들(PE2b)을 포함할 수 있다. 상기 줄기부(PE2a)는 십자 형상으로 제공될 수 있으며, 이 경우 상기 제2 서브 화소는 상기 줄기부(PE2a)에 의해 복수의 영역으로 구분된다. 상기 제2 서브 화소에 있어서 상기 가지부들(PE2b)은 각 도메인에 대응되어, 상기 각 도메인마다 서로 다른 방향으로 연장될 수 있다. 본 발명의 일 실시예에서는 일 예로서 상기 제2 화소가 제6 내지 제8 도메인들(DM6, DM7, DM8, DM9)로 이루어진 것을 도시하였다. 상기 복수의 가지부들(PE2a)은 서로 인접한 가지부(PE2b)와 만나지 않도록 이격되어 있으며, 상기 줄기부(PE2a)에 의해 구분된 영역 내에서는 서로 평행한 방향으로 연장된다. 여기서, 상기 가지부들(PE2a)은 각 도메인에 대응되어, 상기 각 도메인마다 서로 다른 방향으로 연장될 수 있다. 상기 가지부들(PE2b)에 있어서, 인접한 서로 인접한 가지부들(PE2a) 사이는 마이크로미터 단위의 거리로 이격되어 있으며, 이는 상기 액정층(300)의 액정

분자들을 상기 제1 베이스 기관(110)과 평행한 평면 상의 특정 방위각으로 정렬 시키기 위한 수단에 해당된다.

[0029] 상기 제3 박막 트랜지스터(Tr3)의 제3 게이트 전극(GE3)은 상기 제2 게이트 라인(GLn+1)으로부터 분기되고, 제3 소스 전극(SE3)은 상기 제2 드레인 전극(DE2)으로부터 연장되며, 제3 드레인 전극(DE3)은 상기 커패시터 전극(CE1)에 연결된다. 상기 커패시터 전극(CE1)은 상기 제2 분기 전극(RSLn)으로부터 연장되어 상기 커패시터 전극(CE1)과 커패시터(CCP)를 형성하는 대향 전극(CE2)으로 이루어진다. 그러나, 상기 커패시터(CCP)의 구조는 여기에 한정되지는 않는다.

[0030] 도 1, 도 2a 및 도 2b를 참조하면, 상기 제1 기관(100)은 상기 게이트 절연막(120), 보호막(130), 및 컬러 필터(CF)를 더 포함한다.

[0031] 상기 게이트 절연막(120)은 상기 제1 및 제2 게이트 라인들(GLn, GLn+1) 및 제1 내지 제3 게이트 전극(GE1, GE2, 및 GE3) 등을 커버한다.

[0032] 상기 보호막(130)은 상기 제1 및 제2 데이터 라인들(DLm, DLm+1), 상기 제1 내지 제3 소스 전극들(SE1, SE2, 및 SE3) 및 제1 내지 제3 드레인 전극들(DE1, DE2, 및 DE3) 등을 커버한다. 상기 보호막(130) 상에는 상기 제1 및 제2 박막 트랜지스터(Tr1, Tr2)의 드레인 전극들(DE1, DE2)의 일부를 노출하는 콘택홀들(CH)이 형성되어 있다.

[0033] 상기 컬러 필터들(CF)은 상기 보호막(130) 상에 구비된다. 상기 컬러 필터(CF)은 상기 화소들(PXL)에 대응하여 구비되며, 각 컬러 필터(CF)는 붉은색(R), 녹색(G) 또는 푸른색(B) 중의 어느 한 색상, 또는 상기 색상 이외의 색상을 추가하여 제공될 수 있다. 도시하지는 않았으나, 상기 컬러 필터들(CF) 상에는 무기 물질 또는 유기 물질로 이루어진 패시베이션막이 더 형성될 수 있다.

[0034] 상기 블랙 컬럼 스페이서(BCS)는 블랙 컬러를 띠며, 상기 제1 기관(100)의 일부를 커버하는 블랙 매트릭스부(BM)와 컬럼 스페이서부(CS)를 포함한다.

[0035] 상기 블랙 매트릭스부(BM)는 평면 상에서 볼 때 상기 컬러 필터들(CF) 사이에 형성되며 일부 상기 컬러 필터들(CF)의 가장자리와 중첩될 수 있다. 좀더 상세하게는 상기 블랙 매트릭스부(BM)는 불필요한 광을 차단하기 위해 형성되는 것으로서, 불필요한 광이 생성될 수 있는 영역, 예를 들어, 상기 제1 및 제2 게이트 라인들(GLn, GLn+1)과 상기 제1 및 제2 데이터 라인들(DLm, DLm+1)에 대응하는 상기 컬러 필터들(CF)의 사이 및 상기 제1 내지 제3 박막 트랜지스터(Tr1, Tr2, Tr3)의 채널부 등을 커버한다.

[0036] 상기 컬럼 스페이서부(CS)는 상기 블랙 매트릭스부(BM) 상에 제공되며, 상기 제1 기관(100)과 후술할 상기 제2 기관(200) 사이의 간격(즉, 셀 갭)을 유지한다. 상기 컬럼 스페이서부(CS)는 상기 블랙 매트릭스부(BM)의 일부 영역에만 형성될 수 있으며, 예를 들어, 상기 제1 및 제2 데이터 라인들(DLm, DLm+1) 또는 제1 및 제2 게이트 라인들(GLn, GLn+1)과 중첩하는 영역에 형성될 수 있다.

[0037] 상기 블랙 매트릭스부(BM)와 상기 컬럼 스페이서부(CS)는 일체로 형성되며, 이에 따라 광을 차단하는 블랙 매트릭스의 기능과 셀 갭을 유지하는 스페이서 기능을 동시에 수행한다. 이때, 상기 컬럼 스페이서부(CS)에 의해 유지되는 상기 제1 기관(100)과 상기 제2 기관(200) 사이의 간격은 2.0~4.0 μm 일 수 있다.

[0038] 상기 블랙 컬럼 스페이서(BCS)의 제조 방법에 대해서는 표시 장치의 제조 방법에서 후술한다.

[0039] 한편, 상기 제2 기관(200)은 제2 베이스 기관(210) 및 공통 전극(CE)을 포함한다.

[0040] 상기 공통 전극(CE)은 상기 제2 베이스 기관(210) 상에 구비된다. 상기 액정층(300)은 상기 제1 기관(100)과 상기 제2 기관(200) 사이에 구비된다. 상기 액정층(300)은 상기 화소 전극(PE)과 상기 공통 전극(CE)에 전계가 인가되지 않을 경우에 상기 제1 기관(100)과 상기 제2 기관(200)에 실질적으로 수직하게 배향된 수직 전계 모드 액정층일 수 있다.

[0041] 도 5는 상기 표시 장치의 등가 회로도이다. 도 5를 참조하면, 각 화소(PX)는 제1 서브 화소(SPX2) 및 제2 서브 화소(SPX2)를 포함한다. 상기 제1 서브 화소(SPX1)에는 제1 박막 트랜지스터(Tr1), 제1 액정 커패시터(Clc1) 및 제1 스토리지 커패시터(Cst1)가 제공되고, 상기 제2 서브 화소(SPX2)에는 제2 박막 트랜지스터(Tr2), 제2 액정 커패시터(Clc2), 제2 스토리지 커패시터(Cst2), 제3 박막 트랜지스터(Tr3) 및 커패시터(CCP)가 제공된다. 상기 제1 및 제2 서브 화소(SPX1, SPX2)는 서로 인접하는 두 개의 데이터 라인(이하, 제1 데이터 라인(DLm) 및 제2 데이터 라인(DLm+1)이라 함) 사이에 구비된다. 또한, 상기 제1 서브 화소(SPX1)의 상기 제1 박막 트랜지스터(Tr1)는 상기 제1 데이터 라인(DLm) 및 제1 게이트 라인(GLn)에 연결되고, 상기 제2 서브 화소

(SPX2)의 상기 제2 박막 트랜지스터(Tr2)는 상기 제1 데이터 라인(DLm) 및 제1 게이트 라인(GLn)에 연결된다. 구체적으로, 상기 제1 박막 트랜지스터(Tr1)는 상기 제1 데이터 라인(DLm)에 연결된 제1 소스 전극, 상기 제1 게이트 라인(GLn)에 연결된 제1 게이트 전극, 및 상기 제1 액정 커패시터(Clc1)에 연결된 제1 드레인 전극을 포함한다. 상기 제1 스토리지 커패시터(Cst1)는 상기 제1 드레인 전극과 제1 스토리지 라인(SLn) 사이에 제공되어 상기 제1 액정 커패시터(Clc1)에 병렬 연결된다. 상기 제2 박막 트랜지스터(Tr2)는 상기 제1 데이터 라인(DLm)에 연결된 제2 소스 전극, 상기 제1 게이트 라인(GLn)에 연결된 제2 게이트 전극 및 상기 제2 액정 커패시터(Clc2)에 연결된 제2 드레인 전극을 포함한다. 상기 제2 스토리지 커패시터(Cst2)는 상기 제2 드레인 전극과 제2 스토리지 라인(SLn+1) 사이에 제공되어 상기 제2 액정 커패시터(Clc2)에 병렬 연결된다.

[0042] 상기 제1 게이트 라인(GLn)에 제1 게이트 신호가 인가되면, 상기 제1 및 제2 박막 트랜지스터(Tr1, Tr2)가 동시에 턴-온된다. 상기 제1 데이터 라인(DLm)으로 인가된 데이터 전압은 턴-온된 상기 제1 및 제2 박막 트랜지스터(Tr1, Tr2)를 통해 상기 제1 및 제2 액정 커패시터(Clc1, Clc2)로 각각 인가된다. 따라서, 상기 제1 게이트 신호의 하이 구간동안 상기 제1 및 제2 액정 커패시터(Clc1, Clc2)에는 동일한 크기의 화소 전압이 충전된다.

[0043] 한편, 상기 제3 박막 트랜지스터(Tr3)는 상기 제2 박막 트랜지스터(Tr2)의 제2 드레인 전극에 연결된 제3 소스 전극, 제2 게이트 라인(GLn+1)에 연결된 제3 게이트 전극 및 상기 커플링 커패시터(CCP)에 연결된 제3 드레인 전극을 포함한다. 상기 제2 게이트 라인(GLn+1)은 상기 제1 게이트 신호가 풀링된 이후에 라이징되는 제2 게이트 신호를 수신한다. 상기 제2 게이트 신호에 응답하여 상기 제3 박막 트랜지스터(Tr3)가 턴-온되면, 상기 제2 액정 커패시터(Clc2)와 상기 커플링 커패시터(CCP) 사이에서 전압 분배가 일어나고, 그 결과 상기 제2 액정 커패시터(Clc2)에 충전된 화소 전압이 다운된다. 상기 화소 전압이 다운되는 크기는 상기 커플링 커패시터(CCP)의 충전률에 따라서 변화될 수 있다. 결국, 상기 제2 게이트 신호가 발생된 이후에, 상기 제1 액정 커패시터(Clc1)에는 제1 화소 전압이 충전되고, 상기 제2 액정 커패시터(Clc2)에는 상기 제1 화소 전압보다 낮은 크기의 제2 화소 전압이 충전될 수 있다. 이에 따라 상기 제1 서브 화소 전극(PE1)에 대응하는 영역에 위치한 액정 분자들은 상기 제2 서브 화소 전극(PE2)에 대응하는 영역에 위치한 상기 액정 분자들과 서로 다른 전기장 세기를 받기 때문에 서로 다른 각도로 기울어지게 된다. 이에 따라, 상기 두 영역에 대응하는 액정 분자들은 서로 다른 경사각을 가지게 되며, 이에 따라 상기 광의 위상 지연을 보상하기 때문에 측면 시인성이 증가한다. 다시 말해, 상기 두 영역의 액정 분자들은 수직 방향의 배향 정도가 서로 다른 복수의 도메인을 형성하며, 이에 따라 시인성이 증가한다. 본 발명의 제2 실시예에 의한 표시 장치에 따르면, 상기 제1 실시예에 따른 표시 장치에서의 장점을 모두 가짐과 동시에 시인성이 증가되므로, 표시 품질이 높아진다.

[0044] 본 발명의 일 실시예에서는 2개의 화소 전극을 가지는 화소를 설명하였으나, 이에 한정되는 것은 아니며, 1개 또는 3개 이상의 화소 전극들을 가질 수도 있다. 상기 화소 전극들의 개수는 각 화소의 설계에 따라 달라질 수 있다. 예를 들어, 상기 각 화소는 복수의 서브 화소들로 나누어지고, 각 서브 화소마다 적어도 하나의 서브 화소 전극이 대응될 수 있다.

[0045] 다음으로, 본 발명의 실시예들에 따른 표시 장치를 제조하는 방법을 설명한다. 이하, 본 발명의 제1 실시예에 따른 표시 장치의 제조 방법을 일 예로서 설명한다.

[0046] 도 4는 본 발명의 일 실시예에 따른 표시 장치를 제조하는 방법을 나타낸 순서도이다. 도 4를 참조하면, 본 발명의 일 실시예에 따른 표시 장치를 제조하기 위해서는 제1 기판을 형성하고(S10), 이와 별개로 제2 기판을 형성(S20)한다. 다음으로, 상기 제1 기판 상에 블랙 커텐 스페이서를 형성(S30)한다. 그 다음, 상기 제1 기판과 상기 제2 기판 사이에 액정층을 형성시킨다(S40).

[0047] 도 1 및 도 2를 참조하여, 상기 제1 기판(100)을 형성하는 단계를 설명하면 다음과 같다.

[0048] 상기 제1 베이스 기판(110) 상에 게이트 패턴이 형성된다. 상기 게이트 패턴은 상기 제1 및 제2 게이트 라인(GLn, GLn+1), 제1 내지 제3 게이트 전극들(GE1, GE2, 및 GE3), 및 스토리지 전극부를 포함한다. 상기 게이트 패턴은 포토리소그래피 공정을 이용하여 형성될 수 있다.

[0049] 상기 게이트 패턴 상에는 게이트 절연막(120)이 형성된다.

[0050] 상기 게이트 절연막(120) 상에는 반도체층(SM)이 형성된다. 상기 반도체층(SM)은 상기 액티브 패턴과 상기 액티브 패턴 상에 형성된 오믹 콘택층을 포함할 수 있다. 상기 반도체층(SM)은 포토리소그래피 공정을 이용하여 형성될 수 있다.

[0051] 상기 반도체층(SM) 상에 데이터 패턴이 형성된다. 상기 데이터 패턴은 상기 제1 및 제2 데이터 라인(DLm, DLm+1), 상기 제1 내지 제3 소스 전극들(SE1, SE2, 및 SE3), 및 상기 제1 내지 제3 드레인 전극(DE1, DE2, 및

DE3)을 포함한다. 상기 데이터 패턴은 포토리소그래피 공정을 이용하여 형성될 수 있다. 이때, 상기 반도체층(SM)과 상기 데이터 패턴은 한 매의 하프 마스크나 회절 마스크 등을 이용하여 형성될 수 있다.

[0052] 상기 데이터 패턴 상에는 보호막(130)이 형성된다. 상기 보호막(130)은 상기 제1 및 제2 드레인 전극들(DE1, DE2)의 일부를 노출하는 콘택홀(CH)을 가지며, 포토리소그래피 공정을 이용하여 형성될 수 있다.

[0053] 상기 보호막(130) 상에는 컬러 필터(CF)들이 형성된다. 상기 컬러 필터들(CF)은 상기 화소들(PXL)에 대응하여 구비되며, 각 컬러 필터(CF)는 붉은색(R), 녹색(G) 또는 푸른색(B) 중의 어느 한 색상, 또는 상기 색상 이외의 색상을 추가하여 제공될 수 있다. 상기 컬러 필터들(CF)은 증착법, 코팅법, 잉크젯법 등 다양한 방법으로 형성될 수 있다. 도시하지는 않았으나 상기 컬러 필터들(CF) 상에는 유기 물질 또는 무기 물질로 이루어진 패시베이션막이 더 형성될 수 있다.

[0054] 상기 컬러 필터들(CF) 상에는 상기 콘택홀(CH)을 통해 상기 제1 및 제2 드레인 전극들(DE1, DE2)과 연결되는 상기 화소 전극이 형성된다. 상기 화소 전극(PE)은 제1 서브 화소 전극(PE1)과 제2 서브 화소 전극(PE2)을 포함하며, 상기 제1 서브 화소 전극(PE1)은 상기 제1 드레인 전극(DE1)에 연결되고, 상기 제2 서브 화소 전극(PE2)은 상기 제2 드레인 전극(DE2)에 연결된다. 상기 화소 전극(PE)은 포토리소그래피 공정을 이용하여 형성될 수 있다.

[0055] 상기 제2 기관(200)은 제2 절연 기관(210) 상에 공통 전극(CE)을 형성함으로써 준비될 수 있다. 상기 공통 전극(CE)은 각각 다양한 방법으로 형성될 수 있으며, 예를 들어, 포토리소그래피 공정을 이용하여 형성될 수 있다.

[0056] 상기 제1 기관(100) 상에는 블랙 컬럼 스페이서(BCS)가 형성된다. 도 5는 블랙 컬럼 스페이서(BCS)를 형성하는 단계를 도시한 순서도이다. 도 5를 참조하여, 상기 블랙 컬럼 스페이서(BCS)를 형성하는 단계를 설명하면 다음과 같다.

[0057] 먼저 상기 제1 기관 상에 포토레지스트가 도포(S31)된다. 상기 포토레지스트는 블랙을 띠는 감광성 유기물질을 포함한다. 상기 감광성 유기물질은 소정 파장의 광에 노광되었을 때 중합 반응이나 분해 반응 등이 일어나는 물질이다. 여기서, 상기 포토레지스트는 블랙을 나타내는 물질, 예를 들어 카본 블랙, 유/무기 안료, 또는 유색(R, G, B) 혼합 안료 등을 포함함으로써 블랙을 나타낼 수 있다.

[0058] 상기 포토 레지스트는 네거티브 타입 레지스트일 수 있다. 상기 네거티브 타입 레지스트는 노광되지 않은 부분이 현상되어 제거되는 레지스트를 의미한다.

[0059] 상기 포토 레지스트는 서로 다른 최대 에너지 흡수 파장에서 반응하는 두 종 이상의 개시제들을 포함하며, 바람직하게는 서로 다른 값의 최대 에너지 흡수 파장(λ_{max})을 갖는 두 종의 개시제들을 포함한다. 상기 포토 레지스트가 두 종의 개시제를 포함하는 경우, 상기 포토 레지스트는 제1 개시제와, 상기 제1 개시제와 다른 최대 에너지 흡수 파장을 갖는 제2 개시제를 포함한다. 여기서, 상기 제1 개시제의 최대 에너지 흡수 파장은 상기 제2 개시제의 최대 에너지 흡수 파장보다 길다. 상기 제1 개시제와 상기 제2 개시제는 서로 다른 파장의 광이 조사되었을 때 상기 포토 레지스트의 반응의 정도를 다르게 하기 위한 것이다.

[0060] 상기 제1 개시제의 최대 에너지 흡수 파장은 약 300nm 내지 약 600nm 일 수 있으며, 300nm 이하의 최대 에너지 흡수 파장을 갖지 않는다.

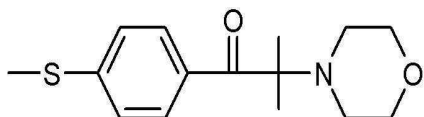
[0061] 상기 제1 개시제는 상기 최대 에너지 흡수 파장을 갖는 것으로서 특별히 한정된 것은 아니며, 예를 들어, 티타노센(Titanocene)계 개시제 또는 아세토펜(acetophenone)계 개시제일 수 있다. 상기 티타노센계 개시제 또는 아세토펜계 개시제의 예는 하기한 화학식 1 및 화학식 2에 각각 나타내었다.

[0062] [화학식 1]

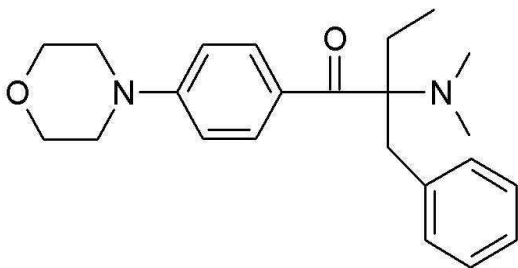


[0063] ,

[0064] [화학식 2]



[0065] , 또는



[0066]

[0067] 하기 표 1은 일 실시예에 따른 상기 제1 개시제의 최대 파장을 나타낸 것이다.

표 1

[0068]

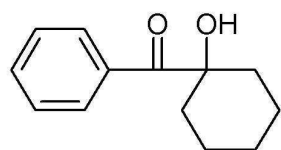
제1 개시제	구조식	$\lambda_{\max}$ (nm)
1		550
2		300~310
3		320~330

[0069] 상기 제2 개시제는 흡수 최대 최대 에너지 흡수 파장이 약 200nm 내지 약 300nm인 개시제일 수 있다.

[0070] 상기 제2 개시제는 상기 최대 파장을 갖는 것으로서 특별히 한정된 것은 아니며, 예를 들어, 에스테르계 개시제, 옥심-에스테르계 개시제, 이미다졸계 개시제, 또는 머캅탄계 개시제 중 적어도 하나를 포함할 수 있다.

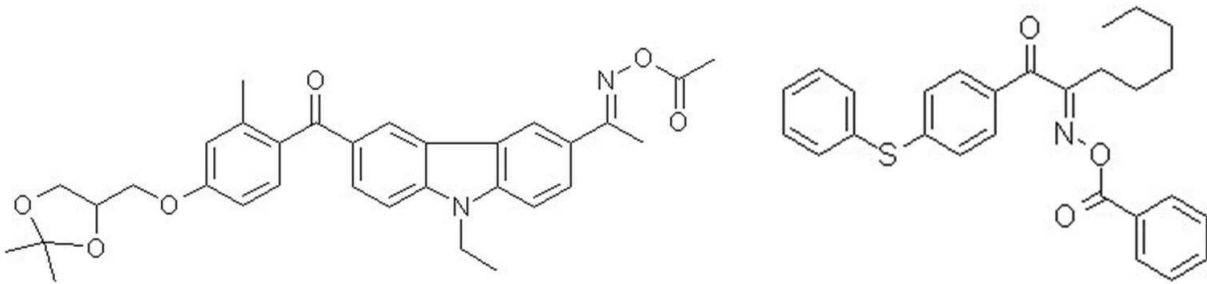
[0071] 상기 에스테르계 개시제, 옥심-에스테르계 개시제, 이미다졸계 개시제, 또는 머캅탄계 개시제의 예는 하기한 화학식 3 내지 6에 각각 나타내었다..

[0072] [화학식 3]

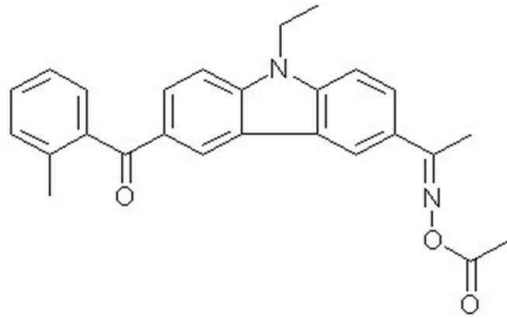


[0073]

[0074] [화학식 4]

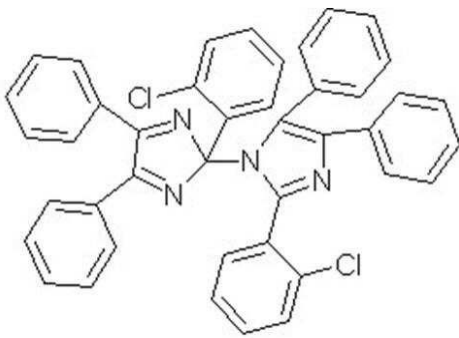


[0075]



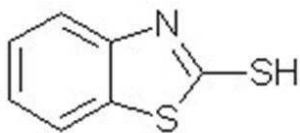
또는

[0076] [화학식 5]



[0077]

[0078] [화학식 6]



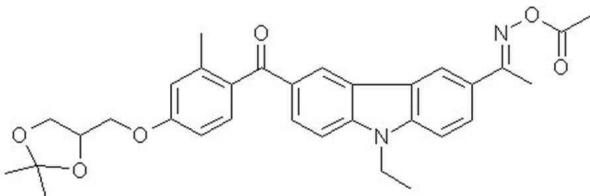
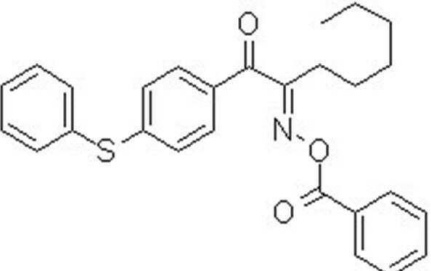
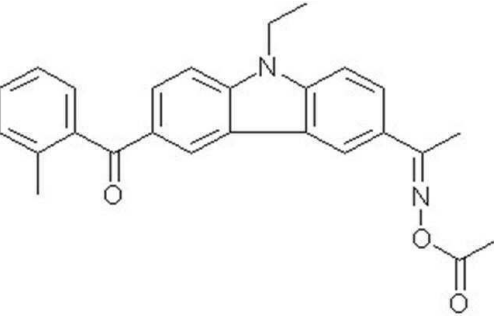
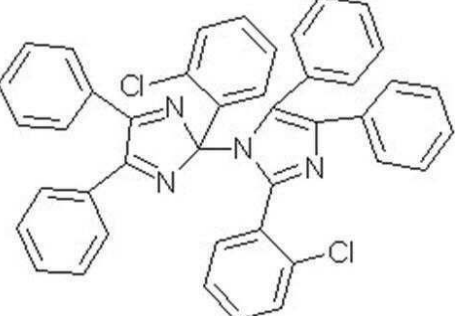
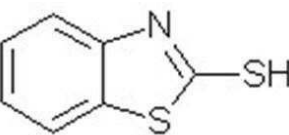
[0079]

[0080] 하기한 표 2은 일 실시예에 따른 상기 제2 개시제의 최대 파장을 나타낸 것이다.

표 2

[0081]

제2 개시제	구조식	$\lambda_{\max}$ (nm)
1		240~250 320~335

2		265 297 330
3		240 326
4		260 298 337
5		269
6		250 321

[0082] 상기 포토 레지스트는 다음 노광이 수행되기 이전에 선경화(소프트 베이크)될 수 있다.

[0083] 다음으로, 상기 제1 기판 상에 마스크가 배치되고 상기 마스크를 통해 상기 포토 레지스트의 소정 영역에 제1 광이 조사되는 1차 노광이 수행된다(S33). 상기 제1 광은 상기 제1 개시제의 최대 에너지 흡수 파장에 대응하는 약 300nm 내지 약 600nm의 파장을 갖는 광이며, 300nm 이하의 파장을 갖지 않는다. 상기 제1 광이 조사되면 상기 제1 개시제가 반응하여 상기 포토 레지스트에 중합 반응이나 분해 반응이 일어난다.

[0084] 상기 소정 영역은 상기 블랙 컬럼 스페이서가 형성될 영역에 대응한다. 상기 1차 노광 단계에서 상기 블랙 매트릭스부와 상기 컬럼 스페이서부가 형성될 영역 각각에 노광되는 광량이 다르도록 회절 마스크나 슬릿 마스크가 사용될 수 있다. 예를 들어, 상기 블랙 컬럼 매트릭스가 형성되지 않을 영역을 제1 영역, 상기 블랙 컬럼 매트릭스 중 블랙 매트릭스부가 형성될 영역을 제2 영역, 상기 블랙 컬럼 매트릭스 중 컬럼 스페이서부가 형성될 영역을 제3 영역이라고 하며, 상기 회절 마스크나 슬릿 마스크가 사용되는 경우, 상기 제1 영역에서는 광이 투과되지 않으며, 상기 제2 영역에서는 광의 일부가 투과되거나 회절되며, 상기 제3 영역에서는 광이 모두 투과된다.

[0085] 이후, 1차 노광된 상기 포토 레지스트가 현상된다(S35). 상기 포토 레지스트가 현상됨에 따라 상기 1차 노광에서의 노광량에 따라 상기 포토 레지스트의 일부가 제거되고 일부가 남게 된다. 예를 들어, 상기 제1 영역의 포토 레지스트는 모두 제거되고, 상기 제2 영역의 포토 레지스트는 일부가 제거되며, 상기 제3 영역의 포토 레지스트는 제거되지 않는다. 이에 따라, 상기 포토 레지스트는 상기 제2 영역에서의 높이가 상기 제1 영역에서의 높이보다 크며, 상기 제3 영역에서의 높이가 상기 제1 영역에서의 높이보다 높다.

[0086] 다음으로, 상기 현상된 포토레지스트에 제2광으로 2차 노광을 수행한다(S37). 상기 제2 광은 약 200nm 내지 약 300nm의 파장을 갖는 광이며, 300nm 이상의 추가 최대 파장을 가질 수도 있다. 상기 제2 광은 상기 제2 개시체의 최대 에너지 흡수 파장에 대응하는 파장을 갖는다. 상기 제2 광이 조사되면 상기 제2 개시체가 반응하여 상기 포토 레지스트에 중합 반응이나 분해 반응이 추가적으로 일어난다.

[0087] 상기 제2 광에 의한 2차 노광시에 상기 포토 레지스트는 상기 제1 광의 광량보다 더 작은 광량으로 노광될 수 있다. 상기 2차 노광에 의해 추가적인 중합 반응 또는 분해 반응이 일어나며, 그 결과 상기 컬럼 스페이서부의 프로파일을 조절할 수 있다. 즉, 상기 컬럼 스페이서부의 측면과 상기 제1 기판의 상면과의 각도를 테이퍼 앵글이라고 하면, 상기 2차 노광량에 따라 상기 테이퍼 앵글의 조절이 가능하다.

[0088] 표 3은 2차 노광시의 광량에 따른 테이퍼 앵글의 상대값을 나타낸 것으로서, 2차 노광시의 광량이 증가함에 따라 테이퍼 앵글이 증가하는 것을 확인할 수 있다.

표 3

노광량	2차 노광 없음	2차 노광량(mJ)					
		5	10	20	30	50	100
테이퍼 앵글	10	16	34	40	47	51	55

[0090] 상기 2차 노광은 형성하고자 하는 테이퍼 앵글에 따라 상기 포토 레지스트로의 노광량이 조절될 수 있다. 예를 들어, 테이퍼 앵글이 지나치게 큰 경우에는 제1 영역 내지 제3 영역 각각의 단차가 커지는 경우 액정의 이상 구동을 일으킬 수 있으므로, 2mJ 내지 25mJ 정도의 노광량으로 2차 노광이 수행될 수 있다.

[0091] 상기 2차 노광은 상기 1차 노광 공정 후 제2 개시체의 추가 반응을 유도하기 위한 것으로, 상기 1차 노광에서 이미 주요 패턴이 형성된 이후이기 때문에 별도의 마스크가 필요하지 않다.

[0092] 이후, 상기 2차 노광된 포토레지스트는 후-경화(하드 베이크)됨으로써 블랙 컬럼 스페이서가 된다(S39).

[0093] 여기서, 상기 포토 레지스트가 상기 2차 노광 없이 곧바로 후-경화하는 경우, 상기 포토 레지스트가 후-경화시의 열에 의해 플로우되는 현상이 발생한다. 이에 따라, 현상 후 형성된 컬럼 스페이서의 폭이 상기 플로우 현상에 의해 급격하게 증가하는 현상이 일어난다. 또한, 상기 플로우 현상에 의해 컬럼 스페이서의 압축 특성이 저하되고, 블랙 매트릭스부의 경계가 명확하지 않은 문제가 발생할 수 있다. 그러나, 본 발명의 일 실시예에서는 상기 2차 노광을 통해 상기 포토 레지스트를 추가 반응시킴으로써 상기 플로우 현상을 감소시키거나 방지한다.

[0094] 다음으로, 상기 블랙 컬럼 스페이서가 형성된 제1 기판과 상기 제2 기판 사이에 액정층을 형성한다.

[0095] 본 발명의 일 실시예에 따른 표시 장치 제조 방법에 있어서, 2매의 마스크를 이용하여 블랙 매트릭스와 컬럼 스페이서를 형성하는 기존의 표시 장치 제조방법과 달리, 일체화된 블랙 매트릭스와 컬럼 스페이서를 한 매의 마스크로 형성할 수 있다. 이에 따라, 본 발명의 일 실시예에 따르면, 블랙 매트릭스와 스페이서 형성시 두 매의 마스크를 이용한 포토 리소그래피 공정(두 번의 경화 과정 포함) 중 발생할 수 있는 불순물 이온 용출 및 이에 기인한 결함 등이 방지된다. 또한, 표시 장치 제조시 1매의 마스크를 이용함으로써 표시 장치를 제조하는 공정이 단순화되며 제조 원가가 절감된다. 이에 더해, 블랙 매트릭스가 형성되는 영역 상에 컬럼 스페이서가 일체로 형성되므로 컬럼 스페이서에 의해 가려지는 부분이 제거되어 투과율이 상승한다.

[0096] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

[0097] 예를 들어, 본 발명의 일 실시예에서는 상기 포토 레지스트가 네거티브 타입일 경우를 설명하였으나, 이에 한정되는 것은 아니며, 이와 반대로 포지티브 타입의 포토 레지스트도 사용될 수 있음은 당업자에게 자명할 것이다.

[0098] 또한, 본 발명의 일 실시예에서는 블랙 매트릭스와 일체화된 컬럼 스페이서를 형성하는 방법을 설명하였으나,

이에 한정되는 것은 아니며, 소정 영역에서 단차를 가지는 유기막을 형성하는 방법에도 응용될 수 있다. 예를 들어, 유기 발광 표시 장치에 사용되는 화소의 격벽을 형성하는 데에 사용될 수 있다.

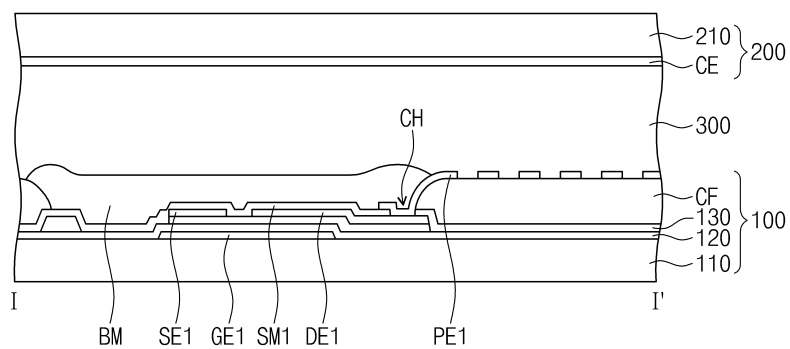
[0099] 그 외에도, 본 발명의 일 실시예에서는 영상을 표시하는 층으로 액정층을 일 예로서 나타낸 표시 장치 제조 방법을 개시하였으나, 이에 한정되는 것은 아니며, 두 기관 사이에서 영상을 표시할 수 있는 다른 표시 장치에도 적용될 수 있음은 물론이다. 예를 들어, 상기 액정층 대신 유기 발광층, 전기 영동층, 일렉트로 웨팅 (electrowetting)층, 또는 멤스(MEMS; microelectromechanical system) 셔터층 등이 사용될 수도 있다.

[0100] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

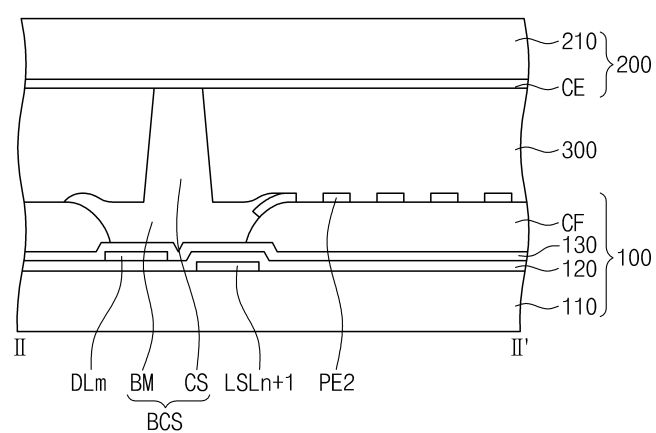
부호의 설명

[0101]	100: 제1 기관	110: 제1 베이스 기관
	120: 게이트 절연막	130: 보호막
	200: 제2 기관	210: 제2 베이스 기관
	300: 액정층	BCS: 블랙 컬럼 스페이서
	CE: 공통 전극	CF: 컬러 필터
	PE: 화소 전극	

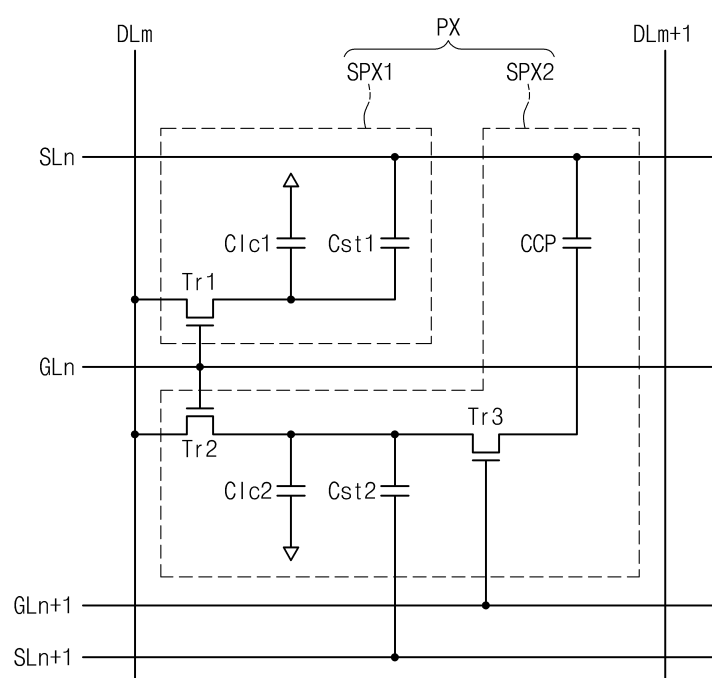
도면2a



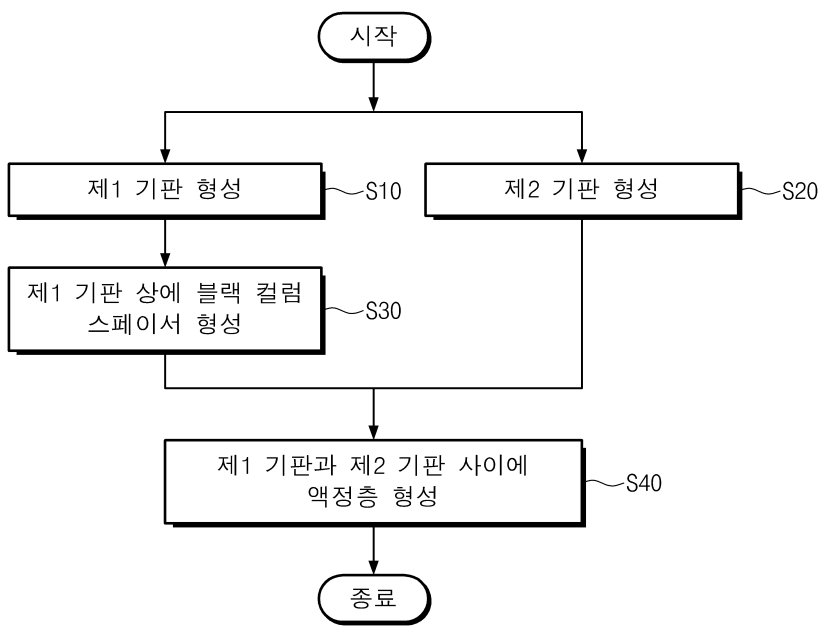
도면2b



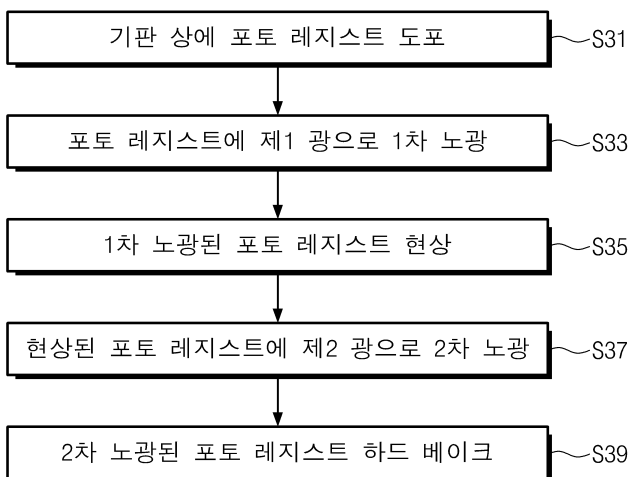
도면3



도면4



도면5



专利名称(译)	显示装置的制造方法		
公开(公告)号	KR1020130044710A	公开(公告)日	2013-05-03
申请号	KR1020110108909	申请日	2011-10-24
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM GWAN SOO 김관수 KANG DONG UK 강동욱 HUH CHUL 허철		
发明人	김관수 강동욱 허철		
IPC分类号	G02F1/1339 C07D405/12 C07D207/325		
CPC分类号	H01L33/08 G02F1/13394 G02F1/133512 G02F1/1335		
其他公开文献	KR101890130B1		
外部链接	Espacenet		

摘要(译)

一种制造显示装置的方法，包括形成其上形成有多个像素的第一基板，在第一基板上形成黑色柱状间隔物，形成第二基板，在第一基板和第二基板之间形成液晶层，一个包括形成。形成黑色柱状间隔物的步骤包括在第一基板上施加光致抗蚀剂，在第一光曝光后将光致抗蚀剂曝光，并将光致抗蚀剂暴露于第二光。专利文献10-2013-0044710

