



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0046061
(43) 공개일자 2012년05월09일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G11C 19/00 (2006.01)
(21) 출원번호 10-2011-0111332
(22) 출원일자 2011년10월28일
심사청구일자 2011년10월28일
(30) 우선권주장
201010532031.3 2010년10월29일 중국(CN)

(71) 출원인
보에 테크놀로지 그룹 컴퍼니 리미티드
중국 베이징 100016, 차오양 디스트릭트, 지우시
양치야오 로드 10호
청두 비오이 옵토일렉트로닉스 테크놀로지 컴퍼니
리미티드
중국 611731 쓰촨 프로빈스 청두 하이-테크 디벨
롭먼트 존 (웨스트 존) 허주오 로드 1188호
(72) 발명자
탄 웬
중국 베이징 100176 비디에이 시환중로 8호
치 시아오징
중국 베이징 100176 비디에이 시환중로 8호
청 하이강
중국 베이징 100176 비디에이 시환중로 8호
(74) 대리인
리앤목특허법인

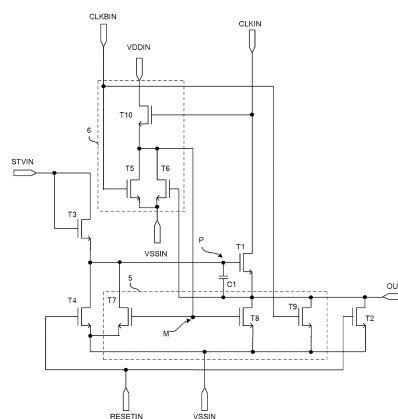
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 쉬프트 레지스터 유닛, 게이트 구동 장치 및 액정 디스플레이

(57) 요약

본 발명은, 쉬프트 레지스터 유닛, 게이트 구동 장치 및 액정 디스플레이를 제공한다. 상기 쉬프트 레지스터 유닛은 제1 박막 트랜지스터와 제2 박막 트랜지스터와 제3 박막 트랜지스터와 제4 박막 트랜지스터를 구비하고, 구동 유닛 및 풀다운 유닛을 더 구비하고, 풀다운 유닛은, 게이트 구동 신호 출력단이 로우 레벨 신호를 출력할 필요가 있을 때 게이트 구동 신호 출력단이 출력하는 신호를 로우 레벨로 풀다운한다. 구동 유닛은, 게이트 구동 신호 출력단이 로우 레벨 신호를 출력할 필요가 있을 때 풀다운 유닛을 구동하기 위한 교류 구동 신호를 발생시킨다. 쉬프트 레지스터 유닛에는 구동 유닛 및 풀다운 유닛이 구비되어 있기 때문에 쉬프트 레지스터 유닛은 로우 레벨을 출력할 필요가 있을 때 출력한 게이트 구동 신호가 로우 레벨로 안정적으로 유지되도록 보장할 수 있다. 또한 풀다운 유닛은 하나의 교류 신호의 구동에 의해 동작하여 풀다운 유닛의 박막 트랜지스터의 문턱값 전압에 비교적 큰 오프셋을 발생시키는 것을 방지할 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

쉬프트 레지스터 유닛으로서,

드레인이 제1 클럭 신호 입력단에 접속되고, 소스가 게이트 구동 신호 출력단에 접속된 제1 박막 트랜지스터;

드레인이 게이트 구동 신호 출력단에 접속되고, 게이트가 리셋 신호 입력단에 접속되고, 소스가 로우 레벨 신호 입력단에 접속된 제2 박막 트랜지스터;

드레인과 게이트가 스타트 신호 입력단에 접속되고, 소스가 상기 제1 박막 트랜지스터의 게이트에 접속된 제3 박막 트랜지스터;

드레인이 상기 제3 박막 트랜지스터의 소스에 접속되고, 게이트가 리셋 신호 입력단에 접속되고, 소스가 로우 레벨 신호 입력단에 접속된 제4 박막 트랜지스터;

양단이 각각 상기 제1 박막 트랜지스터의 게이트와 소스에 접속된 콘덴서;

상기 게이트 구동 신호 출력단이 로우 레벨 신호를 출력할 필요가 있을 때 상기 게이트 구동 신호 출력단이 출력하는 신호를 로우 레벨로 풀다운하는 풀다운 유닛; 및

상기 게이트 구동 신호 출력단이 로우 레벨 신호를 출력할 필요가 있을 때 상기 풀다운 유닛을 구동하기 위한 교류 구동 신호를 발생시키는 구동 유닛;을 구비하는 것을 특징으로 하는 쉬프트 레지스터 유닛.

청구항 2

제1항에 있어서, 상기 구동 유닛은,

드레인이 상기 하이 레벨 신호 입력단에 접속되고, 게이트가 제1 클럭 신호 입력단에 접속된 제10 박막 트랜지스터;

드레인이 상기 제10 박막 트랜지스터의 소스에 접속되고, 게이트가 상기 제2 클럭 신호 입력단에 접속되고, 소스가 상기 로우 레벨 신호 입력단에 접속된 제5 박막 트랜지스터; 및

드레인이 상기 제10 박막 트랜지스터의 소스에 접속되고, 게이트가 상기 게이트 구동 신호 출력단에 접속되고, 소스가 상기 로우 레벨 신호 입력단에 접속된 제6 박막 트랜지스터;를 구비하는 것을 특징으로 하는 쉬프트 레지스터 유닛.

청구항 3

제2항에 있어서, 상기 풀다운 유닛은,

드레인이 상기 제3 박막 트랜지스터의 소스에 접속되고, 게이트가 상기 제10 박막 트랜지스터의 소스에 접속되고, 소스가 상기 로우 레벨 신호 입력단에 접속된 제7 박막 트랜지스터;

드레인이 상기 제1 박막 트랜지스터의 소스에 접속되고, 게이트가 상기 제10 박막 트랜지스터의 소스에 접속되고, 소스가 상기 로우 레벨 신호 입력단에 접속된 제8 박막 트랜지스터;

드레인이 상기 게이트 구동 신호 출력단에 접속되고, 게이트가 상기 제2 클럭 신호 입력단에 접속되고, 소스가 상기 로우 레벨 신호 입력단에 접속된 제9 박막 트랜지스터;를 구비한 것을 특징으로 하는 쉬프트 레지스터 유닛.

청구항 4

액정 디스플레이 게이트 구동 장치로서,

차례대로 접속된 n개의 청구항 제1항 내지 제3항 중 어느 한 항에 기재된 쉬프트 레지스터 유닛을 구비하고, 단, n이 자연수이고,

1개체의 쉬프트 레지스터 유닛과 n개체의 쉬프트 레지스터 유닛 이외에 각 쉬프트 레지스터 유닛의 게이트 구동

신호 출력단은 모두 인접한 1개 전의 쉬프트 레지스터 유닛의 리셋 신호 입력단, 및 인접한 다음의 쉬프트 레지스터 유닛의 스타트 신호 입력단에 접속되고,

1개째 쉬프트 레지스터 유닛의 게이트 구동 신호 출력단이 2개째 쉬프트 레지스터 유닛의 스타트 신호 입력단에 접속되고,

최후의 쉬프트 레지스터 유닛의 게이트 구동 신호 출력단이 n-1개째 쉬프트 레지스터 유닛의 리셋 신호 입력단, 및 자신의 리셋 신호 입력단에 접속된 것을 특징으로 하는 액정 디스플레이 게이트 구동 장치.

청구항 5

제4항에 있어서,

홀수째 쉬프트 레지스터 유닛의 제1 클럭 신호 입력단이 제1 클럭 신호를 입력하고, 제2 클럭 신호 입력단이 제2 클럭 신호를 입력하고,

짝수째 쉬프트 레지스터 유닛의 제1 클럭 신호 입력단이 제2 클럭 신호를 입력하고, 제2 클럭 신호 입력단이 제1 클럭 신호를 입력하고,

상기 제1 클럭 신호와 제2 클럭 신호는 서로 역위상의 신호인 액정 디스플레이 게이트 구동 장치.

청구항 6

액정 디스플레이로서, 청구항 제4항 또는 제5항에 기재된 상기 액정 디스플레이 게이트 구동 장치를 구비한 것을 특징으로 하는 액정 디스플레이.

명세서

기술 분야

[0001] 본 발명의 실시예는 구동 기술 분야에 관한 것으로서, 특히 쉬프트 레지스터 유닛, 게이트 구동 장치 및 액정 디스플레이에 관한 것이다.

배경 기술

[0002] 박막 트랜지스터 액정 디스플레이(Thin Film Transistor Liquid Crystal Display, TFT-LCD로 약칭)에서는, 항상 게이트 구동 장치에서 화소 영역의 각 박막 트랜지스터의 게이트에 게이트 구동 신호가 제공되고 있다. 게이트 구동 장치는 어레이 공정에 의해 액정 디스플레이의 어레이 기판에 형성되어 있다. 이와 같은 기술은 GOA 기술(Gate on Array, GOA로 약칭)이라고도 불린다.

[0003] GOA 기술로 형성된 액정 디스플레이의 게이트 구동 장치는 복수의 쉬프트 레지스터 유닛을 구비한다. 각 쉬프트 레지스터 유닛은 복수의 박막 트랜지스터를 구비한다. 쉬프트 레지스터 유닛은 화소 영역(화소 영역이란, 액정 디스플레이의 표시 영역을 가리키며 복수의 서브 픽셀을 구비한다)의 게이트 라인에 접속된다. 어느 한 행의 게이트 라인을 온으로 할 필요가 있을 때 이 행의 게이트 라인에 접속된 쉬프트 레지스터 유닛은 하이 레벨의 게이트 구동 신호를 출력한다. 이 게이트 라인을 온으로 할 필요가 없을 때 이 행의 게이트 라인에 접속된 쉬프트 레지스터 유닛은 로우 레벨의 게이트 구동 신호를 출력한다.

[0004] 그러나 대부분의 경우에 쉬프트 레지스터 유닛이 출력하는 신호는 입력된 클럭 신호에 간섭되어 원래 하이 레벨 신호를 출력할 필요가 없을 때 하이 레벨 신호가 출력된다. 따라서 쉬프트 레지스터 유닛은 필요한 경우에 로우 레벨로 확실하게 유지되는 것은, 해결해야 할 과제이다.

발명의 내용

해결하려는 과제

[0005] 본 발명은, 종래 기술에서 쉬프트 레지스터 유닛이 로우 레벨로 유지할 필요가 있는 경우에 확실하게 로우 레벨로 유지할 수 없다 라는 과제를 해결하기 위한 쉬프트 레지스터 유닛, 게이트 구동 장치 및 액정 디스플레이를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0006] 본 발명이 제공하는 것은 쉬프트 레지스터 유닛으로서,
- [0007] 드레인이 제1 클럭 신호 입력단에 접속되고, 소스가 게이트 구동 신호 출력단에 접속된 제1 박막 트랜지스터와,
- [0008] 드레인이 게이트 구동 신호 출력단에 접속되고, 게이트가 리셋 신호 입력단에 접속되고, 소스가 로우 레벨 신호 입력단에 접속된 제2 박막 트랜지스터와,
- [0009] 드레인과 게이트가 스타트 신호 입력단에 접속되고, 소스가 상기 제1 박막 트랜지스터의 게이트에 접속된 제3 박막 트랜지스터와,
- [0010] 드레인이 상기 제3 박막 트랜지스터의 소스에 접속되고, 게이트가 리셋 신호 입력단에 접속되고, 소스가 로우 레벨 신호 입력단에 접속된 제4 박막 트랜지스터와,
- [0011] 양단이 각각 상기 제1 박막 트랜지스터의 게이트와 소스에 접속된 콘덴서와,
- [0012] 상기 게이트 구동 신호 출력단이 로우 레벨 신호를 출력할 필요가 있을 때 상기 게이트 구동 신호 출력단이 출력하는 신호를 로우 레벨로 풀다운하는 풀다운 유닛과,
- [0013] 상기 게이트 구동 신호 출력단이 로우 레벨 신호를 출력할 필요가 있을 때 상기 풀다운 유닛을 구동하기 위한 교류 구동 신호를 발생시키는 구동 유닛을 구비한다.
- [0014] 본 발명은 차례대로 접속된 n개의 상기 쉬프트 레지스터 유닛을 구비한 액정 디스플레이 게이트 구동 장치를 더 제공하는데, 단, n은 자연수이고, 1개째의 쉬프트 레지스터 유닛과 n개째의 쉬프트 레지스터 유닛 이외에 각 쉬프트 레지스터 유닛의 게이트 구동 신호 출력단은 모두 인접한 1개 전의 쉬프트 레지스터 유닛의 리셋 신호 입력단, 및 인접한 다음의 쉬프트 레지스터 유닛의 스타트 신호 입력단에 접속되고,
- [0015] 1개째 쉬프트 레지스터 유닛의 게이트 구동 신호 출력단이 2개째 쉬프트 레지스터 유닛의 스타트 신호 입력단에 접속되고,
- [0016] 최후의 쉬프트 레지스터 유닛의 게이트 구동 신호 출력단이 n-1개째 쉬프트 레지스터 유닛의 리셋 신호 입력단 및 자신의 리셋 신호 입력단에 접속되어 있다.
- [0017] 본 발명은 상기 액정 디스플레이 게이트 구동 장치를 구비한 액정 디스플레이를 더 제공한다.

발명의 효과

- [0018] 본 발명이 제공하는 쉬프트 레지스터 유닛, 게이트 구동 장치 및 액정 디스플레이에서, 쉬프트 레지스터 유닛은 풀다운 유닛과 구동 유닛을 구비하고, 풀다운 유닛은 게이트 구동 신호가 로우 레벨 신호를 출력할 필요가 있을 때 게이트 구동 신호 출력단이 출력하는 신호를 로우 레벨로 풀다운시킨다. 이와 같이 하여 쉬프트 레지스터 유닛은 로우 레벨을 출력할 필요가 있을 때 출력한 게이트 구동 신호가 로우 레벨로 안정적으로 유지되도록 보장할 수 있다. 또한 구동 유닛은 게이트 구동 신호 출력 유닛이 로우 레벨을 출력할 필요가 있을 때 풀다운 유닛을 구동하기 위한 교류 구동 신호를 출력한다. 이와 같이 하여 풀다운 유닛은 하나의 교류 신호의 구동에 의해 동작하여 풀다운 유닛의 박막 트랜지스터의 문턱값 전압에 비교적 큰 오프셋을 발생시키는 것을 방지할 수 있다.

도면의 간단한 설명

- [0019] 본 발명의 실시예 또는 종래 기술의 기술안을 더욱 명료하게 설명하기 위해 이하에 실시예 또는 종래 기술의 설명에 필요한 도면을 간단히 설명하기로 한다. 하기 도면은 명백히 본 발명의 일부 실시예에 관한 것에 불과하며, 당업자라면 이들 도면에 기초하여 다른 도면을 얻을 수 있다.

도 1은, 본 발명의 제1 실시예에 관한 쉬프트 레지스터 유닛의 개략 구성을 도시한 도면이다.

도 2는, 본 발명의 제2 실시예에 관한 쉬프트 레지스터 유닛의 개략 구성을 도시한 도면이다.

도 3은, 본 발명에 관한 액정 디스플레이 게이트 구동 장치의 개략 구성을 도시한 도면이다.

도 4는, 도 3에 도시한 액정 디스플레이 게이트 구동 장치가 입력/출력하는 신호의 시퀀스를 도시한 도면이다.

도 5는, 도 2에 도시한 쉬프트 레지스터 유닛의 입력/출력 시퀀스를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 본 발명의 실시예의 목적, 기술안 및 장점을 더욱 명료하게 하기 위해, 이하 본 발명의 실시예의 도면을 결합하여 본 발명의 실시예의 기술안을 명료하고 완전하게 설명하기로 한다. 하기 실시예는 명백히 본 발명의 일부 실시예에 불과하며 전부의 실시예에 포함되지는 않는다. 본 발명의 실시예에 기초하여 당업자가 특별한 노력 없이 얻는 다른 실시예도 본 발명이 보호하는 범위에 속한다.
- [0021] 도 1은 본 발명의 제1 실시예에 관한 쉬프트 레지스터 유닛의 개략 구성을 도시한 도면이다. 이 쉬프트 레지스터 유닛은, 제1 박막 트랜지스터 T1과, 제2 박막 트랜지스터 T2와, 제3 박막 트랜지스터 T3와, 제4 박막 트랜지스터 T4와, 콘덴서 C1과, 풀다운 유닛(5)과, 구동 유닛(6)을 구비한다.
- [0022] 제1 박막 트랜지스터 T1의 드레인이 제1 클럭 신호 입력단(CLKIN)에 접속되고 소스가 게이트 구동 신호 출력단(OUT)에 접속되어 있다.
- [0023] 제2 박막 트랜지스터 T2의 드레인이 게이트 구동 신호 출력단(OUT)에 접속되고, 게이트가 리셋 신호 입력단(RESETIN)에 접속되고, 소스가 로우 레벨 신호 입력단(VSSIN)에 접속되어 있다.
- [0024] 제3 박막 트랜지스터 T3의 드레인과 게이트가 스타트 신호 입력단(STVIN)에 접속되고, 소스가 제1 박막 트랜지스터의 게이트에 접속되어 있다.
- [0025] 제4 박막 트랜지스터 T4의 드레인이 제3 박막 트랜지스터 T3의 소스에 접속되고, 게이트가 리셋 신호 입력단(RESETIN)에 접속되고, 소스가 로우 레벨 신호 입력단(VSSIN)에 접속되어 있다.
- [0026] 콘덴서 C1의 양단이 각각 제1 박막 트랜지스터 T1의 게이트와 소스에 접속되어 있다.
- [0027] 풀다운 유닛(5)은 제3 박막 트랜지스터 T3의 소스와, 로우 레벨 신호 입력단(VSSIN)과, 제1 박막 트랜지스터 T1의 소스와, 제1 클럭 신호 입력단(CLKIN)과, 제2 클럭 신호 입력단(CLKBIN)과, 게이트 구동 신호 출력단(OUT)에 각각 접속되고, 게이트 구동 신호 출력단(OUT)이 로우 레벨 신호를 출력할 필요가 있을 때 게이트 구동 신호 출력단(OUT)이 출력하는 신호를 로우 레벨로 풀다운한다.
- [0028] 구동 유닛(6)이 제1 클럭 신호 입력단(CLKIN)과, 제2 클럭 신호 입력단(CLKBIN)과, 로우 레벨 신호 입력단(VSSIN)과, 하이 레벨 신호 입력단(VDDIN)과, 게이트 구동 신호 출력단(OUT)과, 풀다운 유닛(5)에 접속되고, 게이트 구동 신호 출력단(OUT)이 로우 레벨 신호를 출력할 필요가 있을 때 풀다운 유닛(5)을 구동하기 위한 교류 구동 신호를 생성한다.
- [0029] 단, 제1 클럭 신호 입력단(CLKIN)이 클럭 신호를 입력한다. 제2 클럭 신호 입력단(CLKBIN)은 제1 클럭 신호 입력단이 입력하는 신호에 대해 역위상의 클럭 신호를 입력한다. 리셋 신호 입력단(RESETIN)은 리셋 신호를 입력한다. 스타트 신호 입력단(STVIN)은 스타트 신호를 입력한다. 로우 레벨 신호 입력단(VSSIN)은 로우 레벨 신호를 입력한다. 하이 레벨 신호 입력단은 하이 레벨 신호를 입력한다. 게이트 구동 신호 출력단(OUT)은 게이트 구동 신호를 입력한다.
- [0030] 단, 구동 유닛(6)은 적어도 하나의 박막 트랜지스터를 구비해도 좋다. 박막 트랜지스터는 게이트 구동 신호 출력단(OUT)이 로우 레벨 신호를 출력할 필요가 있을 때 온이 되어 박막 트랜지스터의 드레인은 교류 구동 신호를 생성할 수 있고, 풀다운 유닛(5)이 동작하도록 구동하여 게이트 구동 신호 출력단(OUT)이 출력하는 신호를 로우 레벨로 풀다운한다. 생성된 교류 구동 신호는 제1 클럭 신호 입력단(CLKIN)이 입력하는 클럭 신호의 파형과 유사하다.
- [0031] 풀다운 유닛(5)은 적어도 하나의 박막 트랜지스터를 구비해도 좋다. 박막 트랜지스터는 구동 유닛(6)이 생성한 교류 구동 신호의 작용에 의해 온이 되고 또한 박막 트랜지스터의 소스는 로우 레벨 신호 입력단(VSSIN)에 접속되어 있다. 이와 같이 하여 박막 트랜지스터는 게이트 구동 신호 출력단(OUT)이 출력하는 신호를 로우 레벨로 풀다운하는 역할을 담당할 수 있다. 풀다운 유닛(5)은 박막 트랜지스터가 다수 있을 때 게이트 구동 신호 출력단(OUT)이 출력한 신호를 더욱 확실하게 로우 레벨로 풀다운한다.
- [0032] 액정 디스플레이에서는 1행의 게이트 라인을 온으로 하도록 제어할 필요가 있을 때 이 행의 게이트 라인에 접속된 쉬프트 레지스터 유닛이 출력하는 게이트 구동 신호는 하이 레벨이 되고, 이 행의 게이트 라인을 오프로 하도록 제어할 필요가 있을 때 이 행의 게이트 라인에 접속된 쉬프트 레지스터 유닛이 출력한 게이트 구동 신호는

로우 레벨이 된다. 액정 디스플레이는 차례대로 주사를 채용할 경우에 만일 게이트 라인이 a행이고, 액정 디스플레이의 1프레임의 표시 시간이 T라면, 게이트 구동 신호가 하이 레벨로 유지된 시간은 T/a이다.

[0033] 그러나 제1 신호 출력단이 출력하는 게이트 구동 신호는 로우 레벨로 유지될 필요가 있는 단계에서 클럭 신호의 영향에 의해 하이 레벨이 되고, 그로써 액정 디스플레이의 정상 표시에 영향을 미친다. 도 1을 예로 들면, 제1 박막 트랜지스터 T1의 드레인이 제1 클럭 신호 입력단(CLKIN)에 접속되고 게이트 구동 신호가 로우 레벨로 유지될 필요가 있는 단계에서 제1 클럭 신호 입력단이 입력하는 신호는 여전히 하이 레벨이 되는데, 제1 클럭 신호 입력단이 입력하는 신호가 하이 레벨이 됨으로써 게이트 구동 신호도 하이 레벨이 될 가능성이 있다. 제2 박막 트랜지스터 T2가 게이트 구동 신호의 레벨을 풀다운하는 역할을 담당할 수 있는데, 제2 박막 트랜지스터는 리셋 신호 입력단(RESETIN)이 입력하는 신호가 하이 레벨일 때에 비로소 레벨을 풀다운하는 역할을 담당한다. 제2 박막 트랜지스터가 오프될 때 게이트 구동 신호를 로우 레벨로 유지하도록 보장할 수 없다.

[0034] 본 발명에서의 제1 실시예가 제공한 쉬프트 레지스터 유닛은 풀다운 유닛과 구동 유닛을 구비한다. 풀다운 유닛은, 게이트 구동 신호가 로우 레벨 신호를 출력할 필요가 있을 때 게이트 구동 신호 출력단이 출력하는 신호를 로우 레벨로 풀다운한다. 이와 같이 하여 쉬프트 레지스터 유닛이 로우 레벨을 출력할 필요가 있을 때 출력하는 게이트 구동 신호를 로우 레벨로 안정적으로 유지하는 것을 보장할 수 있다. 게다가 구동 유닛은, 게이트 구동 신호 출력 유닛이 로우 레벨을 출력할 필요가 있을 때 풀다운 유닛을 구동하기 위한 교류 구동 신호를 생성한다. 이와 같이 하여 풀다운 유닛은 교류 신호의 구동에 의해 동작하여 풀다운 유닛의 박막 트랜지스터의 문턱값 전압에 비교적 큰 오프셋을 발생시키는 것을 방지할 수 있다.

[0035] 도 2는 본 발명의 제2 실시예에 관한 쉬프트 레지스터 유닛의 개략 구성을 도시한 도면이다. 이 실시예에서는 구동 유닛(6)은 제10 박막 트랜지스터 T10과, 제5 박막 트랜지스터 T5와, 제6 박막 트랜지스터 T6을 구비한다.

[0036] 제10 박막 트랜지스터 T10의 드레인이 하이 레벨 신호 입력단(VDDIN)에 접속되고 게이트가 제1 클럭 신호 입력단(CLKIN)에 접속되어 있다. 제5 박막 트랜지스터 T5의 드레인이 제10 박막 트랜지스터 T10의 소스에 접속되고, 게이트가 제2 클럭 신호 입력단(CLKBIN)에 접속되고, 소스가 로우 레벨 신호 입력단(VSSIN)에 접속되어 있다. 제6 박막 트랜지스터 T6의 드레인이 제10 박막 트랜지스터 T10의 소스에 접속되고, 게이트가 게이트 구동 신호 출력단(OUT)에 접속되고, 소스가 로우 레벨 신호 입력단(VSSIN)에 접속되어 있다.

[0037] 풀다운 유닛(5)은 제7 박막 트랜지스터 T7과, 제8 박막 트랜지스터 T8과, 제9 박막 트랜지스터 T9을 구비한다. 제7 박막 트랜지스터 T7의 드레인이 제3 박막 트랜지스터 T3의 소스에 접속되고, 게이트가 제10 박막 트랜지스터 T10의 소스에 접속되고, 소스가 로우 레벨 신호 입력단(VSSIN)에 접속되어 있다. 제8 박막 트랜지스터 T8의 드레인이 제1 박막 트랜지스터 T1의 소스에 접속되고, 게이트가 제10 박막 트랜지스터 T10의 소스에 접속되고, 소스가 로우 레벨 신호 입력단(VSSIN)에 접속되어 있다. 제9 박막 트랜지스터 T9의 드레인이 게이트 구동 신호 출력단(OUT)에 접속되고, 게이트가 제2 클럭 신호 입력단(CLKBIN)에 접속되고, 소스가 로우 레벨 신호 입력단(VSSIN)에 접속되어 있다.

[0038] 도 3은 본 발명에 관한 액정 디스플레이 게이트 구동 장치의 개략 구성을 도시한 도면이다. 이 장치는, 차례대로 접속된 n개의 상기 각 실시예에 나타난 쉬프트 레지스터 유닛을 구비한다. 단, n은 자연수이다. 각 쉬프트 레지스터 유닛은 각각 $SR_1, SR_2, \dots, SR_n$ 으로 표시되어 있다.

[0039] 1개째 쉬프트 레지스터 유닛 SR_1 과 n개째 쉬프트 레지스터 유닛 SR_n 이외에 각 쉬프트 레지스터 유닛의 게이트 구동 신호 출력단(OUT)은 모두 인접한 1개 전의 쉬프트 레지스터 유닛의 리셋 신호 입력단(RESETIN), 및 인접한 다음 쉬프트 레지스터 유닛의 스타트 신호 입력단(STVIN)에 접속되어 있다.

[0040] 1개째 쉬프트 레지스터 유닛 SR_1 의 게이트 구동 신호 출력단(OUT)이 2개째 쉬프트 레지스터 유닛의 스타트 신호 입력단(STVIN)에 접속되어 있다.

[0041] 최후의 쉬프트 레지스터 유닛 SR_n 의 게이트 구동 신호 출력단(OUT)이 n-1개째 쉬프트 레지스터 유닛의 리셋 신호 입력단(RESETIN), 및 자신의 리셋 신호 입력단(RESETIN)에 접속되어 있다.

[0042] 각 쉬프트 레지스터 유닛이 출력하는 게이트 구동 신호는 각각 $GL_1, GL_2, \dots, GL_n$ 으로 표시되어 있다.

[0043] 도 3 및 상기 각 쉬프트 레지스터 유닛의 실시예를 결합하여 본 발명이 제공하는 게이트 구동 장치에서 각 쉬프트 레지스터 유닛의 접속 관계가 명료하게 나타난다. 이하, 단독의 쉬프트 레지스터 유닛에서의 입력/출력 신호 동안의 시퀀스 관계, 및 액정 디스플레이 게이트 구동 장치에서의 입력/출력 신호 동안의 시퀀스 관계를 설명하

기로 한다.

- [0044] 도 4는 도 3에 도시한 액정 디스플레이 게이트 구동 장치가 입/출력하는 신호의 시퀀스를 도시한 도면이다. STV는 프레임 스타트 신호이다. STV는 1개째 쉬프트 레지스터 유닛 SR_1 의 스타트 신호 입력단(STVIN)에 입력되는데, 다른 쉬프트 레지스터 유닛의 스타트 신호 입력단(STVIN)은 모두 인접한 1개 전의 쉬프트 레지스터 유닛의 게이트 구동 신호 출력단(OUT)에 접속되어 있다. 즉, 다른 쉬프트 레지스터 유닛의 스타트 신호 입력단(STVIN)이 입력하는 것은 인접한 1개 전의 쉬프트 레지스터 유닛의 게이트 구동 신호 출력단(OUT)이 출력하는 신호이다. 각 쉬프트 레지스터 유닛의 게이트 구동 신호 출력단(OUT)은 하나의 게이트 구동 신호를 출력하여 액정 디스플레이의 1행의 게이트 라인을 구동한다.
- [0045] 로우 레벨 신호(VSS)와 하이 레벨 신호(VDD)는 각각(도 4에서 VSS와 VDD가 미도시됨) 각 쉬프트 레지스터 유닛의 로우 레벨 신호 입력단(VSSIN)과 하이 레벨 신호 입력단(VDDIN)에 입력되어 있다.
- [0046] 홀수째 쉬프트 레지스터 유닛의 제1 클럭 신호 입력단(CLKIN)이 제1 클럭 신호(CLK)를 입력하고, 제2 클럭 신호 입력단(CLKBIN)이 제2 클럭 신호(CLKB)를 입력한다. 짝수째 쉬프트 레지스터 유닛의 제1 클럭 신호 입력단(CLKIN)이 제2 클럭 신호(CLKB)를 입력하고, 제2 클럭 신호 입력단(CLKBIN)이 제1 클럭 신호(CLK)를 입력한다. 단, 제1 클럭 신호(CLK)와 제2 클럭 신호(CLKB)는 서로 역위상의 신호이다.
- [0047] 도 5는 도 2에 도시한 쉬프트 레지스터 유닛의 입/출력 시퀀스를 도시한 도면이다. 도 2에 도시한 쉬프트 레지스터 유닛의 스타트 신호 입력단(STVIN)은 프레임 스타트 신호(STV)를 입력하고, 제1 클럭 신호 입력단(CLKIN)은 제1 클럭 신호(CLK)를 입력하고, 제2 클럭 신호 입력단(CLKBIN)은 제2 클럭 신호(CLKB)를 입력하고, 로우 레벨 신호 입력단(VSSIN)은 로우 레벨 신호(VSS)를 입력하고, 리셋 신호 입력단(RESETIN)은 리셋 신호(RESET)를 입력하고, 게이트 구동 신호 출력단(OUT)은 게이트 구동 신호(GL_1)을 출력한다. 도 5에 로우 레벨 신호(VSS)와 하이 레벨 신호(VDD)는 도시되지 않았다. 하이 레벨 신호(VDD)는 쪽 하이 레벨로 유지된 신호이다.
- [0048] 도 2에 도시한 쉬프트 레지스터 유닛에서는, 제3 박막 트랜지스터 T3의 게이트와, 제1 박막 트랜지스터 T1의 게이트와, 콘덴서 C1의 일단과, 제7 박막 트랜지스터 T7의 드레인과, 제3 박막 트랜지스터 T3의 소스를 접합하는 부분에 P접합점이 형성되어 있다. 제8 박막 트랜지스터 T6의 게이트와, 제7 박막 트랜지스터 T7의 게이트와, 제5 박막 트랜지스터 T5의 드레인과, 제6 박막 트랜지스터 T6의 드레인을 접합하는 부분에 M접합점이 형성되어 있다. 도 3에는 M접합점과 P접합점의 시퀀스가 함께 도시되어 있다.
- [0049] 이하, 도 2, 도 3, 도 4, 도 5를 결합하여 본 발명이 제공하는 쉬프트 레지스터 유닛의 동작 원리를 설명하기로 한다. 가령 도 2에 도시한 쉬프트 레지스터 유닛은 도 3에 도시한 게이트 구동 장치에서의 1개째 쉬프트 레지스터 유닛으로 한다.
- [0050] 도 5에 도시한 시퀀스 도면의 일부를 선택하고 그 중 5개의 단계를 선택하여 각각A,B,C,D,E로 표시하였다.
- [0051] A단계에서는, 제2 클럭 신호(CLKB)는 하이 레벨로서, 제9 박막 트랜지스터 T9은 온되고, 제5 박막 트랜지스터 T5가 온되어 있다. 제1 클럭 신호(CLK)은 로우 레벨로서, 제4 박막 트랜지스터 T4와 제6 박막 트랜지스터 T6가 오프되어 있기 때문에 M접합점의 레벨을 로우 레벨로 풀다운하여 제7 박막 트랜지스터 T7과 제8 박막 트랜지스터 T8이 오프되어 있다. 프레임 스타트 신호(STV)는 하이 레벨로서, 제3 박막 트랜지스터 T3는 포화 영역에서 동작하여 P접합점에서의 레벨은 하이 레벨로 풀업되고, 제1 박막 트랜지스터 T1은 온되어 있다. 제9 박막 트랜지스터 T9이 온되고, 제9 박막 트랜지스터 T9의 소스가 로우 레벨 신호 입력단(VSSIN)에 접속되어 있기 때문에 게이트 구동 신호 출력단(OUT)이 출력하는 신호(GL_1)은 로우 레벨로 풀다운되어 있다. 콘덴서 C1 양단의 충전 전압은 하이 레벨의 레벨치와 로우 레벨의 레벨간의 차의 값이다.
- [0052] B단계에서는, 리셋 신호(RESET)와 제2 클럭 신호(CLKB)가 로우 레벨이고, 프레임 스타트 신호(STV)가 로우 레벨이기 때문에 제3 박막 트랜지스터 T3, 제10 박막 트랜지스터 T10, 제2 박막 트랜지스터 T2 및 제9 박막 트랜지스터 T9은 오프되고, 또한 제5 박막 트랜지스터 T5가 오프되어 있다. 콘덴서 C1의 전하 유지 작용으로 P접합점에서의 레벨은 여전히 하이 레벨로 유지되고, 제1 박막 트랜지스터 T1은 온 상태로 유지되어 있다. 제1 클럭 신호(CLK)는 하이 레벨로서, 제10 박막 트랜지스터 T10은 온되어 있다. 제1 박막 트랜지스터 T1이 온 상태로 유지되고 또한 제1 클럭 신호(CLK)가 하이 레벨이기 때문에, 게이트 구동 신호 출력단(OUT)이 출력하는 신호(GL_1)은 하이 레벨이 되어 제6 박막 트랜지스터 T6는 온되고, M접합점은 로우 레벨로 유지되어 제7 박막 트랜지스터 T7과 제8 박막 트랜지스터 T8은 오프되어 있다.
- [0053] 또 B단계에서는, 콘덴서 C1의 결합 작용 때문에 P접합점에서의 레벨은 하이 레벨의 레벨의 2배와 로우 레벨의

레벨간의 차의 값으로 풀업되고, 즉, 제1 박막 트랜지스터 T1의 게이트 전압을 향상시켜 제1 박막 트랜지스터 T1의 온 전류를 증대시킨다. 이와 같이 하여 게이트 구동 신호 출력단(OUT)이 출력하는 게이트 구동 신호(GL₁)은 솟아있게 된다.

[0054] 이 쉬프트 레지스터 유닛은 B단계에 있을 때 인접한 다음 쉬프트 레지스터 유닛은 A단계에 있다. 이와 같이 하여 게이트 구동 신호 출력단(OUT)이 출력하는 신호(GL₁)은 바로 인접한 다음 쉬프트 레지스터 유닛의 프레임 스타트 신호로 할 수 있다.

[0055] C단계에서는, 프레임 스타트 신호(STV)는 로우 레벨로서 제3 박막 트랜지스터 T3가 오프되어 있다. 제2 클럭 신호(CLKB)는 하이 레벨로서 제9 박막 트랜지스터 T9는 온되고 제5 박막 트랜지스터 T5는 온되어 있다. 제1 클럭 신호(CLK)는 로우 레벨로서 제10 박막 트랜지스터 T10은 오프되고 M점의 레벨은 로우 레벨로 풀다운되고 제7 박막 트랜지스터 T7과 제8 박막 트랜지스터 T8은 오프되어 있다. 제9 박막 트랜지스터 T9이 온되어 있기 때문에 게이트 구동 신호 출력단(OUT)이 출력하는 신호(GL₁)는 로우 레벨이 된다.

[0056] 아울러 C단계에서는 리셋 신호(RESET)는 하이 레벨로서, 제2 박막 트랜지스터 T2와 제4 박막 트랜지스터 T4는 온되고, P접합점 레벨은 로우 레벨로 풀다운되어 있다. 제2 박막 트랜지스터 T2의 온에 의해 게이트 구동 신호 출력단(OUT)이 출력하는 신호(GL₁)은 로우 레벨로 더욱 확실하게 풀다운되도록 보장한다. 이것은, 게이트 구동 신호 출력단(OUT)이 어레이 기판상의 게이트 라인에 접속되어 보다 큰 기생 용량이 생성되기 때문이다. 만일 제2 박막 트랜지스터 T2가 온되었다면 기생 용량의 방전을 빠르게 할 수 있고, 이로써 게이트 구동 신호 출력단(OUT)이 출력하는 신호(GL₁)를 로우 레벨로 회복한다.

[0057] D단계에서는, 리셋 신호(RESET)는 로우 레벨로서, 제2 박막 트랜지스터 T2와 제4 박막 트랜지스터 T4는 오프되어 있다. 제2 클럭 신호(CLKB)는 로우 레벨로서, 제9 박막 트랜지스터 T9와 제5 박막 트랜지스터 T5는 오프되어 있다. 제1 클럭 신호(CLK)는 하이 레벨로서, 제4 박막 트랜지스터 T4는 온되고 M접합점 레벨은 하이 레벨로 풀업되고, 제7 박막 트랜지스터 T7과 제8 박막 트랜지스터 T8은 온되고 P접합점과 게이트 신호 출력단(OUT)이 출력하는 신호(GL₁)는 로우 레벨로 풀다운되어 있다.

[0058] E단계에서는, 제1 클럭 신호(CLK)는 로우 레벨로서, 제4 박막 트랜지스터 T4가 오프되어 있다. 제2 클럭 신호(CLKB)는 하이 레벨로서, 제9 박막 트랜지스터 T9와 제5 박막 트랜지스터 T5는 온되어 있다. 제4 박막 트랜지스터 T4가 오프되어 있기 때문에 M접합점 레벨은 로우 레벨로 풀다운되고, 제7 박막 트랜지스터 T7과 제8 박막 트랜지스터 T8은 오프되어 있다. 제9 박막 트랜지스터 T9이 온되어 있기 때문에 게이트 구동 신호 출력단(OUT)이 출력하는 신호(GL₁)은 로우 레벨이 된다. 프레임 스타트 신호(STV)는 로우 레벨로서, 제3 박막 트랜지스터 T3가 오프되고 P접합점은 로우 레벨로 유지되어 있다.

[0059] E단계 후에 프레임 스타트 신호(STV)는 로우 레벨로 유지되고, 쉬프트 레지스터 유닛의 입력/출력 시퀀스 신호는 D단계와 E단계의 시퀀스 신호를 반복한다. 제1 클럭 신호(CLK)와 제2 클럭 신호(CLKB)가 교대로 하이 레벨이 됨에 따라 제7 박막 트랜지스터 T7과 제8 박막 트랜지스터 T8은 교대로 게이트 구동 신호 출력단(OUT)이 출력하는 신호(GL₁)을 로우 레벨로 풀다운한다.

[0060] 프레임 스타트 신호(STV)의 다음 하이 레벨이 올 때 쉬프트 레지스터 유닛은 A-E단계의 시퀀스를 반복한다.

[0061] 상기 A,B,C단계에서는 쉬프트 레지스터 유닛이 하나의 게이트 구동 신호를 출력함으로써 이 쉬프트 레지스터 유닛의 제1 신호 출력단에 접속된 게이트 라인이 1행의 TFT를 온으로 하도록 제어하고, 액정 디스플레이의 소스 구동 전로(電路)의 데이터 신호가 화소 전극에 입력되어 화소 전극을 충전한다.

[0062] 상기 동작 원리의 설명으로부터 알 수 있듯이, 도 2에서 제7 박막 트랜지스터 T7과 제8 박막 트랜지스터 T8은 주로 게이트 구동 신호(GL₁)의 레벨을 풀다운하는 역할을 담당하고, 게이트 구동 신호가 로우 레벨로 유지될 필요가 있는 단계에서 게이트 구동 신호를 로우 레벨로 확실하게 유지하도록 보장할 수 있다.

[0063] 도 2에 도시한 쉬프트 레지스터 유닛에서는, 제7 박막 트랜지스터 T7과 제8 박막 트랜지스터 T8은 켜지는 것이 아니라 제1 클럭 신호(CLK)와 제2 클럭 신호(CLKB)가 교대로 하이 레벨이 됨으로써 제7 박막 트랜지스터 T7과 제8 박막 트랜지스터 T8 모두 교대로 온되어 있다(도 5를 참조, CLKB와 M점의 시퀀스는 교대로 하이 레벨이 된다). 이와 같이 하여, 제7 박막 트랜지스터 T7과 제8 박막 트랜지스터 T8의 게이트는 직류 바이어스 전압에 영향을 받지 않고 교류 바이어스 전압에 영향을 받기 때문에 제7 박막 트랜지스터 T7과 제8 박막 트랜지스터 T8

의 문턱값 전압 V_{th} 에 지나치게 큰 쉬프트를 발생시키는 것을 방지할 수 있다.

[0064] 도 2에 도시한 실시예에서는, 각 박막 트랜지스터의 길이에 대한 폭의 비는 이하와 같아도 좋다. 즉,

[0065] 제1 박막 트랜지스터 T1:1800 μm /4.5 μm , 제2 박막 트랜지스터 T2:800 μm /4.5 μm , 제3 박막 트랜지스터 T3:100 μm /4.5 μm , 제4 박막 트랜지스터 T4:200 μm /4.5 μm , 제5 박막 트랜지스터 T5:200 μm /4.5 μm , 제6 박막 트랜지스터 T6:200 μm /4.5 μm , 제7 박막 트랜지스터 T7:300 μm /4.5 μm , 제8 박막 트랜지스터 T8:100 μm /4.5 μm , 제9 박막 트랜지스터 T9:100 μm /4.5 μm , 제10 박막 트랜지스터 T10:50 μm /4.5 μm . 단, 제1 박막 트랜지스터 T1, 제2 박막 트랜지스터 T2, 제7 박막 트랜지스터 T7, 제8 박막 트랜지스터 T8 및 제4 박막 트랜지스터 T4의 길이에 대한 폭의 비는, 이들 박막 트랜지스터의 구동 능력을 향상시키도록 필요에 따라 크게 해도 좋다.

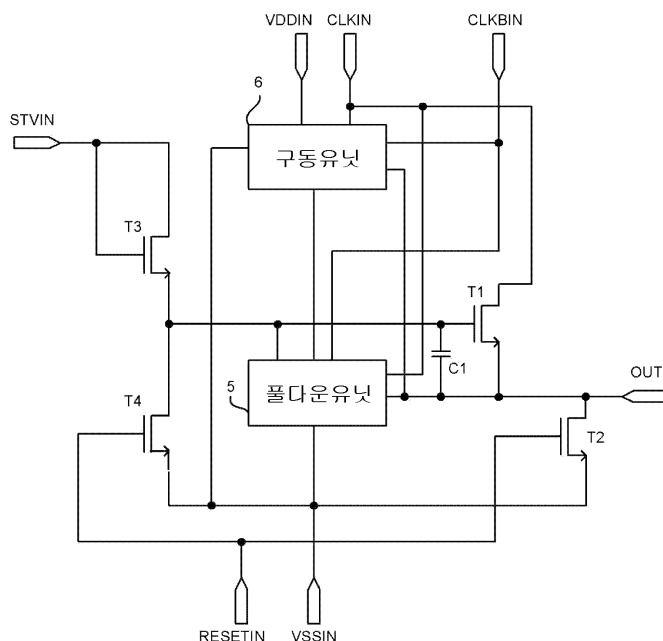
[0066] 단, 콘덴서 C1의 용량치가 0.3피코패럿(pF)이어도 좋다.

[0067] 본 발명은 액정 디스플레이를 더 제공한다. 상기 액정 디스플레이는 상기 각 실시예의 액정 디스플레이 게이트 구동 장치를 구비할 수 있다. 액정 디스플레이 게이트 구동 장치에서의 각 박막 트랜지스터는 화소 영역의 박막 트랜지스터와 유사한 제조 공정에 의해 어레이 기판에 퇴적되어도 좋고, 어레이 기판의 주연에 퇴적되는 것이 바람직하다.

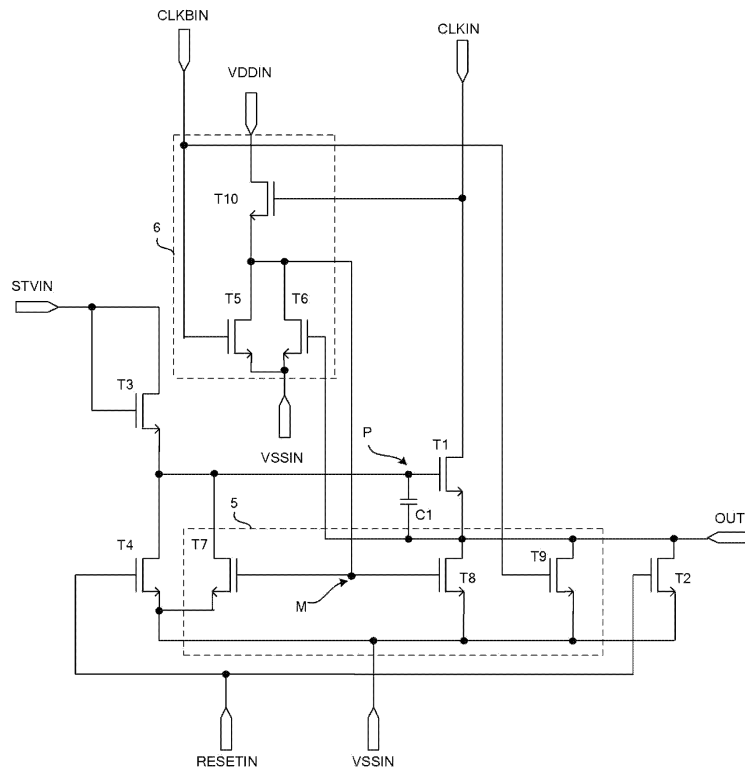
[0068] 마지막으로 이하와 같이 설명할 필요가 있다. 즉, 상기 실시형태는 본 발명의 기술안을 설명할 때 사용되는 것일 뿐 그것을 제한하지는 않는다. 바람직한 실시예를 참조하여 본 발명을 상세히 설명하였으나, 여전히 상기 각 실시예에 기재된 기술안을 보정하거나 또는 그 부분의 기술 특징을 동등하게 교체할 수 있으며, 이 보정 또는 교체가 보정 후의 기술안의 본질을 본 발명의 각 실시예의 기술안의 주지와 범위에서 벗어나도록 하지 않는다는 것은 당업자가 이해할 수 있는 부분이다.

도면

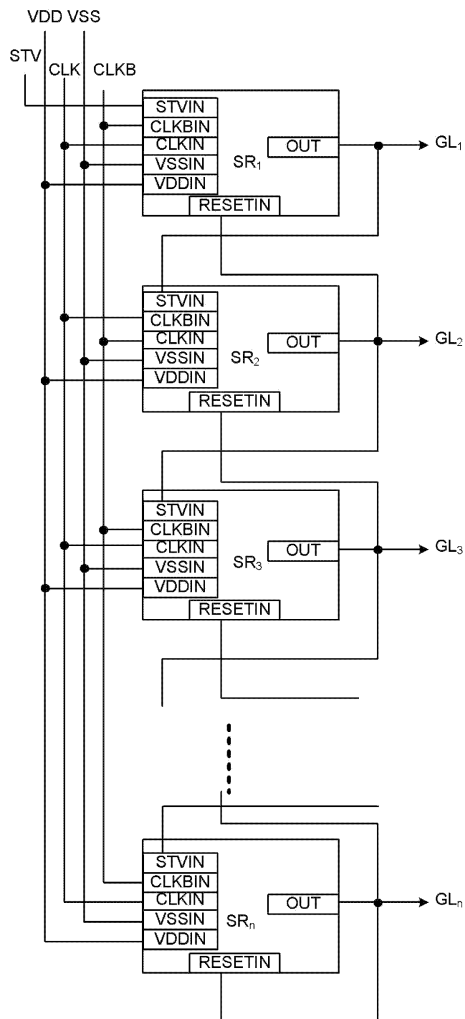
도면1



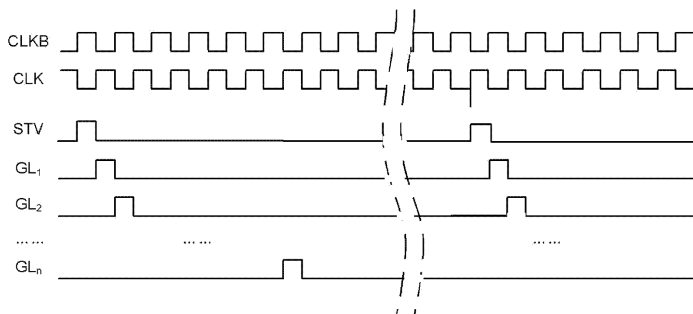
도면2



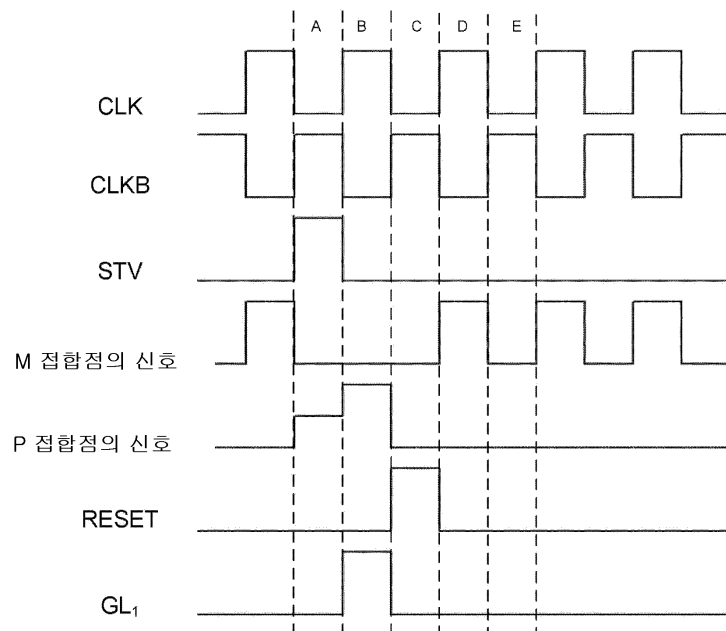
도면3



도면4



도면5



专利名称(译)	移位寄存器单元，栅极驱动器件和液晶显示器		
公开(公告)号	KR101301556B1	公开(公告)日	2013-09-04
申请号	KR1020110111332	申请日	2011-10-28
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	博科技集团股份有限公司 成都京东方光电科技有限公司		
IPC分类号	G09G3/36 G11C19/00		
CPC分类号	G09G3/3677 G09G2310/0286		
优先权	201010532031.3 2010-10-29 CN		
其他公开文献	KR1020120046061A		
外部链接	Espacenet		

摘要(译)

本发明提供一种移位寄存器单元，栅极驱动装置和液晶显示器。移位寄存器单元包括第一薄膜晶体管，第二薄膜晶体管，第三薄膜晶体管和第四薄膜晶体管，并且还包括驱动单元和下拉单元。当需要输出低电平信号时，栅极驱动信号输出端将信号输出下拉至低电平。当栅极驱动信号输出端子需要输出低电平信号时，驱动单元产生用于驱动下拉单元的AC驱动信号。移位寄存器单元包括驱动单元和下拉单元当需要输出低电平时，移位寄存器单元可以确保输出栅极驱动信号稳定地保持在低电平。此外，下拉单元是生成对下拉单元的晶体管的阈值电压的相对大的偏移由AC信号中的一个的驱动操作可以预防。

