



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0033230
 (43) 공개일자 2012년04월06일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) **G09G 3/36** (2006.01)
 (21) 출원번호 10-2011-0078136
 (22) 출원일자 2011년08월05일
 심사청구일자 없음
 (30) 우선권주장
 JP-P-2010-178173 2010년08월06일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
 (72) 발명자
도요따까 고우헤이
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
아라사와 료
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 (74) 대리인
박충범, 장수길, 이중희

전체 청구항 수 : 총 24 항

(54) 발명의 명칭 **액정 표시 장치 및 그 구동 방법**

(57) 요약

주위의 밝기에 맞춘 화상 표시를 행하는 액정 표시 장치를 제공하는 것을 과제의 하나로 한다. 혹은, 외광을 조명광원으로 하는 반사 모드와, 백라이트를 이용하는 투과 모드의 양쪽 모드에서의 화상 표시를 가능하게 한 액정 표시 장치를 제공하는 것을 과제의 하나로 한다.

액정층을 개재하여 입사하는 광을 반사해서 표시를 행하는 반사 영역과, 백라이트로부터의 광을 투과해서 표시를 행하는 투과 영역을 설치하고, 반사 모드와 투과 모드의 전환을 행한다. 풀 컬러 화상의 표시를 행하는 경우, 화소부가 제1 영역 및 제2 영역을 적어도 갖고, 제1 영역에, 서로 다른 색상을 갖는 복수의 광이, 제1 윤번에 따라 순차적으로 공급됨과 함께, 제2 영역에도 서로 다른 색상을 갖는 복수의 광이, 제1 윤번과는 다른 제2 윤번에 따라, 순차적으로 공급된다. 투과 모드 시에, 반사 영역을 흑 표시로 해서, 외광이 반사 영역에서 반사되는 것에 의한 콘트라스트의 저하를 방지한다.

대표도

도 2a 및 도 2b

특허청구의 범위

청구항 1

액정 표시 장치로서,

각각이 다른 색상의 광을 발하는 복수의 광원과,

복수의 화소를 포함하는 화소부를 포함하고,

각 화소는,

광을 투과할 수 있는 제1 화소 전극과,

광을 반사할 수 있는 제2 화소 전극과,

제1 트랜지스터와,

제2 트랜지스터를 포함하고,

상기 제1 트랜지스터의 소스 및 드레인 중 한쪽은 신호선에 전기적으로 접속되고,

상기 제1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제1 화소 전극과, 상기 제2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제2 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제2 화소 전극에 전기적으로 접속되는, 액정 표시 장치.

청구항 2

제1항에 있어서, 상기 제1 트랜지스터 및 상기 제2 트랜지스터는 산화물 반도체를 포함하는, 액정 표시 장치.

청구항 3

제2항에 있어서, 상기 산화물 반도체는 인듐 및 아연을 포함하는, 액정 표시 장치.

청구항 4

제2항에 있어서, 상기 산화물 반도체의 수소 농도가 $5 \times 10^{19} / \text{cm}^3$ 이하인, 액정 표시 장치.

청구항 5

제2항에 있어서, 상기 산화물 반도체는 적어도 부분적으로 결정화되어 있는, 액정 표시 장치.

청구항 6

제1항에 있어서, 상기 제2 화소 전극은 상기 제1 트랜지스터 및 상기 제2 트랜지스터와 겹치는, 액정 표시 장치.

청구항 7

제1항에 있어서, 상기 각 화소는 상기 제2 트랜지스터에 전기적으로 접속되는 인에이블선(enable line)을 더 포함하는, 액정 표시 장치.

청구항 8

제1항에 있어서, 상기 제1 트랜지스터의 게이트 전극은 주사선에 전기적으로 접속되고, 상기 제2 트랜지스터의 게이트 전극은 입력 신호선에 전기적으로 접속되는, 액정 표시 장치.

청구항 9

액정 표시 장치로서,

각각이 다른 색상의 광을 발하는 복수의 광원과,
 복수의 화소를 포함하는 화소부를 포함하고,
 각 화소는,

- 광을 투과할 수 있는 제1 화소 전극과,
- 광을 반사할 수 있는 제2 화소 전극과,
- 제1 트랜지스터와,
- 제2 트랜지스터를 포함하고,

상기 제1 트랜지스터의 소스 및 드레인 중 한쪽은 신호선에 전기적으로 접속되고,

상기 제1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제1 화소 전극과, 상기 제2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제2 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제2 화소 전극에 전기적으로 접속되고,

상기 화소부를 복수의 영역으로 분할하고, 각각이 상기 복수의 영역 각각에 다른 색상의 광을 발하는 복수의 광원의 점등을 제어하고, 상기 제1 트랜지스터를 구동하여, 상기 제1 화소 전극과 겹치는 액정층의 부분에 전압을 인가해서 컬러 표시를 행하고,

복수의 광원이 소등되는 기간에, 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 구동하여, 상기 제2 화소 전극과 겹치는 액정층의 부분에 전압을 인가해서 모노크롬 표시를 행하는, 액정 표시 장치.

청구항 10

제9항에 있어서, 상기 제1 트랜지스터 및 상기 제2 트랜지스터는 산화물 반도체를 포함하는, 액정 표시 장치.

청구항 11

제10항에 있어서, 상기 산화물 반도체는 인듐 및 아연을 포함하는, 액정 표시 장치.

청구항 12

제10항에 있어서, 상기 산화물 반도체의 수소 농도가 $5 \times 10^{19} / \text{cm}^3$ 이하인, 액정 표시 장치.

청구항 13

제10항에 있어서, 상기 산화물 반도체는 적어도 부분적으로 결정화되어 있는, 액정 표시 장치.

청구항 14

제9항에 있어서, 상기 제2 화소 전극은 상기 제1 트랜지스터 및 상기 제2 트랜지스터와 겹치는, 액정 표시 장치.

청구항 15

제9항에 있어서, 상기 각 화소는 상기 제2 트랜지스터에 전기적으로 접속되는 인에이블선을 더 포함하는, 액정 표시 장치.

청구항 16

제9항에 있어서, 상기 제1 트랜지스터의 게이트 전극은 주사선에 전기적으로 접속되고, 상기 제2 트랜지스터의 게이트 전극은 입력 신호선에 전기적으로 접속되는, 액정 표시 장치.

청구항 17

액정 표시 장치로서,

각각이 다른 색상의 광을 발하는 복수의 광원과,

복수의 화소를 포함하는 화소부를 포함하고,

각 화소는,

광을 투과할 수 있는 제1 화소 전극과,

광을 반사할 수 있는 제2 화소 전극과,

제1 트랜지스터와,

제2 트랜지스터를 포함하고,

상기 제1 트랜지스터의 소스 및 드레인 중 한쪽은 신호선에 전기적으로 접속되고,

상기 제1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제1 화소 전극과, 상기 제2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제2 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제2 화소 전극에 전기적으로 접속되고,

상기 화소부를 적어도 제1 영역 및 제2 영역으로 분할하고,

상기 제1 영역에, 다른 색상의 복수의 광이 제1 윤번(order)에 따라 순차적으로 공급되고, 상기 제2 영역에, 다른 색상의 상기 복수의 광이 제2 윤번에 따라 순차적으로 공급되는, 액정 표시 장치.

청구항 18

제17항에 있어서, 상기 제1 트랜지스터 및 상기 제2 트랜지스터는 산화물 반도체를 포함하는, 액정 표시 장치.

청구항 19

제18항에 있어서, 상기 산화물 반도체는 인듐 및 아연을 포함하는, 액정 표시 장치.

청구항 20

제18항에 있어서, 상기 산화물 반도체의 수소 농도가 $5 \times 10^{19} / \text{cm}^3$ 이하인, 액정 표시 장치.

청구항 21

제18항에 있어서, 상기 산화물 반도체는 적어도 부분적으로 결정화되어 있는, 액정 표시 장치.

청구항 22

제17항에 있어서, 상기 제2 화소 전극은 상기 제1 트랜지스터 및 상기 제2 트랜지스터와 겹치는, 액정 표시 장치.

청구항 23

제17항에 있어서, 상기 각 화소는 상기 제2 트랜지스터에 전기적으로 접속되는 인에이블선을 더 포함하는, 액정 표시 장치.

청구항 24

제17항에 있어서, 상기 제1 트랜지스터의 게이트 전극은 주사선에 전기적으로 접속되고, 상기 제2 트랜지스터의 게이트 전극은 입력 신호선에 전기적으로 접속되는, 액정 표시 장치.

명세서

기술분야

본 발명은, 액정 표시 장치 및 그 구동 방법에 관한 것이다.

배경기술

액정 표시 장치에는 크게 나누어 투과형과 반사형의 2종류의 타입이 알려져 있다.

[0001]

[0002]

- [0003] 투과형의 액정 표시 장치는, 냉음극 형광 램프 등의 백라이트를 이용하고, 액정의 광학 변조 작용을 이용하여, 백라이트로부터의 광이 액정을 투과해서 액정 표시 장치 외부로 출력되는 상태와, 출력되지 않는 상태를 선택하고, 명과 암의 표시를 행하게 하며, 또한 그들을 조합함으로써, 화상 표시를 행하는 것이다.
- [0004] 또한, 반사형의 액정 표시 장치는, 액정의 광학 변조 작용을 이용하여, 외광, 즉 입사광이 화소 전극에서 반사해서 장치 외부로 출력되는 상태와, 입사광이 장치 외부로 출력되지 않는 상태를 선택하고, 명과 암의 표시를 행하게 하며, 또한 그들을 조합함으로써, 화상 표시를 행하는 것이다.
- [0005] 또한, 액정 표시 장치의 표시 방법으로서, 컬러 필드 방식 및 필드 시퀀셜 방식이 알려져 있다. 필드 시퀀셜 방식에 의해 표시를 행하는 액정 표시 장치는, 서로 다른 색을 나타내는 복수의 광원(예를 들면, R(적), G(녹), B(청))이 설치된다. 그리고, 해당 서로 다른 색을 나타내는 복수의 광원이 순차 발광하고, 또한 화소마다 각각의 색을 나타내는 광의 투과를 제어함으로써 원하는 색을 형성하고, 컬러 표시를 행하고 있다. 즉, 필드 시퀀셜 방식은, 특정 색을 나타내는 광마다 시간 분할함으로써 원하는 색을 형성하는 방식이다.
- [0006] 특허 문헌 1에서는, 필드 시퀀셜 방식에 의해 표시를 행하는 액정 표시 장치가 개시되어 있다. 구체적으로는, 각 화소에, 화상 신호의 입력을 제어하는 트랜지스터와, 그 화상 신호를 보유하는 신호 보유 용량과, 그 신호 보유 용량으로부터 표시 화소 용량에의 전하의 이동을 제어하는 트랜지스터가 설치된 액정 표시 장치가 개시되어 있다. 해당 구성을 갖는 액정 표시 장치는, 신호 보유 용량에 대한 화상 신호의 기입과, 표시 화소 용량이 보유하는 전하에 따른 표시를 병행해서 행하는 것이 가능하다.

선행기술문헌

- [0007] 특허 공개 2009-42405호 공보

발명의 내용

해결하려는 과제

- [0008] 액정 표시 장치의 주위가 밝은 환경에서도, 어둡어둡한 환경에서도, 그 환경에 맞게 화상 표시를 인식할 수 있는 액정 표시 장치를 제공하는 것을 과제의 하나로 한다.
- [0009] 또한, 외광을 조명광원으로 하는 반사 모드와, 백라이트를 이용하는 투과 모드의 양쪽 모드에서의 화상 표시를 가능하게 한 액정 표시 장치를 제공하는 것을 과제의 하나로 한다.

과제의 해결 수단

- [0010] 액정층을 개재하여 입사하는 광을 반사해서 표시를 행하는 영역(반사 영역)과, 백라이트로부터의 광을 투과해서 표시를 행하는 영역(투과 영역)을 설치하고, 투과 모드와 반사 모드의 전환을 행할 수 있는 액정 표시 장치로 한다. 투과 모드의 경우에는, 투과 영역의 제1 화소 전극에 접속된 제1 트랜지스터를 구동하고, 반사 영역의 제2 화소 전극에 접속된 제2 트랜지스터를 오프 상태로 한다. 제1 화소 전극은, 광을 투과하는 도전성 재료로 형성되고, 제2 화소 전극은, 광을 반사하는 도전성 재료로 형성된다.
- [0011] 또한, 투과 모드 시에 있어서, 1프레임마다 혹은 복수 프레임마다, 반사 영역의 제2 화소 전극에 접속된 제2 트랜지스터를 온 상태로 하는 기간을 설정하고, 반사 영역에 흑의 화상 신호를 보유시킨다. 투과 모드 시에, 반사 영역에 흑의 화상 신호를 보유시킴으로써, 외광이 반사 영역에서 반사되는 것에 의한 콘트라스트의 저하를 방지할 수 있다.
- [0012] 하나의 화소에 반사 영역과 투과 영역을 설치하고, 화상 신호를 공급하기 위한 신호선을, 반사 영역과 투과 영역에서 공용으로 함으로써, 1화소당의 배선 개수를 줄일 수 있다. 구체적으로는, 신호선에 투과 영역이 갖는 제1 트랜지스터를 접속하고, 반사 영역이 갖는 제2 트랜지스터는, 제1 트랜지스터를 통해서 신호선에 접속한다. 반사 모드의 경우에는, 제1 트랜지스터와 제2 트랜지스터를 온 상태로 함으로써, 신호선으로부터 반사 영역에 화상 신호를 공급한다.
- [0013] 또한, 투과 영역의 표시에서는, 화소부 전면에 있어서 화상 신호의 기입 및 백라이트의 점등을 순차 행하는 것이 아니라, 화소부의 특정 한 영역마다 화상 신호의 기입 및 백라이트의 점등을 순차 행하는 신규의 필드 시퀀셜 방식을 이용한다. 또한, 백라이트의 광원으로서, 냉음극 형광 램프보다도 소비 전력을 저감할 수 있고, 광의 강약을 조절할 수 있는 발광 다이오드(LED)를 복수 이용한다.

- [0014] 신규의 필드 시퀀셜 방식은, 이용자의 깜박임 등 단시간의 표시의 차단에 기인해서 특정한 표시 정보가 결락됨으로써, 해당 이용자에 시인되는 표시가 본래의 표시 정보에 기초하는 표시로부터 변화(열화)하는 것(컬러 브레이크, 색 깨짐이라고도 함)을 저감할 수 있다.
- [0015] 본 명세서에서 개시하는 본 발명의 일 양태는, 화소부 및 화소부에의 화상 신호의 입력을 제어하는 구동 회로가 설치된 패널과, 백라이트를 갖고, 그 백라이트가, 서로 다른 색상의 광을 발하는 복수의 광원을 갖는다. 그리고, 풀 컬러 화상의 표시를 행하는 경우와, 모노크롬 화상의 표시를 행하는 경우에서, 광원의 구동 방법을 전환한다.
- [0016] 풀 컬러 화상의 표시를 행하는 경우에는, 신규의 필드 시퀀셜 방식을 이용한 투과 모드로 하고, 화소부를 복수의 영역으로 분할하고, 영역마다 상기 광원의 점등을 제어한다. 구체적으로는, 화소부는, 제1 영역 및 제2 영역을 적어도 갖고, 상기 제1 영역에, 서로 다른 색상을 갖는 복수의 광이, 제1 윤번에 따라 순차적으로 공급됨과 함께, 상기 제2 영역에도 서로 다른 색상을 갖는 상기복수의 광이, 상기 제1 윤번과는 다른 제2 윤번에 따라, 순차적으로 공급된다.
- [0017] 모노크롬 화상의 표시를 행하는 경우에는, 광원으로부터의 광의 공급을 정지해서 반사 모드로 하고, 화소부의 반사 영역 전체, 혹은 영역마다, 외부로부터의 광을 이용하여 정지 화상 표시 또는 동화상 표시를 행한다.
- [0018] 또한, 본 발명의 일 양태에서는, 상기 모노크롬 화상이 정지 화상인 경우에, 모노크롬 화상이 동화상인 경우보다도, 그 구동 주파수를 낮게 한다. 그리고, 본 발명의 일 양태에서는, 구동 주파수를 낮게 하기 위해서, 액정 표시 장치의 화소부에, 액정 소자와, 해당 액정 소자에 공급되는 전압의 보유를 제어하기 위한, 오프 전류가 극히 작은 절연 게이트 전계 효과형 트랜지스터(이하, 간단히 트랜지스터로 함)를 설치한다. 오프 전류가 극히 작은 트랜지스터를 이용함으로써, 액정 소자에 공급되는 전압이 보유되는 기간을 길게 할 수 있다. 그 때문에, 정지 화상과 같이, 연속되는 몇 개인가의 프레임 기간에 걸쳐, 화소부에 동일한 화상 정보를 갖는 화상 신호가 기입되는 경우 등에는, 구동 주파수를 낮게 해도, 다시 말하면 일정 기간 내에 있어서의 화상 신호의 기입 횟수를 적게 해도, 화상의 표시를 유지할 수 있다.
- [0019] 본 발명의 일 양태는, 서로 다른 색상의 광을 발하는 복수의 광원과, 복수의 화소를 갖는 화소부를 갖고, 화소는, 광을 투과하는 제1 화소 전극과, 광을 반사하는 제2 화소 전극과, 제1 트랜지스터와, 제2 트랜지스터를 갖고, 제1 트랜지스터의 소스 또는 드레인의 한쪽은, 신호선과 전기적으로 접속하고, 제1 트랜지스터의 소스 또는 드레인의 다른 쪽은, 제1 화소 전극과, 제2 트랜지스터의 소스 또는 드레인의 한쪽과 전기적으로 접속하고, 제2 트랜지스터의 소스 또는 드레인의 다른 쪽은, 제2 화소 전극과 전기적으로 접속하는 것을 특징으로 하는 액정 표시 장치이다.
- [0020] 본 발명의 일 양태는, 화소부를 복수의 영역으로 분할하고, 복수의 영역마다, 서로 다른 색상의 광을 발하는 복수의 광원의 점등을 제어하고, 제1 트랜지스터를 구동해서, 제1 화소 전극과 겹치는 액정층에 전압을 인가해서 컬러 표시를 행하고, 복수의 광원이 소등하는 기간에, 제1 트랜지스터 및 제2 트랜지스터를 구동해서, 제2 화소 전극과 겹치는 액정층에 전압을 인가해서 모노크롬 표시를 행하는 상기 액정 표시 장치이다.
- [0021] 본 발명의 일 양태는, 화소부를 적어도 제1 영역 및 제2 영역으로 분할하고, 제1 영역에, 서로 다른 색상을 갖는 복수의 광이, 제1 윤번에 따라 순차적으로 공급됨과 함께, 제2 영역에도 서로 다른 색상을 갖는 복수의 광이, 제1 윤번과는 다른 제2 윤번에 따라, 순차적으로 공급되는 것을 특징으로 하는 상기 액정 표시 장치이다.
- [0022] 상기 트랜지스터는, 실리콘보다도 밴드갭이 넓고, 진성 캐리어 밀도가 실리콘보다도 낮은 반도체 재료를, 채널 형성 영역에 포함하는 것을 특징으로 한다. 상술한 바와 같은 특성을 갖는 반도체 재료를 채널 형성 영역에 포함함으로써, 오프 전류가 극히 낮은 트랜지스터를 실현할 수 있다. 이러한 반도체 재료로서는, 예를 들면, 실리콘의 약 3배 정도의 큰 밴드갭을 갖는, 산화물 반도체를 들 수 있다. 상기 구성을 갖는 트랜지스터를, 액정 소자에 공급되는 전압을 보유하기 위한 스위칭 소자로서 이용함으로써, 통상적인 실리콘이나 게르마늄 등의 반도체 재료로 형성된 트랜지스터를 이용한 경우에 비해, 액정 소자로부터의 전하의 리크를 방지할 수 있다.
- [0023] 상기 화소부는, 입력되는 풀 컬러 화상 신호의 전압에 따라서 액정층의 투과율이 제어되는 영역과, 이 영역과 겹치는 액정층에의 전압의 보유를 제어하는 제1 트랜지스터와, 입력되는 모노크롬 화상 신호의 전압에 따라서 액정층의 반사율이 제어되는 영역과, 이 영역과 겹치는 액정층에의 전압의 보유를 제어하는 제2 트랜지스터를 갖는다. 그리고, 제1 및 제2 트랜지스터는, 그 채널 형성 영역에, 예를 들면 산화물 반도체 등의, 밴드갭이 실리콘 반도체보다도 넓고, 진성 캐리어 밀도가 실리콘보다도 낮은 반도체 재료를 포함하고 있다.

- [0024] 또한, 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물이 저감되어 고순도화된 산화물 반도체(purified OS)는, 그 후, 산화물 반도체에 산소를 공급하여, 산화물 반도체 내의 산소 결손을 저감하는 것에 의해 i형(진성)의 산화물 반도체 또는 i형에 한없이 가까운(실질적으로 i형화한) 산화물 반도체로 할 수 있다. i형화 또는 실질적으로 i형화된 산화물 반도체를 이용한 트랜지스터는, 오프 전류가 현저하게 낮다고 하는 특성을 갖는다.
- [0025] 또한, 고순도화된 산화물 반도체는, 2차 이온 질량 분석법(SIMS:Secondary Ion Mass Spectrometry)에 의한 수소 농도의 측정값이, $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{16}/\text{cm}^3$ 이하로 한다.
- [0026] 또한, 홀 효과 측정에 의해 측정할 수 있는 i형화 또는 실질적으로 i형화된 산화물 반도체의 캐리어 밀도는, $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만이다. 또한, 산화물 반도체의 밴드갭은, 2eV 이상, 바람직하게는 2.5eV 이상, 보다 바람직하게는 3eV 이상이다. i형화 또는 실질적으로 i형화된 산화물 반도체를 이용함으로써, 트랜지스터의 오프 전류를 낮출 수 있다.
- [0027] 여기서, 산화물 반도체막 중의, 수소 농도의 분석에 대해서 언급해 둔다. 산화물 반도체막 중 및 도전막 중의 수소 농도 측정은, 2차 이온 질량 분석법(SIMS:Secondary Ion Mass Spectrometry)으로 행한다. SIMS 분석은, 그 원리상, 시료 표면 근방이나, 재질이 상이한 막과의 적층 계면 근방의 데이터를 정확하게 얻는 것이 곤란한 것이 알려져 있다. 그래서, 막 내에 있어서의 수소 농도의 두께 방향의 분포를 SIMS로 분석하는 경우, 대상으로 되는 막이 존재하는 범위에 있어서, 값에 극단적인 변동이 없고, 거의 일정한 값이 얻어지는 영역에 있어서의 평균값을, 수소 농도로서 채용한다. 또한, 측정의 대상으로 되는 막의 두께가 작은 경우, 인접하는 막 내의 수소 농도의 영향을 받아, 거의 일정한 값이 얻어지는 영역을 찾아낼 수 없는 경우가 있다. 이 경우, 해당 막이 존재하는 영역에 있어서의, 수소 농도의 최대값 또는 최소값을, 해당 막 내의 수소 농도로서 채용한다. 또한, 해당 막이 존재하는 영역에 있어서, 최대값을 갖는 산형의 피크, 최소값을 갖는 곡형의 피크가 존재하지 않는 경우, 변곡점의 값을 수소 농도로서 채용한다.
- [0028] 구체적으로, i형화 또는 실질적으로 i형화된 산화물 반도체막을 활성층으로서 이용한 트랜지스터의 오프 전류가 낮은 것은, 여러 가지의 실험에 의해 증명할 수 있다. 예를 들면, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고 채널 길이가 $10 \mu\text{m}$ 인 소자이어도, 소스 전극과 드레인 전극 사이의 전압(드레인 전압)이 1V 내지 10V의 범위에 있어서, 오프 전류(게이트 전극과 소스 전극 사이의 전압을 0V 이하로 했을 때의 드레인 전류)가, 반도체 파라미터 애널리저의 측정 한계 이하, 즉 1×10^{-13} A 이하라고 하는 특성을 얻을 수 있다. 이 경우, 오프 전류를 트랜지스터의 채널 폭으로 나눈 수치에 상당하는 오프 전류 밀도는, $100 \text{zA}/\mu\text{m}$ 이하인 것을 알 수 있다. 또한, 용량 소자와 트랜지스터를 접속하여, 용량 소자에 유입 또는 용량 소자로부터 유출되는 전하를 해당 트랜지스터에서 제어하는 회로를 이용하여, 오프 전류 밀도의 측정을 행하였다. 해당 측정에서는, 상기 트랜지스터에 i형화 또는 실질적으로 i형화된 산화물 반도체막을 채널 형성 영역에 이용하여, 용량 소자의 단위 시간당의 전하량의 추이로부터 해당 트랜지스터의 오프 전류 밀도를 측정하였다. 그 결과, 트랜지스터의 소스 전극과 드레인 전극 사이의 전압이 3V인 경우에, 수십 $\text{yA}/\mu\text{m}$ 이라고 하는, 더욱 낮은 오프 전류 밀도가 얻어지는 것을 알 수 있었다. 따라서, 본 발명의 일 양태에 따른 반도체 장치에서는, i형화 또는 실질적으로 i형화된 산화물 반도체막을 활성층으로서 이용한 트랜지스터의 오프 전류 밀도를, 소스 전극과 드레인 전극 사이의 전압에 의해서는, $100 \text{yA}/\mu\text{m}$ 이하, 바람직하게는 $10 \text{yA}/\mu\text{m}$ 이하, 더욱 바람직하게는 $1 \text{yA}/\mu\text{m}$ 이하로 할 수 있다. 따라서, i형화 또는 실질적으로 i형화된 산화물 반도체막을 활성층으로서 이용한 트랜지스터는, 오프 전류가, 결정성을 갖는 실리콘을 이용한 트랜지스터에 비해서 현저하게 낮다.
- [0029] 또한, 산화물 반도체는, 4원계 금속 산화물인 In-Sn-Ga-Zn계 산화물 반도체나, 3원계 금속 산화물인 In-Ga-Zn계 산화물 반도체, In-Sn-Zn계 산화물 반도체, In-Al-Zn계 산화물 반도체, Sn-Ga-Zn계 산화물 반도체, Al-Ga-Zn계 산화물 반도체, Sn-Al-Zn계 산화물 반도체나, 2원계 금속 산화물인 In-Zn계 산화물 반도체, Sn-Zn계 산화물 반도체, Al-Zn계 산화물 반도체, Zn-Mg계 산화물 반도체, Sn-Mg계 산화물 반도체, In-Mg계 산화물 반도체, In-Ga계 산화물 반도체나, In계 산화물 반도체, Sn계 산화물 반도체, Zn계 산화물 반도체 등을 이용할 수 있다. 또한, 본 명세서에 있어서는, 예를 들면, In-Sn-Ga-Zn계 산화물 반도체란, 인듐(In), 주석(Sn), 갈륨(Ga), 아연(Zn)을 갖는 금속 산화물이라는 의미이며, 그 조성비는 특별히 문제삼지 않는다. 또한, 상기 산화물 반도체는, 산화 규소를 포함하고 있어도 된다. 또한, 산화물 반도체는 비정질이어도 되고, 일부 또는 전부가 결정화되어 있어도 된다.

- [0030] 산화물 반도체에, 결정성을 갖는 산화물 반도체를 이용하는 경우에는, 평탄한 표면 상에 산화물 반도체를 형성하는 것이 바람직하고, 구체적으로는, 평균면 거칠기(Ra)가 1nm 이하, 바람직하게는 0.3nm 이하의 표면 상에 형성하면 된다. Ra는 원자간력 현미경(AFM:Atomic Force Microscope)으로 평가 가능하다.
- [0031] 산화물 반도체는, 바람직하게는 In을 함유하는 산화물 반도체, 더욱 바람직하게는, In 및 Zn을 함유하는 산화물 반도체이다. 또한, Ga, Sn, Hf, Al, 란타노이드를 함유시켜도 된다. 또한, 산화물 반도체를 고순도화하기 위해서, 탈수화 또는 탈수소화는 유효하다.
- [0032] 본 명세서에 있어서, 산화물 반도체는, 예를 들면, 화학식 $InMO_3(ZnO)_m(m>0)$ 으로 표기할 수 있다. 여기서, M은, Sn, Zn, Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다.

발명의 효과

- [0033] 액정 표시 장치의 주위가 밝은 환경에서도, 약간 어두운 환경에서도, 그 환경에 맞추어, 외광을 조명광원으로 하는 반사 모드와, 백라이트를 이용하는 투과 모드의 양쪽 모드에서의 화상 표시를 가능하게 한 액정 표시 장치를 실현할 수 있다. 예를 들면, 동화상을 표시하는 경우에는 투과 모드로 하고, 정지 화상을 표시하는 경우에는 반사 모드로 한다.
- [0034] 투과 모드 시에, 반사 영역을 흑 표시로 함으로써, 외광이 반사 영역에서 반사되는 것에 의한 콘트라스트의 저하를 방지할 수 있다.
- [0035] 오프 전류가 극히 작은 트랜지스터를 이용하여, 액정 소자에 공급되는 전압이 보유되는 기간을 길게 할 수 있고, 예를 들면, 정지 화상을 표시할 때의 구동 주파수를, 동화상을 표시할 때의 구동 주파수보다도 낮게 할 수 있다. 그 때문에, 정지 화상의 표시에 있어서의 소비 전력을 저감한 액정 표시 장치를 실현할 수 있다.

도면의 간단한 설명

- [0036] 도 1은 액정 표시 장치의 구성을 도시하는 블록도.
- 도 2a 및 도 2b는 패널과 화소의 구성을 도시하는 도면.
- 도 3은 액정 표시 장치와 백라이트의 동작을 모식적으로 도시한 도면.
- 도 4a, 도 4b 및 도 4c는 각 영역에 공급되는 광의 색상의 일례를 모식적으로 도시하는 도면.
- 도 5는 각 영역에 공급되는 광의 소등의 일례를 모식적으로 도시하는 도면.
- 도 6은 주사선 구동 회로의 구성을 도시하는 도면.
- 도 7은 제x 펄스 출력 회로(20_x)를 모식적으로 도시한 도면.
- 도 8a, 도 8b 및 도 8c는 펄스 출력 회로의 구성과, 그 타이밍차트를 도시하는 도면.
- 도 9는 주사선 구동 회로의 타이밍차트를 도시하는 도면.
- 도 10은 주사선 구동 회로의 타이밍차트를 도시하는 도면.
- 도 11은 신호선 구동 회로의 구성을 도시하는 도면.
- 도 12a 및 도 12b는 신호선에 공급되는 화상 신호(DATA)의 타이밍의 일례를 도시하는 도면.
- 도 13은 선택 신호의 주사의 타이밍과, 백라이트의 점등의 타이밍을 도시하는 도면.
- 도 14는 선택 신호의 주사의 타이밍과, 백라이트의 소등의 타이밍을 도시하는 도면.
- 도 15a 및 도 15b는 펄스 출력 회로의 구성을 도시하는 도면.
- 도 16a 및 도 16b는 펄스 출력 회로의 구성을 도시하는 도면.
- 도 17a, 도 17b 및 도 17c는 트랜지스터의 제작 방법을 도시하는 단면도.
- 도 18a, 도 18b, 도 18c 및 도 18d는 트랜지스터의 단면도.
- 도 19a, 도 19b 및 도 19c는 트랜지스터의 단면도.

도 20a, 도 20b, 도 20c, 도 20d 및 도 20e는 액정 표시 장치의 제작 방법을 도시하는 단면도.

도 21은 액정 표시 장치의 제작 방법을 도시하는 도면.

도 22a 및 도 22b는 화소의 상면도 및 단면도의 일례.

도 23은 화소의 상면도의 일례.

도 24a 및 도 24b는 액정 표시 장치의 상면도 및 단면도.

도 25는 디스펜서 방식에 의해 액정층을 형성하는 예를 설명하는 도면.

도 26은 액정 표시 장치의 구성을 도시하는 사시도.

도 27a, 도 27b, 도 27c, 도 27d, 도 27e 및 도 27f는 전자 기기의 도면.

도 28a 및 도 28b는 트랜지스터의 단면도.

도 29a, 도 29b 및 도 29c는 산화물 반도체층의 일 형태를 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0037] 이하에서는, 본 발명의 실시 형태에 대해서 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 그 형태 및 상세를 여러 가지로 변경할 수 있는 것은, 당업자이면 용이하게 이해된다. 또한, 본 발명은 이하에 설명하는 실시 형태의 기재 내용에 한정해서 해석되는 것은 아니다.
- [0038] (실시 형태 1)
- [0039] 본 실시 형태에서는, 정지 화상 모드와 동화상 모드를 갖는 액정 표시 장치에 대해서 도 1을 이용하여 설명한다. 또한, 본 명세서에 있어서, 표시 장치가 표시 장치에 입력하는 화상 신호를 정지 화상이라고 판단해서 행하는 동작을 정지 화상 모드, 동화상이라고 판단해서 행하는 동작을 동화상 모드라고 하는 것으로 한다.
- [0040] 본 실시 형태의 액정 표시 장치(400)는, 복수의 화상 메모리(401)와, 화상 데이터 선택 회로(402)와, 셀렉터(403)와, CPU(404)와, 컨트롤러(405)와, 패널(406)과, 백라이트(407)와, 백라이트 제어 회로(408)를 갖는다.
- [0041] 복수의 화상 메모리(401)에는, 액정 표시 장치(400)에 입력된, 풀 컬러 화상에 대응하는 화상 데이터(풀 컬러 화상 데이터(410))가 기억된다. 상기 풀 컬러 화상 데이터(410)에는, 복수의 색상에 각각 대응하는 화상 데이터가 포함되어 있다. 복수의 각 화상 메모리(401)에는, 각 색상에 대응하는 화상 데이터가 각각 기억되어 있다.
- [0042] 화상 메모리(401)는, 예를 들면 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory) 등의 기억 회로를 이용할 수 있다.
- [0043] 화상 데이터 선택 회로(402)는, 컨트롤러(405)로부터의 명령에 따라서 복수의 화상 메모리(401)에 기억되어 있는, 각 색상에 대응하는 풀 컬러 화상 데이터를 읽어내어, 셀렉터(403)에 보낸다.
- [0044] 또한, 액정 표시 장치(400)에는, 모노크롬 화상에 대응하는 화상 데이터(모노크롬 화상 데이터(411))도 입력된다. 입력된 모노크롬 화상 데이터(411)는, 셀렉터(403)에 입력된다.
- [0045] 또한, 서로 다른 색상의 색을 나타내는 광원을 복수 이용하여, 각 색의 계조에 의해 표시되는 화상을 풀 컬러 화상으로 한다. 또한, 광원을 소등하고, 반사 진극에 의해 표시되는 화상을 모노크롬 화상으로 한다.
- [0046] 또한, 본 실시 형태에서는, 모노크롬 화상 데이터(411)가 직접 셀렉터(403)에 입력되는 구성을 나타내고 있지만, 본 발명은 이 구성에 한정되지 않는다. 풀 컬러 화상 데이터(410)와 마찬가지로, 모노크롬 화상 데이터(411)도, 화상 메모리(401)에 있어서 일단 기억하고, 화상 데이터 선택 회로(402)에 있어서 읽어내도록 해도 된다. 이 경우, 셀렉터(403)가 화상 데이터 선택 회로(402)에 포함되는 구성으로 된다.
- [0047] 또한, 모노크롬 화상 데이터(411)는, 풀 컬러 화상 데이터(410)를 액정 표시 장치(400)에 있어서 합성함으로써, 제작되어 있어도 된다.
- [0048] CPU(404)는, 풀 컬러 화상의 표시를 행하는 경우와, 모노크롬 화상의 표시를 행하는 경우에서, 셀렉터(403)와 컨트롤러(405)의 동작이 절환되도록 제어한다.
- [0049] 구체적으로, 풀 컬러 화상의 표시를 행하는 경우, 셀렉터(403)는, CPU(404)로부터의 명령에 따라서, 입력된 풀

컬러 화상 데이터(410)를 선택하고, 패널(406)에 공급한다. 또한, 컨트롤러(405)는, CPU(404)로부터의 명령에 따라서, 풀 컬러 화상 데이터(410)에 동기한 구동 신호 또는 풀 컬러 화상의 표시를 행할 때에 이용되는 전원 전위를, 패널(406)에 공급한다.

- [0050] 혹은, 모노크롬 화상의 표시를 행하는 경우, 셀렉터(403)는, CPU(404)로부터의 명령에 따라서, 입력된 모노크롬 화상 데이터(411)를 선택하여, 패널(406)에 공급한다. 또한, 컨트롤러(405)는, CPU(404)로부터의 명령에 따라서, 모노크롬 화상 데이터(411)에 동기한 구동 신호 또는 모노크롬 화상의 표시를 행할 때에 이용되는 전원 전위를, 패널(406)에 공급한다.
- [0051] 패널(406)은, 각 화소에 액정 소자를 갖는 화소부(412)와, 주사선 구동 회로(414), 신호선 구동 회로(413) 등의 구동 회로를 갖는다. 셀렉터(403)로부터의 풀 컬러 화상 데이터(410) 또는 모노크롬 화상 데이터(411)는, 신호선 구동 회로(413)에 공급된다. 또한, 컨트롤러(405)로부터의 구동 신호 또는 전원 전위는, 주사선 구동 회로(414), 신호선 구동 회로(413)에 공급된다.
- [0052] 또한, 구동 신호에는, 신호선 구동 회로(413)의 동작을 제어하는 신호선 구동 회로용 스타트 펄스 신호(SSP), 신호선 구동 회로용 클럭 신호(SCK), 주사선 구동 회로(414)의 동작을 제어하는 주사선 구동 회로용 스타트 펄스 신호(GSP), 주사선 구동 회로용 클럭 신호(GCK) 등이 포함된다.
- [0053] 백라이트(407)에는, 색상이 상이한 광을 발하는 복수의 광원이 배치되어 있다. 컨트롤러(405)는, 백라이트 제어 회로(408)를 통해서 백라이트(407)가 갖는 광원의 구동을 제어한다.
- [0054] 또한, 풀 컬러 화상의 표시와 모노크롬 화상의 표시의 절환은, 인위적으로 행할 수 있다. 이 경우, 입력 장치(420)를 액정 표시 장치(400)에 설치하고, 입력 장치(420)로부터의 신호에 따라서, CPU(404)가 상기 절환을 제어하도록 하면 된다. 예를 들면, 사용자가 액정 표시 장치(400)에 설치된 스위치 등에 의해, 풀 컬러 화상의 표시와 모노크롬 화상의 표시의 절환을 제어한다.
- [0055] 또한, 본 실시 형태에서 예시되는 액정 표시 장치(400)는, 측광 회로(421)를 갖고 있어도 된다. 측광 회로(421)는 액정 표시 장치(400)가 사용되고 있는 환경의 밝기를 측정하는 회로이다. 그리고, 측광 회로(421)에 있어서 검지된 밝기에 따라서, CPU(404)가 풀 컬러 화상의 표시와 모노크롬 화상의 표시의 절환을 제어해도 된다.
- [0056] 예를 들면, 본 실시 형태에서 예시되는 액정 표시 장치(400)를 약간 어두운 환경에서 이용하는 경우, 측광 회로(421)로부터의 신호에 따라서, CPU(404)가 풀 컬러 화상의 표시를 선택하고, 밝은 환경에서 이용하는 경우, 측광 회로(421)로부터의 신호에 따라서, CPU(404)가 모노크롬 화상의 표시를 선택해도 된다. 또한, 측광 회로(421)에 미리 임계값을 설정하고, 사용 환경의 밝기가 임계값을 하회하면, 백라이트가 점등하도록 설정해도 된다.
- [0057] 다음으로, 본 발명의 일 양태에 따른 액정 표시 장치의 패널의 구체적인 구성에 대해서, 일례를 들어 설명한다.
- [0058] 도 2a는, 액정 표시 장치의 구성예를 도시하는 도면이다. 도 2a에 도시하는 액정 표시 장치는, 화소부(10)와, 주사선 구동 회로(11)와, 신호선 구동 회로(12)를 갖는다. 본 발명의 일 양태에서는, 화소부(10)가 복수의 영역으로 분할되어 있다. 구체적으로는, 도 2a에서는, 화소부(10)가, 3개의 영역(영역(101), 영역(102), 영역(103))으로 분할되어 있는 경우를 예시하고 있다. 그리고, 각 영역은, 매트릭스 형상으로 배설된 복수의 화소(15)를 갖는다.
- [0059] 또한, 화소부(10)에는, 주사선 구동 회로(11)에 의해 전위가 제어되는 m개의 주사선 GL과, 신호선 구동 회로(12)에 의해 전위가 제어되는 n개의 신호선 SL과, 단자(61) 내지 단자(63)에 접속되는 인에이블선(enable line) ENR이 설치되어 있다. 그리고, m개의 주사선 GL은, 화소부(10)가 갖는 영역의 수에 맞추어, 복수의 그룹으로 분할되어 있다. 예를 들면, 도 2a의 경우, 화소부(10)가 3개의 영역으로 분할되어 있으므로, m개의 주사선 GL도 3개의 그룹으로 분할되어 있다. 그리고, 각 그룹에 속하는 주사선 GL은, 해당 그룹에 대응하는 영역이 갖는 복수의 화소(15)에 접속되어 있다. 구체적으로, 각 주사선 GL은, 각 영역에 있어서 매트릭스 형상으로 배설된 복수의 화소(15) 중, 어느 하나의 행에 배설된 n개의 화소(15)에 접속된다.
- [0060] 도 2a에서는, 영역(101)이 갖는 인에이블선 ENR이 단자(61)에 접속되고, 영역(102)이 갖는 인에이블선 ENR이 단자(62)에 접속되며, 영역(103)이 갖는 인에이블선 ENR이 단자(63)에 접속되는 구성을 나타내고 있다. 인에이블선 ENR에 접속되는 단자를 화소부(10)의 각 영역마다 설치함으로써, 단자를 거쳐서 인에이블선 ENR에 공급하는 전위를, 각 영역마다 제어할 수 있다. 또한, 단자(61) 내지 단자(63)는, 각각을 복수 설치해도 된다. 특히 액

정 표시 장치가 대화면화 또는 고정밀화하면, 배선 저항의 증가에 의한 전압 강하가 일어나기 쉬워지지만, 단자 (61) 내지 단자(63)를 각각 복수 분산시켜 설치함으로써, 배선 저항의 증가에 의한 전압 강하를 일어나기 어렵 게 할 수 있다. 또한, 화소부(10)가 갖는 모든 인에이블선 ENR을 1개의 단자에 접속하는 구성으로 할 수도 있 다.

- [0061] 또한, 각 신호선 SL은, 상기 영역에 상관없이, 화소부(10)에 있어서 m행 n열에 배설된 복수의 화소(15) 중, 어 느 한쪽의 열에 배설된 m개의 화소(15)에 접속된다.
- [0062] 도 2b는, 도 2a에 도시하는 액정 표시 장치가 갖는 화소(15)의 회로도의 일례를 도시하는 도면이다.
- [0063] 또한, 화소(15)는, 투광성을 갖는 도전막으로 형성된 화소 전극을 통해서 백라이트의 광을 투과하는 투과 영역 (13)과, 반사 전극이 액정층을 개재하여 입사하는 광을 반사하는 반사 영역(14)으로 대별된다. 투과 영역(13) 은, 제1 화소 트랜지스터(16a), 제1 액정 소자(18a), 제1 용량 소자(17a)를 갖는다. 제1 화소 트랜지스터(16 a)는, 게이트가 주사선 GL에 접속되고, 소스 또는 드레인의 한쪽이 되는 제1 단자가 신호선 SL에 접속되며, 소 스 또는 드레인의 다른 쪽이 되는 제2 단자가, 제1 액정 소자(18a)의 한쪽의 전극 및 제1 용량 소자(17a)의 제1 전극에 접속된다. 제1 액정 소자(18a)의 다른 쪽의 전극은, 공통 전극에 접속된다. 제1 용량 소자(17a)의 제2 전극은, 용량선에 접속된다. 제1 용량 소자(17a)는, 제1 액정 소자(18a)에 공급된 전압을 보유하기 위한 축적 용량으로서 기능한다.
- [0064] 또한, 반사 영역(14)은, 제2 화소 트랜지스터(16b), 제2 액정 소자(18b), 제2 용량 소자(17b)를 갖는다. 제2 화소 트랜지스터(16b)는, 게이트가 인에이블선 ENR에 접속되고, 소스 또는 드레인의 한쪽이 되는 제1 단자가, 제1 화소 트랜지스터(16a)의 제2 단자에 접속되며, 소스 또는 드레인의 다른 쪽이 되는 제2 단자가, 제2 액정 소자(18b)의 한쪽의 전극 및 제2 용량 소자(17b)의 제1 전극에 접속된다. 제2 액정 소자(18b)의 다른 쪽의 전 극은, 공통 전극에 접속된다. 제2 용량 소자(17b)의 제2 전극은, 용량선에 접속된다. 제2 용량 소자(17b)는, 제2 액정 소자(18b)에 공급된 전압을 보유하기 위한 축적 용량으로서 기능한다.
- [0065] 또한, 본 실시 형태에서 나타내는 화소(15)는, 반사 영역(14)을 이용하여 화상을 표시하는 경우에, 투과 영역 (13)이 갖는 제1 용량 소자(17a)를, 반사 영역(14)이 갖는 제2 액정 소자(18b)에 공급된 전압을 보유하기 위한 축적 용량으로서 이용할 수 있다. 이 때문에, 축적 용량의 레이아웃 면적을 작게 할 수 있다.
- [0066] 또한, 도 2a 및 도 2b에 있어서, 주사선 GL은, 주사선 구동 회로(11)에 의해 구동된다. 또한 신호선 SL은, 신 호선 구동 회로(12)에 의해 화상 신호가 공급된다.
- [0067] 일반적으로, 필드 시퀀셜 방식의 구동을 행하는 경우, 구동 회로를 매우 높은 주파수로 동작시킬 필요가 있다. 화소에의 화상 신호의 기입 시간을 짧게 하기 위해서, 투과 영역(13)이 갖는 제1 용량 소자(17a)의 용량을 작게 할 필요가 있다. 정지 화상 표시를 행하는 경우에는, 반사 영역(14)이 갖는 제2 용량 소자(17b)의 용량을 크게 함으로써, 화상의 표시를 장시간 보유할 수 있다. 그러나, 용량 소자에 접속되는 트랜지스터의 오프 전류가 크 면, 화상 신호를 확실하게 보유시키기 위해서, 제1 용량 소자(17a) 및 제2 용량 소자(17b)의 용량을 필요 이상 으로 크게 하지 않을 수 없다.
- [0068] 이 때문에, 제1 화소 트랜지스터(16a) 및 제2 화소 트랜지스터(16b)는, 산화물 반도체층을 갖는 트랜지스터로 구성하는 것이 바람직하다. 산화물 반도체층을 갖는 트랜지스터는 오프 전류가 극히 작기 때문에, 제1 용량 소 자(17a) 및 제2 용량 소자(17b)의 용량을 작게 하는 것이 가능하게 된다. 특히, 제2 화소 트랜지스터(16b)로서 오프 전류가 극히 작은 트랜지스터를 이용함으로써, 제2 액정 소자(18b)에 공급되는 전압이 보유되는 기간을 길 게 확보할 수 있기 때문에, 정지 화상과 같이, 연속하는 몇 개인가의 프레임 기간에 걸쳐, 화소부(10)에 동일한 화상 정보를 갖는 화상 신호가 기입되는 경우 등은, 구동 주파수를 낮게 하는, 다시 말하면 일정 기간 내에 있 어서의 화소부(10)에의 화상 신호의 기입 횟수를 적게 해도, 화상의 표시를 보유할 수 있다. 예를 들면, 상술 한 바와 같은, 고순도화된 산화물 반도체막을 활성층으로서 이용한 트랜지스터를 제2 화소 트랜지스터(16b)에 이용함으로써, 화상 신호의 기입의 간격을 10초 이상, 바람직하게는 30초 이상, 더욱 바람직하게는 1분 이상으 로 할 수 있다. 그리고, 화상 신호가 기입되는 간격을 길게 하면 할수록, 보다 소비 전력을 저감할 수 있다.
- [0069] 또한, 복수회의 화상 신호의 기입에 의한 화상을 시인할 때, 복수회에 걸쳐 절환되는 화상을 인간의 눈은 시인 하게 된다. 그 때문에, 인간의 눈에는 피로로서 나타날 수도 있다. 본 실시 형태에서 설명한 바와 같이, 화상 신호의 기입 횟수를 삭감하는 구성으로 함으로써, 눈의 피로를 줄인다고 하는 효과도 있다.
- [0070] 또한, 화상 신호의 전위를 보다 긴 기간에 걸쳐 보유할 수 있기 때문에, 화상 신호의 전위를 보유하기 위해서,

제2 액정 소자(18b)에 제2 용량 소자(17b)를 접속하지 않아도, 표시되는 화질이 저하하는 것을 방지할 수 있다.

- [0071] 또한, 실리콘 반도체보다도 밴드갭이 넓고, 진성 캐리어 밀도가 실리콘보다도 낮은 반도체이면, 제1 화소 트랜지스터(16a) 및 제2 화소 트랜지스터(16b)는, 산화물 반도체층을 갖는 트랜지스터에 한정되지 않고, 탄화 규소(SiC), 질화 갈륨(GaN) 등의 화합물 반도체를 갖는 트랜지스터로 구성해도 된다.
- [0072] 또한, 제1 액정 소자(18a) 및 제2 액정 소자(18b)는, 각각 화소 전극과, 대향 전극과, 화소 전극과 대향 전극 사이의 전압이 인가되는 액정을 포함한 액정층을 갖고 있다.
- [0073] 액정에 이용되는 액정 재료의 일례로서는, 네마틱 액정, 콜레스테릭 액정, 스멕틱 액정, 디스코틱 액정, 서모트로픽 액정, 리오트로픽 액정, 저분자 액정, 고분자 분산형 액정(PDLC), 강유전 액정, 반강유전 액정, 주쇄형 액정, 측쇄형 고분자 액정, 바나나형 액정 등을 들 수 있다.
- [0074] 또한, 배향막을 이용하지 않는 블루상을 나타내는 액정을 이용해도 된다. 블루상은 액정상의 하나이며, 콜레스테릭 액정을 승온해 가면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현되는 상이다. 블루상은 좁은 온도 범위에서밖에 발현되지 않기 때문에, 키랄제나 자외선 경화 수지를 첨가해서 온도 범위를 개선한다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은, 응답 속도가 10 μsec. 이상 100 μsec. 이하로 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작기 때문에 바람직하다.
- [0075] 또한 액정의 구동 방법으로서, TN(Twisted Nematic) 모드, STN(Super Twisted Nematic) 모드, VA(Vertical Alignment) 모드, MVA(Multi-domain Vertical Alignment) 모드, IPS(In-Plane Switching) 모드, OCB(Optically Compensated Birefringence) 모드, ECB(Electrically Controlled Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, PDLC(Polymer Dispersed Liquid Crystal) 모드, PNLC(Polymer Network Liquid Crystal) 모드, 게스트 호스트 모드 등을 적용하는 것이 가능하다.
- [0076] 화소(15)는, 필요에 따라서, 트랜지스터, 다이오드, 저항 소자, 용량 소자, 인덕턴스 등의 그 밖의 회로 소자를 더 갖고 있어도 된다.
- [0077] 또한, 화상 신호의 전위의 극성을, 대향 전극의 전위를 기준으로 해서 반전시키는 반전 구동을 행함으로써, 소부(燒付)라고 불리는 액정의 열화를 방지할 수 있다. 그러나, 반전 구동을 행하면, 화상 신호의 극성이 변화할 때에 신호선에 공급되는 전위의 변화가 커지기 때문에, 제2 화소 트랜지스터(16b)의 소스 전극과 드레인 전극의 전위차가 커진다. 따라서, 제2 화소 트랜지스터(16b)는, 임계값 전압이 시프트하는 등의 특성 열화가 생기기 쉽다. 또한, 제2 액정 소자(18b)에 보유되어 있는 전압을 보유하기 위해서, 소스 전극과 드레인 전극의 전위차가 커도, 오프 전류가 낮은 것이 요구된다. 본 실시 형태에서는, 제2 화소 트랜지스터(16b)에, 산화물 반도체 등의 반도체를 이용하고 있으므로, 제2 화소 트랜지스터(16b)의 내압성을 높이고, 오프 전류를 현저하게 낮게 할 수 있다. 따라서, 실리콘이나 게르마늄 등의 반도체 재료로 형성된 트랜지스터를 이용한 경우에 비해, 제2 화소 트랜지스터(16b)의 열화를 방지하고, 제2 액정 소자(18b)에 보유되어 있는 전압을 보유할 수 있다.
- [0078] 다음으로, 패널의 동작의 일례에 대해서, 백라이트의 동작과 함께 설명한다. 도 3은, 액정 표시 장치와 백라이트의 동작을 모식적으로 도시한 도면이다. 도 3에 도시하는 바와 같이, 본 발명의 일 양태에 따른 액정 표시 장치의 동작은, 풀 컬러 화상을 표시하는 기간(풀 컬러 화상 표시 기간(301))과, 모노크롬 화상의 동화상을 표시하는 기간(모노크롬 동화상 표시 기간(302))과, 모노크롬 화상의 정지 화상을 표시하는 기간(모노크롬 정지 화상 표시 기간(303))으로 대별된다.
- [0079] 풀 컬러 화상 표시 기간(301)에서는, 복수의 서브 프레임 기간에 의해 1프레임 기간이 구성되어 있다. 그리고, 서브 프레임 기간마다 화소부에의 화상 신호의 기입이 행하여지고 있다. 그리고, 주사선 구동 회로나 신호선 구동 회로 등의 구동 회로에는, 화상의 표시를 행하고 있는 동안에 있어서, 연속해서 구동 신호가 공급되고 있다. 따라서, 풀 컬러 화상 표시 기간(301)에서는, 구동 회로는 동작하고 있는 상태에 있다. 또한, 풀 컬러 화상 표시 기간(301)에서는, 백라이트에 의해 화소부에 공급되는 광의 색상이, 서브 프레임 기간마다 절환된다. 그리고, 각 색상에 대응한 화상 신호를 화소부에 순서대로 기입해 가고, 1프레임 기간 내에 모든 색상에 대응한 화상 신호를 기입함으로써 1화상이 형성된다. 그 때문에, 풀 컬러 화상 표시 기간(301)에서는, 1프레임 기간에 있어서의 화소부에의 화상 신호의 기입 횟수는 복수회이며, 그 수는 백라이트로부터 공급되는 광의 색상의 수에 의해 결정된다.
- [0080] 모노크롬 동화상 표시 기간(302)에서는, 풀 컬러 화상 표시 기간(301)과 마찬가지로, 1프레임 기간마다 화소부에의 화상 신호의 기입이 행하여지고 있다. 그리고, 주사선 구동 회로나 신호선 구동 회로 등의 구동

회로에는, 화상의 표시를 행하고 있는 동안에 있어서, 연속해서 구동 신호가 공급되고 있다. 따라서, 모노크롬 동화상 표시 기간(302)에서는, 구동 회로는 동작하고 있는 상태에 있다. 또한, 모노크롬 동화상 표시 기간(302)에서는, 백라이트에 의해 화소부에 공급되는 광의 색상이, 프레임 기간마다 절환되는 일이 없고, 하나의 색상의 광이 연속해서 화소부에 공급된다. 그리고, 1프레임 기간 내에, 그 하나의 색상에 대응한 화상 신호를 화소부에 순서대로 기입함으로써, 1화소가 형성된다. 그 때문에, 모노크롬 동화상 표시 기간(302)에서는, 1프레임 기간에 있어서의 화소부에서의 화상 신호의 기입 횟수는 1회가 된다.

[0081] 모노크롬 정지 화상 표시 기간(303)에서는, 풀 컬러 화상 표시 기간(301)과 마찬가지로, 1프레임 기간마다 화소부에서의 화상 신호의 기입이 행하여지고 있다. 그러나, 풀 컬러 화상 표시 기간(301)이나 모노크롬 동화상 표시 기간(302)과는 달리, 화소부에서의 화상 신호의 기입 시에 구동 회로에 구동 신호가 공급되고, 기입이 종료한 후에는 구동 회로에의 구동 신호의 공급이 정지한다. 따라서, 모노크롬 정지 화상 표시 기간(303)에서는, 화상 신호의 기입 시 이외에는 구동 회로가 비동작의 상태에 있다. 또한, 모노크롬 정지 화상 표시 기간(303)에서는, 백라이트는 소등시키고 있다. 그리고, 1프레임 기간 내에 화상 신호를 화소부에 순서대로 기입함으로써, 1화상이 형성된다. 그 때문에, 모노크롬 정지 화상 표시 기간(303)에서는, 1프레임 기간에 있어서의 화소부에서의 화상 신호의 기입 횟수는 1회가 된다.

[0082] 또한, 모노크롬 동화상 표시 기간(302)에서는, 플리커 등의 화상의 깜박거림이 시인되는 것을 방지하기 위해서, 1초간에 60프레임 기간 이상 설치하는 것이 바람직하다. 모노크롬 정지 화상 표시 기간(303)에서는, 1프레임 기간을 극단적으로 길게, 예를 들면 1분 이상으로 할 수 있다. 1프레임 기간을 길게 함으로써, 구동 회로가 비동작의 기간을 길게 할 수 있으므로, 액정 표시 장치의 소비 전력을 저감시킬 수 있다.

[0083] 또한, 본 발명의 일 양태에 따른 액정 표시 장치는, 컬러 필터를 이용할 필요가 있다. 따라서, 컬러 필터를 이용한 액정 표시 장치에 비해, 코스트를 저감할 수 있다.

[0084] 또한, 풀 컬러 화상 표시 기간(301)에서는, 1프레임 기간에 있어서, 화소부의 각 영역에 색상이 상이한 복수의 광을 순차적으로 공급한다. 도 4a, 도 4b 및 도 4c에, 각 영역에 공급되는 광의 색상의 일례를 모식적으로 도시한다. 또한, 도 4a, 도 4b 및 도 4c에서는, 도 2a에 도시한 바와 같이, 화소부가 3개의 영역으로 분할되어 있는 경우를 예시하고 있다. 또한, 도 4a, 도 4b 및 도 4c에서는, 화소부에, 백라이트로부터 적(R)의 광, 청(B)의 광, 녹(G)의 광이 공급되는 경우를 예시하고 있다.

[0085] 우선, 도 4a에, 최초의 서브 프레임 기간에 있어서, 영역(101)에 적(R)의 광, 영역(102)에 녹(G)의 광, 영역(103)에 청(B)의 광이 각각 공급되고 있는 모습을 도시한다. 그리고, 도 4b에, 다음의 서브 프레임 기간에 있어서, 영역(101)에 녹(G)의 광, 영역(102)에 청(B)의 광, 영역(103)에 적(R)의 광이, 각각 공급되고 있는 모습을 도시한다. 그리고, 도 4c에, 또한 다음의 서브 프레임 기간에 있어서, 영역(101)에 청(B)의 광, 영역(102)에 적(R)의 광, 영역(103)에 녹(G)의 광이 각각 공급되고 있는 모습을 도시한다.

[0086] 그리고, 상기 모든 서브 프레임 기간이 종료함으로써, 1프레임 기간이 종료한다. 1프레임 기간에 있어서, 각 영역에 공급되는 광의 색상이 일주함으로써, 풀 컬러의 화상을 표시할 수 있다. 또한, 각 영역에 주목하면, 영역(101)에서는, 공급되는 광의 색상이, 적(R), 녹(G), 청(B)의 순으로 변화하고 있다. 또한, 영역(102)에서는, 공급되는 광의 색상이, 녹(G), 청(B), 적(R)의 순으로 변화하고 있다. 또한, 영역(103)에서는, 공급되는 광의 색상이, 청(B), 적(R), 녹(G)의 순으로 변화하고 있다. 따라서, 각 영역에는, 서로 다른 색상을 갖는 복수의 광이, 서로 상이한 윤번에 따라 순차적으로 공급되고 있는 것을 알 수 있다.

[0087] 또한, 도 4a, 도 4b 및 도 4c에서는, 각 서브 프레임 기간에 있어서, 하나의 영역에 대하여 하나의 색상의 광만이 공급되고 있는 예를 나타내고 있지만, 본 발명의 일 양태는 이 구성에 한정되지 않는다. 예를 들면, 각 영역 내에 있어서, 화상 신호의 기입이 종료한 부분으로부터 순서대로 공급되는 광의 색상을 절환해 가도록 해도 된다. 이 경우, 각 색상의 광이 조사되는 조사 영역과, 화소부가 분할됨으로써 형성되는 영역은 반드시 일치하지는 않는다.

[0088] 또한, 모노크롬 동화상 표시 기간(302) 및 모노크롬 정지 화상 표시 기간(303)에서는, 서로 다른 색상을 갖는 복수의 광은 모두 소등한다. 도 5에, 각 영역에 있어서의 광의 소등의 일례를 모식적으로 도시한다. 또한, 도 5에서는, 도 2a에 도시한 바와 같이 화소부를 3개의 영역으로 분할한 경우를 예로 들고 있다. 도 5에 도시하는 바와 같이 영역(101), 영역(102) 및 영역(103)에서는 백라이트는 모두 소등하고 있다.

[0089] <주사선 구동 회로(11)의 구성예>

[0090] 도 6은, 도 2a에 도시하는 주사선 구동 회로(11)의 구성예를 도시하는 도면이다. 도 6에 도시하는 주사선 구동

회로(11)는, 제1 펄스 출력 회로(20_1) 내지 제m 펄스 출력 회로(20_m)를 갖고 있다. 제1 펄스 출력 회로(20_1) 내지 제m 펄스 출력 회로(20_m)로부터 출력되는 선택 신호는, 각각 m개의 주사선 GL(주사선 GL1 내지 주사선 GLm)에 공급된다.

- [0091] 또한, 주사선 구동 회로(11)에는, 제1 주사선 구동 회로용 클럭 신호(GCK1) 내지 제4 주사선 구동 회로용 클럭 신호(GCK4)와, 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)와, 주사선 구동 회로용 스타트 펄스 신호(GSP)가, 구동 신호로서 공급되고 있다.
- [0092] 또한, 도 6에서는, 제1 펄스 출력 회로(20_1) 내지 제j 펄스 출력 회로(20_j)(j는, m/2 미만의 4의 배수)가, 영역(101)에 배설된 주사선 GL1 내지 주사선 GLj에 접속되어 있는 경우를 예시하고 있다. 또한, 도 6에서는, 제 j+1 펄스 출력 회로(20_{j+1}) 내지 제2j 펄스 출력 회로(20_{2j})가, 영역(102)에 배설된 주사선 GL_{j+1} 내지 주사선 GL_{2j}에 접속되어 있는 경우를 예시하고 있다. 또한, 도 6에서는, 제2j+1 펄스 출력 회로(20_{2j+1}) 내지 제m 펄스 출력 회로(20_m)가 영역(103)에 배설된 주사선 GL_{2j+1} 내지 주사선 GLm에 접속되어 있는 경우를 예시하고 있다.
- [0093] 제1 펄스 출력 회로(20_1) 내지 제m 펄스 출력 회로(20_m)는, 제1 펄스 출력 회로(20_1)에 입력되는 주사선 구동 회로용 스타트 펄스 신호(GSP)에 따라서 동작을 개시하고, 펄스가 순차 시프트한 선택 신호를 출력한다.
- [0094] 제1 펄스 출력 회로(20_1) 내지 제m 펄스 출력 회로(20_m)에는, 동일한 구성을 갖는 회로를 적용할 수 있다. 제1 펄스 출력 회로(20_1) 내지 제m 펄스 출력 회로(20_m)의 구체적인 접속 관계에 대해서, 도 7을 참조하여 설명한다.
- [0095] 도 7은, 제x 펄스 출력 회로(20_x)(x는, m 이하의 자연수)를 모식적으로 도시한 도면이다. 제1 펄스 출력 회로(20_1) 내지 제m 펄스 출력 회로(20_m)의 각각은, 단자(21) 내지 단자(27)를 갖는다. 또한, 단자(21) 내지 단자(24) 및 단자(26)는 입력 단자이며, 단자(25) 및 단자(27)는 출력 단자이다.
- [0096] 우선, 단자(21)에 대해서 설명한다. 제1 펄스 출력 회로(20_1)의 단자(21)는, 주사선 구동 회로용 스타트 펄스 신호(GSP)를 공급하는 배선에 접속되고, 제2 펄스 출력 회로(20_2) 내지 제m 펄스 출력 회로(20_m)의 단자(21)는, 전단의 펄스 출력 회로의 단자(27)에 접속된다.
- [0097] 다음으로, 단자(22)에 대해서 설명한다. 제(4a-3) 펄스 출력 회로(20_{(4a-3)})(a는, m/4 이하의 자연수)의 단자(22)는, 주사선 구동 회로용 제1 클럭 신호(GCK1)를 공급하는 배선에 접속되고, 제(4a-2) 펄스 출력 회로(20_{(4a-2)})의 단자(22)는, 주사선 구동 회로용 제2 클럭 신호(GCK2)를 공급하는 배선에 접속되며, 제(4a-1) 펄스 출력 회로(20_{(4a-1)})의 단자(22)는, 주사선 구동 회로용 제3 클럭 신호(GCK3)를 공급하는 배선에 접속되고, 제4a 펄스 출력 회로(20_{4a})의 단자(22)는, 주사선 구동 회로용 제4 클럭 신호(GCK4)를 공급하는 배선에 접속된다.
- [0098] 다음으로, 단자(23)에 대해서 설명한다. 제(4a-3) 펄스 출력 회로(20_{(4a-3)})의 단자(23)는, 주사선 구동 회로용 제2 클럭 신호(GCK2)를 공급하는 배선에 접속되고, 제(4a-2) 펄스 출력 회로(20_{(4a-2)})의 단자(23)는, 주사선 구동 회로용 제3 클럭 신호(GCK3)를 공급하는 배선에 접속되며, 제(4a-1) 펄스 출력 회로(20_{(4a-1)})의 단자(23)는, 주사선 구동 회로용 제4 클럭 신호(GCK4)를 공급하는 배선에 접속되고, 제4a 펄스 출력 회로(20_{4a})의 단자(23)는, 주사선 구동 회로용 제1 클럭 신호(GCK1)를 공급하는 배선에 접속된다.
- [0099] 다음으로, 단자(24)에 대해서 설명한다. 제(2b-1) 펄스 출력 회로(20_{(2b-1)})(b는, j/2 이하의 자연수)의 단자(24)는, 제1 펄스폭 제어 신호(PWC1)를 공급하는 배선에 접속되고, 제2b 펄스 출력 회로(20_{2b})의 단자(24)는, 제4 펄스폭 제어 신호(PWC4)를 공급하는 배선에 접속되며, 제(2c-1) 펄스 출력 회로(20_{(2c-1)})(c는, (j/2+1) 이상 j 이하의 자연수)의 단자(24)는, 제2 펄스폭 제어 신호(PWC2)를 공급하는 배선에 접속되고, 제2c 펄스 출력 회로(20_{2c})의 단자(24)는, 제5 펄스폭 제어 신호(PWC5)를 공급하는 배선에 접속되며, 제(2d-1) 펄스 출력 회로(20_{(2d-1)})(d는, (j+1) 이상 m/2 이하의 자연수)의 단자(24)는, 제3 펄스폭 제어 신호(PWC3)를 공급하는 배선에 접속되고, 제2d 펄스 출력 회로(20_{2d})의 단자(24)는, 제6 펄스폭 제어 신호(PWC6)를 공급하는 배선에 접속된다.
- [0100] 다음으로, 단자(25)에 대해서 설명한다. 제x 펄스 출력 회로(20_x)의 단자(25)는, x행째에 배설된 주사선 GLx에 접속된다.
- [0101] 다음으로, 단자(26)에 대해서 설명한다. 제y 펄스 출력 회로(20_y)(y는, m-1 이하의 자연수)의 단자(26)는, 제(y+1) 펄스 출력 회로(20_{(y+1)})의 단자(27)에 접속되고, 제m 펄스 출력 회로(20_m)의 단자(26)는, 제m 펄스

출력 회로용 스톱 신호(STP)를 공급하는 배선에 접속된다. 또한, 제 m 펄스 출력 회로용 스톱 신호(STP)는, 제 $(m+1)$ 펄스 출력 회로(20 $_{(m+1)}$)가 설치되어 있는 경우에, 제 $(m+1)$ 펄스 출력 회로(20 $_{(m+1)}$)의 단자(27)로부터 출력되는 신호에 상당한다. 구체적으로, 이들 신호는, 실제로 더미 회로로서 제 $(m+1)$ 펄스 출력 회로(20 $_{(m+1)}$)를 설치하는 것, 또는 외부로부터 해당 신호를 직접 입력하는 것 등에 의해, 제 m 펄스 출력 회로(20 $_m$)에 공급할 수 있다.

- [0102] 각 펄스 출력 회로의 단자(27)의 접속 관계는 상술한 바와 같다. 그 때문에, 여기서는 전술한 설명을 인용하는 것으로 한다.
- [0103] <펄스 출력 회로의 구성예1>
- [0104] 다음으로, 도 8a에, 도 7에 도시하는 제 x 펄스 출력 회로(20 $_x$)의 구체적인 구성의 일례를 도시한다. 도 8a에 도시하는 펄스 출력 회로는, 트랜지스터(31) 내지 트랜지스터(39)를 갖는다.
- [0105] 트랜지스터(31)는, 그 게이트 전극이 단자(21)에 접속되어 있다. 또한, 트랜지스터(31)는, 그 제1 단자가 고전원 전위(V $_{dd}$)가 공급되고 있는 노드에 접속되고, 그 제2 단자가 트랜지스터(33)의 게이트 전극 및 트랜지스터(38)의 게이트 전극에 접속되어 있다.
- [0106] 트랜지스터(32)는, 그 게이트 전극이 트랜지스터(34)의 게이트 전극 및 트랜지스터(39)의 게이트 전극에 접속되어 있다. 트랜지스터(32)는, 그 제1 단자가 저전원 전위(V $_{ss}$)가 공급되고 있는 노드에 접속되고, 그 제2 단자가 트랜지스터(33)의 게이트 전극 및 트랜지스터(38)의 게이트 전극에 접속되어 있다.
- [0107] 트랜지스터(33)는, 그 제1 단자가 단자(22)에 접속되고, 그 제2 단자가 단자(27)에 접속되어 있다.
- [0108] 트랜지스터(34)는, 그 제1 단자가 저전원 전위(V $_{ss}$)가 공급되고 있는 노드에 접속되고, 그 제2 단자가 단자(27)에 접속되어 있다.
- [0109] 트랜지스터(35)는, 그 게이트 전극이 단자(21)에 접속되어 있다. 또한, 트랜지스터(35)는, 그 제1 단자가 저전원 전위(V $_{ss}$)가 공급되고 있는 노드에 접속되고, 그 제2 단자가 트랜지스터(34)의 게이트 전극 및 트랜지스터(39)의 게이트 전극에 접속되어 있다.
- [0110] 트랜지스터(36)는, 그 게이트 전극이 단자(26)에 접속되어 있다. 또한, 트랜지스터(36)는, 그 제1 단자가 고전원 전위(V $_{dd}$)가 공급되고 있는 노드에 접속되고, 그 제2 단자가 트랜지스터(34)의 게이트 전극 및 트랜지스터(39)의 게이트 전극에 접속되어 있다. 또한, 트랜지스터(36)의 제1 단자가, 저전원 전위(V $_{ss}$)보다도 고전위이며 또한 고전원 전위(V $_{dd}$)보다도 저전위인 전원 전위(V $_{cc}$)가 공급되고 있는 노드에 접속되는 구성으로 할 수도 있다.
- [0111] 트랜지스터(37)는, 그 게이트 전극이 단자(23)에 접속되어 있다. 또한, 트랜지스터(37)는, 그 제1 단자가 고전원 전위(V $_{dd}$)가 공급되고 있는 노드에 접속되고, 그 제2 단자가 트랜지스터(34)의 게이트 전극 및 트랜지스터(39)의 게이트 전극에 접속되어 있다. 또한, 트랜지스터(37)의 제1 단자가, 전원 전위(V $_{cc}$)가 공급되고 있는 노드에 접속되는 구성으로 할 수도 있다.
- [0112] 트랜지스터(38)는, 그 제1 단자가 단자(24)에 접속되고, 그 제2 단자가 단자(25)에 접속되어 있다.
- [0113] 트랜지스터(39)는, 그 제1 단자가 저전원 전위(V $_{ss}$)가 공급되고 있는 노드에 접속되고, 그 제2 단자가 단자(25)에 접속되어 있다.
- [0114] 다음으로, 도 8b에, 도 8a에 도시한 펄스 출력 회로의 타이밍차트의 일례를 도시한다. 또한, 도 8b에 도시하는 기간 t_1 내지 기간 t_7 은, 동일한 길이의 기간을 나타내고 있다. 그리고, 상기 기간 t_1 내지 기간 t_7 은, 주사선 구동 회로용 제1 클럭 신호(GCK1) 내지 주사선 구동 회로용 제4 클럭 신호(GCK4)의 펄스폭의 1/3에 각각 상당하고, 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)의 펄스폭의 1/2에 각각 상당한다.
- [0115] 도 8a에 도시한 펄스 출력 회로는, 기간 t_1 및 기간 t_2 에 있어서, 단자(21)에 입력되는 전위가 하이 레벨, 단자(22), 단자(23), 단자(24) 및 단자(26)에 입력되는 전위가 로우 레벨로 되기 때문에, 단자(25)로부터 로우 레벨의 전위, 단자(27)로부터 로우 레벨의 전위가 출력된다.
- [0116] 다음으로, 기간 t_3 에 있어서, 단자(21) 및 단자(24)에 입력되는 전위가 하이 레벨, 단자(22), 단자(23) 및 단자(26)에 입력되는 전위가 로우 레벨로 되기 때문에, 단자(25)로부터 하이 레벨의 전위, 단자(27)로부터 로우 레벨의 전위가 출력된다.

- [0117] 다음으로, 기간 t4에 있어서, 단자(22) 및 단자(24)에 입력되는 전위가 하이 레벨, 단자(21), 단자(23) 및 단자(26)에 입력되는 전위가 로우 레벨로 되기 때문에, 단자(25)로부터 하이 레벨의 전위, 단자(27)로부터 하이 레벨의 전위가 출력된다.
- [0118] 다음으로, 기간 t5 및 기간 t6에 있어서, 단자(22)에 입력되는 전위가 하이 레벨, 단자(21), 단자(23), 단자(24) 및 단자(26)에 입력되는 전위가 로우 레벨로 되기 때문에, 단자(25)로부터 로우 레벨의 전위, 단자(27)로부터 하이 레벨의 전위가 출력된다.
- [0119] 다음으로, 기간 t7에 있어서, 단자(23) 및 단자(26)에 입력되는 전위가 하이 레벨, 단자(21), 단자(22) 및 단자(24)에 입력되는 전위가 로우 레벨로 되기 때문에, 단자(25)로부터 로우 레벨의 전위, 단자(27)로부터 로우 레벨의 전위가 출력된다.
- [0120] 다음으로, 도 8c에, 도 8a에 도시한 펄스 출력 회로의 타이밍차트의 다른 일례를 도시한다. 또한, 도 8c에 도시하는 기간 t1 내지 기간 t7은, 동일한 길이의 기간을 나타내고 있다. 그리고, 상기 기간 t1 내지 기간 t7은, 주사선 구동 회로용 제1 클럭 신호(GCK1) 내지 주사선 구동 회로용 제4 클럭 신호(GCK4)의 펄스폭의 1/3에 각각 상당하고, 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)의 펄스폭의 1/3에 각각 상당한다.
- [0121] 도 8a에 도시한 펄스 출력 회로는, 기간 t1 내지 기간 t3에 있어서, 단자(21)에 입력되는 전위가 하이 레벨, 단자(22), 단자(23), 단자(24) 및 단자(26)에 입력되는 전위가 로우 레벨로 되기 때문에, 단자(25)로부터 로우 레벨의 전위, 단자(27)로부터 로우 레벨의 전위가 출력된다.
- [0122] 다음으로, 기간 t4 내지 기간 t6에 있어서, 단자(22) 및 단자(24)에 입력되는 전위가 하이 레벨, 단자(21), 단자(23) 및 단자(26)에 입력되는 전위가 로우 레벨로 되기 때문에, 단자(25)로부터 하이 레벨의 전위, 단자(27)로부터 하이 레벨의 전위가 출력된다.
- [0123] <풀 컬러 화상 표시 기간(301)에 있어서의 주사선 구동 회로의 동작예>
- [0124] 다음으로, 도 6, 도 7, 도 8a을 이용하여 설명한 주사선 구동 회로(11)를 예로 들어, 도 3에 있어서 나타낸 풀 컬러 화상 표시 기간(301)에 있어서의 주사선 구동 회로(11)의 동작에 대해서 설명한다.
- [0125] 도 9에, 풀 컬러 화상 표시 기간(301)에 있어서의, 주사선 구동 회로(11)의 타이밍차트의 일례를 도시한다. 도 9에서는, 서브 프레임 기간 SF1, 서브 프레임 기간 SF2, 서브 프레임 기간 SF3, 서브 프레임 기간 SFk가, 1프레임 기간에 설정되어 있는 경우를 예시하고 있다. 그리고, 서브 프레임 기간 SF1의 타이밍차트를, 도 9에 대표 예로서 나타내고 있다. 또한, 도 9에서는, m=3j의 경우를 예시하고 있다.
- [0126] 도 9에서는, 주사선 GL1 내지 주사선 GLj는, 영역(101)의 화소에 접속되고, 주사선 GLj+1 내지 주사선 GL2j는, 영역(102)의 화소에 접속되며, 주사선 GL2j+1 내지 주사선 GL3j는, 영역(103)의 화소에 접속되어 있는 경우의 타이밍차트를 예시한다.
- [0127] 주사선 구동 회로용 제1 클럭 신호(GCK1)는, 주기적으로 하이 레벨의 전위(고전원 전위(Vdd))와 로우 레벨의 전위(저전원 전위(Vss))를 반복하는, 듀티비가 1/4인 신호이다. 또한, 주사선 구동 회로용 제2 클럭 신호(GCK2)는, 주사선 구동 회로용 제1 클럭 신호(GCK1)로부터 1/4 주기분 위상이 지연된 신호이고, 주사선 구동 회로용 제3 클럭 신호(GCK3)는, 주사선 구동 회로용 제1 클럭 신호(GCK1)로부터 1/2 주기 위상이 지연된 신호이며, 주사선 구동 회로용 제4 클럭 신호(GCK4)는, 주사선 구동 회로용 제1 클럭 신호(GCK1)로부터 3/4 주기 위상이 지연된 신호이다.
- [0128] 제1 펄스폭 제어 신호(PWC1)는, 주기적으로 하이 레벨의 전위(고전원 전위(Vdd))와 로우 레벨의 전위(저전원 전위(Vss))를 반복하는, 듀티비가 1/3인 신호이다. 또한, 제2 펄스폭 제어 신호(PWC2)는, 제1 펄스폭 제어 신호(PWC1)로부터 1/6 주기 위상이 지연된 신호이며, 제3 펄스폭 제어 신호(PWC3)는, 제1 펄스폭 제어 신호(PWC1)로부터 1/3 주기 위상이 지연된 신호이고, 제4 펄스폭 제어 신호(PWC4)는, 제1 펄스폭 제어 신호(PWC1)로부터 1/2 주기 위상이 지연된 신호이며, 제5 펄스폭 제어 신호(PWC5)는, 제1 펄스폭 제어 신호(PWC1)로부터 2/3 주기 위상이 지연된 신호이고, 제6 펄스폭 제어 신호(PWC6)는, 제1 펄스폭 제어 신호(PWC1)로부터 5/6 주기 위상이 지연된 신호이다.
- [0129] 그리고, 도 9에서는, 주사선 구동 회로용 제1 클럭 신호(GCK1) 내지 주사선 구동 회로용 제4 클럭 신호(GCK4)의 펄스폭과 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)의 펄스폭의 비는, 3:2로 한다.
- [0130] 각 서브 프레임 기간 SF는, 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스가 갖는 전위의 하강에 따라서 개

시한다. 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스폭은, 주사선 구동 회로용 제1 클럭 신호(GCK1) 내지 주사선 구동 회로용 제4 클럭 신호(GCK4)와 동일 정도이다. 그리고, 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스가 갖는 전위의 하강과, 주사선 구동 회로용 제1 클럭 신호(GCK1)의 펄스가 갖는 전위의 상승이, 동기하고 있다. 또한, 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스가 갖는 전위의 하강은, 제1 펄스폭 제어 신호(PWC1)의 펄스가 갖는 전위의 상승으로부터, 제1 펄스폭 제어 신호(PWC1)의 1/6 주기분 지연된 타이밍에서 출현한다.

- [0131] 그리고, 상기 신호에 의해, 도 8a에 도시한 펄스 출력 회로는, 도 8b에 도시한 타이밍차트에 따라서 동작한다. 따라서, 도 9에 도시하는 바와 같이, 영역(101)에 대응하는 주사선 GL1 내지 주사선 GLj에는, 펄스가 순차 시프트한 선택 신호가 공급된다. 게다가, 주사선 GL1 내지 주사선 GLj에 공급되는 선택 신호의 펄스는, 펄스폭의 2분의 3에 상당하는 기간, 위상이 지연되도록 시프트하고 있다. 또한, 주사선 GL1 내지 주사선 GLj에 공급되는 선택 신호의 펄스폭은, 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)의 펄스폭과 동일 정도이다.
- [0132] 또한, 영역(101)의 경우와 마찬가지로, 영역(102)에 대응하는 주사선 GLj+1 내지 주사선 GL2j에는, 펄스가 순차 시프트한 선택 신호가 공급된다. 게다가, 주사선 GLj+1 내지 주사선 GL2j에 공급되는 선택 신호의 펄스는, 펄스폭의 2분의 3에 상당하는 기간, 위상이 지연되도록 시프트하고 있다. 또한, 주사선 GLj+1 내지 주사선 GL2j에 공급되는 선택 신호의 펄스폭은, 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)의 펄스폭과 동일 정도이다.
- [0133] 또한, 영역(101)의 경우와 마찬가지로, 영역(103)에 대응하는 주사선 GL2j+1 내지 주사선 GL3j에는, 펄스가 순차 시프트한 선택 신호가 공급된다. 게다가, 주사선 GL2j+1 내지 주사선 GL3j에 공급되는 선택 신호의 펄스는, 펄스폭의 2분의 3에 상당하는 기간, 위상이 지연되도록 시프트하고 있다. 또한, 주사선 GL2j+1 내지 주사선 GL3j에 공급되는 선택 신호의 펄스폭은, 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)의 펄스폭과 동일 정도이다.
- [0134] 그리고, 주사선 GL1, 주사선 GLj+1, 주사선 GL2j+1에 공급되는 선택 신호의 펄스는, 펄스폭의 2분의 1에 상당하는 기간, 위상이 지연되도록 순차 시프트하고 있다.
- [0135] 서브 프레임 기간 SFK에 있어서, 인에이블선 ENR에 선택 신호를 공급하고, 화소부(10)가 갖는 모든 제2 화소 트랜지스터(16b)를 온 상태로 한다. 그 후, 주사선 GL1 내지 주사선 GLm을 선택하고, 제1 화소 트랜지스터(16a) 및 제2 화소 트랜지스터(16b)를 거쳐서, 반사 영역(14)을 흑 표시로 하는 전위를 신호선 SL1 내지 신호선 SLn으로부터 공급한다. 그 후, 인에이블선 ENR의 전위를 제2 화소 트랜지스터(16b)를 오프 상태로 하는 전위로 한다.
- [0136] <모노크롬 정지 화상 표시 기간(303)에 있어서의 주사선 구동 회로의 동작예>
- [0137] 다음으로, 도 3에 있어서 나타낸 모노크롬 정상 화상 표시 기간(303)에 있어서의, 주사선 구동 회로(11)의 동작에 대해서 설명한다.
- [0138] 도 10에, 모노크롬 정지 화상 표시 기간(303)에 있어서의, 주사선 구동 회로(11)의 타이밍차트의 일례를 도시한다. 도 10에서는, 화상 신호의 화소에 의 기입을 행하는 기입 기간, 상기 화상 신호의 보유를 행하는 보유 기간이, 1프레임 기간에 설정되어 있는 경우를 예시하고 있다.
- [0139] 모노크롬 정지 화상 표시 기간(303) 중에는, 모든 인에이블선 ENR이 항상 선택되고, 모든 제2 화소 트랜지스터(16b)가 온 상태로 된다.
- [0140] 주사선 구동 회로용 제1 클럭 신호(GCK1) 내지 주사선 구동 회로용 제4 클럭 신호(GCK4)에는, 도 9의 경우와 마찬가지로의 신호를 이용할 수 있다.
- [0141] 제1 펄스폭 제어 신호(PWC1), 제4 펄스폭 제어 신호(PWC4)는, 기입 기간에서의 최초의 1/3의 기간에 있어서, 주기적으로 하이 레벨의 전위(고전원 전위(Vdd))와 로우 레벨의 전위(저전원 전위(Vss))를 반복하는, 듀티비가 1/2인 신호이며, 게다가, 그 이외의 기간은 로우 레벨의 전위를 갖는 신호이다. 그리고, 제4 펄스폭 제어 신호(PWC4)는, 제1 펄스폭 제어 신호(PWC1)로부터 1/2 주기 위상이 지연된 신호이다.
- [0142] 또한, 제2 펄스폭 제어 신호(PWC2), 제5 펄스폭 제어 신호(PWC5)는, 기입 기간에서의 한가운데의 1/3의 기간에 있어서, 주기적으로 하이 레벨의 전위(고전원 전위(Vdd))와 로우 레벨의 전위(저전원 전위(Vss))를 반복하는, 듀티비가 1/2인 신호이며, 게다가, 그 이외의 기간은 로우 레벨의 전위를 갖는 신호이다. 그리고, 제5 펄스폭

제어 신호(PWC5)는, 제2 펄스폭 제어 신호(PWC2)로부터 1/2 주기 위상이 지연된 신호이다.

- [0143] 또한, 제3 펄스폭 제어 신호(PWC3), 제6 펄스폭 제어 신호(PWC6)는, 기입 기간에서의 최후의 1/3의 기간에 있어서, 주기적으로 하이 레벨의 전위(고전원 전위(Vdd))와 로우 레벨의 전위(저전원 전위(Vss))를 반복하는, 듀티비가 1/2인 신호이며, 게다가, 그 이외의 기간은 로우 레벨의 전위를 갖는 신호이다. 그리고, 제6 펄스폭 제어 신호(PWC6)는, 제3 펄스폭 제어 신호(PWC3)로부터 1/2 주기 위상이 지연된 신호이다.
- [0144] 그리고, 도 10에서는, 주사선 구동 회로용 제1 클럭 신호(GCK1) 내지 주사선 구동 회로용 제4 클럭 신호(GCK4)의 펄스폭과 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)의 펄스폭의 비는, 1:1로 한다.
- [0145] 프레임 기간 F는, 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스가 갖는 전위의 하강에 따라서 개시한다. 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스폭은, 주사선 구동 회로용 제1 클럭 신호(GCK1) 내지 주사선 구동 회로용 제4 클럭 신호(GCK4)와 동일 정도이다. 그리고, 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스가 갖는 전위의 하강과, 주사선 구동 회로용 제1 클럭 신호(GCK1)의 펄스가 갖는 전위의 상승이, 동기하고 있다. 또한, 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스가 갖는 전위의 하강과, 제1 펄스폭 제어 신호(PWC1)의 펄스가 갖는 전위의 상승이, 동기하고 있다.
- [0146] 그리고, 상기 신호에 의해, 도 8a에 도시한 펄스 출력 회로는, 도 8c에 도시한 타이밍차트에 따라서 동작한다. 따라서, 도 10에 도시하는 바와 같이, 영역(101)에 대응하는 주사선 GL1 내지 주사선 GLj에는, 펄스가 순차 시프트한 선택 신호가 공급된다. 게다가, 주사선 GL1 내지 주사선 GLj에 공급되는 선택 신호의 펄스는, 펄스폭에 상당하는 기간, 위상이 지연되도록 시프트하고 있다. 또한, 주사선 GL1 내지 주사선 GLj에 공급되는 선택 신호의 펄스폭은, 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)의 펄스폭과 동일 정도이다.
- [0147] 또한, 영역(101)에 대응하는 주사선 GL1 내지 주사선 GLj의 모두에 펄스가 순차 시프트한 선택 신호가 공급되면, 다음으로, 영역(102)에 대응하는 주사선 GLj+1 내지 주사선 GL2j에도, 펄스가 순차 시프트한 선택 신호가 공급된다. 게다가, 주사선 GLj+1 내지 주사선 GL2j에 공급되는 선택 신호의 펄스는, 펄스폭에 상당하는 기간, 위상이 지연되도록 시프트하고 있다. 또한, 주사선 GLj+1 내지 주사선 GL2j에 공급되는 선택 신호의 펄스폭은, 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)의 펄스폭과 동일 정도이다.
- [0148] 또한, 영역(102)에 대응하는 주사선 GLj+1 내지 주사선 GL2j의 모두에 펄스가 순차 시프트한 선택 신호가 공급되면, 다음으로, 영역(103)에 대응하는 주사선 GL2j+1 내지 주사선 GL3j에도, 펄스가 순차 시프트한 선택 신호가 공급된다. 게다가, 주사선 GL2j+1 내지 주사선 GL3j에 공급되는 선택 신호의 펄스는, 펄스폭에 상당하는 기간, 위상이 지연되도록 시프트하고 있다. 또한, 주사선 GL2j+1 내지 GL3j에 공급되는 선택 신호의 펄스폭은, 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)의 펄스폭과 동일 정도이다.
- [0149] 다음으로, 보유 기간에서는, 주사선 구동 회로(11)에의 구동 신호 및 전원 전위의 공급을 정지한다. 구체적으로는, 우선, 주사선 구동 회로용 스타트 펄스 신호(GSP)의 공급을 정지함으로써, 주사선 구동 회로(11)에 있어서의 펄스 출력 회로로부터의 선택 신호의 출력을 정지하고, 주사선 구동 회로(11)에 접속된 모든 주사선에 있어서의 펄스에 의한 선택을 종료시킨다. 그 후, 주사선 구동 회로(11)에의 전원 전위 Vdd의 공급을 정지한다. 또한, 입력 또는 공급의 정지란, 예를 들면 신호 또는 전위가 입력되고 있던 배선을 부유 상태로 하는 것, 혹은, 신호 또는 전위가 입력되고 있던 배선에, 로우 레벨의 전위를 부여하는 것을 의미한다. 상기 방법에 의해, 동작을 정지할 때에, 주사선 구동 회로(11)가 오동작하는 것을 방지할 수 있다. 또한, 상기 구성 외에, 주사선 구동 회로용 제1 클럭 신호(GCK1) 내지 주사선 구동 회로용 제4 클럭 신호(GCK4), 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)의 주사선 구동 회로(11)에의 공급을 정지해도 된다.
- [0150] 주사선 구동 회로(11)에의 구동 신호 및 전원 전위의 공급을 정지함으로써, 주사선 GL1 내지 주사선 GLj와, 주사선 GLj+1 내지 주사선 GL2j와, 주사선 GL2j+1 내지 주사선 GL3j에는, 로우 레벨의 전위가 공급된다.
- [0151] 또한, 모노크롬 동화상 표시 기간(302)에 대해서는, 기입 기간에서의 주사선 구동 회로(11)의 동작이 모노크롬 정지 화상 표시 기간(303)과 동일하다.
- [0152] <신호선 구동 회로(12)>
- [0153] 도 11은, 도 2a에 도시하는 액정 표시 장치가 갖는 신호선 구동 회로(12)의 구성예를 도시하는 도면이다. 신호선 구동 회로(12)는, 제1 출력 단자 내지 제n 출력 단자를 갖는 시프트 레지스터(120)와, 화상 신호(DATA)의 신호선 SL1 내지 신호선 SLn에의 공급을 제어하는 스위칭 소자군(123)을 갖는다.
- [0154] 구체적으로, 스위칭 소자군(123)은, 트랜지스터(121_1) 내지 트랜지스터(121_n)를 갖고 있다. 트랜지스터

(121₁) 내지 트랜지스터(121_n)는, 그 제1 단자가, 화상 신호(DATA)를 공급하는 배선에 접속되어 있고, 그 제2 단자가 신호선 SL1 내지 신호선 SL_n의 각각에 접속되어 있다. 트랜지스터(121₁) 내지 트랜지스터(121_n)의 게이트 전극은, 제1 출력 단자 내지 제_n 출력 단자에 각각 접속되어 있다.

[0155] 또한, 시프트 레지스터(120)는, 신호선 구동 회로용 스타트 펄스 신호(SSP)와, 신호선 구동 회로용 클럭 신호(SCK) 등의 구동 신호에 따라서 동작을 행하고, 펄스가 순차 시프트한 신호를 제1 출력 단자 내지 제_n 출력 단자로부터 출력한다. 상기 신호가 게이트 전극에 입력됨으로써, 트랜지스터(121₁) 내지 트랜지스터(121_n)는, 순차 온으로 된다.

[0156] 도 12a는, 풀 컬러 화상 표시 기간(301)에 있어서의, 신호선에 공급되는 화상 신호(DATA)의 타이밍의 일례를 도시하는 도면이다. 도 11에 도시하는 신호선 구동 회로(12)에서는, 도 12a에 도시하는 바와 같이, 2개의 주사선에 입력되는 선택 신호의 펄스가 겹쳐 있는 기간에 있어서, 펄스가 먼저 출현한 주사선에 대응하는 화상 신호(DATA)가 샘플링되어, 각 신호선에 입력된다. 구체적으로는, 주사선 GL1에 입력되는 선택 신호의 펄스와, 주사선 GL_{j+1}에 입력되는 선택 신호의 펄스가, 펄스폭의 1/2에 상당하는 기간 t₄에 있어서 겹쳐 있다. 또한, 주사선 GL1과 주사선 GL_{j+1}에서는, 펄스가 먼저 출현하고 있는 것은 주사선 GL1이다. 그리고, 상기 펄스가 겹쳐 있는 기간에 있어서, 화상 신호(DATA) 중, 주사선 GL1에 대응하는 화상 신호(data1)가 샘플링되고, 신호선 SL1 내지 SL_n에 입력된다.

[0157] 마찬가지로, 기간 t₅에 있어서, 주사선 GL_{j+1}에 대응하는 화상 신호(data_{j+1})가 샘플링되어, 신호선 SL1 내지 신호선 SL_n에 입력된다. 기간 t₆에 있어서, 주사선 GL_{2j+1}에 대응하는 화상 신호(data_{2j+1})가 샘플링되어, 신호선 SL1 내지 신호선 SL_n에 입력된다. 기간 t₇에 있어서, 주사선 GL2에 대응하는 화상 신호(data2)가 샘플링되어, 신호선 SL1 내지 신호선 SL_n에 입력된다. 그리고, 기간 t₈ 이후에 있어서도, 마찬가지로의 동작이 반복됨으로써, 화소부에 화상 신호(DATA)가 기입된다.

[0158] 즉, 신호선 SL1 내지 신호선 SL_n에의 화상 신호의 입력은, 주사선 GLs(s는, j 미만의 자연수)에 접속된 화소, 다음으로, 주사선 GL_{j+s}에 접속된 화소, 다음으로, 주사선 GL_{2j+s}에 접속된 화소, 다음으로, 주사선 GL_{s+1}에 접속된 화소와 같은 순서로 행하여진다.

[0159] 도 12b는, 모노크롬 동화상 표시 기간(302) 및 모노크롬 정지 화상 표시 기간(303)이 갖는 기입 기간에서의, 신호선에 공급되는 화상 신호(DATA)의 타이밍의 일례를 도시하는 도면이다. 도 12b에 도시하는 바와 같이, 모노크롬 동화상 표시 기간(302) 및 모노크롬 정지 화상 표시 기간(303)이 갖는 기입 기간에서는, 각 주사선에 입력되는 선택 신호의 펄스가 출현하고 있는 기간에 있어서, 해당 주사선에 대응하는 화상 신호(DATA)가 샘플링되어, 각 신호선에 입력된다. 구체적으로는, 주사선 GL1에 입력되는 선택 신호의 펄스가 출현하고 있는 기간에 있어서, 화상 신호(DATA) 중, 주사선 GL1에 대응하는 화상 신호(data1)가 샘플링되어, 신호선 SL1 내지 신호선 SL_n에 입력된다.

[0160] 마찬가지로, 이하, 주사선 GL1 이후의 각 주사선에 있어서도 마찬가지로의 동작이 반복됨으로써, 화소부에 화상 신호(DATA)가 기입된다.

[0161] 또한, 모노크롬 정지 화상 표시 기간(303)이 갖는 보유 기간에서는, 시프트 레지스터(120)에의 신호선 구동 회로용 스타트 펄스 신호(SSP)의 공급과, 화상 신호(DATA)의, 신호선 구동 회로(12)에의 공급을 정지한다. 구체적으로는, 우선, 신호선 구동 회로용 스타트 펄스 신호(SSP)의 공급을 정지함으로써, 신호선 구동 회로(12)에 있어서의 화상 신호의 샘플링을 정지시킨다. 그 후, 신호선 구동 회로(12)에의 화상 신호의 공급과, 전원 전위의 공급을 정지한다. 상기 방법에 의해, 동작을 정지할 때에, 신호선 구동 회로(12)가 오동작하는 것을 방지할 수 있다. 또한, 상기 구성 외에, 신호선 구동 회로(12)에의, 신호선 구동 회로용 클럭 신호(SCK)의 공급을 정지해도 된다.

[0162] <액정 표시 장치의 동작예>

[0163] 도 13은, 풀 컬러 화상 표시 기간(301)에 있어서의, 상술한 액정 표시 장치에 있어서의 선택 신호의 주사의 타이밍과, 백라이트의 점등의 타이밍을 도시하는 도면이다. 또한, 도 13에 있어서 종축은 화소부에 있어서의 행을 나타내고, 횡축은 시간을 나타내고 있다.

[0164] 도 13에 도시하는 바와 같이, 본 실시 형태에서 나타낸 액정 표시 장치에서는, 풀 컬러 화상 표시 기간(301)에 있어서, 주사선 GL1에 대하여 선택 신호를 공급한 후에 j행분 앞의 주사선 GL_{j+1}에 대하여 선택 신호를 공급하는 구동 방법을 이용하는 것이 가능하다. 그 때문에, 동일한 서브 프레임 기간 SF에 있어서, 주사선 GL1에 접속된 n개의 화소로부터 주사선 GL_j에 접속된 n개의 화소를 순차 선택하고, 또한, 주사선 GL_{j+1}에 접속된 n개의

화소로부터 주사선 GL2j에 접속된 n개의 화소를 순차 선택하고, 또한, 주사선 GL2j+1에 접속된 n개의 화소로부터 주사선 GL3j에 접속된 n개의 화소를 순차 선택함으로써, 각 화소에 화상 신호를 입력하는 것이 가능하다.

- [0165] 구체적으로, 도 13에서는, 제1 서브 프레임 기간 SF1에 있어서, 주사선 GL1로부터 주사선 GLj에 접속된 화소에 적(R)에 대응하는 화상 신호를 기입한 후, 해당 주사선에 접속된 화소에, 적(R)의 광을 공급한다. 상기 구성에 의해, 주사선 GL1로부터 주사선 GLj에 대응하는 화소부의 영역(101)에 있어서, 적(R)에 대응하는 화상을 표시할 수 있다.
- [0166] 또한, 제1 서브 프레임 기간 SF1에 있어서, 주사선 GLj+1로부터 주사선 GL2j에 접속된 화소에 녹(G)에 대응하는 화상 신호를 기입한 후, 해당 주사선에 접속된 화소에, 녹(G)의 광을 공급한다. 상기 구성에 의해, 주사선 GLj+1로부터 주사선 GL2j에 대응하는 화소부의 영역(102)에 있어서, 녹(G)에 대응하는 화상을 표시할 수 있다.
- [0167] 또한, 제1 서브 프레임 기간 SF1에 있어서, 주사선 GL2j+1로부터 주사선 GL3j에 접속된 화소에 청(B)에 대응하는 화상 신호를 기입한 후, 해당 주사선에 접속된 화소에, 청(B)의 광을 공급한다. 상기 구성에 의해, 주사선 GL2j+1로부터 주사선 GL3j에 대응하는 화소부의 영역(103)에 있어서, 청(B)에 대응하는 화상을 표시할 수 있다.
- [0168] 다음으로, 제2 서브 프레임 기간 SF2 및 제3 서브 프레임 기간 SF3에 있어서도, 제1 서브 프레임 기간 SF1과 마찬가지로 동작을 반복한다. 단, 제2 서브 프레임 기간 SF2에서는, 주사선 GL1로부터 주사선 GLj에 대응하는 화소부의 영역(101)에 있어서, 청(B)에 대응하는 화상을 표시하고, 주사선 GLj+1로부터 주사선 GL2j에 대응하는 화소부의 영역(102)에 있어서, 적(R)에 대응하는 화상을 표시하고, 주사선 GL2j+1로부터 주사선 GL3j에 대응하는 화소부의 영역(103)에 있어서, 녹(G)에 대응하는 화상을 표시한다. 또한, 제3 서브 프레임 기간 SF3에서는, 주사선 GL1로부터 주사선 GLj에 대응하는 화소부의 영역(101)에 있어서, 녹(G)에 대응하는 화상을 표시하고, 주사선 GLj+1로부터 주사선 GL2j에 대응하는 화소부의 영역(102)에 있어서, 청(B)에 대응하는 화상을 표시하고, 주사선 GL2j+1로부터 주사선 GL3j에 대응하는 화소부의 영역(103)에 있어서, 적(R)에 대응하는 화상을 표시한다.
- [0169] 또한, 서브 프레임 기간 SFK에서는, 백라이트를 소등으로 하고, 단자(61)를 거쳐서 영역(101)이 갖는 인에이블선 ENR에 선택 신호를 공급하고, 주사선 GL1로부터 주사선 GLj에 대응하는 화소부의 영역(101)에, 흑(K)에 대응하는 화상 신호를 기입한다. 또한, 단자(62)를 거쳐서 영역(102)이 갖는 인에이블선 ENR에 선택 신호를 공급하고, 주사선 GLj+1로부터 주사선 GL2j에 대응하는 화소부의 영역(102)에, 흑(K)에 대응하는 화상 신호를 기입한다. 또한, 단자(63)를 거쳐서 영역(103)이 갖는 인에이블선 ENR에 선택 신호를 공급하고, 주사선 GL2j+1로부터 주사선 GL3j에 대응하는 화소부의 영역(103)에, 흑(K)에 대응하는 화상 신호를 기입한다.
- [0170] 이와 같이 하여, 주사선 GL의 모두에 있어서 제1 서브 프레임 기간 SF1 내지 제3 서브 프레임 기간 SF3, 및 서브 프레임 기간 SFK가 종료한다, 즉 1프레임 기간이 종료함으로써, 풀 컬러의 화상을 화소부에 표시할 수 있다.
- [0171] 또한, 각 영역마다 흑(K)에 대응하는 화상 신호의 기입을 행하지 않고, 화소부(10)가 갖는 모든 화소(15)에 일제히 흑(K)에 대응하는 화상 신호의 기입을 행할 수도 있다. 이 경우에는, 영역(101)에 있어서 제3 서브 프레임 기간 SF3 종료 후에, 영역(101)의 백라이트를 소등으로 하고, 영역(102)에 있어서 제3 서브 프레임 기간 SF3 종료 후에 영역(102)의 백라이트를 소등으로 하고, 영역(103)에 있어서 제3 서브 프레임 기간 SF3 종료 후에 영역(103)의 백라이트를 소등한다. 그리고, 모든 영역의 백라이트가 소등한 후, 모든 인에이블선 ENR에 선택 신호를 공급하고, 주사선 GL1로부터 주사선 GL3j를 선택하여, 모든 화소(15)에 흑(K)에 대응하는 화상 신호를 기입한다.
- [0172] 이와 같이, 화소부(10)가 갖는 모든 화소(15)에 일제히 흑(K)에 대응하는 화상 신호의 기입을 행하기 위해서는, 영역(101) 내지 영역(103)의 서브 프레임 기간 SFK가 겹치는 기간이 필요하기 때문에, 각 영역의 백라이트 소등 시간이 길어지게 된다. 그 결과, 휘도의 저하나, 플리커 현상과 같은 시인성 저하의 원인으로 된다. 또한, 이들 시인성의 개선에는, 구동 회로나 화소 트랜지스터에, 한층 더한 고속 동작이 요구된다.
- [0173] 한편, 화소부(10)가 갖는 모든 화소(15)에 일제히 흑(K)에 대응하는 화상 신호의 기입을 행하지 않고, 각 영역마다의 서브 프레임 기간 SFK 중에 흑(K)에 대응하는 화상 신호의 기입을 행하면, 각 영역의 백라이트 소등 시간을 최저한으로 억제할 수 있다. 또한, 화소부(10) 전체의 백라이트가 동시에 소등되는 시간도 생기지 않기 때문에, 휘도의 저하나, 플리커 현상과 같은 시인성의 저하가 생기기 어렵다.
- [0174] 풀 컬러 화상 표시 기간(301)에 있어서의 화상의 표시는, 백라이트를 이용하여 행하기 때문에, 화소(15) 중, 반사 영역(14)은 이용하지 않고 투과 영역(13)을 이용하여 화상의 표시를 행한다. 반사 영역(14)에 제2 화소 트랜지스터(16b)를 설치하지 않고, 투과 영역(13)이 갖는 제1 화소 트랜지스터(16a)의 제2 단자에, 반사 영역(1

4)이 갖는 제2 액정 소자(18b)의 한쪽의 전극 및 제2 용량 소자(17b)의 제1 전극을 접속하는 구성으로 해도 된다. 단, 이 경우에는, 풀 컬러 화상 표시 기간(301) 시에, 표시에 기여하지 않는 제2 용량 소자(17b) 및 제2 액정 소자(18b)에도 화상 신호가 기입되기 때문에, 소비 전력이 증대하고, 기입 시간도 길어지게 된다.

[0175] 본 실시 형태에 나타내는 화소(15)는, 반사 영역(14)에 제2 화소 트랜지스터(16b)를 설치하고, 풀 컬러 화상 표시 기간(301) 중에는 제2 화소 트랜지스터(16b)를 오프 상태로 함으로써, 소비 전력의 증대를 억제하고, 화상 신호의 기입 시간을 짧게 할 수 있다. 또한, 1프레임 기간 내에 서브 프레임 기간 SFK를 설치하고, 반사 영역(14)에 흑의 화상 신호를 보유시킴으로써, 풀 컬러 화상 표시 기간(301) 중에 외광이 반사 영역(14)에서 반사되는 것에 의한 콘트라스트의 저하를 방지할 수 있다.

[0176] 본 실시 형태에서는, 1프레임마다 서브 프레임 기간 SFK를 설정하는 구성에 대해서 설명했지만, 제2 화소 트랜지스터(16b)를, 산화물 반도체층을 갖는 트랜지스터로 구성함으로써, 서브 프레임 기간 SFK에 의한 반사 영역(14)에의 화상 신호 기입을 수백 프레임에 1회, 혹은 수천 프레임에 1회와 같이, 기입 간격을 길게 하는 것을 가능하게 하여, 소비 전력을 더욱 억제할 수 있다.

[0177] 또한, 본 발명의 일 양태에서는, 각 영역을 더욱 분할하고, 그 분할된 영역에 있어서 화상 신호의 기입이 종료한 시점에서, 백라이트의 점등을 순차 개시하도록 해도 된다. 예를 들면, 영역(101) 중, 주사선 GL1로부터 주사선 GLh(h는 $j/4$ 이하의 자연수로 함)에 접속된 화소에 적(R)에 대응하는 화상 신호를 기입한 후, 주사선 GLh+1로부터 주사선 GL2h에 접속된 화소에 적(R)에 대응하는 화상 신호를 기입하는 것과 병행해서, 주사선 GL1로부터 주사선 GLh에 접속된 화소에 적(R)의 광을 공급하도록 해도 된다.

[0178] 또한, 도 14는, 모노크롬 정지 화상 표시 기간(303)에 있어서의, 상술한 액정 표시 장치에 있어서의 선택 신호의 주사의 타이밍과, 백라이트의 소등의 타이밍을 도시하는 도면이다. 또한, 도 14에 있어서 종축은 화소부에 있어서의 행을 나타내고, 횡축은 시간을 나타내고 있다.

[0179] 도 14에 도시하는 바와 같이, 본 실시 형태에서 나타낸 액정 표시 장치에서는, 모노크롬 정지 화상 표시 기간(303)에 있어서, 주사선 GL1 내지 주사선 GL3j에 대하여 순차 선택 신호를 공급한다.

[0180] 구체적으로, 도 14에서는, 모든 인에이블선 ENR에 선택 신호를 공급하여, 모든 제2 화소 트랜지스터(16b)를 온 상태로 하고, 영역(101) 중, 주사선 GL1로부터 주사선 GLh에 접속된 화소(15)에 화상 신호를 기입한 후, 주사선 GLh+1로부터 주사선 GL2h에 접속된 화소(15)에 화상 신호를 기입하는 것과 병행해서, 주사선 CL1로부터 주사선 GLh에 접속된 화소(15)에의 광원으로부터의 광의 공급을 정지한다. 그 결과, 화소(15)가 갖는 반사 영역(14)에 화상 정보가 기입되고, 외광을 이용하여 모노크롬의 화상을 화소부(10)에 표시할 수 있다.

[0181] 또한, 모노크롬 동화상 표시 기간(302)의 경우에는, 주사선 GL1 내지 주사선 GL3j에 접속된 화소에 있어서 상기 동작이 행하여진 후, 다시 동일한 동작을 반복하고, 모노크롬의 화상을 연속해서 화소부에 표시하면 된다.

[0182] <펄스 출력 회로의 구성예 2>

[0183] 또한, 도 15a에, 펄스 출력 회로의 다른 구성예를 도시한다. 도 15a에 도시하는 펄스 출력 회로는, 도 8a에 도시한 펄스 출력 회로에 트랜지스터(50)를 부가한 구성을 갖는다. 트랜지스터(50)는, 그 제1 단자가 고전원 전위가 공급되고 있는 노드에 접속되고, 그 제2 단자가 트랜지스터(32)의 게이트 전극, 트랜지스터(34)의 게이트 전극, 및 트랜지스터(39)의 게이트 전극에 접속되어 있다. 또한 트랜지스터(50)는, 그 게이트 전극이 리셋 단자(Reset)에 접속되어 있다.

[0184] 또한, 해당 리셋 단자에는, 화소부에 있어서 백라이트의 색상의 전환이 일어난 후의 기간에 있어서, 하이 레벨의 전위가 입력되고, 그 밖의 기간에서는 로우 레벨의 전위가 입력된다. 또한, 트랜지스터(50)는, 하이 레벨의 전위가 입력됨으로써 온 상태로 되는 트랜지스터이다. 이에 의해, 백라이트의 점등이 행하여진 후의 기간에 있어서, 각 노드의 전위를 초기화할 수 있으므로, 오동작을 방지하는 것이 가능하게 된다.

[0185] 또한, 해당 초기화를 행하는 경우에는, 화소부에 1매의 화상이 형성되는 기간끼리의 사이에 초기화 기간을 설정할 필요가 있다. 또한, 화소부에 1화상을 형성한 후에 백라이트를 소등하는 경우, 소등하는 기간에 있어서 해당 초기화를 행하는 것이 가능하다.

[0186] 또한, 도 15b에, 펄스 출력 회로의 다른 구성예를 도시한다. 도 15b에 도시하는 펄스 출력 회로는, 도 8a에 도시한 펄스 출력 회로에 트랜지스터(51)를 부가한 구성을 갖는다. 트랜지스터(51)는, 그 제1 단자가 트랜지스터(31)의 제2 단자 및 트랜지스터(32)의 제2 단자에 접속되고, 그 제2 단자가 트랜지스터(33)의 게이트 전극 및 트랜지스터(38)의 게이트 전극에 접속되어 있다. 또한, 트랜지스터(51)는, 그 게이트 전극이 고전원 전위가 공

급되고 있는 노드에 접속되어 있다.

- [0187] 또한, 트랜지스터(51)는, 도 8b 및 도 8c에 도시한 기간 t_1 내지 기간 t_6 에 있어서 오프로 된다. 그 때문에, 트랜지스터(51)를 부가한 구성으로 함으로써, 기간 t_1 내지 기간 t_6 에 있어서, 트랜지스터(33)의 게이트 전극 및 트랜지스터(38)의 게이트 전극과, 트랜지스터(31)의 제2 단자 및 트랜지스터(32)의 제2 단자의 접속을 차단하는 것이 가능하게 된다. 이에 의해, 기간 t_1 내지기 기간 t_6 에 포함되는 기간에 있어서, 해당 펄스 출력 회로에서 행하여지는 부트스트랩 동작 시의 부하를 저감하는 것이 가능하다.
- [0188] 또한, 도 16a에, 펄스 출력 회로의 다른 구성예를 도시한다. 도 16a에 도시하는 펄스 출력 회로는, 도 15b에 도시한 펄스 출력 회로에 트랜지스터(52)를 부가한 구성을 갖는다. 트랜지스터(52)는, 그 제1 단자가 트랜지스터(33)의 게이트 전극 및 트랜지스터(51)의 제2 단자에 접속되고, 그 제2 단자가 트랜지스터(38)의 게이트 전극에 접속되어 있다. 또한, 트랜지스터(52)는, 그 게이트 전극이, 고전원 전위가 공급되고 있는 노드에 접속되어 있다.
- [0189] 트랜지스터(52)를 설치함으로써, 해당 펄스 출력 회로에서 행하여지는 부트스트랩 동작 시의 부하를 저감하는 것이 가능하다. 특히, 해당 펄스 출력 회로가 트랜지스터(33)의 소스 전극과 게이트 전극의 용량 결합만에 의해, 트랜지스터(33)의 게이트 전극에 접속되어 있는 노드의 전위를 상승시키는 경우, 해당 부하를 저감하는 효과가 크다.
- [0190] 또한, 도 16b에, 펄스 출력 회로의 다른 구성예를 도시한다. 도 16b에 도시하는 펄스 출력 회로는, 도 16a에 도시한 펄스 출력 회로로부터 트랜지스터(51)를 삭제하고, 트랜지스터(53)를 부가한 구성을 갖는다. 트랜지스터(53)는, 그 제1 단자가 트랜지스터(31)의 제2 단자, 트랜지스터(32)의 제2 단자, 및 트랜지스터(52)의 제1 단자에 접속되고, 그 제2 단자가 트랜지스터(33)의 게이트 전극에 접속되어 있다. 또한, 트랜지스터(53)는, 그 게이트 전극이 고전원 전위가 공급되고 있는 노드에 접속되어 있다.
- [0191] 트랜지스터(53)를 설치함으로써, 해당 펄스 출력 회로에서 행하여지는 부트스트랩 동작 시의 부하를 저감하는 것이 가능하다. 또한, 해당 펄스 출력 회로에 생기는 부정 펄스가, 트랜지스터(33) 및 트랜지스터(38)의 스위칭에 끼치는 영향을 경감하는 것이 가능하다.
- [0192] 본 실시 형태에서 나타난 바와 같이, 본 발명의 일 양태에 따른 액정 표시 장치는, 화소부를 복수의 영역으로 분할하고, 영역마다 서로 다른 색상의 광을 순차적으로 공급함으로써, 컬러 화상의 표시를 행한다. 따라서, 특정한 시점에 주목하면, 인접하는 영역에 공급되는 광의 색상을, 서로 상이하게 할 수 있다. 따라서, 각 색의 화상이 합성되지 않고 개별로 시인되는 것을 방지할 수 있고, 동화상의 표시를 행할 때에 일어나기 쉬웠던 컬러 브레이크의 발생을 방지할 수 있다.
- [0193] 또한, 서로 다른 색상을 갖는 복수의 광원을 이용하여 컬러 화상의 표시를 행하는 경우, 단색의 광원과 컬러 필터를 조합하는 경우와는 달리, 상기 복수의 광원을 순차 절환해서 발광시킬 필요가 있다. 그리고, 상기 광원의 절환이 행하여지는 주파수는, 단색의 광원을 이용한 경우의 프레임 주파수보다도 높은 값으로 설정할 필요가 있다. 예를 들면, 단색의 광원을 이용한 경우의 프레임 주파수를 60Hz로 하면, 적, 녹, 청의 각 색에 대응하는 광원을 이용하여 필드 시퀀셜 방식의 구동을 행하는 경우, 광원의 절환을 행하는 주파수는, 약 3배인 180Hz가 된다. 따라서, 구동 회로도 상기 광원의 주파수에 맞추어 동작시키므로, 매우 높은 주파수에서 동작을 행하게 된다. 따라서, 구동 회로에 있어서의 소비 전력이, 단색의 광원과 컬러 필터를 조합하는 경우에 비해서 높아지기 쉽다.
- [0194] 그러나, 본 발명의 일 양태에서는, 오프 전류가 극히 작은 트랜지스터를 이용함으로써, 액정 소자에 공급되는 전압이 보유되는 기간을 길게 할 수 있다. 그 때문에, 정지 화상을 표시할 때의 구동 주파수를, 동화상을 표시할 때의 구동 주파수보다도 낮게 할 수 있다. 그 때문에, 소비 전력을 저감할 수 있는 액정 표시 장치를 실현할 수 있다.
- [0195] (실시 형태 2)
- [0196] 본 실시 형태에서는, 산화물 반도체를 이용한 트랜지스터의 제작 방법에 대해서 설명한다.
- [0197] 우선, 도 17a에 도시하는 바와 같이, 기판(700)의 절연 표면 상에 절연막(701)을 형성하고, 절연막(701) 상에 게이트 전극(702)을 형성한다.
- [0198] 기판(700)으로서 사용할 수 있는 기판은 투광성을 갖고 있으면 되고, 그외에는 특별히 큰 제한은 없지만, 적어도 나중의 가열 처리에 견딜 수 있을 정도의 내열성을 갖고 있는 것이 필요로 된다. 예를 들면,

기판(700)에는, 푸전법이나 플롯법으로 제작되는 글래스 기판, 석영 기판, 세라믹 기판 등을 이용할 수 있다. 글래스 기판으로서는, 나중의 가열 처리의 온도가 높은 경우에는, 왜곡점이 730℃ 이상의 것을 이용하면 된다. 플라스틱 등의 가요성을 갖는 합성 수지로 이루어지는 기판은, 일반적으로 상기 기판과 비교해서 내열 온도가 낮은 경향에 있지만, 제작 공정에 있어서의 처리 온도에 견딜 수 있는 것이라면 이용하는 것이 가능하다.

[0199] 절연막(701)은, 나중의 제작 공정에 있어서의 가열 처리의 온도에 견딜 수 있는 재료를 이용한다. 절연 재료막(701)은, 하지층으로서 기능한다. 구체적으로, 절연막(701)으로서, 산화 규소, 질화 규소, 질화 산화 규소, 산화 질화 규소, 질화 알루미늄, 산화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 산화 갈륨 등으로부터 선택된 하나 또는 복수의 절연층에 의한 적층 구조를 이용하는 것이 바람직하다. 상기 재료를 이용함으로써, 기판(700)으로부터의 불순물 원소의 확산을 방지할 수 있다.

[0200] 또한 하지층에, 염소 불소 등의 할로겐 원소를 포함시킴으로써, 기판(700)으로부터의 불순물 원소의 확산을 방지하는 기능을 더욱 높일 수 있다. 하지층에 포함시키는 할로겐 원소의 농도는, SIMS(2차 이온 질량 분석계)를 이용한 분석에 의해 얻어지는 농도 피크에 있어서, $1 \times 10^{15}/\text{cm}^3$ 이상 $1 \times 10^{20}/\text{cm}^3$ 이하로 하면 된다.

[0201] 또한, 하지층으로서 산화 갈륨을 이용해도 된다. 또한, 하지층을 산화 갈륨과 상기 절연층의 적층 구조로 해도 된다. 산화 갈륨은 대전하기 어려운 재료이기 때문에, 절연층의 차지 업에 의한 임계값 전압의 변동을 억제하는 것이 가능하다.

[0202] 또한, 본 명세서에 있어서 산화 질화물이란, 그 조성으로서, 질소보다도 산소의 함유량이 많은 물질이며, 또한, 질화 산화물이란, 그 조성으로서, 산소보다도 질소의 함유량이 많은 물질을 의미한다.

[0203] 게이트 전극(702)의 재료는, 몰리브덴(Mo), 티탄(Ti), 크롬(Cr), 탄탈(Ta), 텅스텐(W), 네오디뮴(Nd), 스칸듐(Sc), 마그네슘(Mg) 등의 금속 재료, 이들 금속 재료를 주성분으로 하는 합금 재료를 이용한 도전막, 혹은 이들 금속의 질화물을, 단층으로 또는 적층으로 이용할 수 있다. 또한, 나중의 공정에 있어서 행하여지는 가열 처리의 온도에 견딜 수 있는 것이라면, 상기 금속 재료로서 알루미늄(Al), 구리(Cu)를 이용할 수도 있다. 알루미늄 또는 구리는, 내열성이나 부식성의 문제를 회피하기 위해서, 고용점 금속 재료와 조합해서 이용하면 된다. 고용점 금속 재료로서는, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐 등을 이용할 수 있다.

[0204] 게이트 전극(702)의 막 두께는, 10nm~400nm, 바람직하게는 100nm~200nm 로 한다. 본 실시 형태에서는, 텅스텐 타깃을 이용한 스퍼터법에 의해 150nm의 게이트 전극용의 도전막을 형성한 후, 이 도전막을 에칭에 의해 원하는 형상으로 가공(패터닝)함으로써, 게이트 전극(702)을 형성한다. 또한, 형성된 게이트 전극의 단부가 테이퍼 형상이면, 위에 적층하는 게이트 절연막의 피복성이 향상하기 때문에 바람직하다. 또한, 레지스트 마스크를 잉크젯법으로 형성해도 된다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 코스트를 저감할 수 있다.

[0205] 다음으로, 도 17b에 도시하는 바와 같이, 게이트 전극(702) 상에 게이트 절연막(703)을 형성한 후, 게이트 절연막(703) 상에 있어서 게이트 전극(702)과 겹치는 위치에, 섬 형상의 산화물 반도체막(704)을 형성한다.

[0206] 게이트 절연막(703)은, 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여, 산화 규소, 질화 규소, 산화 질화 규소, 질화 산화 규소, 산화 알루미늄, 질화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 산화 탄탈, 산화 갈륨, 산화 란탄, 산화 세슘, 산화 마그네슘, 산화 이트륨, 산화 하프늄, 하프늄 실리케이트($\text{HfSi}_x\text{O}_y(x>0, y>0)$), 질소가 도입된 하프늄 실리케이트($\text{HfSi}_x\text{O}_y\text{N}_z(x>0, y>0, z>0)$), 질소가 도입된 하프늄 알루미늄네이트($\text{HfAl}_x\text{O}_y\text{N}_z(x>0, y>0, z>0)$) 등을 단층으로 또는 적층시켜 형성할 수 있다. 게이트 절연막(703)은, 수분이나, 수소 등의 불순물을 극력 포함하지 않는 것이 바람직하다. 스퍼터링법에 의해 산화 규소를 성막하는 경우에는, 타깃으로서 실리콘 타깃 또는 석영 타깃을 이용하고, 스퍼터 가스로서 산소 또는 산소 및 아르곤의 혼합 가스를 이용한다.

[0207] 불순물을 제거하고, 또한, 산소 결손을 저감하는 것에 의해 i형화 또는 실질적으로 i형화된 산화물 반도체는 계면 준위에 극히 민감하기 때문에, 산화물 반도체와 게이트 절연막(703)의 계면은 중요하다. 그 때문에, 산화물 반도체에 접하는 게이트 절연막(GI)은, 고품질화가 요구된다.

[0208] 예를 들면, μ 파(주파수 2.45GHz)를 이용한 고밀도 플라즈마 CVD는, 치밀하고 절연 내압이 높은 고품질의 절연막을 형성할 수 있으므로 바람직하다. 산화물 반도체와 고품질 게이트 절연막이 밀접함으로써, 계면 준위를 저감해서 계면 특성을 양호한 것으로 할 수 있기 때문이다.

- [0209] 물론, 게이트 절연막(703)으로서 양질의 절연막을 형성할 수 있는 것이면, 스퍼터링법이나 플라즈마 CVD법 등 다른 성막 방법을 적용할 수 있다. 어쨌든간에, 게이트 절연막으로서의 막질이 양호한 것은 물론, 게이트 절연막과 산화물 반도체의 계면 준위를 저감하여, 양호한 계면을 형성할 수 있는 것이면 된다.
- [0210] 본 실시 형태에서는, 스퍼터법으로 형성된 막 두께 50nm의 질화 규소막 상에, 스퍼터법으로 형성된 막 두께 100nm의 산화 알루미늄막을 적층시킨 구조를 갖는, 게이트 절연막(703)을 형성한다. 게이트 절연막(703)의 막 두께는, 트랜지스터에 요구되는 특성에 의해 적절히 설정하면 되고 350nm 내지 400nm 정도이어도 된다.
- [0211] 또한, 게이트 절연막(703)은 나중에 형성되는 산화물 반도체와 접한다. 산화물 반도체는, 수소가 함유되면 특성에 악영향을 미치므로, 게이트 절연막(703)은 수소, 수산기 및 수분이 포함되지 않는 것이 바람직하다. 게이트 절연막(703)에 수소, 수산기 및 수분이 되도록이면 포함되지 않도록 하기 위해서는, 성막의 전처리로서, 스퍼터링 장치의 예비 가열실에서 게이트 전극(702)이 형성된 기판(700)을 예비 가열하고, 기판(700)에 흡착한 수분 또는 수소 등의 불순물을 탈리하여 배기하는 것이 바람직하다. 또한, 예비 가열의 온도는, 100℃ 이상 400℃ 이하, 바람직하게는 150℃ 이상 300℃ 이하이다. 또한, 예비 가열실에 설치하는 배기 수단은 클라이오 펌프가 바람직하다. 또한, 이 예비 가열 처리는 생략할 수도 있다.
- [0212] 섬 형상의 산화물 반도체막은, 게이트 절연막(703) 상에 형성한 산화물 반도체막을 원하는 형상으로 가공함으로써 형성할 수 있다. 상기 산화물 반도체막의 막 두께는, 2nm 이상 200nm 이하, 바람직하게는 3nm 이상 50nm 이하, 더욱 바람직하게는 3nm 이상 20nm 이하로 한다. 산화물 반도체막은, 산화물 반도체를 타깃으로서 이용하여, 스퍼터법에 의해 성막한다. 또한, 산화물 반도체막은, 희가스(예를 들면 아르곤) 분위기 하, 산소 분위기 하, 또는 희가스(예를 들면 아르곤) 및 산소 혼합 분위기 하에 있어서 스퍼터법에 의해 형성할 수 있다.
- [0213] 본 실시 형태에서는, In(인듐), Ga(갈륨) 및 Zn(아연)을 포함하는 금속 산화물 타깃을 이용한 스퍼터법에 의해 얻어지는 막 두께 30nm의 In-Ga-Zn계 산화물 반도체의 박막을, 산화물 반도체막으로서 이용한다. 상기 타깃으로서, 예를 들면, 몰수비가 $In_2O_3:Ga_2O_3:ZnO=1:1:2$, $In_2O_3:Ga_2O_3:ZnO=1:1:1$, 또는 $In_2O_3:Ga_2O_3:ZnO=1:1:4$ 인 타깃을 이용할 수 있다. 또한, In-Ga-Zn계 산화물 반도체는, IGZO라고 부를 수 있다.
- [0214] 또한, In-Sn-Zn계 산화물 반도체는, ITZO라고 부를 수 있다. 산화물 반도체막으로서 ITZO의 박막을 이용하는 경우에는, ITZO를 스퍼터법으로 성막하기 위한 타깃의 조성비를, 원자수비로 In:Sn:Zn=1:2:2, In:Sn:Zn=2:1:3, In:Sn:Zn=1:1:1, 또는 In:Sn:Zn=20:45:35 등으로 하면 된다.
- [0215] 또한, 금속 산화물 타깃의 상대 밀도는 90% 이상 100% 이하, 바람직하게는 95% 이상 100% 미만이다.
- [0216] 본 실시 형태에서는, 감압 상태에 보유된 처리실 내에 기판을 배치하고, 처리실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터 가스를 도입하고, 상기 타깃을 이용하여 기판(700) 상에 산화물 반도체막을 성막한다. 예를 들면, 스퍼터 가스로서 아르곤을 이용하는 경우에는, 순도 9N, 노점 -121℃, 함유 H₂O 양 0.1ppb 이하, 함유 H₂ 양 0.5ppb 이하가 바람직하고, 산소를 이용하는 경우에는, 순도 8N, 노점 -112℃, 함유 H₂O 양 1ppb 이하, 함유 H₂ 양 1ppb 이하가 바람직하다.
- [0217] 성막 시에, 기판 온도를 100℃ 이상 600℃ 이하, 바람직하게는 200℃ 이상 400℃ 이하로 해도 된다. 기판을 가열하면서 성막함으로써, 성막한 산화물 반도체막에 포함되는 불순물 농도를 저감할 수 있다. 또한, 스퍼터링에 의한 손상이 경감된다. 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들면, 클라이오 펌프, 이온 펌프, 티탄 서브 리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단으로서, 터보 펌프에 콜드 트랩을 부가한 것이어도 된다. 클라이오 펌프를 이용하여 성막실을 배기하면, 예를 들면, 수소 원자, 물(H₂O) 등 수소 원자를 포함하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물도) 등이 배기되기 때문에, 해당 성막실에서 성막한 산화물 반도체막에 포함되는 불순물의 농도를 저감할 수 있다.
- [0218] 성막 조건의 일례로서는, 기판과 타깃 사이의 거리를 100mm, 압력 0.6Pa, 직류(DC) 전원 전력 0.5kW, 스퍼터 가스로서 산소(산소 유량 비율 100%)를 이용하는 조건이 적용된다. 또한, 펄스 직류(DC) 전원을 이용하면, 성막 시에 발생하는 진애를 경감할 수 있고, 막 두께 분포도 균일하게 되기 때문에 바람직하다.
- [0219] 또한, 산화물 반도체막에 수소, 수산기 및 수분이 되도록이면 포함되지 않도록 하기 위해서, 성막의 전처리로서, 스퍼터링 장치의 예비 가열실에서 게이트 절연막(703)까지가 형성된 기판(700)을 예비 가열하고, 기판(700)에 흡착한 수분 또는 수소 등의 불순물을 탈리하여 배기하는 것이 바람직하다. 또한, 예비 가열의 온

도는, 100℃ 이상 400℃ 이하, 바람직하게는 150℃ 이상 300℃ 이하이다. 또한, 예비 가열실에 설치하는 배기 수단은 클라이오 펌프가 바람직하다. 또한, 이 예비 가열의 처리는 생략하는 것도 가능하다. 또한, 이 예비 가열은, 나중에 행하여지는 절연막(707)의 성막 전에, 도전막(705), 도전막(706)까지 형성한 기판(700)에도 마찬가지로 행해도 된다.

- [0220] 또한, 산화물 반도체막 중의 Na나 Li 등의 알칼리 금속의 농도를, 1×10^{18} atoms/cm³ 이하, 바람직하게는 2×10^{16} atoms/cm³ 이하로 하면 된다.
- [0221] 또한, 섬 형상의 산화물 반도체막(704)을 형성하기 위한 에칭은, 드라이 에칭이어도 웨트 에칭이어도 되고, 양방을 이용해도 된다. 드라이 에칭에 이용하는 에칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들면 염소(Cl₂), 3염화 규소(BCl₃), 4염화 규소(SiCl₄), 4염화 탄소(CCl₄) 등)가 바람직하다. 또한, 불소를 포함하는 가스(불소계 가스, 예를 들면 4불화 탄소(CF₄), 6불화 황(SF₆), 3불화 질소(NF₃), 트리 플루오로 메탄(CHF₃) 등), 브롬화 수소(HBr), 산소(O₂), 이들 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 이용할 수 있다.
- [0222] 드라이 에칭법으로서, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 이용할 수 있다. 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판측의 전극에 인가되는 전력량, 기판측의 전극 온도 등)을 적절히 조절한다.
- [0223] 웨트 에칭에 이용하는 에칭액으로서, ITO-07N(간토 화학사제)을 이용해도 된다.
- [0224] 섬 형상의 산화물 반도체막(704)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 된다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 코스트를 저감할 수 있다.
- [0225] 또한, 스퍼터 등으로 성막된 산화물 반도체막 중에는, 불순물로서의 수분 또는 수소(수산기를 포함함)가 다량 포함되어 있는 경우가 있다. 수분 또는 수소는 도너 준위를 형성하기 쉽기 때문에, 산화물 반도체에 있어서는 불순물이다. 그래서, 본 발명의 일 양태에서는, 산화물 반도체막 내의 수분 또는 수소 등의 불순물을 저감(탈수화 또는 탈수소화)하기 위해서, 섬 형상의 산화물 반도체막(704)에 대하여, 감압 분위기 하, 질소나 희가스 등의 불활성 가스 분위기 하, 산소 가스 분위기 하, 또는 초진조 에어(CRDS(캐비티 링다운 레이저 분광법) 방식의 노점계를 이용하여 측정된 경우의 수분량이 20ppm(노점 환산으로 -55℃) 이하, 바람직하게는 1ppm 이하, 바람직하게는 10ppb 이하의 공기) 분위기 하에 있어서, 섬 형상의 산화물 반도체막(704)에 가열 처리를 실시한다.
- [0226] 섬 형상의 산화물 반도체막(704)에 가열 처리를 실시함으로써, 섬 형상의 산화물 반도체막(704) 중의 수분 또는 수소를 이탈시킬 수 있다. 구체적으로는, 250℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기판의 왜곡점 미만의 온도에서 가열 처리를 행하면 된다. 예를 들면, 500℃, 3분간 이상 6분간 이하 정도로 행하면 된다. 가열 처리에 RTA법을 이용하면, 단시간에 탈수화 또는 탈수소화를 행할 수 있기 때문에, 글래스 기판의 왜곡점을 초과하는 온도에서도 처리할 수 있다.
- [0227] 본 실시 형태에서는, 가열 처리 장치의 하나인 전기로를 이용한다.
- [0228] 또한, 가열 처리 장구는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 구비하고 있어도 된다. 예를 들면, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는, 할로젠 램프, 메탈 할로젠 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 이용하여 가열 처리를 행하는 장치이다. 기체에는, 아르곤 등의 희가스, 또는 질소와 같은, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다.
- [0229] 또한, 가열 처리에서는, 질소 또는 헬륨, 네온, 아르곤 등의 희가스에, 수분 또는 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상, (즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)로 한다.
- [0230] 이상의 공정에 의해, 섬 형상의 산화물 반도체막(704) 중의 수소의 농도를 저감하여, 고순도화할 수 있다. 또한, 대면적 기판을 이용하여 트랜지스터를 제작할 수 있어, 양산성을 높일 수 있다. 상기 가열 처리는, 산화물

반도체막의 성막 이후이면, 언제나 행할 수 있다.

- [0231] 또한, 산화물 반도체막을 가열하는 경우, 산화물 반도체막의 재료나 가열 조건에도 의하지만, 그 표면에 판 형상 결정이 형성되는 경우가 있다. 판 형상 결정은, 산화물 반도체막의 표면에 대하여 대략 수직으로 c축 배향한 단결정체인 것이 바람직하다. 또한, 산화물 반도체막과 접하는 게이트 절연막(703)의 표면에 요철이 있는 경우, 판 형상 결정은 다결정체가 된다. 따라서, 하지 표면은 가능한 한 평탄한 것이 요구된다. 구체적으로는, 하지 표면의 평균 면거칠기(Ra)를 1nm 이하, 바람직하게는 0.3nm 이하, 보다 바람직하게는 0.1nm 이하로 하면 된다. Ra는 원자간력 현미경(AFM:Atomic Force Microscope)으로 평가 가능하다.
- [0232] 다음으로, 도 17c에 도시하는 바와 같이, 소스 전극, 드레인 전극으로서 기능하는 도전막(705), 도전막(706)과, 상기 도전막(705), 도전막(706) 및 섬 형상의 산화물 반도체막(704) 상에, 절연막(707)을 형성한다.
- [0233] 도전막(705), 도전막(706)은, 섬 형상의 산화물 반도체막(704)을 피복하도록, 스퍼터법이나 진공 증착법으로 도전막을 형성한 후, 에칭 등에 의해 이 도전막을 패터닝함으로써 형성할 수 있다.
- [0234] 도전막(705) 및 도전막(706)은, 섬 형상의 산화물 반도체막(704)에 접하고 있다. 도전막(705), 도전막(706)이 되는 도전막의 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴, 텅스텐으로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 들 수 있다. 또한, 알루미늄, 구리 등의 금속막의 하층 혹은 상층에 크롬, 탄탈, 티탄, 몰리브덴, 텅스텐 등의 고용점 금속막을 적층시킨 구성으로 해도 된다. 또한, 알루미늄 또는 구리는, 내열성이나 부식성의 문제를 회피하기 위해서, 고용점 금속 재료와 조합해서 이용하면 된다. 고용점 금속 재료로서는, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐, 이트륨 등을 이용할 수 있다.
- [0235] 또한, 도전막은, 단층 구조이어도, 2층 이상의 적층 구조로 해도 된다. 예를 들면, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 상에 티탄 막을 적층하는 2층 구조, 티탄막과, 그 티탄막 상에 겹쳐서 알루미늄막을 적층하고, 또한 그 위에 티탄막을 성막하는 3층 구조 등을 들 수 있다.
- [0236] 또한, 도전막(705), 도전막(706)이 되는 도전막으로서, 도전성의 금속 산화물로 형성해도 된다. 도전성의 금속 산화물로서는 산화 인듐, 산화 주석, 산화 아연, 산화 인듐 산화 주석 합금, 산화 인듐 산화 아연 합금 또는 상기 금속 산화물 재료에 실리콘 혹은 산화 실리콘을 포함시킨 것을 이용할 수 있다.
- [0237] 도전막 형성 후에 가열 처리를 행하는 경우에는, 이 가열 처리에 견디는 내열성을 도전막에 갖게 하는 것이 바람직하다.
- [0238] 또한, 도전막의 에칭 시에, 섬 형상의 산화물 반도체막(704)이 되도록이면 제거되지 않도록 각각의 재료 및 에칭 조건을 적절히 조절한다. 에칭 조건에 따라서는, 섬 형상의 산화물 반도체막(704)이 노출된 부분이 일부 에칭됨으로써, 흠부(오목부)가 형성되는 경우도 있다.
- [0239] 본 실시 형태에서는, 도전막에 티탄막을 이용한다. 그 때문에, 암모니아와 과산화수소수를 포함하는 용액(암모니아과수)을 이용하여, 선택적으로 도전막을 웨트 에칭할 수 있지만, 섬 형상의 산화물 반도체막(704)도 일부 에칭된다. 암모니아과수는, 구체적으로는, 31중량% 과산화수소수, 28중량% 암모니아수, 물을 체적비로 2:1:1로 혼합한 수용액을 이용한다. 혹은, 염소(Cl₂), 3염화 규소(BCl₃) 등을 포함하는 가스를 이용하여, 도전막을 드라이 에칭해도 된다.
- [0240] 또한, 포토리소그래피 공정에서 이용하는 포토마스크수 및 공정수를 삭감하기 위해서, 투과한 광에 다단계의 강도를 가지게 하는 다계조 마스크에 의해 형성된 레지스트 마스크를 이용하여 에칭 공정을 행해도 된다. 다계조 마스크를 이용하여 형성한 레지스트 마스크는 복수의 막 두께를 갖는 형상으로 되고, 에칭을 행함으로써 더욱 형상을 변형할 수 있기 때문에, 서로 다른 패턴으로 가공하는 복수의 에칭 공정에 이용할 수 있다. 따라서, 1매의 다계조 마스크에 의해, 적어도 2종류 이상의 서로 다른 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서 노광 마스크수를 삭감할 수 있고, 대응하는 포토리소그래피 공정도 삭감할 수 있기 때문에, 공정의 간략화가 가능하게 된다.
- [0241] 또한, 절연막(707)을 형성하기 전에, N₂O, N₂, 또는 Ar 등의 가스를 이용한 플라즈마 처리를 섬 형상의 산화물 반도체막(704)에 대하여 행한다. 이 플라즈마 처리에 의해 노출하고 있는 섬 형상의 산화물 반도체막(704)의 표면에 부착된 흡착수 등을 제거한다. 또한, 산소와 아르곤의 혼합 가스를 이용하여 플라즈마 처리를 행해도

된다.

- [0242] 절연막(707)은, 수분이나, 수소 등의 불순물을 극력 포함하지 않는 것이 바람직하고, 단층의 절연막이여도 되고, 적층된 복수의 절연막으로 형성되어 있어도 된다. 절연막(707)에 수소가 포함되면, 그 수소가 산화물 반도체막에 침입하거나, 또는 수소가 산화물 반도체막 중의 산소를 인발하여, 섬 형상의 산화물 반도체막(704)의 백 채널부가 저저항화(n형화)하게 되어, 기생 채널이 형성될 우려가 있다. 따라서, 절연막(707)은 가능한 한 수소를 포함하지 않는 막이 되도록, 성막 방법에 수소를 이용하지 않는 것이 중요하다.
- [0243] 또한, 상기 절연막(707)에는, 배리어성이 높은 재료를 이용하는 것이 바람직하다. 예를 들면, 배리어성이 높은 절연막으로서, 질화 규소막, 질화 산화 규소막, 질화 알루미늄막, 질화 산화 알루미늄막, 산화 알루미늄막, 또는 산화 갈륨막 등을 이용할 수 있다. 배리어성이 높은 절연막을 이용함으로써, 섬 형상의 산화물 반도체막(704) 내, 게이트 절연막(703) 내, 혹은, 섬 형상의 산화물 반도체막(704)과 다른 절연막의 계면과 그 근방에, 수분 또는 수소 등의 불순물이 들어가는 것을 방지할 수 있다.
- [0244] 본 실시 형태에서는, 스퍼터법으로 형성된 막 두께 200nm의 산화 갈륨막 상에, 스퍼터법으로 형성된 막 두께 100nm의 산화 알루미늄막을 적층시킨 구조를 갖는 절연막(707)을 형성한다. 성막 시의 기판 온도는, 실온 이상 300℃ 이하로 하면 되고, 본 실시 형태에서는 100℃로 한다.
- [0245] 또한, 산화물 반도체에 접하는 절연막은 산소를 많이 함유하고 있는 것이 바람직하고, 화학 양론비를 초과할 정도, 바람직하게는, 화학 양론비의 1배를 초과해서 2배까지(1배보다 크고 2배 미만) 산소를 함유하고 있는 것이 바람직하다. 이와 같이 섬 형상의 산화물 반도체막(704)에 접해서 산소 과잉 영역을 갖는 절연막을 형성함으로써, 섬 형상의 산화물 반도체막(704)의 계면 및 내부에 산소를 공급하고, 산소의 결손을 저감할 수 있다.
- [0246] 또한, 절연막(707)을 형성한 후에, 가열 처리를 실시해도 된다. 가열 처리는, 질소, 초진조 공기, 또는 희가스(아르곤, 헬륨 등)의 분위기 하에 있어서, 바람직하게는 200℃ 이상 400℃ 이하, 예를 들면 250℃ 이상 350℃ 이하에서 행한다. 상기 가스는, 물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 바람직하게는 10ppb 이하인 것이 바람직하다. 본 실시 형태에서는, 예를 들면, 질소 분위기 하에 있어서 250℃, 1시간의 가열 처리를 행한다. 혹은, 도전막(705), 도전막(706)을 형성하기 전에, 수분 또는 수소를 저감시키기 위한 산화물 반도체막에 대해 행한 이전의 가열 처리와 마찬가지로, 고온 단시간의 RTA 처리를 행하여도 된다.
- [0247] 섬 형상의 산화물 반도체막(704)에 접해서 산소 과잉 영역을 갖는 절연막이 설치된 후에 가열 처리가 실시되는 것에 의해, 이전의 가열 처리에 의해, 섬 형상의 산화물 반도체막(704)에 산소 결손이 발생하고 있었다고 해도, 산소 과잉 영역을 갖는 절연막으로부터 섬 형상의 산화물 반도체막(704)에 산소가 공여된다. 그리고, 섬 형상의 산화물 반도체막(704)에 산소가 공여됨으로써, 섬 형상의 산화물 반도체막(704)에 있어서, 도너가 되는 산소 결손을 저감하여, 화학 양론비를 충족시키는 것이 가능하다. 섬 형상의 산화물 반도체막(704)에는, 화학 양론비를 초과하는 양의 산소가 포함되어 있는 것이 바람직하다. 그 결과, 섬 형상의 산화물 반도체막(704)을 i형화 또는 실질적으로 i형화할 수 있고, 산소 결손에 의한 트랜지스터의 전기 특성의 변동을 경감하여, 전기 특성의 향상을 실현할 수 있다. 이 가열 처리를 행하는 타이밍은, 절연막(707)의 형성 후이면 특별히 한정되지 않고, 다른 공정, 예를 들면 수지막 형성 시의 가열 처리나, 투광성을 갖는 도전막을 저저항화시키기 위한 가열 처리와 겸함으로써, 공정수를 늘리는 일없이, 섬 형상의 산화물 반도체막(704)을 i형화 또는 실질적으로 i형화할 수 있다.
- [0248] 또한, 산소 분위기 하에서 섬 형상의 산화물 반도체막(704)에 가열 처리를 실시함으로써, 산화물 반도체에 산소를 첨가하고, 섬 형상의 산화물 반도체막(704) 중에 있어서 도너가 되는 산소 결손을 저감시켜도 된다. 가열 처리의 온도는, 예를 들면 100℃ 이상 350℃ 미만, 바람직하게는 150℃ 이상 250℃ 미만에서 행한다. 상기 산소 분위기 하의 가열 처리에 이용되는 산소 가스에는, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 산소 가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상, (즉 산소 중의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)로 하는 것이 바람직하다.
- [0249] 혹은, 이온 주입법 또는 이온 도핑법 등을 이용하여, 섬 형상의 산화물 반도체막(704)에 산소를 첨가함으로써, 도너가 되는 산소 결손을 저감시켜도 된다. 예를 들면, 2.45GHz의 마이크로파로 플라즈마화한 산소를 섬 형상의 산화물 반도체막(704)에 첨가하면 된다.
- [0250] 또한, 절연막(707) 상에 도전막을 형성한 후, 이 도전막을 패터닝함으로써, 섬 형상의 산화물 반도체막(704)과 겹치는 위치에 백 게이트 전극을 형성해도 된다. 백 게이트 전극을 형성한 경우에는, 백 게이트 전극을 피복하도록 절연막을 형성하는 것이 바람직하다. 백 게이트 전극은, 게이트 전극(702), 혹은 도전막(705), 도전막

(706)과 마찬가지로의 재료, 구조를 이용하여 형성하는 것이 가능하다.

- [0251] 백 게이트 전극의 막 두께는, 10nm?400nm, 바람직하게는 100nm?200nm으로 한다. 예를 들면, 티탄막, 알루미늄막, 티탄막이 적층된 구조를 갖는 도전막을 형성한 후, 포토리소그래피법 등에 의해 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여, 이 도전막을 원하는 형상으로 가공(패터닝)함으로써, 백 게이트 전극을 형성하면 된다. 백 게이트 전극은 차광막으로서 기능시키는 것에 의해 트랜지스터의 광 열화, 예를 들면 광 부바이어스 열화를 저감할 수 있어, 신뢰성을 향상할 수 있다.
- [0252] 이상의 공정에 의해, 트랜지스터(708)가 형성된다.
- [0253] 트랜지스터(708)는, 게이트 전극(702)과, 게이트 전극(702) 상의 게이트 절연막(703)과, 게이트 절연막(703) 상에 있어서 게이트 전극(702)과 겹쳐 있는 섬 형상의 산화물 반도체막(704)과, 섬 형상의 산화물 반도체막(704) 상에 형성된 한 쌍의 도전막(705) 또는 도전막(706)을 갖는다. 또한, 트랜지스터(708)는, 절연막(707)을, 그 구성 요소에 포함시켜도 된다. 도 17c에 도시하는 트랜지스터(708)는, 도전막(705)과 도전막(706) 사이에 있어서, 섬 형상의 산화물 반도체막(704)의 일부가 에칭된 채널 에치 구조이다.
- [0254] 또한, 트랜지스터(708)는 싱글 게이트 구조의 트랜지스터를 이용하여 설명했지만, 필요에 따라서, 전기적으로 접속된 복수의 게이트 전극(702)을 가짐으로써, 채널 형성 영역을 복수 갖는, 멀티 게이트 구조의 트랜지스터도 형성할 수 있다.
- [0255] 본 실시 형태는, 다른 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.
- [0256] (실시 형태 3)
- [0257] 본 실시 형태에서는, 트랜지스터의 구성예에 대해서 설명한다. 또한, 상기 실시 형태와 동일 부분 또는 마찬가지로의 기능을 갖는 부분, 및 공정은, 상기 실시 형태와 마찬가지로 행할 수 있고, 본 실시 형태에서의 반복된 설명은 생략한다. 또한, 동일한 개소의 상세한 설명도 생략한다.
- [0258] 도 18a에 도시하는 트랜지스터(2450)는, 기판(2400) 상에 게이트 전극(2401)이 형성되고, 게이트 전극(2401) 상에 게이트 절연막(2402)이 형성되고, 게이트 절연막(2402) 상에 산화물 반도체층(2403)이 형성되고, 산화물 반도체층(2403) 상에 소스 전극(2405a) 및 드레인 전극(2405b)이 형성되어 있다. 또한, 산화물 반도체층(2403), 소스 전극(2405a) 및 드레인 전극(2405b) 상에 절연막(2407)이 형성되어 있다. 또한, 절연막(2407) 상에 보호 절연막(2409)을 형성해도 된다. 트랜지스터(2450)는, 보텀 게이트 구조의 트랜지스터의 하나이며, 역스태거형 트랜지스터의 하나이기도 하다.
- [0259] 도 18b에 도시하는 트랜지스터(2460)는, 기판(2400) 상에 게이트 전극(2401)이 형성되고, 게이트 전극(2401) 상에 게이트 절연막(2402)이 형성되고, 게이트 절연막(2402) 상에 산화물 반도체층(2403)이 형성되고, 산화물 반도체층(2403) 상에 채널 보호층(2406)이 형성되고, 채널 보호층(2406) 및 산화물 반도체층(2403) 상에, 소스 전극(2405a) 및 드레인 전극(2405b)이 형성되어 있다. 또한, 소스 전극(2405a) 및 드레인 전극(2405b) 상에 보호 절연막(2409)을 형성해도 된다. 트랜지스터(2460)는, 채널 보호형(채널 스톱형이라고도 함)이라고 불리는 보텀 게이트 구조의 트랜지스터의 하나이며, 역스태거형 트랜지스터의 하나이기도 하다. 채널 보호층(2406)은, 다른 절연막과 마찬가지로의 재료 및 방법을 이용하여 형성할 수 있다.
- [0260] 도 18c에 도시하는 트랜지스터(2470)는, 기판(2400) 상에 하지막(2436)이 형성되고, 하지막(2436) 상에 산화물 반도체층(2403)이 형성되고, 산화물 반도체층(2403) 및 하지막(2436) 상에, 소스 전극(2405a) 및 드레인 전극(2405b)이 형성되고, 산화물 반도체층(2403), 소스 전극(2405a) 및 드레인 전극(2405b) 상에 게이트 절연막(2402)이 형성되고, 게이트 절연막(2402) 상에 게이트 전극(2401)이 형성되어 있다. 또한, 게이트 전극(2401) 상에 보호 절연막(2409)을 형성해도 된다. 트랜지스터(2470)는, 톱 게이트 구조의 트랜지스터의 하나이다.
- [0261] 도 18d에 도시하는 트랜지스터(2480)는, 기판(2400) 상에, 제1 게이트 전극(2411)이 형성되고, 제1 게이트 전극(2411) 상에 제1 게이트 절연막(2413)이 형성되고, 제1 게이트 절연막(2413) 상에 산화물 반도체층(2403)이 형성되고, 산화물 반도체층(2403) 및 제1 게이트 절연막(2413) 상에, 소스 전극(2405a) 및 드레인 전극(2405b)이 형성되어 있다. 또한, 산화물 반도체층(2403), 소스 전극(2405a) 및 드레인 전극(2405b) 상에 제2 게이트 절연막(2414)이 형성되고, 제2 게이트 절연막(2414) 상에 제2 게이트 전극(2412)이 형성되어 있다. 또한, 제2 게이트 전극(2412) 상에 보호 절연막(2409)을 형성해도 된다.
- [0262] 트랜지스터(2480)는, 트랜지스터(2450)와 트랜지스터(2470)를 겸한 구조를 갖고 있다. 제1 게이트 전극(2411)과 제2 게이트 전극(2412)을 전기적으로 접속해서 하나의 게이트 전극으로서 기능시킬 수 있다. 또한, 제1 게

이트 전극(2411)과 제2 게이트 전극(2412) 중, 어느 한쪽을 간단히 게이트 전극이라고 부르고, 다른 쪽을 백 게이트 전극이라고 부르는 경우가 있다.

[0263] 도 19a에 도시하는 트랜지스터(2550)는, 기판(2400) 상에 게이트 전극(2401)이 형성되고, 게이트 전극(2401) 상에 게이트 절연막(2402)이 형성되고, 게이트 절연막(2402) 상에 소스 전극(2405a) 및 드레인 전극(2405b)이 형성되고, 게이트 절연막(2402), 소스 전극(2405a) 및 드레인 전극(2405b) 상에 산화물 반도체층(2403)이 형성되어 있다. 또한, 산화물 반도체층(2403), 소스 전극(2405a) 및 드레인 전극(2405b) 상에 절연막(2407)이 형성되어 있다. 또한, 절연막(2407) 상에 보호 절연막(2409)을 형성해도 된다. 트랜지스터(2550)는, 보텀 게이트 구조의 트랜지스터의 하나이며, 역스태거형 트랜지스터의 하나이기도 하다.

[0264] 도 19b에 도시하는 트랜지스터(2560)는, 기판(2400) 상에 하지막(2436)이 형성되고, 하지막(2436) 상에 소스 전극(2405a) 및 드레인 전극(2405b)이 형성되고, 하지막(2436), 소스 전극(2405a) 및 드레인 전극(2405b) 상에 산화물 반도체층(2403)이 형성되고, 산화물 반도체층(2403), 소스 전극(2405a) 및 드레인 전극(2405b) 상에 게이트 절연막(2402)이 형성되고, 게이트 절연막(2402) 상에 게이트 전극(2401)이 형성되어 있다. 또한, 게이트 전극(2401) 상에 보호 절연막(2409)을 형성해도 된다. 트랜지스터(2560)는, 탑 게이트 구조의 트랜지스터의 하나이다.

[0265] 도 19c에 도시하는 트랜지스터(2570)는, 기판(2400) 상에, 제1 게이트 전극(2411)이 형성되고, 제1 게이트 전극(2411) 상에 제1 게이트 절연막(2413)이 형성되고, 제1 게이트 절연막(2413) 상에 소스 전극(2405a) 및 드레인 전극(2405b)이 형성되고, 제1 게이트 절연막(2413), 소스 전극(2405a) 및 드레인 전극(2405b) 상에 산화물 반도체층(2403)이 형성되고, 산화물 반도체층(2403), 소스 전극(2405a) 및 드레인 전극(2405b) 상에 제2 게이트 절연막(2414)이 형성되고, 제2 게이트 절연막(2414) 상에 제2 게이트 전극(2412)이 형성되어 있다. 또한, 제2 게이트 전극(2412) 상에 보호 절연막(2409)을 형성해도 된다.

[0266] 트랜지스터(2570)는, 트랜지스터(2550)와 트랜지스터(2560)를 결합 구조를 갖고 있다. 제1 게이트 전극(2411)과 제2 게이트 전극(2412)을 전기적으로 접속해서 하나의 게이트 전극으로서 기능시킬 수 있다. 또한, 제1 게이트 전극(2411)과 제2 게이트 전극(2412) 중, 어느 한쪽을 간단히 게이트 전극이라고 부르고, 다른 쪽을 백 게이트 전극이라고 부르는 경우가 있다.

[0267] 백 게이트 전극의 전위를 변화시킴으로써, 트랜지스터의 임계값 전압을 변화시킬 수 있다. 백 게이트 전극은, 산화물 반도체층(2403)의 채널 형성 영역과 겹치도록 형성한다. 백 게이트 전극은, 전기적으로 절연하고 있는 플로팅의 상태이어도 되고, 전위가 공급되는 상태이어도 된다. 후자의 경우, 백 게이트 전극에는, 게이트 전극과 동일한 높이의 전위가 공급되고 있어도 되고, 그라운드 등의 고정 전위가 공급되고 있어도 된다. 백 게이트 전극에 공급하는 전위의 높이를 제어함으로써, 트랜지스터(2480) 및 트랜지스터(2570)의 임계값 전압을 제어할 수 있다.

[0268] 또한, 백 게이트 전극에 의해 산화물 반도체층(2403)을 덮음으로써, 백 게이트 전극측으로부터 산화물 반도체층(2403)에 광이 입사하는 것을 방지할 수 있다. 따라서, 산화물 반도체층(2403)의 광 열화를 방지하고, 트랜지스터의 임계값 전압이 시프트하는 등의 특성의 열화가 야기되는 것을 방지할 수 있다.

[0269] 산화물 반도체층(2403)에 접하는 절연막(본 실시 형태에서는, 게이트 절연막(2402), 절연막(2407), 채널 보호층(2406), 하지막(2436), 제1 게이트 절연막(2413), 제2 게이트 절연막(2414)이 상당함.)은, 제13족 원소 및 산소를 포함하는 절연 재료를 이용하는 것이 바람직하다. 산화물 반도체 재료에는 제13족 원소를 포함하는 것이 많고, 제13족 원소를 포함하는 절연 재료는 산화물 반도체와의 상성이 좋고, 이것을 산화물 반도체에 접하는 절연막에 이용함으로써, 산화물 반도체와의 계면의 상태를 양호하게 보유할 수 있다.

[0270] 제13족 원소를 포함하는 절연 재료란, 절연 재료에 하나 또는 복수의 제13족 원소를 포함하는 것을 의미한다. 제13족 원소를 포함하는 절연 재료로서는, 예를 들면, 산화 갈륨, 산화 알루미늄, 산화 알루미늄 갈륨, 산화 갈륨 알루미늄 등이 있다. 여기서, 산화 알루미늄 갈륨이란, 갈륨의 함유량(원자%)보다 알루미늄의 함유량(원자%)이 많은 것을 나타내고, 산화 갈륨 알루미늄이란, 갈륨의 함유량(원자%)이 알루미늄의 함유량(원자%) 이상인 것을 나타낸다.

[0271] 예를 들면, 갈륨을 함유하는 산화물 반도체막에 접해서 절연막을 형성하는 경우에, 절연막에 산화 갈륨을 포함하는 재료를 이용함으로써 산화물 반도체 막과 절연막의 계면 특성을 양호하게 유지할 수 있다. 예를 들면, 산화물 반도체막과 산화 갈륨을 포함하는 절연막을 접해서 형성함으로써, 산화물 반도체막과 절연막의 계면에 있어서의 수소의 파일 업을 저감할 수 있다. 또한, 절연막에 산화물 반도체막의 성분 원소와 동일한 족의 원소를

이용하는 경우에는, 마찬가지로의 효과를 얻는 것이 가능하다. 예를 들면, 산화 알루미늄을 포함하는 재료를 이용하여 절연막을 형성하는 것도 유효하다. 또한, 산화 알루미늄은, 물을 투과시키기 어렵다고 하는 특성을 갖고 있기 때문에, 해당 재료를 이용하는 것은, 산화물 반도체막에의 물의 침입 방지라고 하는 점에 있어서도 바람직하다.

- [0272] 또한, 산화물 반도체층(2403)에 접하는 절연막은, 산소 분위기 하에 의한 열 처리나, 산소 도프 등에 의해, 절연 재료를 화학 양론적 조성비보다 산소가 많은 영역을 갖는(산소 과잉 영역을 갖는) 상태로 하는 것이 바람직하다. 산소 도프란, 산소를 벌크에 첨가하는 것을 말한다. 또한, 해당 벌크란 용어는, 산소를 박막 표면뿐만 아니라 박막 내부에 첨가하는 것을 명확하게 하는 취지로 이용하고 있다. 또한, 산소 도프에는, 플라즈마화한 산소를 벌크에 첨가하는 산소 플라즈마 도프가 포함된다. 또한, 산소 도프는, 이온 주입법 또는 이온 도핑법을 이용하여 행해도 된다.
- [0273] 예를 들면, 산화물 반도체층(2403)에 접하는 절연막으로서 산화 갈륨을 이용한 경우, 산소 분위기 하에 의한 열 처리나, 산소 도프를 행함으로써, 산화 갈륨의 조성을 $\text{Ca}_2\text{O}_x(X=3+a, 0<a<1)$ 로 할 수 있다.
- [0274] 또한, 산화물 반도체층(2403)에 접하는 절연막으로서 산화 알루미늄을 이용한 경우, 산소 분위기 하에 의한 열 처리나, 산소 도프를 행함으로써, 산화 알루미늄의 조성을 $\text{Al}_2\text{O}_x(X=3+a, 0<a<1)$ 로 할 수 있다.
- [0275] 또한, 산화물 반도체층(2403)에 접하는 절연막으로서 산화 갈륨 알루미늄(산화 알루미늄 갈륨)을 이용한 경우, 산소 분위기 하에 의한 열 처리나, 산소 도프를 행함으로써, 산화 갈륨 알루미늄(산화 알루미늄 갈륨)의 조성을 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+a}(0<X<2, 0<a<1)$ 로 할 수 있다.
- [0276] 산소 과잉 영역을 갖는 절연막과 산화물 반도체막이 접하는 것에 의해, 절연막 중의 과잉의 산소가 산화물 반도체막에 공급되고, 산화물 반도체막 내, 또는 산화물 반도체막과 절연막의 계면에 있어서의 산소 결손을 저감하여, 산화물 반도체막을 i형화 또는 실질적으로 i형화할 수 있다.
- [0277] 또한, 산소 과잉 영역을 갖는 절연막은, 산화물 반도체층(2403)에 접하는 절연막 중, 상층에 위치하는 절연막 또는 하층에 위치하는 절연막 중 어느 쪽인가 한쪽에만 이용해도 되지만, 양방의 절연막에 이용하는 쪽이 바람직하다. 화학 양론적 조성비보다 산소가 많은 영역을 갖는 절연막을, 산화물 반도체층(2403)에 접하는 절연막의, 상층 및 하층에 위치하는 절연막에 이용하고, 산화물 반도체층(2403)을 사이에 끼우는 구성으로 함으로써, 상기 효과를 보다 높일 수 있다.
- [0278] 또한, 산화물 반도체층(2403)의 상층 또는 하층에 이용하는 절연막은, 상층과 하층에서 동일한 구성 원소를 갖는 절연막으로 해도 되고, 서로 다른 구성 원소를 갖는 절연막으로 해도 된다. 예를 들면, 상층과 하층 모두, 조성이 $\text{Ga}_2\text{O}_x(X=3+a, 0<a<1)$ 인 산화 갈륨으로 해도 되고, 상층과 하층의 한쪽을 조성이 $\text{Ga}_2\text{O}_x(X=3+a, 0<a<1)$ 인 산화 갈륨으로 하고, 다른 쪽을 조성이 $\text{Al}_2\text{O}_x(X=3+a, 0<a<1)$ 인 산화 알루미늄으로 해도 된다.
- [0279] 또한, 산화물 반도체층(2403)에 접하는 절연막은, 산소 과잉 영역을 갖는 절연막의 적층으로 해도 된다. 예를 들면, 산화물 반도체층(2403)의 상층에 조성이 $\text{Ga}_2\text{O}_x(X=3+a, 0<a<1)$ 인 산화 갈륨을 형성하고, 그 위에 조성이 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+a}(0<X<2, 0<a<1)$ 인 산화 갈륨 알루미늄(산화 알루미늄 갈륨)을 형성해도 된다.
- [0280] 또한, 산화물 반도체층(2403)과 소스 전극(2405a), 드레인 전극(2405b) 사이에, 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전층을 버퍼층으로서 형성해도 된다. 도 18c의 트랜지스터(2470)에 산화물 도전층을 형성한 트랜지스터(2471), 트랜지스터(2472)를 도 28a 및 도 28b에 도시한다.
- [0281] 도 28a 및 도 28b의 트랜지스터(2471, 2472)는, 산화물 반도체층(2403)과 소스 전극(2405a), 드레인 전극(2405b) 사이에, 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전층(2404a), 산화물 도전층(2404b)이 형성되어 있다. 도 28a 및 도 28b의 트랜지스터(2471, 2472)는 제작 공정에 따라 산화물 도전층(2404a, 2404b)의 형상이 상이한 예이다.
- [0282] 도 28a의 트랜지스터(2471)에서는, 산화물 반도체막과 산화물 도전막의 적층을 형성하고, 산화물 반도체막과 산화물 도전막의 적층을 동일한 포토리소그래피 공정에 의해 형상을 가공해서 섬 형상의 산화물 반도체층(2403)과 산화물 도전막을 형성한다. 산화물 반도체층 및 산화물 도전막 상에 소스 전극(2405a), 드레인 전극(2405b)을 형성한 후, 소스 전극(2405a), 드레인 전극(2405b)을 마스크로 하여, 섬 형상의 산화물 도전막을 에칭하고, 소스 영역 및 드레인 영역으로 되는 산화물 도전층(2404a, 2404b)을 형성한다.

- [0283] 도 28b의 트랜지스터(2472)에서는, 산화물 반도체층(2403) 상에 산화물 도전막을 형성하고, 그 위에 금속 도전막을 형성하고, 산화물 도전막 및 금속 도전막을 동일한 포토리소그래피 공정에 의해 가공하고, 소스 영역 및 드레인 영역이 되는 산화물 도전층(2404a, 2404b), 소스 전극(2405a), 드레인 전극(2405b)을 형성한다.
- [0284] 또한, 산화물 도전막의 형상을 가공하기 위한 에칭 처리 시, 산화물 반도체층이 과잉으로 에칭되지 않도록, 에칭 조건(에칭제의 종류, 농도, 에칭 시간 등)을 적절히 조정한다.
- [0285] 산화물 도전층(2404a, 2404b)의 성막 방법은, 스퍼터링법이나 진공 증착법(전자 빔 증착법 등)이나, 아크 방전 이온 플래팅법이나, 스프레이법을 이용한다. 산화물 도전층의 재료로서는, 산화 아연, 산화 아연 알루미늄, 산 질화 아연 알루미늄, 산화 아연 갈륨, 인듐 주석 산화물 등을 적용할 수 있다. 또한, 상기 재료에 산화 규소를 포함시켜도 된다.
- [0286] 소스 영역 및 드레인 영역으로서, 산화물 도전층을 산화물 반도체층(2403)과, 소스 전극(2405a), 드레인 전극(2405b) 사이에 형성함으로써, 산화물 반도체층(2403)과, 소스 전극(2405a), 드레인 전극(2405b)이 직접 접촉하는 경우보다도 접촉 저항을 낮출 수 있어, 트랜지스터(2471, 2472)가 고속 동작을 할 수 있다.
- [0287] 또한, 산화물 반도체층(2403)과, 소스 전극(2405a), 드레인 전극(2405b) 사이에, 산화물 도전층(2404a), 산화물 도전층(2404b)을 갖는 구성으로 함으로써, 트랜지스터(2471), 트랜지스터(2472)의 내압을 향상시킬 수 있다.
- [0288] 또한, 보호 절연막에, 전술한 배리어성을 갖는 절연막을 이용함으로써, 산화물 반도체층 중으로부터의 산소 이탈을 방지할 수 있다. 배리어성을 갖는 절연막의 일례로서는, 산화 알루미늄막을 들 수 있다. 산화물 반도체층보다도 상층과, 산화물 반도체층보다도 하층에 배리어성을 갖는 절연막을 형성함으로써, 산화물 반도체층 중으로부터의 산소 이탈을 방지하는 효과를 더욱 높일 수 있다. 즉, 반도체 장치의 신뢰성을 향상시킬 수 있다.
- [0289] 본 실시 형태는, 다른 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.
- [0290] (실시 형태 4)
- [0291] 본 실시 형태에서는, 본 명세서에 개시하는 트랜지스터의 반도체층에 이용할 수 있는 산화물 반도체층의 일 형태를, 도 29a, 도 29b 및 도 29c를 이용하여 설명한다.
- [0292] 본 실시 형태의 산화물 반도체층은, 제1 결정성 산화물 반도체층 상에 제1 결정성 산화물 반도체층보다도 두꺼운 제2 결정성 산화물 반도체층을 갖는 적층 구조이다.
- [0293] 기판(2400) 상에 절연층(437)을 형성한다. 본 실시 형태에서는, 절연층(437)으로서, PCVD법 또는 스퍼터링법을 이용하여, 50nm 이상 600nm 이하의 막 두께의 산화물 절연층을 형성한다. 예를 들면, 산화 실리콘막, 산화 갈륨막, 산화 알루미늄막, 산화 질화 실리콘막, 산화 질화 알루미늄막, 또는 질화 산화 실리콘막으로부터 선택된 1층 또는 이들의 적층을 이용할 수 있다.
- [0294] 다음으로, 절연층(437) 상에 막 두께 1nm 이상 10nm 이하의 제1 산화물 반도체막을 형성한다. 제1 산화물 반도체막의 형성은, 스퍼터링법을 이용하여, 그 스퍼터링법에 의한 성막 시에 있어서의 기판 온도는 200℃ 이상 400℃ 이하로 한다.
- [0295] 본 실시 형태에서는, 산화물 반도체용의 금속 산화물 타깃(In-Ga-Zn계 산화물 반도체용 타깃(In₂O₃:Ga₂O₃:ZnO=1:1:2[mol수비]))을 이용하여, 기판과 타깃 t사이의 거리를 170mm, 기판 온도 250℃, 압력 0.4Pa, 직류(DC) 전원 전력 0.5kW, 산소만, 아르곤만, 또는 아르곤 및 산소 분위기 하에서 막 두께 5nm의 제1 산화물 반도체막을 성막한다.
- [0296] 다음으로, 기판을 배치하는 챔버 분위기를 질소, 또는 건조 공기로 하고, 제1 가열 처리를 행한다. 제1 가열 처리의 온도는, 400℃ 이상 750℃ 이하로 한다. 제1 가열 처리에 의해 제1 결정성 산화물 반도체층(450a)을 형성한다(도 29a 참조).
- [0297] 성막 시에 있어서의 기판 온도나 제1 가열 처리의 온도에도 의하지만, 막 표면으로부터 결정화가 일어나고, 막의 표면으로부터 내부를 향해서 결정 성장하고, C축 배향한 결정이 얻어진다. 제1 가열 처리에 의해, 아연과 산소가 막 표면에 많이 모이고, 상층 평면이 6각형을 이루는 아연과 산소로 이루어지는 그래핀 타입의 2차원 결정이 최표면에 1층 또는 복수층 형성되고, 이것이 막 두께 방향으로 성장해서 겹쳐 적층으로 된다. 가열 처리의 온도를 높이면 표면으로부터 내부, 그리고 내부로부터 저부로 결정 성장이 진행된다.
- [0298] 제1 가열 처리에 의해, 산화물 절연층인 절연층(437) 중의 산소를 제1 결정성 산화물 반도체층(450a)과의 계면

또는 그 근방(계면으로부터 플러스 마이너스 5nm)으로 확산시켜, 제1 결정성 산화물 반도체층의 산소 결손을 저감한다. 따라서, 하지 절연층으로서 이용되는 절연층(437)은, 막 내(벌크 중), 제1 결정성 산화물 반도체층(450a)과 절연층(437)의 계면 중 어느 하나에는 적어도 화학 양론비를 초과하는 양의 산소가 존재하는 것이 바람직하다.

[0299] 다음으로, 제1 결정성 산화물 반도체층(450a) 상에 10nm보다도 두꺼운 제2 산화물 반도체막을 형성한다. 제2 산화물 반도체막의 형성은, 스퍼터링법을 이용하여, 그 성막 시에 있어서의 기판 온도는 200℃ 이상 400℃ 이하로 한다. 성막 시에 있어서의 기판 온도를 200℃ 이상 400℃ 이하로 함으로써, 제1 결정성 산화물 반도체층의 표면 상에 접해서 성막하는 산화물 반도체막에 프리커서의 정렬이 일어나, 소위, 질서성을 갖게 할 수 있다.

[0300] 본 실시 형태에서는, 산화물 반도체용의 금속 산화물 타깃(In-Ga-Zn계 산화물 반도체용 타깃($In_2O_3:Ga_2O_3:ZnO=1:1:2$ [mol수비]))을 이용하여, 기판과 타깃 사이의 거리를 170mm, 기판 온도 400℃, 압력 0.4Pa, 직류(DC) 전원 전력 0.5kW, 스퍼터 가스로서 산소만, 아르곤만, 또는 아르곤 및 산소의 혼합 가스를 이용하여, 막 두께 25nm의 제2 산화물 반도체막을 성막한다.

[0301] 다음으로, 기판을 배치하는 챔버 분위기를 질소 분위기 하, 산소 분위기 하, 혹은 질소와 산소의 혼합 분위기로 하고, 제2 가열 처리를 행한다. 제2 가열 처리의 온도는, 400℃ 이상 750℃ 이하로 한다. 제2 가열 처리에 의해 제2 결정성 산화물 반도체층(450b)을 형성한다(도 29b 참조). 제2 가열 처리는, 질소 분위기 하, 산소 분위기 하, 혹은 질소와 산소의 혼합 분위기 하에서 행함으로써, 제2 결정성 산화물 반도체층의 고밀도화 및 결함수의 감소를 도모한다. 제2 가열 처리에 의해, 제1 결정성 산화물 반도체층(450a)을 핵으로 해서 막 두께 방향, 즉 저부로부터 내부로 결정 성장이 진행해서 제2 결정성 산화물 반도체층(450b)이 형성된다.

[0302] 또한, 절연층(437)의 형성으로부터 제2 가열 처리까지의 공정을 대기에 접촉하는 일없이 연속적으로 행하는 것이 바람직하다. 절연층(437)의 형성으로부터 제2 가열 처리까지의 공정은, 수소 및 수분을 거의 포함하지 않는 분위기(불활성 분위기, 감압 분위기, 건조 공기 분위기 등) 하에서 제어하는 것이 바람직하며, 예를 들면, 수분에 대해서는 노점 -40℃ 이하, 바람직하게는 노점 -50℃ 이하의 건조 질소 분위기로 한다.

[0303] 다음으로, 제1 결정성 산화물 반도체층(450a)과 제2 결정성 산화물 반도체층(450b)으로 이루어지는 산화물 반도체층을 가공해서 섬 형상의 산화물 반도체층으로 이루어지는 산화물 반도체층(453)을 형성한다(도 29c 참조). 도에서는, 제1 결정성 산화물 반도체층(450a)과 제2 결정성 산화물 반도체층(450b)의 계면을 점선으로 나타내고, 산화물 반도체층으로 설명하고 있지만, 명확한 계면이 존재하고 있는 것이 아니라, 어디까지나 알기 쉽게 설명하기 위해서 도시하고 있다.

[0304] 산화물 반도체층의 가공은, 원하는 형상의 마스크를 산화물 반도체층 상에 형성한 후, 해당 산화물 반도체층을 에칭함으로써 행할 수 있다. 상술한 마스크는, 포토리소그래피 등의 방법을 이용하여 형성할 수 있다. 또는, 잉크젯법 등의 방법을 이용하여 마스크를 형성해도 된다.

[0305] 또한, 산화물 반도체층의 에칭은, 드라이 에칭이어도 웨트 에칭이어도 된다. 물론, 이들을 조합해서 이용해도 된다.

[0306] 또한, 상기 제작 방법에 의해, 얻어지는 제1 결정성 산화물 반도체층 및 제2 결정성 산화물 반도체층은, C축 배향을 갖고 있는 것을 특징의 하나로 하고 있다. 단, 제1 결정성 산화물 반도체층 및 제2 결정성 산화물 반도체층은, 단결정 구조가 아니고, 비정질 구조도 아닌 구조이며, C축 배향을 갖은 결정(C Axis Aligned Crystal: CAAC라고도 부름)을 포함하는 산화물을 갖는다. 또한, 제1 결정성 산화물 반도체층 및 제2 결정성 산화물 반도체층은, 일부에 결정 입계를 갖고 있다.

[0307] 또한, 제1 결정성 산화물 반도체층 및 제2 결정성 산화물 반도체층은, 4원계 금속의 산화물인 In-Sn-Ca-Zn-O계의 재료나, 3원계 금속의 산화물인 In-Ga-Zn-O계의 재료(IGZO로도 표기함.), In-Sn-Zn-O계의 재료(ITZO로도 표기함.), In-Al-Zn-O계의 재료, Sn-Ga-Zn-O계의 재료, Al-Ga-Zn-O계의 재료, Sn-Al-Zn-O계의 재료나, In-Hf-Zn-O계의 재료, In-La-Zn-O계의 재료, In-Ce-Zn-O계의 재료, In-Pr-Zn-O계의 재료, In-Nd-Zn-O계의 재료, In-Sm-Zn-O계의 재료, In-Eu-Zn-O계의 재료, In-Gd-Zn-O계의 재료, In-Tb-Zn-O계의 재료, In-Dy-Zn-O계의 재료, In-Ho-Zn-O계의 재료, In-Er-Zn-O계의 재료, In-Tm-Zn-O계의 재료, In-Yb-Zn-O계의 재료, In-Lu-Zn-O계의 재료나, 2원계 금속의 산화물인 In-Zn-O계의 재료, Sn-Zn-O계의 재료, Al-Zn-O계의 재료, Zn-Mg-O계의 재료, Sn-Mg-O계의 재료, In-Mg-O계의 재료나, In-Ga-O계의 재료, 1원계 금속의 산화물인 In-O계의 재료, Sn-O계의 재료, Zn-O계의 재료 등이 있다. 또한, 상기한 재료에 SiO_2 를 포함시켜도 된다. 여기서, 예를 들면, In-Ga-Zn-O계의

재료란, 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물 재료라는 의미이며, 그 조성비는 특별히 문제삼지 않는다. 또한, In과 Ga와 Zn 이외의 원소를 포함하고 있어도 된다.

- [0308] 또한, 제1 결정성 산화물 반도체층 상에 제2 결정성 산화물 반도체층을 형성하는 2층 구조에 한정되지 않고, 제2 결정성 산화물 반도체층의 형성 후에 제3 결정성 산화물 반도체층을 형성하기 위한 성막과 가열 처리의 프로세스를 반복해서 행하여, 3층 이상의 적층 구조로 해도 된다.
- [0309] 상기 제작 방법으로 형성된 산화물 반도체층으로 이루어지는 산화물 반도체층(453)을, 본 명세서에 개시하는 반도체 장치에 적용할 수 있는 트랜지스터에 적절히 이용할 수 있다.
- [0310] 또한, 본 실시 형태의 산화물 반도체층을 산화물 반도체층(2403)으로서 이용한 실시 형태 3에 있어서의 트랜지스터(2470)에서는, 산화물 반도체층의 한쪽의 면으로부터 다른 쪽의 면에 전계가 인가되는 일은 없으며, 또한, 전류가 산화물 반도체층의 두께 방향(한쪽의 면으로부터 다른 쪽의 면으로 흐르는 방향, 구체적으로 도 18c에서는 상하 방향)으로 흐르는 구조가 아니다. 전류는, 주로 산화물 반도체층의 계면을 흐르는 트랜지스터 구조이기 때문에, 트랜지스터에 광 조사가 행하여지거나, 또는 BT 스트레스가 공급되어도, 트랜지스터 특성의 열화는 억제되거나, 또는 저감된다.
- [0311] 산화물 반도체층(453)과 같은 제1 결정성 산화물 반도체층과 제2 결정성 산화물 반도체층의 적층을 트랜지스터에 이용함으로써, 안정된 전기적 특성을 갖고, 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다.
- [0312] 본 실시 형태는, 다른 실시 형태에 기재한 구성과 적절히 조합해서 실시하는 것이 가능하다.
- [0313] (실시 형태 5)
- [0314] 본 실시 형태에서는, 본 발명의 일 양태에 따른 액정 표시 장치에 있어서 이용되는 기관의 일 형태에 대해서, 도 20a, 도 20b, 도 20c, 도 20d 및 도 20e를 이용하여 설명한다.
- [0315] 우선, 기관(6200) 상에, 박리층(6201)을 개재해서, 트랜지스터나 층간 절연막, 배선, 화소 전극 및 경우에 따라서 대향 전극이나, 차광막, 배향막 등을 포함하는 피박리층(6116)을 형성한다.
- [0316] 기관(6200)으로서는, 석영 기관, 사파이어 기관, 세라믹 기관이나, 글래스 기관, 금속 기관 등을 이용할 수 있다. 또한, 이들 기관은, 가요성을 명확하게 나타내지 않을 정도로 두께가 있는 것을 사용함으로써, 정밀도 좋게 트랜지스터 등의 소자를 형성할 수 있다. 가요성을 명확하게 나타내지 않을 정도로, 통상 액정 디스플레이를 제작할 때에 사용되고 있는 글래스 기관의 탄성률 정도, 혹은 보다 탄성률이 큰 것을 의미한다.
- [0317] 박리층(6201)은, 스퍼터링법이나 플라즈마 CVD법, 도포법, 인쇄법 등에 의해, 텅스텐(W), 몰리브덴(Mo), 티탄(Ti), 탄탈(Ta), 니오븀(Nb), 니켈(Ni), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir), 규소(Si)로부터 선택된 원소, 또는 원소를 주성분으로 하는 합금 재료, 또는 원소를 주성분으로 하는 화합물 재료로 이루어지는 층을, 단층 또는 적층해서 형성한다.
- [0318] 박리층(6201)이 단층 구조인 경우, 바람직하게는, 텅스텐층, 몰리브덴층, 또는 텅스텐과 몰리브덴의 혼합물을 포함하는 층을 형성한다. 또는, 텅스텐의 산화물 혹은 산화 질화물을 포함하는 층, 몰리브덴의 산화물 혹은 산화 질화물을 포함하는 층, 또는 텅스텐과 몰리브덴의 혼합물의 산화물 혹은 산화 질화물을 포함하는 층을 형성한다. 또한, 텅스텐과 몰리브덴의 혼합물이란, 예를 들면, 텅스텐과 몰리브덴의 합금에 상당한다.
- [0319] 박리층(6201)이 적층 구조인 경우, 바람직하게는, 1층째로서 금속층을 형성하고, 2층째로서 금속 산화물층을 형성한다. 대표적으로는 1층째로서 텅스텐층, 몰리브덴층, 또는 텅스텐과 몰리브덴의 혼합물을 포함하는 층을 형성하고, 2층째로서, 텅스텐, 몰리브덴 또는 텅스텐과 몰리브덴의 혼합물의 산화물, 산화 질화물 또는 질화 산화물을 형성하면 된다. 2층째의 금속 산화물층의 형성은, 1층째의 금속층 상에, 산화물층(예를 들면 산화 실리콘 등의 절연층으로서 이용할 수 있는 것)을 형성함으로써 금속층 표면에 이 금속의 산화물이 형성되는 것을 응용해도 된다.
- [0320] 계속해서, 박리층(6201) 상에, 피박리층(6116)을 형성한다(도 20a 참조). 피박리층(6116)으로서는, 트랜지스터나 층간 절연막, 배선, 화소 전극 및 경우에 따라서 대향 전극이나, 차광막, 배향막 등, 소자 기관으로서 필요한 요소가 포함된다. 이들은, 박리층(6201) 상에, 통상대로 제작할 수 있다. 이들 재료, 제작 방법 및 구조 등에 관해서는 상기 실시 형태에 있어서 나타낸 것과 마찬가지로 하기 때문에, 설명을 생략한다. 이와 같이, 트랜지스터나 전극은 공지된 재료나 방법을 이용하여 정밀도 좋게 제작할 수 있다.
- [0321] 다음으로, 박리용 접착제(6203)를 이용하여 피박리층(6116)을 임시 지지 기관(6202)에 접착한 후, 피박리층

(6116)을 기관(6200)의 박리층(6201)으로부터 박리해서 전치한다(도 20b 참조). 이에 의해 피박리층(6116)은, 임시 지지 기관층에 형성된다. 또한, 본 명세서에 있어서, 제작용 기관으로부터 임시 지지 기관에 피박리층을 전치하는 공정을 전치 공정이라고 한다.

- [0322] 임시 지지 기관(6202)은, 글래스 기관, 석영 기관, 사파이어 기관, 세라믹 기관, 금속 기관 등을 이용할 수 있다. 또한, 이후의 처리 온도에 견딜 수 있는 내열성을 갖는 플라스틱 기관을 이용해도 된다.
- [0323] 또한, 여기서 이용하는 박리용 접착제(6203)는, 물이나 용매에 가용인 것이나, 자외선 등의 조사에 의해 가소화시키는 것이 가능한, 필요 시에 임시 지지 기관(6202)과 피박리층(6116)을 분리하는 것이 가능한 접착제를 이용한다.
- [0324] 또한, 임시 지지 기관(6202)에의 전치 공정은, 다양한 방법을 적절히 이용할 수 있다. 예를 들면, 박리층(6201)으로서, 피박리층과 접하는 측에 금속 산화막을 포함하는 막을 형성한 경우에는, 해당 금속 산화막을 결정화시킴으로써 취약화하여, 피박리층(6116)을 기관(6200)으로부터 박리할 수 있다. 또한, 기관(6200)과 피박리층(6116) 사이에, 박리층(6201)으로서 수소를 포함하는 비정질 규소막을 형성한 경우에는, 레이저 광의 조사 또는 에칭에 의해 해당 수소를 포함하는 비정질 규소막을 제거하여, 피박리층(6116)을 기관(6200)으로부터 박리할 수 있다. 또한, 박리층(6201)으로서 질소, 산소나 수소 등을 포함하는 막(예를 들면, 수소를 포함하는 비정질 규소막, 수소 함유 합금막, 산소 함유 합금막 등)을 이용한 경우에는, 박리층(6201)에 레이저 광을 조사해서 박리층(6201) 내에 함유하는 질소, 산소나 수소를 가스로서 방출시키고, 피박리층(6116)과 기관(6200)의 분리를 촉진할 수 있다. 다른 방법으로서, 박리층(6201)과 피박리층(6116)의 계면에 액체를 침투시켜 기관(6200)으로부터 피박리층(6116)을 박리해도 된다. 박리층(6201)을 텅스텐으로 형성하고, 암모니아과수에 의해 박리층(6201)을 에칭하면서 박리를 행하는 방법도 있다.
- [0325] 또한, 상기 박리 방법을 복수 조합함으로써 용이하게 전치 공정을 행할 수 있다. 레이저 광의 조사, 가스나 용액 등에 의한 박리층에의 에칭, 예리한 나이프나 메스 등에 의한 기계적인 제거를 부분적으로 행하여, 박리층과 피박리층을 박리하기 쉬운 상태로 하고나서, 물리적인 힘(기계 등에 의한)에 의해 박리를 행하는 공정 등이 이것에 해당한다. 박리층(6201)을 금속과 금속 산화물의 적층 구조에 의해 형성한 경우, 레이저 광의 조사에 의해 형성되는 흠이나 예리한 나이프나 메스 등에 의한 흠집 등을 계기로 해서, 박리층으로부터 물리적으로 벗기는 것도 용이하게 된다.
- [0326] 또한, 이들 박리를 행할 때에 물 등의 액체를 부으면서 행해도 된다.
- [0327] 피박리층(6116)을 기관(6200)로부터 분리하는 방법로서는, 그 밖에, 피박리층(6116)이 형성된 기관(6200)을, 기계적으로 연마 등을 행해서 제거하는 방법이나, 용액이나 NF_3 , BrF_3 , ClF_3 등의 불화 할로젠 가스에 의한 에칭으로 제거하는 방법 등도 이용할 수 있다. 이 경우에는, 박리층(6201)을 형성하지 않아도 된다.
- [0328] 계속해서, 기관(6200)으로부터 박리되고, 노출된 박리층(6201), 혹은 피박리층(6116) 표면에 박리용 접착제(6203)와는 다른 접착제에 의한 제1 접착제층(6111)을 이용하여 전치 기관(6110)을 접착한다(도 20c의 (c) 참조).
- [0329] 제1 접착제층(6111)의 재료로서는, 자외선 경화형 접착제 등 광경화형 접착제, 반응 경화형 접착제, 열경화형 접착제, 또는 혐기형 접착제 등 각종 경화형 접착제를 이용할 수 있다.
- [0330] 전치 기관(6110)으로서, 진성이 큰 각종 기관을 이용하고, 예를 들면, 유기 수지의 필름이나 금속 기관 등을 적절히 사용할 수 있다. 진성이 큰 기관은 내충격성이 우수하고, 파손되기 어려운 기관이다. 유기 수지의 필름은 경량이며, 또한, 금속 기관도 얇은 것은 경량이기 때문에, 통상적인 글래스 기관을 사용하는 경우와 비교하여, 대폭적인 경량화가 가능하게 된다. 이러한 기관을 이용함으로써, 가볍고, 파손되기 어려운 액정 표시 장치를 제작할 수 있게 된다.
- [0331] 투과형 혹은 반투과형의 액정 표시 장치의 경우에는, 전치 기관(6110)으로서, 진성이 크고 또한 가시광에 대한 투과성을 갖는 기관을 이용하면 된다. 이러한 기관을 구성하는 재료로서는, 예를 들면, 폴리에틸렌테레프탈레이트(PET) 또는 폴리에틸렌나프탈레이트(PEN) 등의 폴리에스테르 수지, 아크릴 수지, 폴리아크릴 니트릴 수지, 폴리이미드 수지, 폴리메틸메타크릴레이트 수지, 폴리카보네이트 수지(PC), 폴리에테르 술폰 수지(PES), 폴리아미드 수지, 시클로 올레핀 수지, 폴리스티렌 수지, 폴리아미드이미드 수지, 폴리염화비닐 수지 등을 들 수 있다. 이들 유기 수지로 이루어지는 기관은, 진성이 크기 때문에, 내충격성도 우수하고, 파손되기 어려운 기관이다. 또한, 이들 유기 수지의 필름은 경량이기 때문에, 통상적인 글래스 기관과 비교하여, 매우 경량화된

액정 표시 장치를 제작하는 것이 가능하게 된다. 또한, 이 경우, 전치 기관(6110)은, 적어도 각 화소의 광이 투과되는 영역과 겹치는 부분에 개구가 설치된 금속판(6206)을 더 구비하는 것이 바람직한 구성이다. 이 구성으로 함으로써, 치수변화를 억제하면서 진성이 크고, 내충격성이 높아 파손되기 어려운 전치 기관(6110)을 구성할 수 있다. 또한, 금속판(6206)의 두께를 얇게 함으로써, 종래의 글래스 기관보다도 가벼운 전치 기관(6110)을 구성할 수 있다. 이러한 기관을 이용함으로써, 가볍고, 파손되기 어려운 액정 표시 장치를 제작할 수 있게 된다(도 20d의 (d) 참조).

[0332] 도 21의 (a)는 액정 표시 장치에 있어서의 상면도의 일례이다. 도 21의 (a)와 같이, 제1 배선층(6210)과 제2 배선층(6211)이 교차하고, 제1 배선층(6210)과 제2 배선층(6211)에 둘러싸여진 영역이 광이 투과하는 영역(6212)인 표시 장치의 경우, 도 21의 (b)와 같이, 제1 배선층(6210) 및 제2 배선층(6211)과 겹치는 부분이 남고, 박막판의 눈 형상으로 개구가 형성된 금속판(6206)을 이용하면 된다. 이러한 금속판(6206)을 접합해서 이용함으로써, 유기 수지로 이루어지는 기관을 이용한 것에 의한 정합 정밀도의 악화나 기관의 신장에 의한 치수 변화를 억제할 수 있다(도 21의 (c) 참조). 또한, 편광판(도시하지 않음)이 필요한 경우에는, 전치 기관(6110)과 금속판(6206) 사이에 설치해도, 금속판(6206)의 더욱 외측에 설치해도 된다. 편광판은 미리 금속판(6206)에 접착되어 있어도 된다. 또한, 경량화의 관점으로부터는, 금속판(6206)으로서 상기 치수 안정화의 효과를 발휘하는 범위 내에 있어서 얇은 기관을 채용하는 것이 바람직하다.

[0333] 그 후, 피박리층(6116)으로부터 임시 지지 기관(6202)을 분리한다. 박리용 접착제(6203)는 필요 시에 임시 지지 기관(6202)과 피박리층(6116)을 분리하는 것이 가능한 재료로 형성되어 있으므로, 해당 재료에 맞는 방법에 의해 임시 지지 기관(6202)을 분리하면 된다. 또한, 백라이트는 도면의 화살표와 같이 조사된다(도 20e의 (e) 참조).

[0334] 이상에 의해, 트랜지스터로부터 화소 전극까지가 형성된 피박리층(6116)(필요에 따라서 대향 전극, 차광막, 배향막 등이 형성되어 있어도 됨)을 전치 기관(6110) 상에 제작할 수 있어, 경량 또한 내충격성이 높은 소자 기관을 제작할 수 있다.

[0335] <변형예>

[0336] 상술한 구성을 갖는 액정 표시 장치는, 본 발명의 일 양태이며, 상술한 구성을 갖는 액정 표시 장치와 상이한 구성을 구비하는 이하의 액정 표시 장치도, 본 발명에 포함된다. 상술한 전치 공정(도 20b 후, 전치 기관(6110)을 접착하기 전에, 노출된 박리층(6201), 혹은 피박리층(6116) 표면에, 금속판(6206)을 접착해도 된다(도 20c의 (c') 참조). 이 경우, 금속판(6206)으로부터의 오염 물질이, 피박리층(6116)에 있어서의 트랜지스터의 특성에 악영향을 미치는 것을 방지하기 위해서, 배리어층(6207)을 사이에 형성하면 된다. 배리어층(6207)을 형성하는 경우에는, 노출된 박리층(6201), 혹은 피박리층(6116) 표면에 배리어층(6207)을 형성하고나서, 금속판(6206)을 접착하면 된다. 배리어층(6207)은 무기 재료나 유기 재료 등에 의해 형성하면 되고, 대표적으로는 질화 실리콘 등을 들 수 있지만, 트랜지스터의 오염을 방지할 수 있으면, 이들에 한정되지 않는다. 배리어층은 투광성을 갖는 재료로 형성하거나, 혹은 투광성을 가질 정도로 얇은 막으로 하는 등, 적어도 가시광에 대한 투광성을 갖도록 제작한다. 또한, 금속판(6206)은, 박리용 접착제(6203)와는 다른 접착제를 이용하여 제2 접착제층(도시하지 않음)을 형성하고, 접착하면 된다.

[0337] 이 후, 제1 접착제층(6111)을 금속판(6206) 표면에 형성하여, 전치 기관(6110)을 접착하고(도 20d의 (d')), 피박리층(6116)으로부터 임시 지지 기관(6202)을 분리하는(도 20e의 (e')) 것에 의해, 경량 또한 내충격성이 높은 소자 기관을 제작할 수 있다. 또한, 백라이트는 도면의 화살표와 같이 조사된다.

[0338] 이와 같이 제작한 경량 또한 내충격성이 높은 소자 기관과, 대향 기관을 액정층을 사이에 협지시켜 시일재로 고착함으로써, 경량 또한 내충격성이 높은 액정 표시 장치를 제작할 수 있다. 대향 기관으로서는, 진성이 크고, 가시광에 대한 투광성을 갖는 기관(전치 기관(6110)에 이용하는 것이 가능한 플라스틱 기관과 마찬가지로)을 이용할 수 있다. 필요에 따라서 이것에 편광판, 차광막이나 대향 전극 및 배향막이 형성되어 있어도 된다. 액정층을 형성하는 방법으로서, 종래와 마찬가지로 디스펜서법이나 주입법 등을 적용할 수 있다.

[0339] 이상과 같이 제작된 경량 또한 내충격성이 높은 액정 표시 장치는, 트랜지스터 등의 미세한 소자의 제작을, 치수 안정성이 비교적 양호한 글래스 기관 상 등에서 행할 수 있고, 또한, 종래와 같은 제작 방법의 적용이 가능하기 때문에, 미세한 소자이어도 정밀도 좋게 형성할 수 있다. 이 때문에, 내충격성을 가지면서도, 고정밀이고 고품질인 화상을 제공할 수 있고, 또한 경량의 액정 표시 장치를 제공하는 것이 가능하게 된다.

[0340] 또한, 상기한 바와 같이 제작한 액정 표시 장치는, 가요성을 갖게 하는 것도 가능하다.

- [0341] 본 실시 형태는, 상기 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.
- [0342] (실시 형태 6)
- [0343] 도 22a 및 도 22b에, 액정 표시 장치에 이용할 수 있는 화소의 일례를 도시한다. 도 22a는 화소의 상면도이고, 도 22b는, 도 22a의 섹션 A1-A2에 있어서의 단면이다. 또한, 도 23은, 본 실시 형태에서 설명하는 화소의 구성을 알기 쉽게 하기 위해서, 도 22a로부터 투과 화소 전극(505) 및 반사 화소 전극(525)을 제거한 상면도이다.
- [0344] 도 22a 및 도 22b에 있어서, 도 2와 공통인 개소에는 동일한 부호를 이용하여 설명한다. 도 22a 및 도 22b에 도시하는 화소는, 주사선 GL로서 기능하는 배선(501)과, 신호선 SL로서 기능하는 배선(502)과, 공통 배선 COM로서 기능하는 배선(503)과, 제1 화소 트랜지스터(16a)와, 제1 화소 트랜지스터(16a)의 제2 단자로서 기능하는 배선(504)과, 배선(518)을 갖고 있다. 배선(501)은, 도 2b에 도시한 제1 화소 트랜지스터(16a)의 게이트 전극으로서도 기능한다. 또한, 배선(502)은, 제1 화소 트랜지스터(16a)의 제1 단자로서도 기능한다.
- [0345] 또한, 도 22a 및 도 22b에 도시하는 화소는, 인에이블선 ENR로서 기능하는 배선(511)과, 제2 화소 트랜지스터(16b)와, 제2 화소 트랜지스터(16b)의 게이트 전극으로서도 기능하는 배선(521)과, 제2 화소 트랜지스터(16b)의 제1 단자로서도 기능하는 배선(522)과, 제2 화소 트랜지스터(16b)의 제2 단자로서도 기능하는 배선(523)과, 용량 전극(524)을 갖고 있다.
- [0346] 배선(501), 배선(518), 배선(521) 및 용량 전극(524)은, 절연 표면을 갖는 기관(500) 상에, 하지막(508)을 통해서 형성된 하나의 도전막을 원하는 형상으로 가공함으로써 형성할 수 있다. 배선(501), 배선(518), 배선(521) 및 용량 전극(524) 상에는 게이트 절연막(506)이 형성되어 있다. 또한, 배선(502), 배선(503), 배선(504), 배선(511), 배선(522), 배선(523)은, 게이트 절연막(506) 상에 형성된 하나의 도전막을 원하는 형상으로 가공함으로써 형성할 수 있다.
- [0347] 또한, 제1 화소 트랜지스터(16a)의 활성층(507)은, 배선(501)과 겹치는 위치에 있어서 게이트 절연막(506) 상에 형성되어 있다. 활성층(507)은, 게이트 전극으로서 기능하는 배선(501)에 완전하게 겹치는 구성을 이용하는 것이 바람직하다. 또한, 제2 화소 트랜지스터(16b)의 활성층(527)은, 배선(521)과 겹치는 위치에 있어서 게이트 절연막(506) 상에 형성되어 있다. 활성층(527)은, 게이트 전극으로서 기능하는 배선(521)에 완전하게 겹치는 구성을 이용하는 것이 바람직하다. 상기 구성을 채용함으로써, 기관(500)측으로부터 입사한 광에 의해 활성층(507) 및 활성층(527) 중의 산화물 반도체가 열화하는 것을 방지하고, 따라서, 제1 화소 트랜지스터(16a) 및 제2 화소 트랜지스터(16b)의 임계값 전압이 시프트하는 등의 특성의 열화가 야기되는 것을 방지할 수 있다.
- [0348] 또한, 도 22b에 도시하는 화소는, 활성층(507), 배선(502), 배선(504), 활성층(527), 배선(522), 배선(523)을 피복하도록, 절연막(512)과, 절연막(513)이 순서대로 형성되어 있다. 그리고, 절연막(513) 상에는, 투과 영역에 위치하는 투과 화소 전극(505)과, 반사 영역에 위치하는 반사 화소 전극(525)이 형성되어 있고, 절연막(512) 및 절연막(513)에 형성된 콘택트 홀을 거쳐서, 배선(504)과 투과 화소 전극(505)이 접속되고, 배선(523)과 반사 화소 전극(525)이 접속되어 있다.
- [0349] 게이트 절연막(506)에 형성된 콘택트 홀을 거쳐서, 배선(518)과 배선(504)이 접속되고, 배선(511)과 배선(521)이 접속되고, 배선(522)과 배선(518)이 접속되고, 배선(503)과 용량 전극(524)이 접속되어 있다. 또한, 배선(503)과 배선(518)이, 게이트 절연막(506)을 사이에 끼워서 서로 겹쳐 있는 부분이, 제1 용량 소자(17a)로서 기능하고, 배선(523)과 용량 전극(524)이, 게이트 절연막(506)을 사이에 끼워서 서로 겹쳐 있는 부분이, 제2 용량 소자(17b)로서 기능한다.
- [0350] 또한, 절연막(513)의 표면에 선택적으로 에칭 가공을 행하고, 절연막(513)의 표면을 요철 형상으로 함으로써, 반사 화소 전극(525)에 요철 형상을 형성하는 구성으로 해도 된다. 반사 화소 전극(525) 표면에 요철을 설치하면, 입사한 외광을 난반사시켜, 보다 양호한 표시를 행할 수 있다. 따라서, 표시에 있어서의 시인성이 향상한다.
- [0351] 또한, 반사 화소 전극(525)을, 제1 화소 트랜지스터(16a)의 활성층(507) 및 제2 화소 트랜지스터(16b)의 활성층(527)과 겹치도록 설치함으로써, 화소 전극 측으로부터 입사한 미광이 맞닿아서 활성층(507) 및 활성층(527) 중의 산화물 반도체가 열화하는 것을 방지하고, 따라서, 제1 화소 트랜지스터(16a) 및 제2 화소 트랜지스터(16b)의 임계값 전압이 시프트하는 등의 특성의 열화가 야기되는 것을 방지할 수 있다.
- [0352] 또한, 구동 회로를 패널에 형성하는 경우, 구동 회로에 이용되는 트랜지스터에도, 게이트 전극 혹은 차광막에 의한 차광을 행함으로써, 트랜지스터의 임계값 전압이 시프트하는 등의 특성의 열화가 야기되는 것을 방지할 수

있다.

- [0353] 또한, 도 22b에서는, 투과 화소 전극(505)(혹은 반사 화소 전극(525))과 대향 전극(도시하지 않음)이 액정층(도시하지 않음)을 통해서 겹치는 경우의 구조를 예로 들어 설명했지만, 본 발명의 일 양태에 따른 액정 표시 장치는 이 구성에 한정되지 않는다. IPS형의 액정 소자나 블루상을 이용한 액정 소자와 같이, 화소 전극과 대향 전극이 동일 기관 상에 형성되어 있어도 된다.
- [0354] 다음으로, 본 발명의 일 양태에 따른 액정 표시 장치의 패널에 대해서, 도 24a 및 도 24b를 이용하여 설명한다. 도 24a는, 기관(4001)과 대향 기관(4006)을 시일재(4005)에 의해 접촉시킨 패널의 상면도이며, 도 24b는, 도 24a의 파선 A-A'에 있어서의 단면도에 상당한다.
- [0355] 기관(4001) 상에 설치된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록, 시일재(4005)가 설치되어 있다. 또한, 화소부(4002), 주사선 구동 회로(4004) 상에 대향 기관(4006)이 설치되어 있다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는, 기관(4001)과 시일재(4005)와 대향 기관(4006)에 의해, 액정층(4007)과 함께 밀봉되어 있다.
- [0356] 또한, 기관(4001)상의 시일재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 신호선 구동 회로(4003)가 형성된 기관(4021)이 실장되어 있다. 도 24b에서는, 신호선 구동 회로(4003)에 포함되는 트랜지스터(4009)를 예시하고 있다.
- [0357] 또한, 기관(4001) 상에 설치된 화소부(4002), 주사선 구동 회로(4004)는, 트랜지스터를 복수 갖고 있다. 도 24b에서는, 화소부(4002)에 포함되는 트랜지스터(4010a), 트랜지스터(4010b), 트랜지스터(4022)를 예시하고 있다. 트랜지스터(4010a), 트랜지스터(4010b), 트랜지스터(4022)는, 산화물 반도체를 채널 형성 영역에 포함하고 있다. 그리고, 대향 기관(4006)에 형성되어 있는 차광막(4040)은, 트랜지스터(4022)의 채널 형성 영역과 겹쳐 있다. 트랜지스터(4022)를 차광함으로써, 산화물 반도체의 광에 의한 열화를 방지하고, 트랜지스터(4022)의 임계값 전압이 시프트하는 등의 특성의 열화를 방지할 수 있다.
- [0358] 또한, 금속 재료로 이루어지는 배선(4014)과 동일 공정에서 차광 금속막(4013)은, 트랜지스터(4010a)의 채널 형성 영역과 겹쳐 있다. 차광 금속막(4013)에 의해 트랜지스터(4010a)를 차광함으로써, 산화물 반도체의 광에 의한 열화를 방지하고, 트랜지스터(4010a)의 임계값 전압이 시프트하는 등의 특성의 열화를 방지할 수 있다. 또한, 차광 금속막(4013)은, 플로팅 상태의 전극이어도 되고, 트랜지스터(4010a)의 산화물 반도체와 전기적으로 접속하는 전극이어도 되며, 트랜지스터(4010a)의 게이트 전극과 전기적으로 접속하는 전극이어도 된다.
- [0359] 또한, 공정수가 증가하지만, 차광 금속막(4013) 대신에, 잉크젯법 등을 이용하여, 카본블랙 등의 흑색 안료를 포함하는 차광 수지막을 트랜지스터(4010a)의 채널 형성 영역과 겹치는 위치에 형성해서 차광해도 된다.
- [0360] 또한, 투광성을 갖는 도전막으로 이루어지는 화소 전극(4030a)는, 트랜지스터(4010a)와 전기적으로 접속되어 있다. 그리고, 대향 전극(4031)은, 대향 기관(4006)에 형성되어 있다. 화소 전극(4030a)과 대향 전극(4031)과 액정층(4007)이 겹쳐 있는 부분이, 투과 영역의 액정 소자(4011a)에 상당한다.
- [0361] 또한, 반사 전극인 화소 전극(4030b)은, 트랜지스터(4010b)와 전기적으로 접속되어 있다. 화소 전극(4030b)과 대향 전극(4031)과 액정층(4007)이 겹쳐 있는 부분이, 반사 영역의 액정 소자(4011b)에 상당한다. 반사 전극인 화소 전극(4030b)은, 트랜지스터(4010b)의 채널 형성 영역과 겹쳐 있다. 트랜지스터(4010b)를 차광함으로써, 산화물 반도체의 광에 의한 열화를 방지하고, 트랜지스터(4010b)의 임계값 전압이 시프트하는 등의 특성의 열화를 방지할 수 있다.
- [0362] 또한, 스페이서(4035)가, 화소 전극(4030a), 화소 전극(4030b)과 대향 전극(4031) 사이의 거리(셀 갭)를 제어하기 위해서 설치되어 있다. 또한, 도 24b에서는, 스페이서(4035)가, 절연막을 패터닝함으로써 기둥 형상으로 형성되어 있는 경우를 예시하고 있지만, 구형의 스페이서를 이용하고 있어도 된다.
- [0363] 또한, 신호선 구동 회로(4003), 주사선 구동 회로(4004), 화소부(4002)에 공급되는 각종 신호 및 전위는, 배선(4014) 및 배선(4015)을 거쳐서, 접속 단자(4016)로부터 공급되고 있다. 접속 단자(4016)는, FPC(4018)가 갖는 단자와, 이방성 도전막(4019)을 개재해서 전기적으로 접속되어 있다.
- [0364] 또한, 액정층(4007)을 형성하는 방법으로서, 디스펜서식(적하식)이나, 대향 기관(4006)을 접합하고나서 모세관 현상을 이용하여 액정을 주입하는 디프식(펌프식)을 이용할 수 있다. 도 24a 및 도 24b에 도시하는 바와 같이, 액정층(4007)을 형성할 때, 액정층(4007)과 시일재(4005)의 혼재를 방지하기 위해서, 액정층(4007)과 시일재

(4005) 사이에 격벽(4036)을 설치하는 것이 바람직하다.

- [0365] 격벽(4036)은, 스페이서(4035)와 동일 재료 및 동일 공정에서 형성할 수 있다. 격벽(4036)을 형성하는 재료로서는, 예를 들면, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화 질화 알루미늄, 또는 질화 산화 알루미늄 등의 무기 재료, 폴리이미드, 아크릴 수지, 벤조 시클로부텐계 수지, 폴리아미드, 에폭시 수지, 실록산계 수지 등을 이용할 수 있다.
- [0366] 또한, 격벽(4036)을 형성하는 방법으로서, 예를 들면, 스퍼터링법, 진공증착법, PVD법, 감압 CVD법(LPCVD법), 또는 플라즈마 CVD법 등의 CVD법에 의해 박막을 성막한 후, 원하는 형상으로 에칭해서 형성할 수 있다. 또한, 선택적으로 패턴을 형성할 수 있는 액적 도출법이나, 패턴을 전사 또는 묘사할 수 있는 인쇄법(스크린 인쇄나 오프셋 등 패턴이 형성되는 방법), 기타 스핀 코트법 등의 도포법, 디핑법, 디스펜서법, 임프린트법, 나노 임프린트법 등의 방법을 이용할 수 있다.
- [0367] 디스펜서 방식에 의해 액정층(4007)을 형성하는 예를 도 25를 이용하여 설명한다. 도 25에 있어서 액정 적하 장치는, 제어 장치(40), 활상 수단(42) 및 헤드(43)를 포함하고, 헤드(43)에 액정(44)을 충전한다. 또한, 액정 적하 장치, 기관(4001) 및 대향 기관(4006)의 위치 정렬은, 기관(4001)에 설치된 마커(45), 대향 기관(4006)에 설치된 마커(46)를 활상 수단(42)에 의해 활상해서 행할 수 있다.
- [0368] 대향 기관(4006)에, 시일재(4005) 및 시일재(4005)의 내측에 배리어층으로서 기능하는 격벽(4036)을 페루프의 패턴으로 형성하고, 그 중에 헤드(43)보다 액정(44)을 1회 혹은 복수회 적하한다. 액정 재료의 점성이 높은 경우에는, 연속적으로 토출되고, 연결된 채로 피형성 영역에 부착된다. 한편, 액정 재료의 점성이 낮은 경우에는, 간헐적으로 토출되고 액적이 적하된다. 적하되는 액정(44)의 점도가 높은 경우에는, 헤드(43)에 히터를 설치하여, 히터에 의해 가열해서 점도를 조절할 수도 있다.
- [0369] 액정(44)을 적하하고, 액정층(4007)을 형성할 때, 도 24a 및 도 24b 및 도 25와 같이 시일재(4005)의 내측에 배리어층으로서 격벽(4036)을 설치하면, 시일재(4005)와 액정층(4007)이 혼재하지 않고, 시일재(4005)와 액정층(4007)의 반응이나, 시일재(4005)로부터 액정층(4007)에의 오염 등을 방지할 수 있다.
- [0370] 계속해서, 기관(4001)과 대향 기관(4006)을 접합하고, 그 후 자외선 경화 를 행하여, 액정이 충전된 상태로 하고, 액정층(4007)을 형성할 수 있다. 또한 기관(4001) 측에 시일재(4005)를 형성하고, 액정을 적하해도 된다. 또한, 기관(4001)과 대향 기관(4006)의 접합 공정은 감압하에서 행하면 바람직하다.
- [0371] 또한, 기관(4001), 대향 기관(4006), 기관(4021)에는, 글래스, 세라믹스, 플라스틱을 이용할 수 있다. 플라스틱에는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐 플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름 등이 포함된다. 또한, 알루미늄 호일을 PVF 필름 사이에 끼운 구조의 시트를 이용할 수도 있다.
- [0372] 단, 액정 소자(4011a), 액정 소자(4011b)로부터의 광의 취득 방향에 위치하는 기관에는, 글래스판, 플라스틱, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 갖는 재료를 이용한다.
- [0373] 도 26은, 본 발명의 일 양태에 따른 액정 표시 장치의 구조를 나타내는, 사시도의 일례이다. 도 26에 도시하는 액정 표시 장치는, 화소부를 갖는 패널(1601)과, 제1 확산판(1602)과, 프리즘 시트(1603)와, 제2 확산판(1604)과, 도광판(1605)과, 백라이트 패널(1607)과, 회로 기관(1608)과, 신호선 구동 회로가 형성된 기관(1611)을 갖고 있다.
- [0374] 패널(1601)과, 제1 확산판(1602)과, 프리즘 시트(1603)와, 제2 확산판(1604)과, 도광판(1605)과, 백라이트 패널(1607)은, 순서대로 적층되어 있다. 백라이트 패널(1607)은, 복수의 백라이트 유닛으로 구성된 백라이트(1612)를 갖고 있다. 도광판(1605) 내부에 확산된 백라이트(1612)로부터의 광은, 제1 확산판(1602), 프리즘 시트(1603) 및 제2 확산판(1604)에 의해, 패널(1601)에 조사된다.
- [0375] 또한, 여기서는, 제1 확산판(1602)과 제2 확산판(1604)을 이용하고 있지만, 확산판의 수는 이것에 한정되지 않고, 단수이어도 3 이상이어도 된다. 그리고, 확산판은 도광판(1605)과 패널(1601) 사이에 설치되어 있으면 된다. 따라서, 프리즘 시트(1603)보다도 패널(1601)에 가까운 측에만 확산판이 설치되어 있어도 되고, 프리즘 시트(1603)보다도 도광판(1605)에 가까운 측에만 확산판이 설치되어 있어도 된다.
- [0376] 또한 프리즘 시트(1603)는, 도 26에 도시한 단면이 툽니바퀴 형상에 한정되지 않고, 도광판(1605)으로부터의 광을 패널(1601) 측에 집광할 수 있는 형상을 갖고 있으면 된다.

- [0377] 회로 기관(1608)에는, 패널(1601)에 입력되는 각종 신호를 생성하는 회로, 또는 이들 신호에 처리를 실시하는 회로 등이 설치되어 있다. 그리고, 도 26에서는, 회로 기관(1608)과 패널(1601)이, COF 테이프(1609)를 통해서 접속되어 있다. 또한, 신호선 구동 회로가 형성된 기관(1611)이, COF(Chip On Film)법을 이용하여 COF 테이프(1609)에 접속되어 있다.
- [0378] 도 26에서는, 백라이트(1612)의 구동을 제어하는 제어계의 회로가 회로 기관(1608)에 설치되어 있고, 이 제어계의 회로와 백라이트 패널(1607)이 FPC(1610)를 통해서 접속되어 있는 예를 도시하고 있다. 단, 상기 제어계의 회로는 패널(1601)에 형성되어 있어도 되고, 이 경우에는 패널(1601)과 백라이트 패널(1607)이 FPC 등에 의해 접속되도록 한다.
- [0379] 본 실시 형태는, 다른 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.
- [0380] [실시에 1]
- [0381] 본 발명의 일 양태에 따른 액정 표시 장치를 이용함으로써, 고화질인 화상의 표시를 행할 수 있는 전자 기기를 제공하는 것이 가능하다. 혹은, 본 발명의 일 양태에 따른 액정 표시 장치를 이용함으로써, 저소비전력의 전자 기기를 제공하는 것이 가능하다. 특히 전력의 공급을 상시 받는 것이 곤란한 휴대용의 전자 기기의 경우, 본 발명의 일 양태에 따른 액정 표시 장치를 그 구성 요소에 추가함으로써, 연속 사용 시간이 길어진다고 하는 메리트도 얻어진다.
- [0382] 본 발명의 일 양태에 따른 액정 표시 장치는, 표시 장치, 노트북 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD:Digital Versatile Disc 등의 기록 매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 이용할 수 있다. 그 이외에, 본 발명의 일 양태에 따른 액정 표시 장치를 이용할 수 있는 전자 기기로서, 휴대 전화, 휴대형 게임기, 휴대 정보 단말기, 전자 서적, 비디오 카메라, 디지털 스틸 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이들 전자 기기의 구체예를 도 27a, 도 27b, 도 27c, 도 27d, 도 27e 및 도 27f에 도시한다.
- [0383] 도 27a는 전자 서적으로서, 케이싱(7001), 표시부(7002) 등을 갖는다. 본 발명의 일 양태에 따른 액정 표시 장치는, 표시부(7002)에 이용할 수 있다. 표시부(7002)에 본 발명의 일 양태에 따른 액정 표시 장치를 이용함으로써, 고화질인 화상의 표시가 가능한 전자 서적, 혹은, 저소비전력의 전자 서적을 제공할 수 있다. 또한, 가요성을 갖는 기관으로 패널을 제작하고, 또한 터치 패널에도 가요성을 갖게 함으로써, 액정 표시 장치에 가요성을 갖게 할 수 있으므로, 플렉시블 또한 가볍고 사용하기 편한 전자 서적을 제공할 수 있다.
- [0384] 도 27b는 표시 장치로서, 케이싱(7011), 표시부(7012), 지지대(7013) 등을 갖는다. 본 발명의 일 양태에 따른 액정 표시 장치는, 표시부(7012)에 이용할 수 있다. 표시부(7012)에 본 발명의 일 양태에 따른 액정 표시 장치를 이용함으로써, 고화질인 화상의 표시가 가능한 표시 장치, 혹은, 저소비전력의 표시 장치를 제공할 수 있다. 또한, 표시 장치에는, 퍼스널 컴퓨터용, TV 방송 수신용, 광고 표시용 등의 모든 정보 표시용 표시 장치가 포함된다.
- [0385] 도 27c는 현금 자동 입출금기로서, 케이싱(7021), 표시부(7022), 경화 투입구(7023), 지폐 투입구(7024), 카드 투입구(7025), 통장 투입구(7026) 등을 갖는다. 본 발명의 일 양태에 따른 액정 표시 장치는, 표시부(7022)에 이용할 수 있다. 표시부(7022)에 본 발명의 일 양태에 따른 액정 표시 장치를 이용함으로써, 고화질인 화상의 표시가 가능한 현금 자동 입출금기, 혹은, 저소비전력의 현금 자동 입출금기를 제공할 수 있다.
- [0386] 도 27d는 휴대형 게임기로서, 케이싱(7031), 케이싱(7032), 표시부(7033), 표시부(7034), 마이크로폰(7035), 스피커(7036), 조작 키(7037), 스타일러스(7038) 등을 갖는다. 본 발명의 일 양태에 따른 액정 표시 장치는, 표시부(7033), 표시부(7034)에 이용할 수 있다. 표시부(7033), 표시부(7034)에 본 발명의 일 양태에 따른 액정 표시 장치를 이용함으로써, 고화질인 화상의 표시가 가능한 휴대형 게임기, 혹은, 저소비전력의 휴대형 게임기를 제공할 수 있다. 또한, 도 27d에 도시한 휴대형 게임기는, 2개의 표시부(7033)와 표시부(7034)를 갖고 있지만, 휴대형 게임기가 갖는 표시부의 수는, 이것에 한정되지 않는다.
- [0387] 도 27e는 휴대 전화로서, 케이싱(7041), 표시부(7042), 음성 입력부(7043), 음성 출력부(7044), 조작 키(7045), 수광부(7046) 등을 갖는다. 수광부(7046)에 있어서 수신한 광을 전기 신호로 변환함으로써, 외부의 화상을 취득할 수 있다. 본 발명의 일 양태에 따른 액정 표시 장치는, 표시부(7042)에 이용할 수 있다. 표시부(7042)에 본 발명의 일 양태에 따른 액정 표시 장치를 이용함으로써, 고화질인 화상의 표시가 가능한 휴대

전화, 혹은, 저소비전력의 휴대 전화를 제공할 수 있다.

[0388] 도 27f는 휴대 정보 단말기로서, 케이싱(7051), 표시부(7052), 조작 키(7053) 등을 갖는다. 도 27f에 도시하는 휴대 정보 단말기는, 모뎀이 케이싱(7051)에 내장되어 있어도 된다. 본 발명의 일 양태에 따른 액정 표시 장치는, 표시부(7052)에 이용할 수 있다. 표시부(7052)에 본 발명의 일 양태에 따른 액정 표시 장치를 이용함으로써, 고화질인 화상의 표시가 가능한 휴대 정보단말기, 혹은, 저소비전력의 휴대 정보 단말기를 제공할 수 있다.

[0389] 본 실시예는, 상기 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.

부호의 설명

- [0390] 10 : 화소부
- 11 : 주사선 구동 회로
- 12 : 신호선 구동 회로
- 13 : 투과 영역
- 14 : 반사 영역
- 15 : 화소
- 20 : 펄스 출력 회로
- 21 : 단자
- 22 : 단자
- 23 : 단자
- 24 : 단자
- 25 : 단자
- 26 : 단자
- 27 : 단자
- 31 : 트랜지스터
- 32 : 트랜지스터
- 33 : 트랜지스터
- 34 : 트랜지스터
- 35 : 트랜지스터
- 36 : 트랜지스터
- 37 : 트랜지스터
- 38 : 트랜지스터
- 39 : 트랜지스터
- 40 : 제어 장치
- 42 : 촬상 수단
- 43 : 헤드
- 44 : 액정
- 45 : 마커
- 46 : 마커

- 50 : 트랜지스터
- 51 : 트랜지스터
- 52 : 트랜지스터
- 53 : 트랜지스터
- 61 : 단자
- 62 : 단자
- 63 : 단자
- 100 : 기관
- 101 : 기관
- 102 : 기관
- 103 : 기관
- 120 : 시프트 레지스터
- 121 : 트랜지스터
- 123 : 스위칭 소자군
- 301 : 풀 컬러 화상 표시 기간
- 302 : 모노크로 동화상 표시 기간
- 303 : 모노크로 정지 화상 표시 기간
- 400 : 액정 표시 장치
- 401 : 화상 메모리
- 402 : 화상 데이터 선택 회로
- 403 : 셀렉터
- 404 : CPU
- 405 : 컨트롤러
- 406 : 패널
- 407 : 백라이트
- 408 : 백라이트 제어 회로
- 410 : 풀 컬러 화상 데이터
- 411 : 모노크로 화상 데이터
- 412 : 화소부
- 413 : 신호선 구동 회로
- 414 : 주사선 구동 회로
- 420 : 입력 장치
- 421 : 측광 회로
- 437 : 절연층
- 453 : 산화물 반도체층
- 500 : 기관

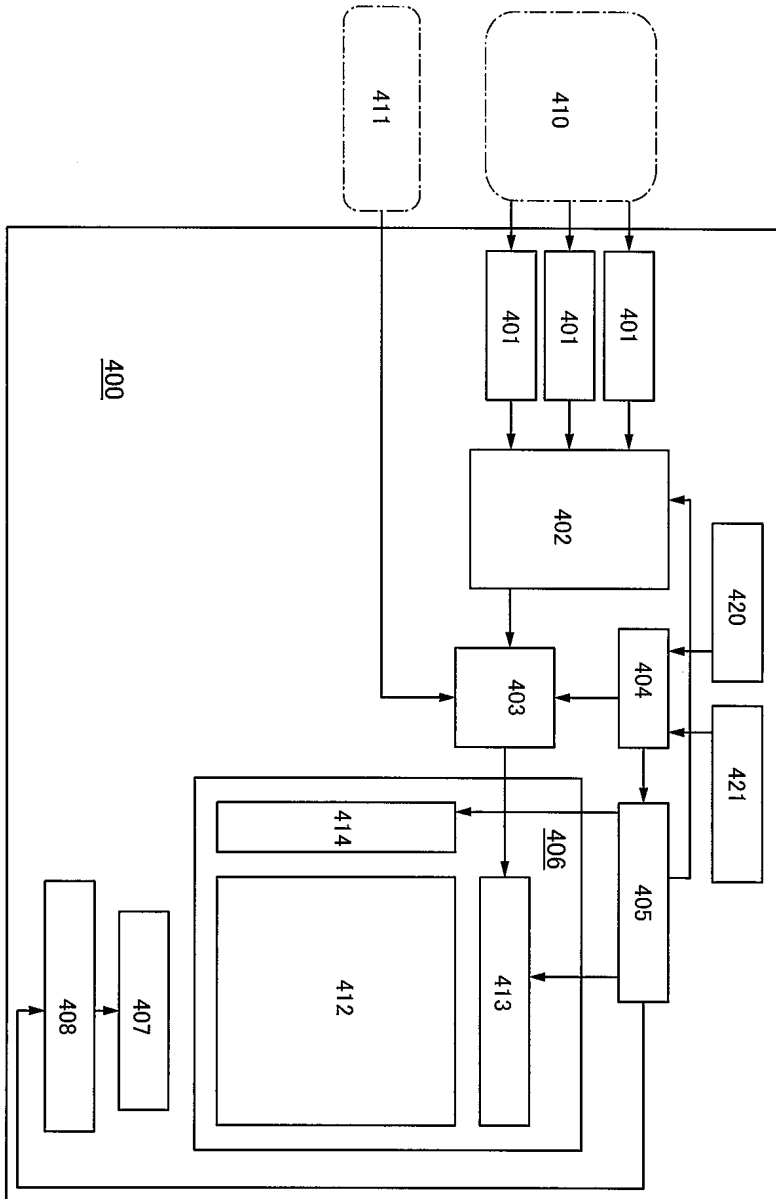
- 501 : 배선
- 502 : 배선
- 503 : 배선
- 504 : 배선
- 505 : 투과 화소 전극
- 506 : 게이트 절연막
- 507 : 활성층
- 508 : 하지막
- 511 : 배선
- 512 : 절연막
- 513 : 절연막
- 518 : 배선
- 521 : 배선
- 522 : 배선
- 523 : 배선
- 524 : 용량 전극
- 525 : 반사 화소 전극
- 527 : 활성층
- 700 : 기관
- 701 : 절연막
- 702 : 게이트 전극
- 703 : 게이트 절연막
- 704 : 산화물 반도체막
- 705 : 도전막
- 706 : 도전막
- 707 : 절연막
- 708 : 트랜지스터
- 1601 : 패널
- 1602 : 확산판
- 1603 : 프리즘 시트
- 1604 : 확산판
- 1605 : 도광판
- 1607 : 백라이트 패널
- 1608 : 회로 기관
- 1609 : COF 테이프
- 1610 : FPC

- 1611 : 기관
- 1612 : 백라이트
- 2400 : 기관
- 2401 : 게이트 전극
- 2402 : 게이트 절연막
- 2403 : 산화물 반도체층
- 2406 : 채널 보호층
- 2407 : 절연막
- 2409 : 보호 절연막
- 2411 : 게이트 전극
- 2412 : 게이트 전극
- 2413 : 게이트 절연막
- 2414 : 게이트 절연막
- 2436 : 하지막
- 2450 : 트랜지스터
- 2460 : 트랜지스터
- 2470 : 트랜지스터
- 2471 : 트랜지스터
- 2472 : 트랜지스터
- 2480 : 트랜지스터
- 2550 : 트랜지스터
- 2560 : 트랜지스터
- 2570 : 트랜지스터
- 4001 : 기관
- 4002 : 화소부
- 4003 : 신호선 구동 회로
- 4004 : 주사선 구동 회로
- 4005 : 시일재
- 4006 : 대향 기관
- 4007 : 액정층
- 4009 : 트랜지스터
- 4013 : 차광 금속막
- 4014 : 배선
- 4015 : 배선
- 4016 : 접속 단자
- 4018 : FPC

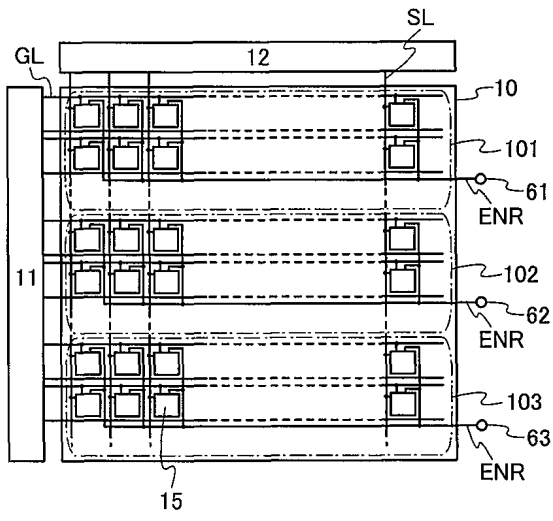
- 4019 : 이방성 도전막
- 4021 : 기관
- 4022 : 트랜지스터
- 4031 : 대향 전극
- 4035 : 스페이서
- 4036 : 격벽
- 4040 : 차광막
- 6110 : 전치 기관
- 6111 : 접촉제층
- 6116 : 피박리층
- 6200 : 기관
- 6201 : 박리층
- 6202 : 임시 지지 기관
- 6203 : 박리용 접촉제
- 6206 : 금속판
- 6207 : 배리어층
- 6210 : 배선층
- 6211 : 배선층
- 6212 : 영역
- 7001 : 케이싱
- 7002 : 표시부
- 7011 : 케이싱
- 7012 : 표시부
- 7013 : 지지대
- 7021 : 케이싱
- 7022 : 표시부
- 7023 : 경화 투입구
- 7024 : 지폐 투입구
- 7025 : 카드 투입구
- 7026 : 통장 투입구
- 7031 : 케이싱
- 7032 : 케이싱
- 7033 : 표시부
- 7034 : 표시부
- 7035 : 마이크로폰
- 7036 : 스피커폰

- 7037 : 조작 키
- 7038 : 스타일러스
- 7041 : 케이싱
- 7042 : 표시부
- 7043 : 음성 입력부
- 7044 : 음성 출력부
- 7045 : 조작 키
- 7046 : 수광부
- 7051 : 케이싱
- 7052 : 표시부
- 7053 : 조작 키
- 16a : 화소 트랜지스터
- 16b : 화소 트랜지스터
- 17a : 용량 소자
- 17b : 용량 소자
- 18a : 액정 소자
- 18b : 액정 소자
- 2404a : 산화물 도전층
- 2404b : 산화물 도전층
- 2405a : 소스 전극
- 2405b : 드레인 전극
- 4010a : 트랜지스터
- 4010b : 트랜지스터
- 4011a : 액정 소자
- 4011b : 액정 소자
- 4030a : 화소 전극
- 4030b : 화소 전극
- 450a : 결정성 산화물 반도체층
- 450b : 결정성 산화물 반도체층

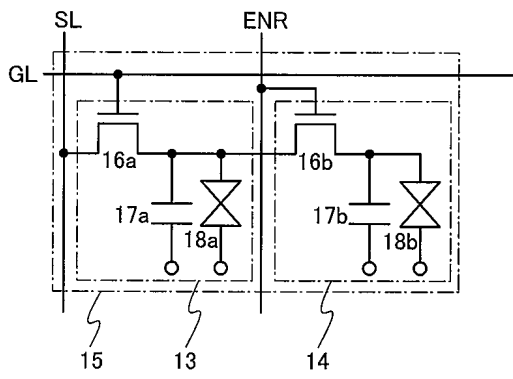
도면
도면1



도면2a



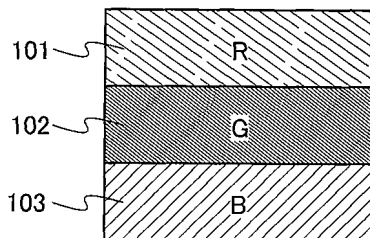
도면2b



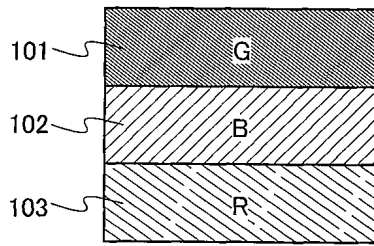
도면3

구동 회로	풀 컬러 확장 표시 기간	301	모노크롬 동화상 표시 기간	302	모노크롬 청지화상 표시 기간	303
	동작		동작		기업 시 이의 비동작	
	색상의 전환 있음		소등		소등	
백라이트						
확장 신호의 기입 횟수	색상의 수		단수		단수	

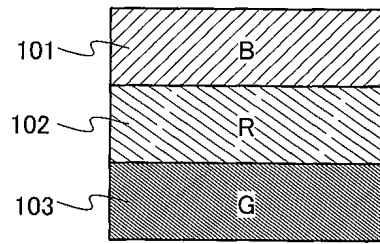
도면4a



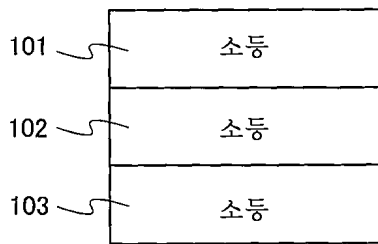
도면4b



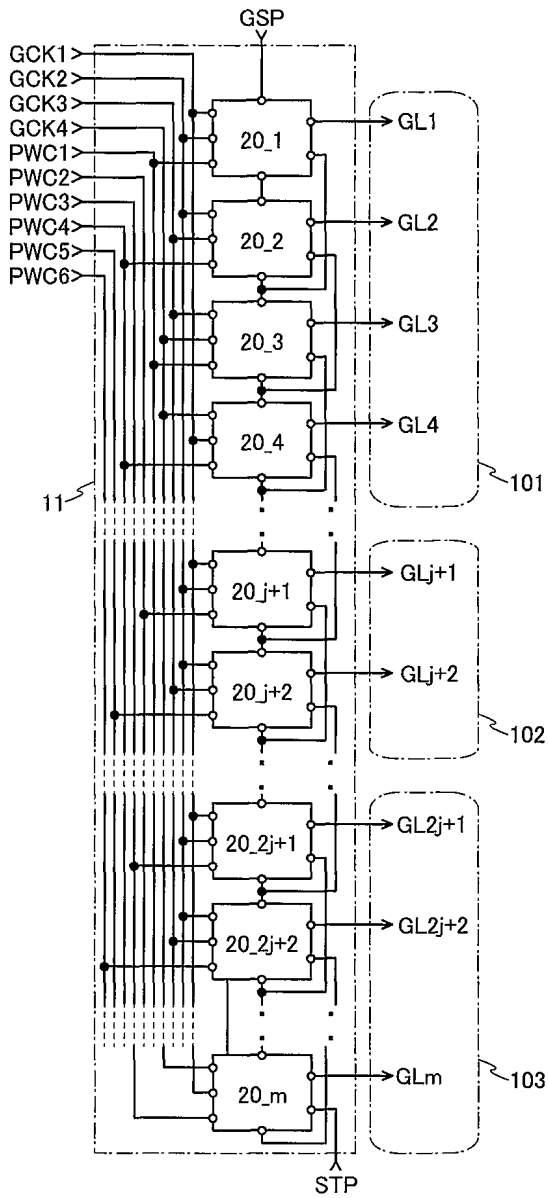
도면4c



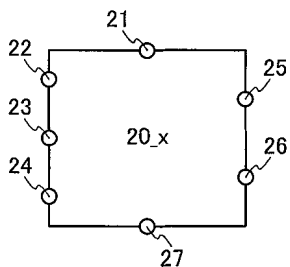
도면5



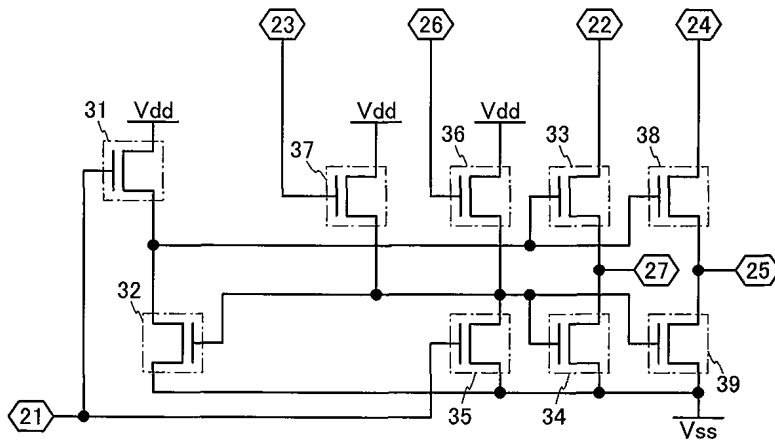
도면6



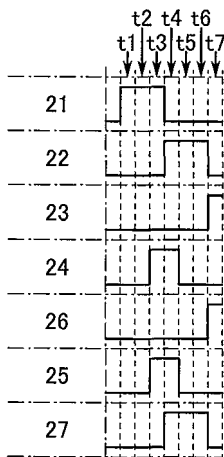
도면7



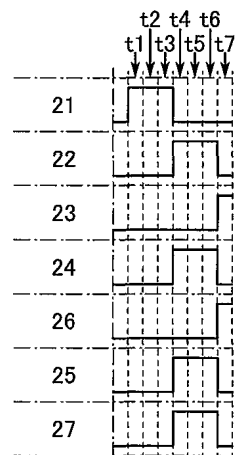
도면8a



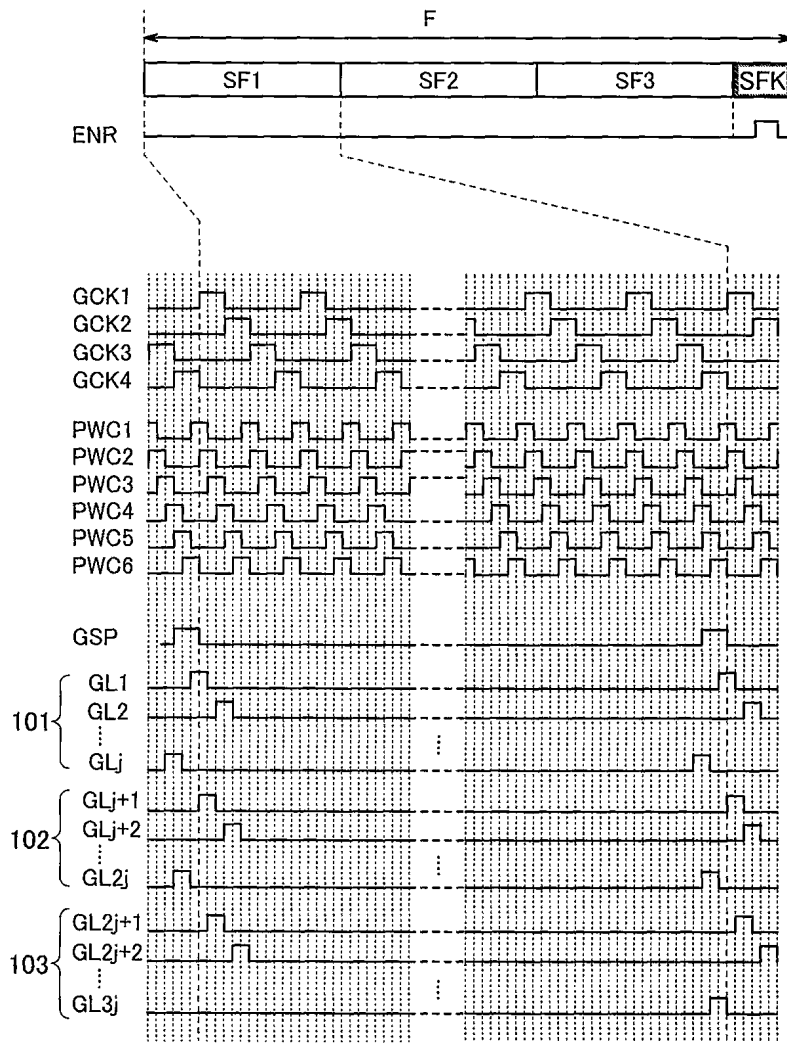
도면8b



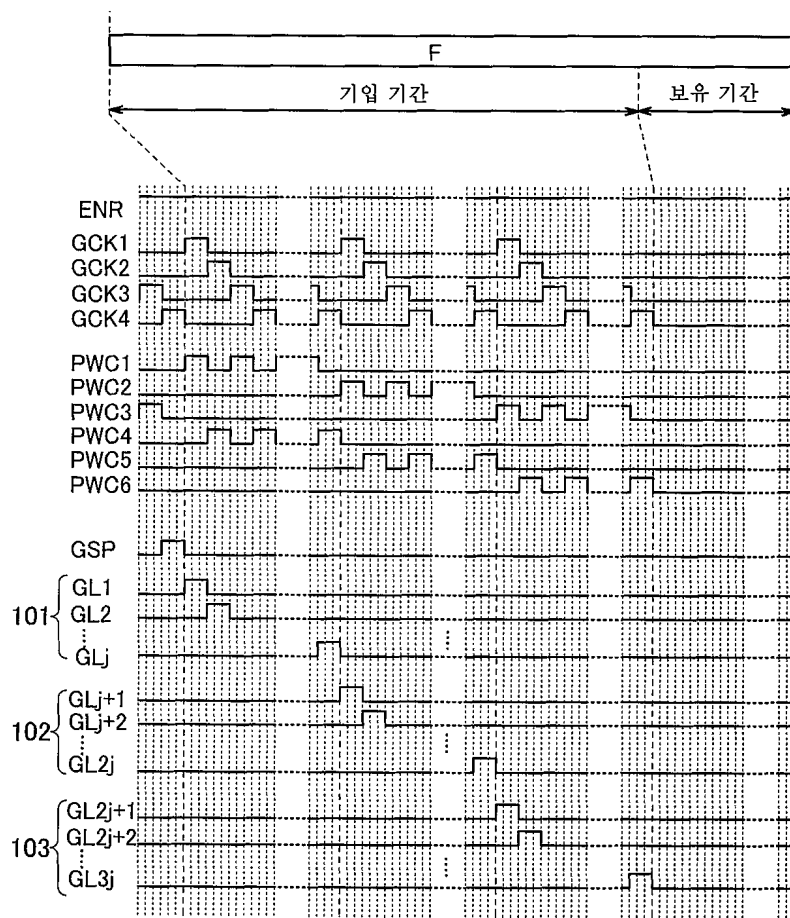
도면8c



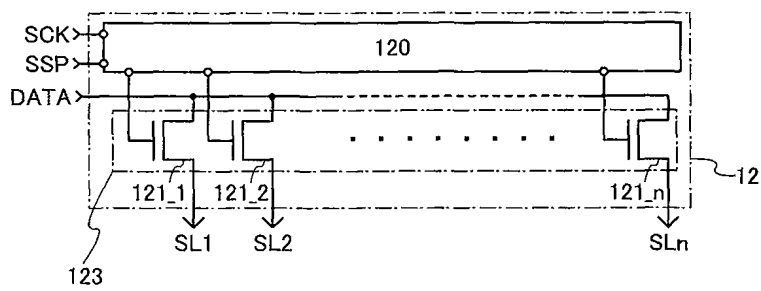
도면9



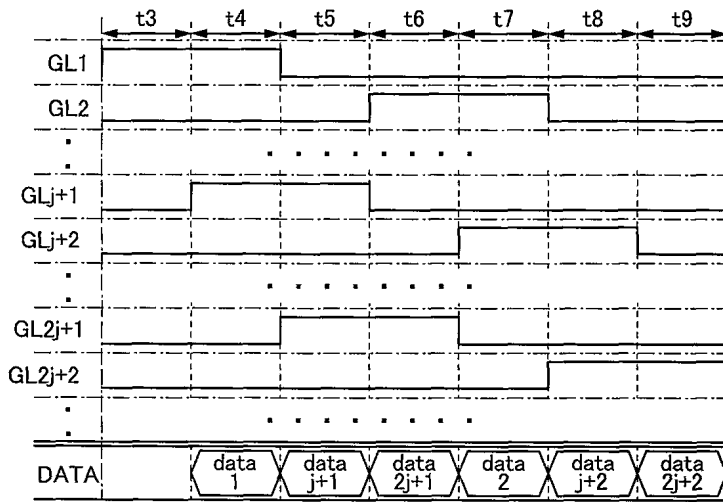
도면10



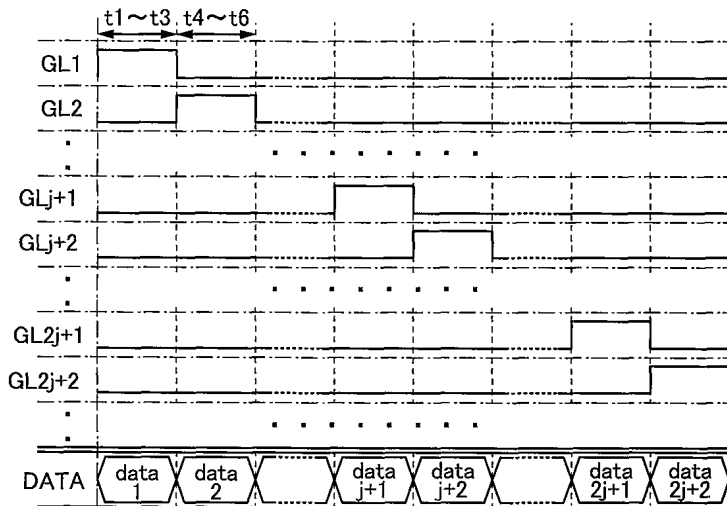
도면11



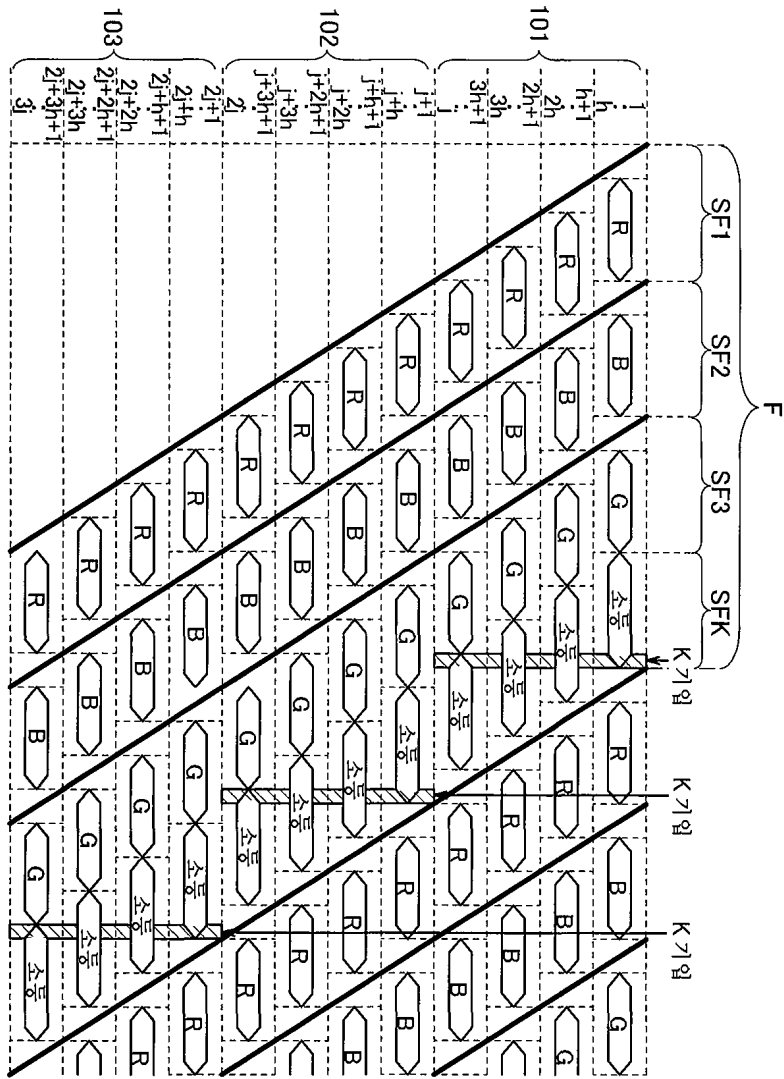
도면12a



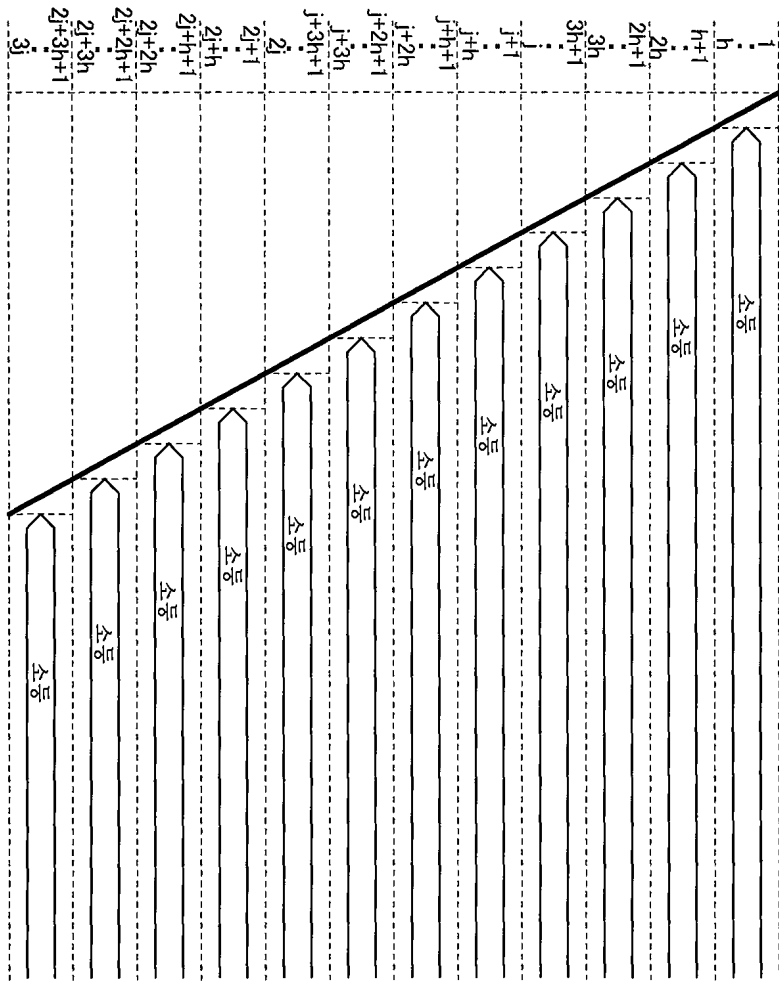
도면12b



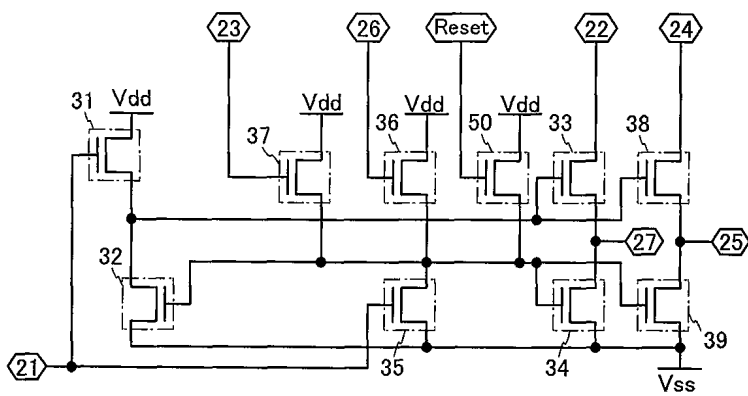
도면13



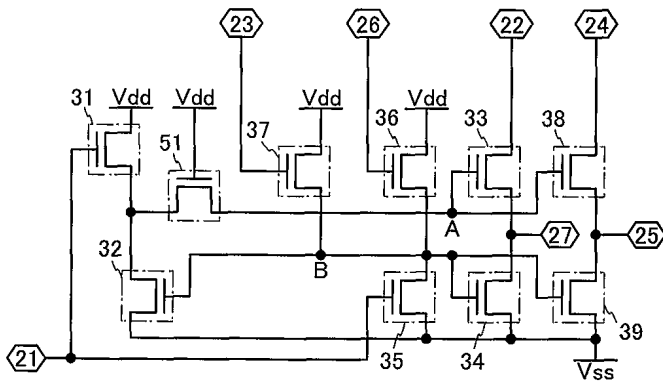
도면14



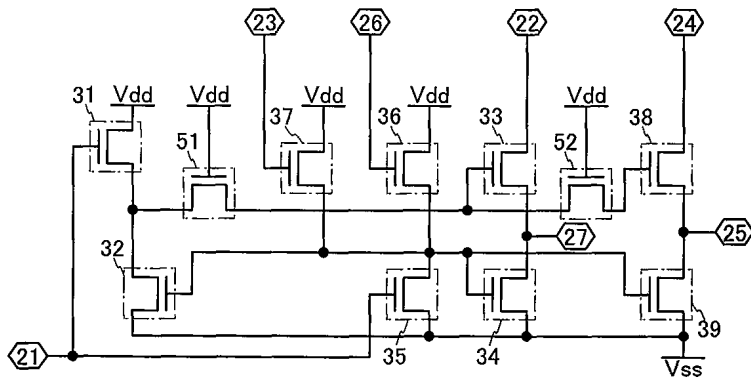
도면15a



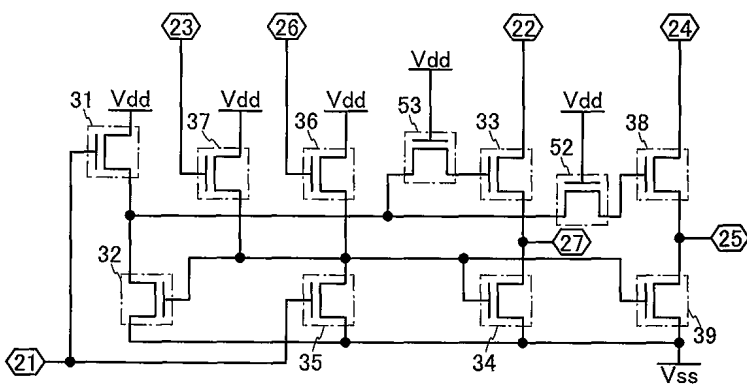
도면15b



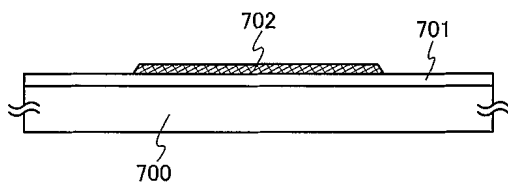
도면16a



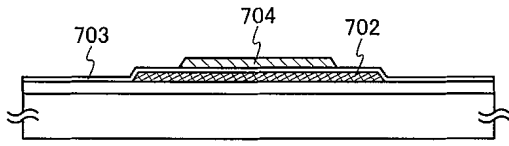
도면16b



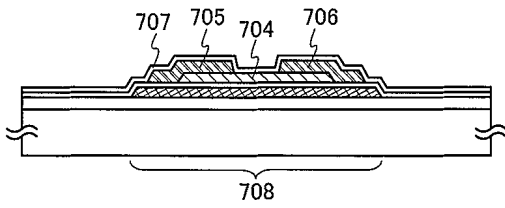
도면17a



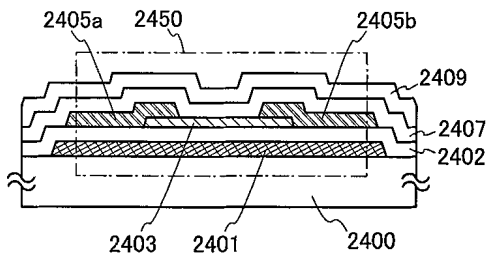
도면17b



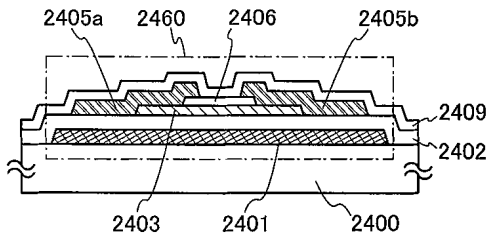
도면17c



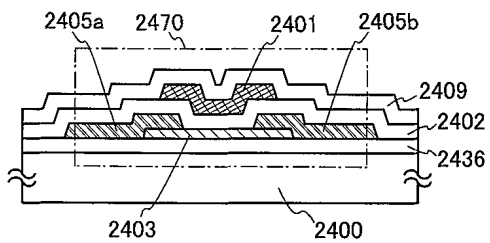
도면18a



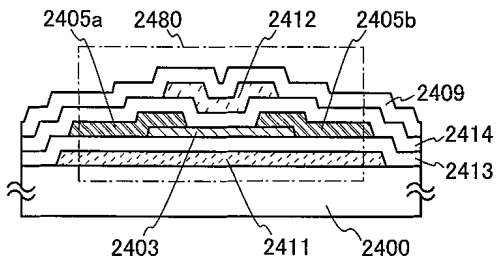
도면18b



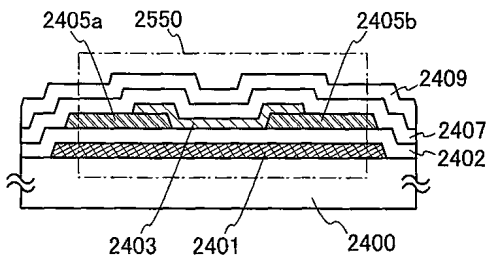
도면18c



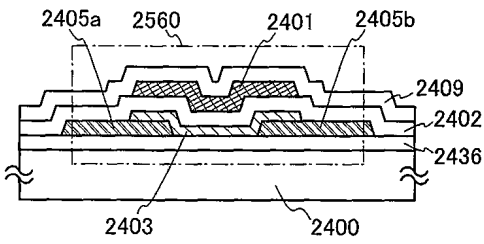
도면18d



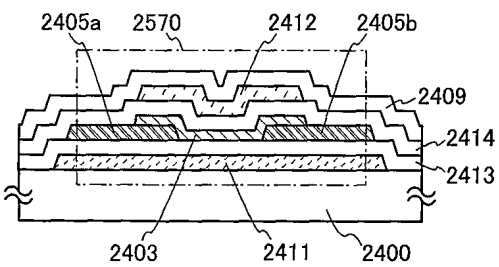
도면19a



도면19b



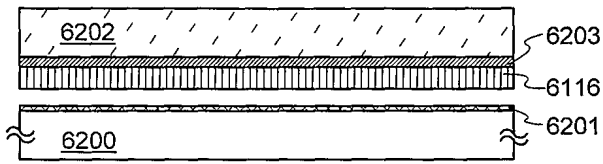
도면19c



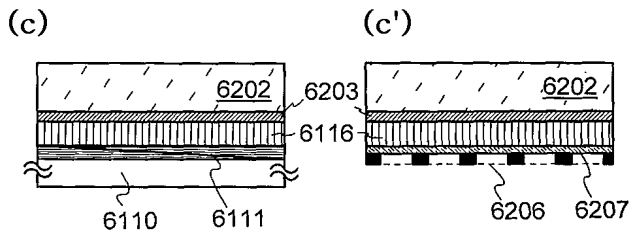
도면20a



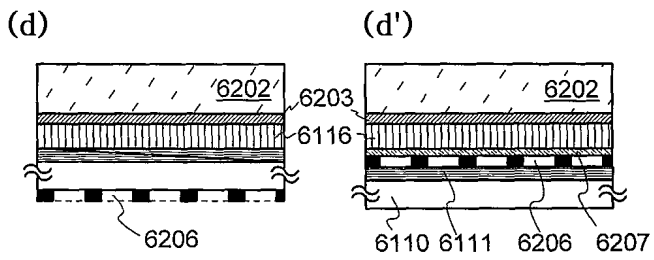
도면20b



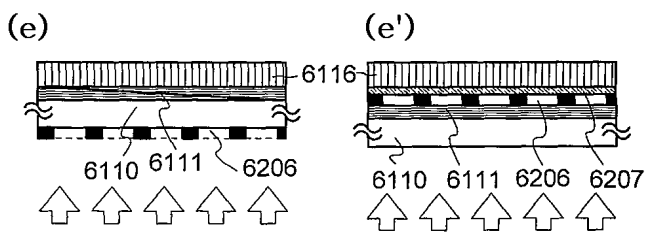
도면20c



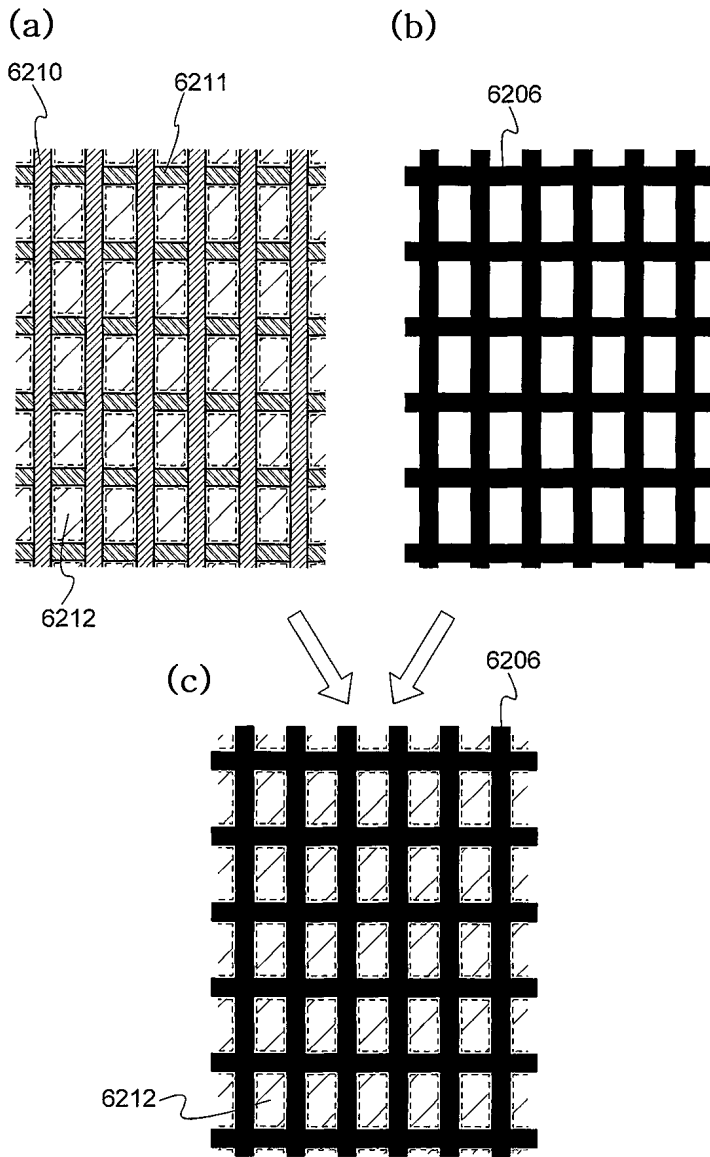
도면20d



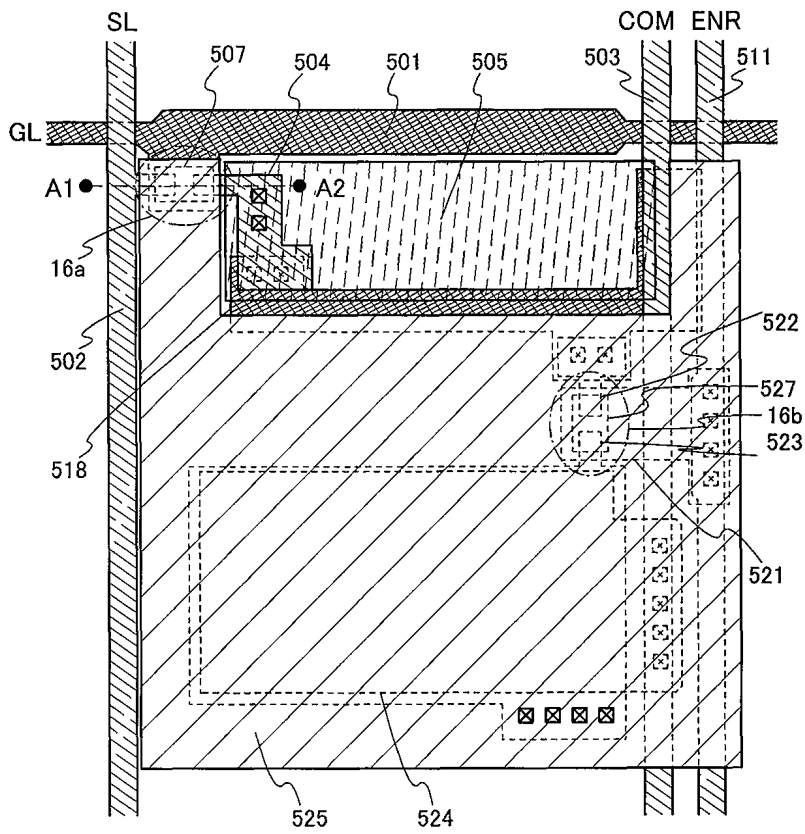
도면20e



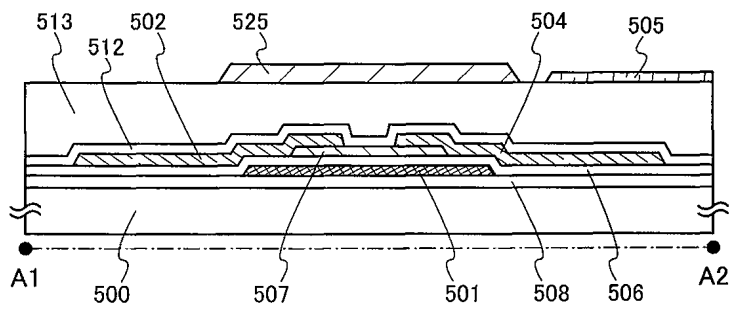
도면21



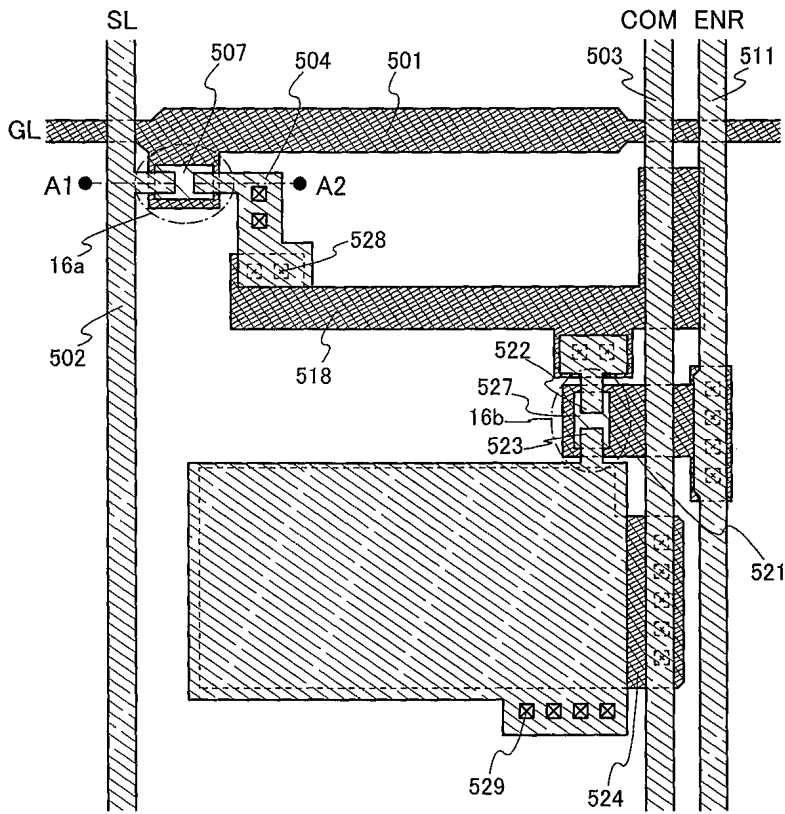
도면22a



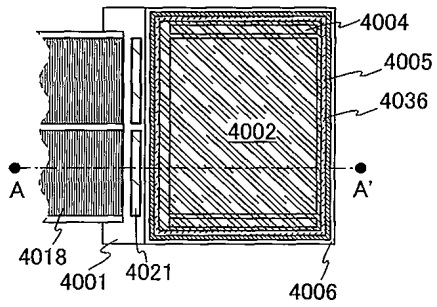
도면22b



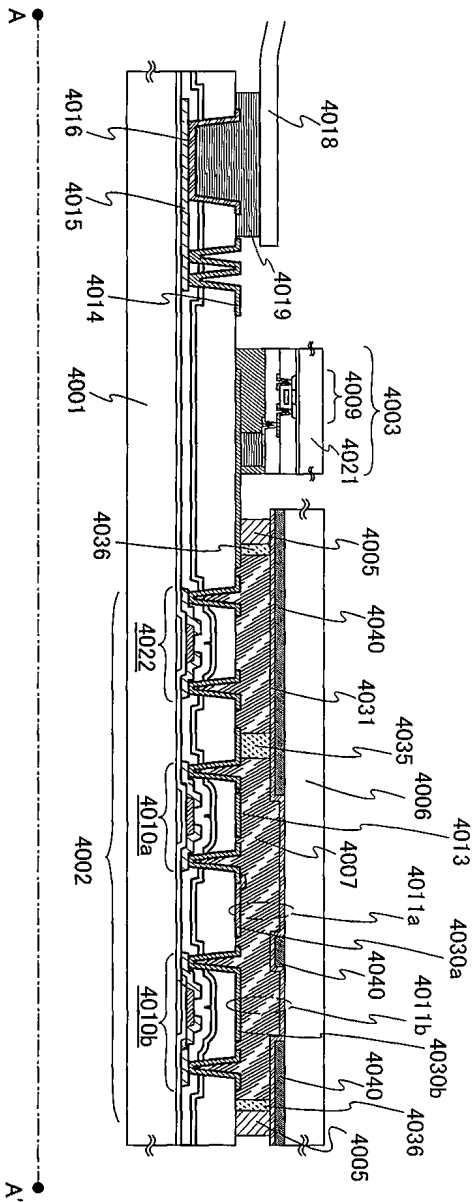
도면23



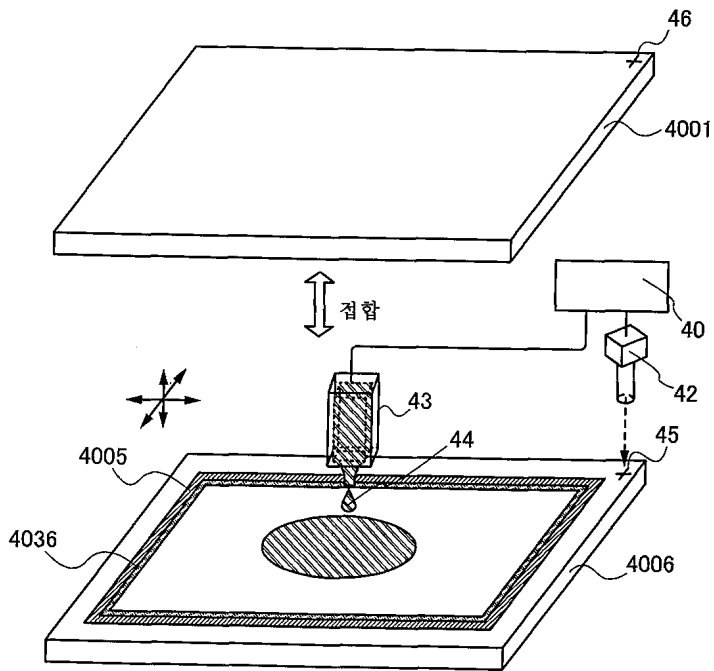
도면24a



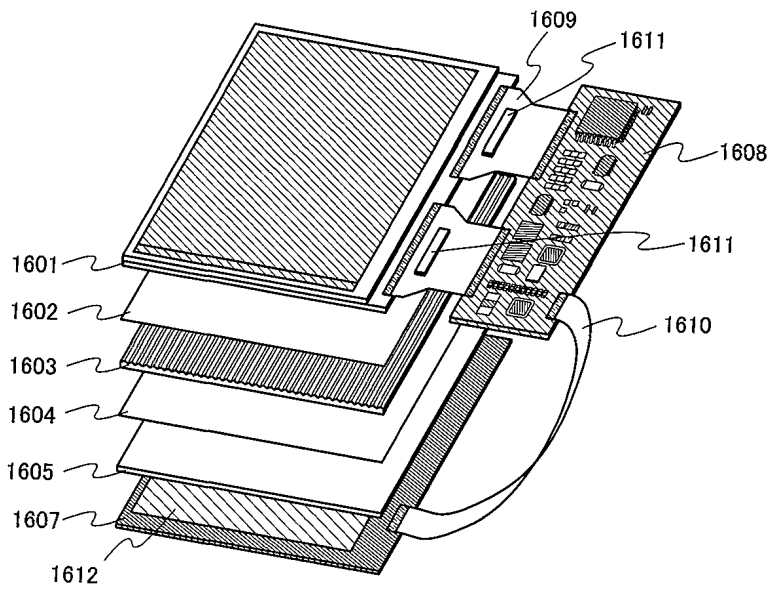
도면24b



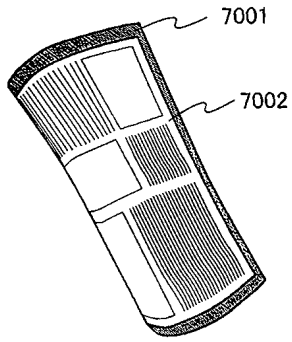
도면25



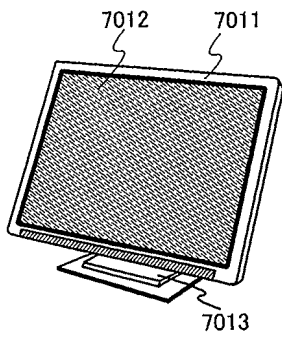
도면26



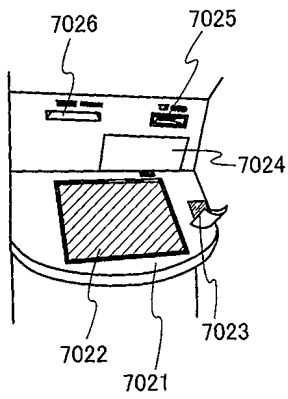
도면27a



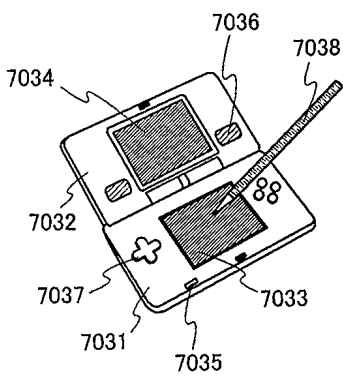
도면27b



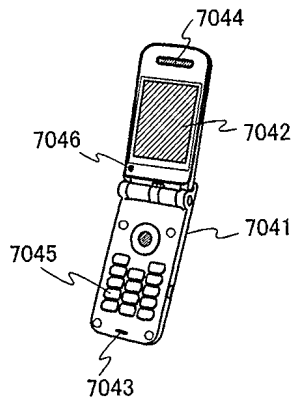
도면27c



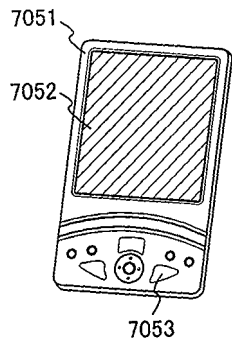
도면27d



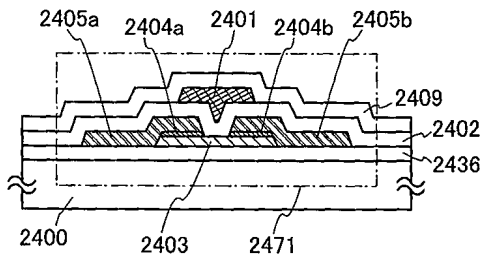
도면27e



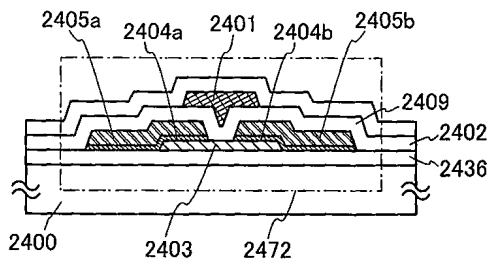
도면27f



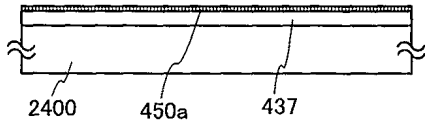
도면28a



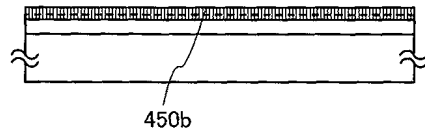
도면28b



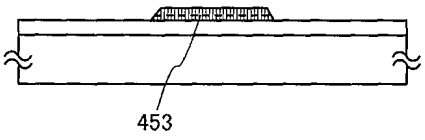
도면29a



도면29b



도면29c



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	KR1020120033230A	公开(公告)日	2012-04-06
申请号	KR1020110078136	申请日	2011-08-05
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	TOYOTAKA KOUHEI 도요따까고우헤이 ARASAWA RYO 아라사와료		
发明人	도요따까고우헤이 아라사와료		
IPC分类号	G02F1/1368 G09G3/36		
CPC分类号	G09G3/3426 G02F2001/134345 G09G2300/0852 G09G2310/0235 G09G2320/0242 H01L29/7869 G09G3/3607 G09G2340/06 G02F1/134336 H01L27/1225 G09G3/3677 G09G3/3648 G02F1/133553 G02F1/13439 G02F1/13624 G02F1/136286 G02F1/1368 G02F2001/136245 G02F2201/123 G02F2202 /10 G02F2203/01		
代理人(译)	Jangsugil Bakchungbeom Yijunghui		
优先权	2010178173 2010-08-06 JP		
其他公开文献	KR101913857B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置及其操作方法，以在光反射模式和光透射模式下显示图像，其中光反射模式使用外部光作为光源，并且光传输模式使用背光。组成：第一像素晶体管（16a）和第二像素晶体管（16b）具有氧化物半导体层。晶体管的截止电流非常小，其中晶体管包括氧化物半导体层。因此，第一电容器（17a）和第二电容器（17b）的电容变小。具有非常少量的截止电流的晶体管用作像素晶体管。保持对第二液晶装置的供电电压的时间长。

