



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0007099
(43) 공개일자 2012년01월20일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2010-0067661

(22) 출원일자 2010년07월14일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

김동규

경기도 용인시 수지구 진산로66번길 27, 삼성7차
아파트 705동 903호 (풍덕천동)

정미혜

경기도 수원시 장안구 천천로74번길 92, 824동
1402호 (정자동, 대월마을대림진흥아파트)

(뒷면에 계속)

(74) 대리인

박영우

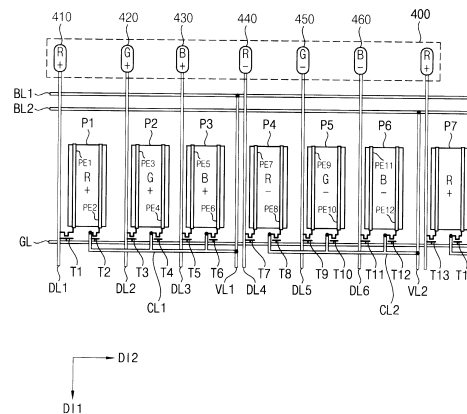
전체 청구항 수 : 총 42 항

(54) 액정 표시 장치

(57) 요약

액정 표시 장치는 기판 위에 위치한 게이트 배선과, 게이트 배선과 절연되어 교차하는 제1 데이터 배선, 제2 데이터 배선 및 제1 전원 배선과, 제1 전원 배선과 연결되어 있는 제1 연결 배선과, 게이트 배선 및 제1 데이터 배선에 연결되어 있는 제1 스위칭 소자와, 게이트 배선과 제1 연결 배선에 연결되어 있는 제2 스위칭 소자와, 게이트 배선 및 제2 데이터 배선에 연결되어 있는 제3 스위칭 소자와, 게이트 배선 및 제1 연결 배선에 연결되어 있는 제4 스위칭 소자 및 제1 스위칭 소자, 제2 스위칭 소자, 제3 스위칭 소자 및 제4 스위칭 소자와 각각 연결되어 있는 제1 화소전극, 제2 화소전극, 제3 화소전극, 제4 화소전극을 포함한다. 이에 따르면, 인접하는 화소부들이 동일한 극성을 가짐으로써 빛샘을 감소시킬 수 있고, 또한, 인접하는 화소부들이 하나의 전원 배선을 공유함으로써 개구율을 증가시킬 수 있다.

대표도 - 도2



(72) 발명자

기동현

충청남도 천안시 서북구 봉서산샛길 65, 410동
1105호 (쌍용동, 주공아파트)

조세형

서울특별시 송파구 올림픽로 435, APT 101동 1001
호 (신천동, 파크리오)

나혜석

경기도 수원시 영통구 영통로 232, 811동 606호 (영통동, 두산.우성.한신아파트)

특허청구의 범위

청구항 1

기관;

상기 기관 위에 위치한 게이트 배선;

상기 게이트 배선과 절연되어 교차하는 제1 데이터 배선, 제2 데이터 배선 및 제1 전원 배선;

상기 제1 전원 배선과 연결되어 있는 제1 연결 배선;

상기 게이트 배선 및 상기 제1 데이터 배선에 연결되어 있는 제1 스위칭 소자;

상기 게이트 배선과 상기 제1 연결 배선에 연결되어 있는 제2 스위칭 소자;

상기 게이트 배선 및 상기 제2 데이터 배선에 연결되어 있는 제3 스위칭 소자;

상기 게이트 배선 및 상기 제1 연결 배선에 연결되어 있는 제4 스위칭 소자; 및

상기 제1 스위칭 소자, 제2 스위칭 소자, 제3 스위칭 소자 및 제4 스위칭 소자와 각각 연결되어 있는 제1 화소 전극, 제2 화소전극, 제3 화소전극, 제4 화소전극을 포함하는 액정 표시 장치.

청구항 2

제1항에 있어서, 상기 게이트 배선과 평행하게 위치하며 상기 제1 전원 배선과 연결되어 있는 제1 버스 배선을 더 포함하는 액정 표시 장치.

청구항 3

제1항에 있어서, 상기 게이트 배선과 절연되어 교차하는 제3 데이터 배선, 제4 데이터 배선 및 제2 전원 배선;

상기 제2 전원 배선과 연결되어 있는 제2 연결 배선;

상기 게이트 배선 및 상기 제3 데이터 배선에 연결되어 있는 제5 스위칭 소자;

상기 게이트 배선과 상기 제2 연결 배선에 연결되어 있는 제6 스위칭 소자;

상기 게이트 배선 및 상기 제4 데이터 배선에 연결되어 있는 제7 스위칭 소자;

상기 게이트 배선 및 상기 제2 연결 배선에 연결되어 있는 제8 스위칭 소자; 및

상기 제5 스위칭 소자, 제6 스위칭 소자, 제7 스위칭 소자 및 제8 스위칭 소자와 각각 연결되어 있는 제5 화소 전극, 제6 화소전극, 제7 화소전극, 제8 화소전극을 더 포함하는 액정 표시 장치.

청구항 4

제3항에 있어서, 상기 게이트 배선과 평행하게 위치하며 상기 제2 전원 배선과 연결되어 있는 제2 버스 배선을 더 포함하는 액정 표시 장치.

청구항 5

제3항에 있어서, 상기 제1 전원 배선에는 기준 전압 대비 제1 극성의 전압이 인가되고, 상기 제2 전원 배선에는 상기 기준 전압 대비 제2 극성의 전압이 인가되는 액정 표시 장치.

청구항 6

제1항에 있어서, 상기 제1 화소전극과 연결되어 있는 제1 쉘드 패턴 및 상기 제2 화소 전극과 연결되어 있는 제2 쉘드 패턴을 더 포함하는 액정 표시 장치.

청구항 7

제6항에 있어서, 상기 제1 쉘드 패턴의 일부가 상기 제1 화소 전극과 중첩하는 액정 표시 장치.

청구항 8

제1항에 있어서, 상기 제1 연결 배선은 상기 제1 내지 제4 화소 전극과 동일층에 위치하는 액정 표시 장치.

청구항 9

제1항에 있어서, 상기 게이트 배선과 평행하게 위치하며 상기 제1 내지 제4 화소 전극의 일부와 중첩하는 스토리지 배선을 더 포함하는 액정 표시 장치.

청구항 10

제1항에 있어서, 상기 제1 화소 전극과 상기 제2 화소 전극은 제1 화소부를 형성하고,

상기 제1 화소부는 상기 제1 화소 전극과 상기 제2 화소 전극간의 간격이 서로 다른 제1 영역 및 제2 영역을 포함하는 액정 표시 장치.

청구항 11

제1항에 있어서, 상기 제1 화소 전극에 인가되는 전압과 상기 제2 화소 전극에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압인 액정 표시 장치.

청구항 12

제2항에 있어서, 상기 게이트 배선과 절연되어 교차하는 제3 데이터 배선, 제4 데이터 배선 및 제2 전원 배선;

상기 제2 전원 배선과 연결되어 있는 제2 연결 배선;

상기 게이트 배선 및 상기 제3 데이터 배선에 연결되어 있는 제5 스위칭 소자;

상기 게이트 배선과 상기 제2 연결 배선에 연결되어 있는 제6 스위칭 소자;

상기 게이트 배선 및 상기 제4 데이터 배선에 연결되어 있는 제7 스위칭 소자;

상기 게이트 배선 및 상기 제2 연결 배선에 연결되어 있는 제8 스위칭 소자; 및

상기 제5 스위칭 소자, 제6 스위칭 소자, 제7 스위칭 소자 및 제8 스위칭 소자와 각각 연결되어 있는 제5 화소 전극, 제6 화소전극, 제7 화소전극, 제8 화소전극을 더 포함하는 액정 표시 장치.

청구항 13

제12항에 있어서, 상기 게이트 배선과 평행하게 위치하며 상기 제2 전원 배선과 연결되어 있는 제2 버스 배선을 더 포함하는 액정 표시 장치.

청구항 14

제12항에 있어서, 상기 제1 전원 배선에는 기준 전압 대비 제1 극성의 전압이 인가되고, 상기 제2 전원 배선에는 상기 기준 전압 대비 제2 극성의 전압이 인가되는 액정 표시 장치.

청구항 15

제12항에 있어서, 상기 제1 화소전극과 연결되어 있는 제1 쉘드 패턴 및 상기 제2 화소 전극과 연결되어 있는 제2 쉘드 패턴을 더 포함하는 액정 표시 장치.

청구항 16

제15항에 있어서, 상기 제1 쉘드 패턴의 일부가 상기 제1 화소 전극과 중첩하는 액정 표시 장치.

청구항 17

제15항에 있어서, 상기 제1 연결 배선은 상기 제1 내지 제4 화소 전극과 동일층에 위치하는 액정 표시 장치.

청구항 18

제17항에 있어서, 상기 제1 화소 전극에 인가되는 전압과 상기 제2 화소 전극에 인가되는 전압은 기준 전압 대

비 서로 반대 극성 전압인 액정 표시 장치.

청구항 19

제15항에 있어서, 상기 제1 화소 전극에 인가되는 전압과 상기 제2 화소 전극에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압인 액정 표시 장치.

청구항 20

제12항에 있어서, 상기 제1 연결 배선은 상기 제1 내지 제4 화소 전극과 동일층에 위치하는 액정 표시 장치.

청구항 21

제20항에 있어서, 상기 제1 화소 전극에 인가되는 전압과 상기 제2 화소 전극에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압인 액정 표시 장치.

청구항 22

제12항에 있어서, 상기 제1 화소 전극에 인가되는 전압과 상기 제2 화소 전극에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압인 액정 표시 장치.

청구항 23

제2항에 있어서, 상기 제1 화소전극과 연결되어 있는 제1 쉘드 패턴 및 상기 제2 화소 전극과 연결되어 있는 제2 쉘드 패턴을 더 포함하는 액정 표시 장치.

청구항 24

제23항에 있어서, 상기 제1 쉘드 패턴의 일부가 상기 제1 화소 전극과 중첩하는 액정 표시 장치.

청구항 25

제23항에 있어서, 상기 제1 연결 배선은 상기 제1 내지 제4 화소 전극과 동일층에 위치하는 액정 표시 장치.

청구항 26

제25항에 있어서, 상기 제1 화소 전극에 인가되는 전압과 상기 제2 화소 전극에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압인 액정 표시 장치.

청구항 27

제23항에 있어서, 상기 제1 화소 전극에 인가되는 전압과 상기 제2 화소 전극에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압인 액정 표시 장치.

청구항 28

제2항에 있어서, 상기 제1 화소 전극에 인가되는 전압과 상기 제2 화소 전극에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압인 액정 표시 장치.

청구항 29

제28항에 있어서, 상기 제1 화소 전극에 인가되는 전압과 상기 제2 화소 전극에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압인 액정 표시 장치.

청구항 30

제2항에 있어서, 상기 제1 화소 전극에 인가되는 전압과 상기 제2 화소 전극에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압인 액정 표시 장치.

청구항 31

제3항에 있어서, 상기 제1 화소전극과 연결되어 있는 제1 쉘드 패턴 및 상기 제2 화소 전극과 연결되어 있는 제

2 월드 패턴을 더 포함하는 액정 표시 장치.

청구항 32

제31항에 있어서, 상기 제1 월드 패턴의 일부가 상기 제1 화소 전극과 중첩하는 액정 표시 장치.

청구항 33

제31항에 있어서, 상기 제1 화소 전극에 인가되는 전압과 상기 제2 화소 전극에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압인 액정 표시 장치.

청구항 34

제33항에 있어서, 상기 제1 화소 전극에 인가되는 전압과 상기 제2 화소 전극에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압인 액정 표시 장치.

청구항 35

제31항에 있어서, 상기 제1 화소 전극에 인가되는 전압과 상기 제2 화소 전극에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압인 액정 표시 장치.

청구항 36

제3항에 있어서, 상기 제1 화소 전극에 인가되는 전압과 상기 제2 화소 전극에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압인 액정 표시 장치.

청구항 37

제36항에 있어서, 상기 제1 화소 전극에 인가되는 전압과 상기 제2 화소 전극에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압인 액정 표시 장치.

청구항 38

제3항에 있어서, 상기 제1 화소 전극에 인가되는 전압과 상기 제2 화소 전극에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압인 액정 표시 장치.

청구항 39

제6항에 있어서, 상기 제1 화소 전극에 인가되는 전압과 상기 제2 화소 전극에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압인 액정 표시 장치.

청구항 40

제39항에 있어서, 상기 제1 화소 전극에 인가되는 전압과 상기 제2 화소 전극에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압인 액정 표시 장치.

청구항 41

제6항에 있어서, 상기 제1 화소 전극에 인가되는 전압과 상기 제2 화소 전극에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압인 액정 표시 장치.

청구항 42

제8항에 있어서, 상기 제1 화소 전극에 인가되는 전압과 상기 제2 화소 전극에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압인 액정 표시 장치.

명세서

기술분야

본 발명은 액정 표시 장치에 관한 것으로, 보다 상세하게는 빛샘을 방지하기 위한 액정 표시 장치에 관한 것이

[0001]

다.

배경 기술

- [0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 제1 화소 전극 및 제2 화소 전극 등 전기장 생성 전극이 형성되어 있는 표시 기판과, 대향 기판을 포함한다. 또한, 상기 액정 표시 장치는 상기 표시 기판 및 상기 대향 기판 사이에 개재되어 있는 액정층을 포함한다.
- [0003] 상기 액정 표시 장치는 상기 전기장 생성 전극에 전압을 인가하여 상기 액정층에 전기장을 생성하고, 이를 통하여 상기 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.
- [0004] 상기 액정층 내의 액정 분자들은 상기 제1 화소 전극 및 상기 제2 화소 전극 사이에 형성된 전기장에 의해 수직 배향(vertical alignment, VA) 모드로 동작될 수 있다. 예를 들어, 상기 제1 화소 전극 및 상기 제2 화소 전극 사이에 전기장이 형성되지 않을 때, 상기 액정 표시 패널은 블랙 영상을 구현하고, 상기 제1 화소 전극 및 상기 제2 화소 전극 사이에 수평 전기장이 형성될 때 여러가지 계조를 구현한다.
- [0005] 그러나 상기 제1 화소 전극 및 상기 제2 화소 전극을 포함하는 제1 화소부와 인접하게 형성된 제2 화소부가 상기 제1 화소부와 다른 극성의 데이터 전압이 인가되므로 상기 제1 화소부 및 상기 제2 화소부 사이에 빗샘이 발생할 수 있다.

발명의 내용

해결하려는 과제

- [0006] 이에 본 발명의 기술적 과제는 이러한 점에서 착안된 것으로, 본 발명의 목적은 빗샘을 방지하기 위한 액정 표시 장치들을 제공하는 것이다.

과제의 해결 수단

- [0007] 상기한 본 발명의 목적을 달성하기 위하여, 일 실시예에 따른 액정 표시 장치는 기판, 상기 기판 위에 위치한 게이트 배선, 상기 게이트 배선과 절연되어 교차하는 제1 데이터 배선, 제2 데이터 배선 및 제1 전원 배선, 상기 제1 전원 배선과 연결되어 있는 제1 연결 배선, 상기 게이트 배선 및 상기 제1 데이터 배선에 연결되어 있는 제1 스위칭 소자, 상기 게이트 배선과 상기 제1 연결 배선에 연결되어 있는 제2 스위칭 소자, 상기 게이트 배선 및 상기 제2 데이터 배선에 연결되어 있는 제3 스위칭 소자, 상기 게이트 배선 및 상기 제1 연결 배선에 연결되어 있는 제4 스위칭 소자; 및 상기 제1 스위칭 소자, 제2 스위칭 소자, 제3 스위칭 소자 및 제4 스위칭 소자와 각각 연결되어 있는 제1 화소전극, 제2 화소전극, 제3 화소전극, 제4 화소전극을 포함한다.
- [0008] 본 실시예에 따르면, 상기 액정 표시 장치는 상기 게이트 배선과 평행하게 위치하며 상기 제1 전원 배선과 연결되어 있는 제1 버스 배선을 더 포함한다.
- [0009] 본 실시예에 따르면, 상기 액정 표시 장치는 상기 게이트 배선과 절연되어 교차하는 제3 데이터 배선, 제4 데이터 배선 및 제2 전원 배선, 상기 제2 전원 배선과 연결되어 있는 제2 연결 배선, 상기 게이트 배선 및 상기 제3 데이터 배선에 연결되어 있는 제5 스위칭 소자, 상기 게이트 배선과 상기 제2 연결 배선에 연결되어 있는 제6 스위칭 소자, 상기 게이트 배선 및 상기 제4 데이터 배선에 연결되어 있는 제7 스위칭 소자, 상기 게이트 배선 및 상기 제2 연결 배선에 연결되어 있는 제8 스위칭 소자 및 상기 제5 스위칭 소자, 제6 스위칭 소자, 제7 스위칭 소자 및 제8 스위칭 소자와 각각 연결되어 있는 제5 화소전극, 제6 화소전극, 제7 화소전극, 제8 화소전극을 더 포함한다.
- [0010] 본 실시예에 따르면, 상기 액정 표시 장치는 상기 제1 버스 배선과 평행하게 위치하며 상기 제2 전원 배선과 연결되어 있는 제2 버스 배선을 더 포함한다. 상기 제1 전원 배선에는 기준 전압 대비 제1 극성의 전압이 인가되고, 상기 제2 전원 배선에는 상기 기준 전압 대비 제2 극성의 전압이 인가된다.
- [0011] 본 실시예에 따르면, 상기 액정 표시 장치는 상기 제1 화소전극과 연결되어 있는 제1 쉘드 패턴 및 상기 제2 화소 전극과 연결되어 있는 제2 쉘드 패턴을 더 포함한다. 상기 제1 쉘드 패턴의 일부가 상기 제1 화소 전극과 중첩한다. 상기 제1 연결 배선은 상기 제1 내지 제4 화소 전극과 동일층에 위치한다.
- [0012] 본 실시예에 따르면, 상기 액정 표시 장치는 상기 게이트 배선과 평행하게 위치하며 상기 제1 내지 제4 화소 전극의 일부와 중첩하는 스토리지 배선을 더 포함한다.

[0013] 본 실시예에 따르면, 상기 액정 표시 장치는 상기 제1 화소 전극과 상기 제2 화소 전극은 제1 화소부를 형성하고, 상기 제1 화소부는 상기 제1 화소 전극과 상기 제2 화소 전극간의 간격이 서로 다른 제1 영역 및 제2 영역을 포함한다.

[0014] 본 실시예에 따르면, 상기 제1 화소 전극에 인가되는 전압과 상기 제2 화소 전극에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압이다.

발명의 효과

[0015] 본 발명에 따르면, 표시 기관이 포함하는 인접하는 화소부들이 동일한 극성을 가짐으로써 빛샘을 감소시킬 수 있고, 또한, 상기 인접하는 화소부들이 하나의 전원 배선을 공유하므로써 개구율을 증가시킬 수 있다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 실시예 1에 따른 액정 표시 장치의 평면도이다.

도 2는 도 1에 도시된 액정 표시 패널의 개념도이다.

도 3은 도 1에 도시된 액정 표시 패널의 평면도이다.

도 4는 도 3의 I-I' 선을 따라 절단한 단면도이다.

도 5a 내지 도 5d는 도 4에 도시된 표시 기관의 제조 방법을 설명하기 위한 단면도들이다.

도 6은 본 발명의 실시예 2에 따른 액정 표시 패널의 평면도이다.

도 7은 도 6의 II-II' 선을 따라 절단한 단면도이다.

도 8a 내지 도 8d는 도 7에 도시된 표시 기관의 제조 방법을 설명하기 위한 평면도들이다.

도 9는 본 발명의 실시예 3에 따른 액정 표시 패널의 개념도이다.

도 10은 도 9에 도시된 액정 표시 패널의 평면도이다.

도 11은 도 9에 도시된 III-III' 선을 따라 절단한 단면도이다.

도 12a 내지 도 12c는 도 11에 도시된 표시 기관의 제조 방법을 설명하기 위한 평면도들이다.

도 13은 본 발명의 실시예 4에 따른 액정 표시 패널의 개념도이다.

도 14는 도 13에 도시된 액정 표시 패널의 평면도이다.

도 15는 본 발명의 실시예 5에 따른 액정 표시 패널의 평면도이다.

도 16은 본 발명의 실시예 6에 액정 표시 패널의 개념도이다.

도 17은 도 16에 도시된 액정 표시 패널의 평면도이다.

도 18은 본 발명의 실시예 7에 따른 액정 표시 패널의 개념도이다.

도 19는 본 발명의 실시예 8에 따른 액정 표시 패널의 개념도이다.

도 20은 본 발명의 실시예 9에 따른 액정 표시 패널의 개념도이다.

도 21은 본 발명의 실시예 10에 따른 액정 표시 패널의 개념도이다.

도 22는 본 발명의 실시예 11에 따른 액정 표시 패널의 개념도이다.

도 23은 도 22에 도시된 액정 표시 패널의 평면도이다.

도 24는 도 23에 도시된 IV-IV' 선을 따라 절단한 단면도이다.

도 25는 본 발명의 실시예 12에 따른 액정 표시 패널의 평면도이다.

도 26은 본 발명의 실시예 13에 따른 액정 표시 패널의 평면도이다.

도 27은 본 발명의 실시예 14에 따른 액정 표시 패널의 평면도이다.

도 28은 본 발명의 실시예 15에 따른 액정 표시 패널의 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 이하, 도면들을 참조하여 본 발명의 바람직한 실시예들을 보다 상세하게 설명하기로 한다.
- [0018] 실시예 1
- [0019] 도 1은 본 발명의 실시예 1에 따른 액정 표시 장치의 평면도이다.
- [0020] 도 1을 참조하면, 상기 액정 표시 장치는 액정 표시 패널(1000)과 액정 표시 패널(1000)을 구동하기 위한 게이트 구동부(1010) 및 데이터 구동부(1030)를 포함한다.
- [0021] 상기 액정 표시 패널(1000)은 표시 기관(100)과, 상기 표시 기관(100)에 대향 결합되는 대향 기관(200, 예컨대 컬러필터 기관) 및 상기 표시 기관(100)과 상기 대향 기관(200) 사이에 개재된 액정층(미도시)을 포함한다. 여기서, 상기 액정 표시 패널(1000)은 표시 영역(DA)과 상기 표시 영역(DA)을 둘러싸는 제1 및 제2 주변 영역(PA1, PA2)으로 구분된다.
- [0022] 상기 표시 영역(DA)은 데이터 신호를 전달하는 데이터 배선(DL) 및 게이트 신호를 전달하는 게이트 배선(GL)을 포함한다. 상기 데이터 배선(DL)은 제1 방향(DI1)으로 연장되고, 상기 게이트 배선(GL)은 제1 방향(DI1)과 교차하는 제2 방향(DI2)으로 연장된다.
- [0023] 여기서, 상기 제1 주변 영역(PA1)은 상기 데이터 배선(DL)의 일단부에 위치하고 상기 제2 주변 영역(PA2)은 상기 게이트 배선(GL)의 일단부에 위치한다. 도 1에서는 상기 표시 영역(DA)의 좌측에 배치된 상기 제2 주변 영역(PA2)을 도시하였지만, 상기 제2 주변 영역(PA2)은 상기 표시 영역(DA)의 우측에도 배치될 수 있다.
- [0024] 상기 게이트 구동부(1010)는 복수의 스테이지들이 종속적으로 연결된 쉬프트 레지스터를 포함하며, 상기 게이트 배선(GL)들에 순차적으로 상기 게이트 신호를 출력한다. 이러한 상기 게이트 구동부(1010)는 적어도 하나 이상의 게이트 구동칩(1011)으로 이루어진다. 상기 게이트 구동부(1010)는 상기 제2 주변 영역(PA2)에 형성된다. 또는, 상기 게이트 구동부(1010)는 상기 표시 영역(DA)의 박막 트랜지스터와 동일한 공정에 의해 상기 제2 주변 영역(PA2)에 형성된 복수의 박막 트랜지스터들을 포함할 수 있다. 이에 따라, 부품 실장 공간을 따로 확보할 필요가 없으므로, 액정 표시 장치의 박형화가 가능하다.
- [0025] 또한, 상기 게이트 구동칩(1011)은 인쇄회로기판(미도시)과 액정 표시 패널 사이에 위치하는 테이프 캐리어 패키지(TCP) 상에 부착될 수 있다.
- [0026] 상기 데이터 구동부(1030)는 상기 게이트 신호에 동기하여 상기 데이터 배선(DL)에 아날로그 형태의 데이터 신호를 출력하며, 적어도 하나 이상의 데이터 구동칩(1031)으로 이루어진다.
- [0027] 상기 데이터 구동칩(1031)은 칩-온-글래스(COG) 형식으로 액정 표시 패널(1000)의 상기 제1 주변 영역(PA1)에 직접적으로 부착될 수 있다. 복수의 데이터 구동칩(1031)들은 가요성 필름(1070)에 실장되어 상기 액정 표시 패널(1000)에 부착될 수 있다. 상기 가요성 필름(1070)은 파워 배선(1050)을 포함할 수 있다. 상기 파워 배선(1050)은 후술되는 제1 버스 배선 및 제2 버스 배선에 인가되는 전압들을 전달할 수 있다. 또한, 상기 파워 배선(1050)은 상기 게이트 구동부(1010)에 제공되는 전압을 전달할 수 있다.
- [0028] 도 2는 도 1에 도시된 액정 표시 패널의 개념도이다.
- [0029] 도 1 및 도 2를 참조하면, 상기 액정 표시 패널(1000)은 패드부(400), 복수의 데이터 배선들(DL1, DL2, DL3, DL4, DL5, DL6), 제1 버스 배선(BL1), 제2 버스 배선(BL2), 제1 전원 배선(VL1), 제2 전원 배선(VL2), 게이트 배선(GL) 및 복수의 화소부들(P1, P2, P3, P4, P5, P6)을 포함한다.
- [0030] 상기 패드부(400)는 상기 데이터 구동부(1030)로부터 출력된 복수의 데이터 전압들을 수신하는 복수의 패드들(410, 420, 430, 440, 450, 460)을 포함한다. 제1 패드(410)는 제1 데이터 배선(DL1)에 연결되고, 제2 패드(420)는 제2 데이터 배선(DL2)에 연결되고, 제3 패드(430)는 제3 데이터 배선(DL3)에 연결되고, 제4 패드(440)는 제4 데이터 배선(DL4)에 연결되고, 제5 패드(450)는 제5 데이터 배선(DL5)에 연결되고, 제6 패드(460)는 제6 데이터 배선(DL6)에 연결된다.
- [0031] 상기 데이터 배선들(DL1, DL2, DL3, DL4, DL5, DL6) 각각은 상기 제1 방향(DI1)으로 연장되고, 상기 제2 방향(DI2)으로 배열된다.

- [0032] 상기 제1 버스 배선(BL1)은 상기 제2 방향(DI2)으로 연장되고, 상기 액정 표시 패널(1000)의 제1 주변 영역(PA1)에 배치될 수 있다. 상기 제2 버스 배선(BL2)은 상기 제2 방향(DI2)으로 연장되고, 상기 제1 버스 배선(BL1)과 인접한 상기 제1 주변 영역(PA1)에 배치될 수 있다.
- [0033] 상기 제1 전원 배선(VL1)은 상기 제1 버스 배선(BL1)에 연결되어 상기 제1 방향(DI1)으로 연장된다. 상기 제2 전원 배선(VL2)은 상기 제2 버스 배선(BL2)에 연결되어 상기 제1 방향(DI2)으로 연장된다. 상기 제1 및 제2 전원 배선들(VL1, VL2) 사이에는 복수의 화소부들(P4, P5, P6)이 배열되고, 상기 제1 및 제2 전원 배선들(VL1, VL2) 각각은 복수의 화소부들(P1, P2, P3, P4, P5, P6)에 전압을 제공한다.
- [0034] 상기 게이트 배선(GL)은 상기 제2 방향(DI2)으로 연장된다.
- [0035] 상기 복수의 화소부들(P1, P2, P3, P4, P5, P6)은 주요색 화소를 포함한다. 상기 주요색 화소는 적색 화소, 녹색 화소 및 청색 화소이다.
- [0036] 제1 화소부(P1)는 제1 화소 전극(PE1), 제2 화소 전극(PE2), 제1 스위칭 소자(T1) 및 제2 스위칭 소자(T2)를 포함한다. 상기 제1 화소 전극(PE1)은 상기 제1 스위칭 소자(T1)를 통해 상기 제1 데이터 배선(DL1)과 상기 게이트 배선(GL)에 연결된다. 상기 제2 화소 전극(PE2)은 상기 제1 화소 전극(PE1)과 이격되고, 상기 제2 스위칭 소자(T2)를 통해 상기 제1 전원 배선(VL1)과 상기 게이트 배선(GL)에 연결된다. 상기 제2 스위칭 소자(T2)는 제1 연결 배선(CL1)을 통해 상기 제1 전원 배선(VL1)과 연결된다. 상기 제1 화소 전극(PE1)에 인가되는 전압과 상기 제2 화소 전극(PE2)에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압을 가질 수 있다.
- [0037] 상기 제2 화소부(P2)는 제3 화소 전극(PE3), 제4 화소 전극(PE4), 제3 스위칭 소자(T3) 및 제4 스위칭 소자(T4)를 포함한다. 상기 제3 화소 전극(PE3)은 상기 제3 스위칭 소자(T3)를 통해 상기 제2 데이터 배선(DL2)과 상기 게이트 배선(GL)에 연결된다. 상기 제4 화소 전극(PE4)은 상기 제3 화소 전극(PE3)과 이격되고, 상기 제4 스위칭 소자(T4)를 통해 상기 제1 전원 배선(VL1)과 상기 게이트 배선(GL)에 연결된다. 상기 제4 스위칭 소자(T4)는 상기 제1 연결 배선(CL1)을 통해 상기 제1 전원 배선(VL1)과 연결된다. 상기 제3 화소 전극(PE3)에 인가되는 전압과 상기 제4 화소 전극(PE4)에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압을 가질 수 있다.
- [0038] 상기 제3 화소부(P3)는 제5 화소 전극(PE5), 제6 화소 전극(PE6), 제5 스위칭 소자(T5) 및 제6 스위칭 소자(T6)를 포함한다. 상기 제5 화소 전극(PE5)은 상기 제5 스위칭 소자(T5)를 통해 상기 제3 데이터 배선(DL3)과 상기 게이트 배선(GL)에 연결된다. 상기 제6 화소 전극(PE6)은 상기 제5 화소 전극(PE5)과 이격되고, 상기 제6 스위칭 소자(T6)를 통해 상기 제1 전원 배선(VL1)과 상기 게이트 배선(GL)에 연결된다. 상기 제6 스위칭 소자(T6)는 상기 제1 연결 배선(CL1)을 통해 상기 제1 전원 배선(VL1)과 연결된다. 상기 제5 화소 전극(PE5)에 인가되는 전압과 상기 제6 화소 전극(PE6)에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압을 가질 수 있다.
- [0039] 상기 제4 화소부(P4)는 제7 화소 전극(PE7), 제8 화소 전극(PE8), 제7 스위칭 소자(T7) 및 제8 스위칭 소자(T8)를 포함한다. 상기 제7 화소 전극(PE7)은 상기 제7 스위칭 소자(T7)를 통해 상기 제4 데이터 배선(DL4)과 상기 게이트 배선(GL)에 연결된다. 상기 제8 화소 전극(PE8)은 상기 제7 화소 전극(PE7)과 이격되고, 상기 제8 스위칭 소자(T8)를 통해 상기 제2 전원 배선(VL2)과 상기 게이트 배선(GL)에 연결된다. 상기 제8 스위칭 소자(T8)는 제2 연결 배선(CL2)을 통해 상기 제2 전원 배선(VL2)과 연결된다. 상기 제7 화소 전극(PE7)에 인가되는 전압과 상기 제8 화소 전극(PE8)에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압을 가질 수 있다.
- [0040] 상기 제5 화소부(P5)는 제9 화소 전극(PE9), 제10 화소 전극(PE10), 제9 스위칭 소자(T9) 및 제10 스위칭 소자(T10)를 포함한다. 상기 제9 화소 전극(PE9)은 상기 제9 스위칭 소자(T9)를 통해 상기 제5 데이터 배선(DL5)과 상기 게이트 배선(GL)에 연결된다. 상기 제10 화소 전극(PE10)은 상기 제9 화소 전극(PE9)과 이격되고, 상기 제10 스위칭 소자(T10)를 통해 상기 제2 전원 배선(VL2)과 상기 게이트 배선(GL)에 연결된다. 상기 제10 스위칭 소자(T10)는 상기 제2 연결 배선(CL2)을 통해 상기 제2 전원 배선(VL2)과 연결된다. 상기 제9 화소 전극(PE9)에 인가되는 전압과 상기 제10 화소 전극(PE10)에 인가되는 전압은 기준 전압 대비 서로 반대 극성 전압을 가질 수 있다.
- [0041] 상기 제6 화소부(P6)는 제11 화소 전극(PE11), 제12 화소 전극(PE12), 제10 스위칭 소자(T10) 및 제11 스위칭 소자(T11)를 포함한다. 상기 제11 화소 전극(PE11)은 상기 제11 스위칭 소자(T11)를 통해 상기 제6 데이터 배선(DL6)과 상기 게이트 배선(GL)에 연결된다. 상기 제12 화소 전극(PE12)은 상기 제11 화소 전극(PE11)과 이격되고, 상기 제12 스위칭 소자(T12)를 통해 상기 제2 전원 배선(VL2)과 상기 게이트 배선(GL)에 연결된다. 상기 제12 스위칭 소자(T12)는 상기 제2 연결 배선(CL2)을 통해 상기 제2 전원 배선(VL2)과 연결된다. 상기 제11 화소 전극(PE11)에 인가되는 전압과 상기 제12 화소 전극(PE12)에 인가되는 전압은 기준 전압 대비 서로 반대 극성

전압을 가질 수 있다.

- [0042] 상기 제1 버스 배선(BL1)에는 설정된 제1 전압이 인가되고, 상기 제2 버스 배선(BL2)에는 설정된 제2 전압이 인가된다. 상기 제1 및 제2 버스 배선들(BL1, BL2)에는 상기 제1 전압과 상기 제2 전압의 중간 전압을 기준으로 프레임 단위로 반전된 전압들이 각각 인가된다. 예를 들면, 현재 프레임에는 상기 제1 버스 배선(BL1)에는 설정된 최저 레벨의 전압이 인가되고, 상기 제2 버스 배선(BL2)에는 설정된 최고 레벨의 전압이 인가되면, 다음 프레임에는 상기 제1 버스 배선(BL1)에는 상기 최고 레벨의 전압이 인가되고, 상기 제2 버스 배선(BL2)에는 상기 최저 레벨의 전압이 인가된다.
- [0043] 상기 제1 전원 배선(VL1)은 상기 제1 버스 배선(BL1)과 전기적으로 연결되어 상기 제1 버스 배선(BL1)과 동일한 전압이 인가된다. 상기 제2 전원 배선(VL2)은 상기 제2 버스 배선(BL2)과 전기적으로 연결되어 상기 제2 버스 배선(BL2)과 동일한 전압이 인가된다. 예를 들면, 상기 제1 전원 배선(VL1)에는 상기 최저 레벨의 전압이 인가되고, 상기 제2 전원 배선(VL2)에는 상기 최고 레벨의 전압이 인가된다. 이에 대응하여, 상기 제1, 제2 및 제3 데이터 배선들(DL1, DL2, DL3)에는 상기 최저 레벨의 전압을 기준으로 상기 최저 레벨의 전압 보다 높은 제2 극성(+)의 전압이 인가되고, 상기 제4, 제5 및 제6 데이터 배선들(DL4, DL5, DL6)에는 상기 최고 레벨의 전압을 기준으로 상기 최고 레벨의 전압 보다 낮은 제1 극성(-)의 전압이 인가된다.
- [0044] 본 실시예에 따르면, 세 개의 화소부들이 하나의 전원 배선을 공유하고 동일한 극성의 데이터 전압이 인가됨으로써 블랙 빔샘 방식을 최소화할 수 있다. 또한, 상기 전원 배선의 개수를 줄임으로써 개구율을 향상시킬 수 있다.
- [0045] 이하에서는 도 4에 도시된 상기 제3 화소부(P3)를 예로 하여 본 실시예에 따른 표시 기관(100)의 화소 구조 및 제조 방법을 설명한다.
- [0046] 도 3은 도 1에 도시된 액정 표시 패널의 평면도이다. 도 4는 도 3의 I-I' 선을 따라 절단한 단면도이다.
- [0047] 도 2, 도 3 및 도 4를 참조하면, 상기 액정 표시 패널(1000)은 표시 기관(100), 대향 기관(200) 및 액정층(300)을 포함한다.
- [0048] 상기 표시 기관(100)은 제1 베이스 기관(101), 제1 금속 패턴, 제2 금속 패턴 및 투명 전극 패턴을 포함한다. 상기 표시 기관(100)은 상기 제1 금속 패턴을 덮는 게이트 절연막(102), 상기 제2 금속 패턴을 덮는 데이터 절연막 및 상기 투명 전극 패턴을 덮는 제1 배향막(11)을 더 포함한다. 상기 데이터 절연막은 보호 절연막(103) 및 유기 절연막(104)을 포함하는 다층 구조로 형성되거나, 상기 보호 절연막(103)으로 이루어진 단층 구조로 형성될 수 있다.
- [0049] 상기 제1 금속 패턴은 상기 게이트 배선(GL), 제5 게이트 전극(GE5), 제6 게이트 전극(GE6), 제1 쉘드부(SH1) 및 제2 쉘드부(SH2)를 포함한다. 상기 제2 금속 패턴은 제1 전원 배선(VL1), 제3 데이터 배선(DL3), 제5 소스 전극(SE5), 제5 드레인 전극(DE5), 제6 소스 전극(SE6) 및 제6 드레인 전극(DE6)을 포함한다. 상기 투명 전극 패턴은 제5 화소 전극(PE5), 제6 화소 전극(PE6) 및 제1 연결 배선(CL1)을 포함한다.
- [0050] 상기 게이트 배선(GL)은 상기 제2 방향(DI2)으로 연장된다. 상기 제5 및 제6 게이트 전극들(GE5, GE6)은 상기 게이트 배선(GL)으로부터 돌출된다.
- [0051] 상기 제1 쉘드부(SH1)는 상기 제3 화소부(P3)에 데이터 전압을 전달하는 자기 데이터 배선, 즉, 상기 제3 데이터 배선(DL3)과 인접하게 배치된다. 상기 제1 쉘드부(SH1)는 상기 제3 데이터 배선(DL3)의 전계가 상기 제1 베이스 기관(101)을 매개로 누설되는 것을 차단하고, 또한 광을 차단한다. 상기 제1 쉘드부(SH1)는 서로 이격된 제1 상부 쉘드(SU1) 및 제1 하부 쉘드(SD1)를 포함한다. 상기 제1 상부 쉘드(SU1)는 상기 제3 화소부(P3)가 정의되는 화소 영역의 상부 영역에 상기 제3 데이터 배선(DL3)과 인접하게 배치되고, 상기 제1 하부 쉘드(SD1)는 상기 제3 화소부(P3)가 정의되는 화소 영역의 하부 영역에 상기 제3 데이터 배선(DL3)과 인접하게 배치된다.
- [0052] 상기 제2 쉘드부(SH2)는 제1 전원 배선(VL1)과 인접하게 배치된다. 상기 제2 쉘드부(SH2)는 상기 제1 전원 배선(VL1)의 전계가 상기 제1 베이스 기관(101)을 매개로 누설되는 것을 차단하고, 또한 광을 차단한다. 상기 제2 쉘드부(SH2)는 서로 이격된 제2 상부 쉘드(SU2), 제2 하부 쉘드(SD2) 및 상기 제1 하부 쉘드(SD1)와 상기 제2 상부 쉘드(SU2)를 연결하는 연결 쉘드(SC)를 포함한다. 또는 상기 제2 쉘드부(SH2)는 이웃한 이웃 화소부에 데이터 전압을 전달하는 이웃 데이터 배선과 인접하게 배치될 수 있다. 예를 들면, 도 2에 도시된 제2 화소부(P2)의 경우, 상기 제2 쉘드부(SH2)는 상기 제3 화소부(P3)에 데이터 전압을 전달하는 제3 데이터 배선(DL3)과 인접하게 배치된다. 상기 제1 상부 쉘드(SU1)의 단부는 상기 제2 방향(DI2)으로 연장되어 상기 제2 상부 쉘드

(SU2)와 인접하게 배치될 수 있으며, 상기 제1 하부 쉘드(SD1)는 단부에서 상기 제2 방향(DI2)으로 연장되어 상기 제2 하부 쉘드(SD2)와 인접하게 배치될 수 있다.

[0053] 상기 제1 상부 쉘드(SU1)는 제7 콘택홀(C7)을 통해 상기 제6 화소 전극(PE6)과 전기적으로 연결되고 상기 제6 화소 전극(PE6)과 중첩되며, 상기 제2 하부 쉘드(SD2)는 제5 콘택홀(C5)을 통해 상기 제6 화소 전극(PE6)과 전기적으로 연결되고 상기 제6 화소 전극(PE6)과 중첩된다. 상기 제1 상부 쉘드(SU1)는 상기 제3 데이터 배선(DL3)과 상기 제6 화소 전극(PE6) 사이에서 발생하는 빛샘을 차단하고, 상기 제2 하부 쉘드(SD2)는 상기 제1 전원 배선(VL1)과 상기 제6 화소 전극(PE6) 사이에서 발생하는 빛샘을 차단한다.

[0054] 상기 제1 하부 쉘드(SD1)는 제2 콘택홀(C2)을 통해 상기 제5 화소 전극(PE5)과 전기적으로 연결되고 상기 제5 화소 전극(PE5)과 중첩되며, 상기 제2 상부 쉘드(SU2)는 제6 콘택홀(C6)을 통해 상기 제5 화소 전극(PE5)과 전기적으로 연결되고 상기 제5 화소 전극(PE5)과 중첩된다. 상기 제1 하부 쉘드(SD1)는 상기 제3 데이터 배선(DL3)과 상기 제5 화소 전극(PE5) 사이에서 발생하는 빛샘을 차단하고, 상기 제2 상부 쉘드(SU2)는 상기 제1 전원 배선(VL1)과 상기 제5 화소 전극(PE5) 사이에서 발생하는 빛샘을 차단한다.

[0055] 상기 제3 데이터 배선(DL3)은 상기 제1 방향(DI1)으로 연장된다. 상기 제5 소스 전극(SE5)은 상기 제3 데이터 배선(DL3)에서 돌출되고 상기 제5 게이트 전극(GE5) 상에 배치된다. 상기 제5 드레인 전극(DE5)은 상기 제5 소스 전극(SE5)과 이격되어 배치되고, 제1 콘택홀(C1)을 통해 상기 제5 화소 전극(PE5)과 전기적으로 연결된다.

[0056] 상기 제6 소스 전극(SE6)은 상기 제1 연결 배선(CL1)과 제3 콘택홀(C3)을 통해 전기적으로 연결되고, 상기 제6 게이트 전극(GE6) 상에 배치된다. 상기 제1 연결 배선(CL1)은 상기 제1 전원 배선(VL1)과 전기적으로 연결된다. 상기 제6 드레인 전극(DE6)은 상기 제6 소스 전극(SE6)과 이격되어 배치되고, 제4 콘택홀(C4)을 통해 상기 제6 화소 전극(PE6)과 전기적으로 연결된다.

[0057] 상기 표시 기관(100)은 반도체층(150)을 더 포함한다. 상기 반도체층(150)은 비정질 실리콘층(151) 및 불순물이 도핑된 비정질 실리콘층(152)을 포함할 수 있다. 상기 소스 전극 및 상기 드레인 전극은 상기 반도체층(150) 상에 위치할 수 있고, 상기 소스 전극과 상기 드레인 전극사이에 노출된 상기 반도체층(150)에 의해 스위칭 소자의 채널이 정의될 수 있다. 상기 제5 및 제6 화소 전극들(PE5, PE6)은 서로 교대로 배치되어 상기 제3 데이터 배선(DL3) 및 상기 제1 전원 배선(VL1)부터 서로 다른 전압을 수신하고, 이에 따라 상기 제5 및 제6 화소 전극들(PE5, PE6) 사이에 형성된 수평 전기장에 의해 액정층(300)의 액정 분자들이 배열되어 계조를 표현할 수 있다.

[0058] 상기 제5 및 제6 화소 전극들(PE5, PE6) 각각은 상기 데이터 배선 또는 상기 전원 배선과 중첩된 줄기부(E1)와 상기 줄기부(E1)로부터 약 45도(또는 약 -45도)로 화소 영역 측으로 뻗은 가지부(E2)를 포함한다. 상기 제5 및 제6 화소 전극들(PE5, PE6) 각각의 줄기부(E1)는 상기 데이터 배선 또는 상기 전원 배선과 중첩시킴으로써 상기 데이터 배선 또는 상기 전원 배선의 전계가 상측으로 누설되는 것을 차단하고, 또한 상기 화소 전극과 상기 데이터 배선(또는 상기 전원 배선) 사이에서의 빛샘을 차단할 수 있다. 상기 빛샘은 인가되는 데이터 전압의 극성이 바뀌는 상기 제3 화소부(P3) 및 상기 제4 화소부(P4) 사이와, 상기 제6 화소부(P6) 및 상기 제7 화소부(P7) 사이에서 좀 더 많이 발생할 수 있으므로 상기 제3 화소부(P3) 및 상기 제4 화소부(P4) 사이와, 상기 제6 화소부(P6) 및 상기 제7 화소부(P7) 사이를 예로 하여 설명한다.

[0059] 구체적으로, 상기 표시 영역(DA)에는 상기 제1 방향(DI1)으로 복수의 화소 행들이 배열된다. 프레임이 바뀔 때 이전 데이터 전압과 극성이 반대인 데이터 전압이 상기 화소부들에 상기 제1 방향(DI1)으로 순차적으로 제공될 수 있다. 따라서, 상기 표시 영역(DA)의 상부 화소 행에서는 반대 극성의 데이터 전압이 프레임 초기에 바로 인가되고 상기 표시 영역(DA)의 하부 화소 행에서는 반대 극성의 데이터 전압이 프레임 후기에 인가되므로, 상기 상부 화소 행에서는 상기 제3 화소부(P3) 및 제6 화소부(P6)의 오른쪽 부분에서 빛샘이 더 발생할 수 있고, 상기 하부 화소 행에서는 상기 제4 화소부(P4) 및 상기 제6 화소부(P6)와 이웃한 제7 화소부(P7)의 왼쪽 부분에서 빛샘이 더 발생할 수 있다. 같은 원리로, 상기 표시 영역(DA)의 중간에 있는 중간 화소 행의 화소부는 왼쪽 및 오른쪽 부분에서 비슷한 양의 빛샘이 발생할 수 있다. 이에 상기 중간 화소 행의 화소부의 화소 전극의 줄기부 폭은 왼쪽 및 오른쪽이 실질적으로 동일하게 형성할 수 있다.

[0060] 따라서, 상기 표시 영역(DA)의 각 영역에서의 빛샘을 효과적으로 방지하기 위해, 상기 표시 영역(DA)의 상부 화소 행에서는 상기 제3 화소부(P3) 및 상기 제6 화소부(P6)의 오른쪽 부분에 대응하는 화소 전극의 줄기부 폭을 넓게 형성하고 제4 화소부(P4) 및 상기 제7 화소부(P7)의 왼쪽 부분에 대응하는 화소 전극의 줄기부 폭을 좁게 형성할 수 있다. 반면, 하부 화소 행으로 갈수록 상기 제3 화소부(P3) 및 상기 제6 화소부(P6)의 오른쪽 부분에

대응하는 화소 전극의 줄기부 폭을 좁게 형성하고 제4 화소부(P4) 및 상기 제7 화소부(P7)의 왼쪽 부분에 대응하는 화소 전극의 줄기부 폭을 넓게 형성할 수 있다. 결과적으로, 상기 표시 영역(DA)의 줄기부의 폭을 상기 표시 영역(DA)의 영역에 따라서 다르게 형성함으로써, 상기 표시 영역(DA)에 프레임 별로 반전되는 데이터 전압들이 인가될 때, 상기 데이터 전압이 상기 표시 영역(DA)의 상부 및 하부에 시간적인 차를 두고 인가됨에 따라 어느 한 영역에 국부적으로 발생될 수 있는 빛샘을 효과적으로 방지할 수 있다.

- [0061] 도 3을 참조하면, 상기 가지부(E2)는 제1 영역(A1)에는 상기 제5 및 제6 화소 전극들(PE5, PE6)의 이격 거리를 상대적으로 좁게 배치하고, 제2 영역(A2)에는 상기 제5 및 제6 화소 전극들(PE5, PE6)의 이격 거리를 상대적으로 넓게 배치한다. 예를 들면, 상기 제1 영역(A1)은 상기 화소 영역의 중앙부(상기 연결 쉘드(SC)가 배치된 부분), 상기 우측 상부(상기 제6 콘택홀(C6)이 배치된 부분) 및 좌측 하부를 포함하고, 상기 제2 영역(A2)은 상기 화소 영역에서 상기 제1 영역(A1)을 제외한 나머지 영역이다. 이와 같은 방식으로 상기 화소 영역을 멀티 도메인으로 분할하여 구동할 수 있다.
- [0062] 상기 제1 배향막(11)은 상기 제5 및 제6 화소 전극들(PE5, PE6)을 포함하는 상기 투명 전극 패턴 상에 형성되어 상기 액정층(300)을 수직 배향시킨다.
- [0063] 상기 대향 기관(200)은 제2 베이스 기관(201)을 포함한다. 상기 제2 베이스 기관(201) 상에는 차광 패턴(220), 컬러 필터(230), 오버 코팅층(250) 및 제2 배향막(21)을 포함할 수 있다.
- [0064] 상기 차광 패턴(220)은 상기 제1 금속 패턴 및 제2 금속 패턴이 형성된 영역에 대응하여 배치될 수 있으며, 상기 차광 패턴(220)은 광을 차단한다. 예를 들면, 상기 제3 데이터 배선(DL3), 제1 전원 배선(VL1), 게이트 배선(GL) 및 상기 스위칭 소자들(T5, T6)이 형성된 영역에 대응하여 배치된다.
- [0065] 상기 컬러 필터(230)는 상기 제5 및 제6 화소 전극들(PE5, PE6)이 형성된 상기 화소 영역에 대응하여 배치된다. 상기 컬러 필터(230)는 적색 필터, 녹색 필터 및 청색 필터를 포함할 수 있다. 예를 들면, 상기 제1 화소부(P1)는 적색 필터를 포함하고, 상기 제2 화소부(P2)는 녹색 필터를 포함하고, 상기 제3 화소부(P3)는 청색 필터를 포함한다.
- [0066] 상기 오버 코팅층(250)은 상기 제2 베이스 기관(201) 상에 상기 컬러 필터(230) 및 상기 차광 패턴(220)을 덮도록 형성한다. 상기 오버 코팅층(250)은 절연물로 만들어질 수 있으며, 상기 컬러 필터(230)가 노출되는 것을 방지하고 평탄면을 제공한다. 상기 오버 코팅층(250)은 생략할 수 있다.
- [0067] 본 실시예에서는 상기 차광 패턴(220) 및 상기 컬러 필터(230)가 상기 대향기관(200)에 형성되는 것을 도시하였으나, 상기 차광 패턴(220) 및 상기 컬러 필터(230)는 상기 표시 기관(100)에 형성될 수도 있다.
- [0068] 상기 제2 배향막(21)은 상기 오버 코팅층(250) 상에 형성되어 상기 액정층(300)을 수직 배향시킨다.
- [0069] 상기 액정층(300)은 상기 표시 기관(100) 및 상기 대향 기관(200) 사이에 개재된다. 상기 액정층(300)은 양의 유전율 이방성을 가지는 액정 분자를 포함하며 액정 분자는 전기장이 없는 상태에서 그 장축이 두 기관들(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다.
- [0070] 상기 액정층(300) 내의 액정들의 배열은 상기 제5 화소 전극(PE5) 및 상기 제6 화소 전극(PE6) 사이에 형성된 전기장에 의해 변경된다. 그 결과 상기 액정층(300)의 광투과율이 상기 전기장의 세기에 따라 변경될 수 있다.
- [0071] 예를 들어, 상기 제5 화소 전극(PE5) 및 상기 제6 화소 전극(PE6)의 전위차가 최대이면 상기 표시 기관(100) 및 상기 대향 기관(200)의 표면에 수평전기장(electric field)이 생성되어 화이트 모드가 구현된다. 반면, 상기 제5 화소 전극(PE5) 및 상기 제6 화소 전극(PE6)에 전위차가 거의 없으면 상기 표시 기관(100) 및 상기 대향 기관(200)의 표면에 전기장이 거의 생성되지 않아 블랙 모드가 구현된다.
- [0072] 즉, 초기에 상기 표시 기관(100) 및 상기 대향 기관(200)의 표면에 대해 수직으로 배향되어 있던 액정층(300)의 액정 분자들이 전기장에 응답하여 그 장축이 전기장의 방향에 수평한 방향으로 기울어지며, 액정 분자가 기울어진 정도에 따라 액정층(300)에 입사광의 편광의 변화 정도가 달라진다. 이러한 편광의 변화는 편광자에 의하여 투과율 변화로 나타나며 이를 통하여 액정 표시 패널은 영상을 표시한다.
- [0073] 이와 같이 수직 배향된 액정 분자를 사용하면 액정 표시 장치의 대비비(contrast ratio)를 크게 할 수 있고 광 시야각을 구현할 수 있다. 또한, 하나의 화소부에 서로 다른 극성의 두 전압을 인가함으로써 구동 전압을 높이고 응답 속도를 빠르게 할 수 있다.
- [0074] 도 5a 내지 도 5d는 도 3에 도시된 표시 기관의 제조 방법을 설명하기 위한 평면도들이다.

- [0075] 도 3 및 도 5a를 참조하면, 상기 제1 베이스 기판(101) 상에 제1 금속층을 형성하고, 상기 제1 금속층을 패터닝하여 제1 금속 패턴을 형성한다. 상기 제1 금속 패턴은 상기 게이트 배선(GL), 제5 게이트 전극(GE5), 제6 게이트 전극(GE6), 제1 쉘드부(SH1) 및 제2 쉘드부(SH2)를 포함한다.
- [0076] 상기 게이트 배선(GL)은 상기 제2 방향(DI2)으로 연장되고, 상기 제5 및 제6 게이트 전극(GE5, GE6)은 상기 게이트 배선(GL)으로부터 상기 화소 영역 측으로 돌출된다.
- [0077] 상기 제1 쉘드부(SH1)는 상기 제1 방향(DI1)으로 연장된 상기 제1 상부 쉘드(SU1)와 상기 제1 하부 쉘드(SD1)를 포함한다. 상기 제1 상부 쉘드(SU1)의 상단부는 상기 제2 방향(DI2)으로 연장되고, 상기 제1 하부 쉘드(SD1)의 하단부는 상기 제2 방향(DI2)로 연장된다.
- [0078] 상기 제2 쉘드부(SH2)는 상기 제1 방향으로 연장된 상기 제2 상부 쉘드(SU2) 및 상기 제2 하부 쉘드(SD2)를 포함하고, 상기 제1 하부 쉘드(SD1)와 상기 제2 상부 쉘드(SU2)를 연결하도록 상기 제2 방향(DI2)으로 연장된 연결 쉘드(SC)를 더 포함할 수 있다.
- [0079] 상기 제1 금속 패턴이 형성된 상기 제1 베이스 기판(101) 상에 게이트 절연막(102)을 상기 제1 금속 패턴을 덮도록 형성된다. 상기 게이트 절연막(102)은 질화규소(Si_3N_4) 및 산화규소(SiO_2)가 적층된 다층 구조를 가질 수 있다. 상기 게이트 절연막(102)은 산질화규소(SiON ; silicon oxynitride)의 단일층 구조를 가질 수 있다. 여기서, 상기 산질화규소(SiON)층은 적층되는 방향에 따라 산소 농도 분포를 가질 수 있는데, 상기 산소 농도는 산화물 반도체 패턴과 인접할수록 높아진다.
- [0080] 도 3, 도 4 및 도 5b를 참조하면, 상기 게이트 절연막(102) 상에 반도체층(150) 및 제2 금속층을 형성하고, 상기 반도체층(150) 및 제2 금속층을 패터닝하여 제2 금속 패턴을 형성한다. 상기 반도체층(150)은 비정질 실리콘층(151) 및 불순물이 도핑된 비정질 실리콘층(152)을 포함할 수 있다.
- [0081] 또한, 상기 반도체층(150)은 산화물 반도체층을 포함할 수 있다. 상기 산화물 반도체층은 인듐(In), 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 하프늄(Hf) 중 적어도 하나를 포함하는 비정질 산화물로 이루어질 수 있다. 보다 구체적으로는, 인듐(In), 아연(Zn) 및 갈륨(Ga)을 포함하는 비정질 산화물, 또는 인듐(In), 아연(Zn) 및 하프늄(Hf)을 포함하는 비정질 산화물로 이루어질 수 있다. 상기 산화물 반도체에 산화인듐아연(InZnO), 산화인듐갈륨(InGaO), 산화인듐주석(InSnO), 산화아연주석(ZnSnO), 산화갈륨주석(GaSnO) 및 산화갈륨아연(GaZnO) 등의 산화물이 포함될 수 있으며, 상기 산화물 반도체의 특성을 향상시키기 위해 주기율표상의 3족, 4족 5족 또는 전이 원소가 추가로 포함될 수 있다. 이러한 산화물 반도체층은 수소화 비정질 규소에 비하여 전하의 유효 이동도(effective mobility)가 2배 내지 100배 정도 크고, 온-오프 전류비가 10:5 내지 10:8의 값을 가짐으로써 뛰어난 반도체 특성을 가지고 있다. 또한 산화물 반도체의 경우, 밴드갭(band gap)이 약 3.0eV 내지 3.5eV 이므로 가시광에 대하여 누설 광전류가 발생하지 않는다. 따라서 산화물 반도체층을 포함하는 스위칭 소자의 하부에는 광차단막을 형성할 필요가 없으므로 개구율을 향상시킬 수 있다.
- [0082] 물론, 상기 제2 금속층을 형성하기 전에 별도의 마스크를 이용하여 상기 게이트 절연막(102) 상에 반도체층을 형성하여 상기 게이트 전극 위만에 반도체 패턴을 형성할 수 있다.
- [0083] 상기 제2 금속 패턴은 제3 데이터 배선(DL3), 제5 소스 전극(SE5), 제5 드레인 전극(DE5), 제6 소스 전극(SE6) 및 제6 드레인 전극(DE6) 및 제1 전원 배선(VL1)을 포함한다.
- [0084] 상기 제3 데이터 배선(DL3)은 제1 방향(DI1)으로 연장되고, 상기 제1 쉘드부(SH1)와 인접하게 형성된다. 구체적으로 상기 제3 데이터 배선(DL3)은 상기 제1 상부 쉘드(SU1)와 상기 제1 하부 쉘드(SD1)와 인접하게 형성된다.
- [0085] 상기 제1 전원 배선(VL1)은 상기 제1 방향(DI1)으로 연장되고, 상기 제2 쉘드부(SH2)와 인접하게 형성된다. 구체적으로 상기 제1 전원 배선(VL1)은 상기 제2 상부 쉘드(SU1)와 상기 제2 하부 쉘드(SD2)와 인접하게 형성된다.
- [0086] 상기 제5 소스 전극(SE5)은 상기 제3 데이터 배선(DL3)으로부터 돌출되어 상기 제5 게이트 전극(GE5) 상에 형성된다. 상기 제5 드레인 전극(DE5)은 상기 제5 소스 전극(SE5)과 이격되어 상기 제5 게이트 전극(GE5) 상에 형성되고 일정 길이 연장된다. 상기 제6 소스 전극(SE6)은 상기 제6 게이트 전극(GE6) 상에 형성되고 상기 제6 드레인 전극(DE6)은 상기 제6 소스 전극(SE6)과 이격되어 상기 제6 게이트 전극(GE6) 상에 형성되고 일정 길이 연장된다.
- [0087] 도 3 및 도 5c를 참조하면, 상기 제2 금속 패턴이 형성된 상기 제1 베이스 기판(101) 상에 상기 제2 금속 패턴을 상기 보호 절연막(103)을 형성한다. 상기 보호 절연막(103)은 산화규소(SiO_2) 및 질화규소(Si_3N_4)를 포함하는

다층 구조 또는 단일층 구조를 가질 수 있다. 상기 보호 절연막(103)은 상기 반도체층을 덮도록 배치됨으로써 박막 트랜지스터 특성의 열화가 방지될 수 있다.

- [0088] 상기 보호 절연막(103) 및 상기 게이트 절연막(102)을 식각하여 제1, 제2, 제3, 제4, 제5, 제6, 제7 및 제8 콘택홀들(C1, C2, C3, C4, C5, C6, C7, C8)을 형성한다. 이어, 상기 제1, 제2, 제3, 제4, 제5, 제6, 제7 및 제8 콘택홀들(C1, C2, C3, C4, C5, C6, C7, C8)이 형성된 상기 제1 베이스 기판(101) 상에 유기 절연막(104)을 형성한다. 상기 유기 절연막(104)을 패터닝하여 상기 제1, 제2, 제3, 제4, 제5, 제6, 제7 및 제8 콘택홀들(C1, C2, C3, C4, C5, C6, C7, C8)에 대응하는 영역의 상기 유기 절연막(104)을 제거한다.
- [0089] 결과적으로, 상기 제1, 제2, 제3, 제4, 제5, 제6, 제7 및 제8 콘택홀들(C1, C2, C3, C4, C5, C6, C7, C8)을 통해 상기 제1 금속 패턴 및 제2 금속 패턴이 부분적으로 노출된다.
- [0090] 도 3 및 도 5d를 참조하면, 상기 제1, 제2, 제3, 제4, 제5, 제6, 제7 및 제8 콘택홀들(C1, C2, C3, C4, C5, C6, C7, C8)이 형성된 상기 제1 베이스 기판(101) 상에 투명 도전층을 형성하고, 상기 투명 도전층을 패터닝하여 투명 전극 패턴을 형성한다. 상기 투명 도전층은 ITO(indium tin oxide) 및 IZO(indium zinc oxide) 등의 투명한 도전 물질을 포함한다.
- [0091] 상기 투명 전극 패턴은 상기 제5 화소 전극(PE5), 제6 화소 전극(PE6) 및 제1 연결 배선(CL1)을 포함한다.
- [0092] 상기 제5 화소 전극(PE5)은 상기 제1 콘택홀(C1)을 통해 상기 제5 스위칭 소자(T5)의 제5 드레인 전극(DE5)과 전기적으로 연결되고, 상기 제6 화소 전극(PE6)은 상기 제4 콘택홀(C4)을 통해 상기 제6 스위칭 소자(T6)의 상기 제6 드레인 전극(DE6)과 전기적으로 연결된다. 상기 제5 및 제6 화소 전극들(PE5, PE6)은 상기 제3 데이터 배선(DL3) 및 제1 전원 배선(VL1)과 부분적으로 중첩되는 줄기부(E1)와 상기 줄기부(E1)로부터 약 45도(또는 약 -45도)로 기울어져 상기 화소 영역측으로 뻗은 가지부(E2)를 포함한다. 상기 제5 및 제6 화소 전극들(PE5, PE6)의 가지부들(E2)은 서로 교대로 배치된다.
- [0093] 상기 제5 화소 전극(PE5)은 상기 제2 콘택홀(C2)을 통해 상기 제1 하부 쉴드(SD1)와 전기적으로 연결되고, 상기 제6 콘택홀(C6)을 상기 제2 상부 쉴드(SU1)와 전기적으로 연결된다. 상기 제6 화소 전극(PE6)은 상기 제5 콘택홀(C5)을 통해 상기 제2 하부 쉴드(SD2)와 전기적으로 연결되고, 상기 제7 콘택홀(C7)을 통해 상기 제1 상부 쉴드(SU1)와 전기적으로 연결된다.
- [0094] 상기 제1 연결 배선(CL1)은 상기 제1 전원 배선(VL1)과 제8 콘택홀(C8)을 통해 전기적으로 연결되고, 상기 제2 방향(DI2)으로 연장된다. 상기 제1 연결 배선(CL1)은 상기 제6 소스 전극(SE6) 측으로 돌출되어 상기 제3 콘택홀(C3)을 통해 상기 제6 소스 전극(SE6)과 전기적으로 연결된다. 따라서, 상기 제6 스위칭 소자(T6)는 상기 제1 연결 배선(CL1)에 인가된 전압을 상기 제6 화소 전극(PE6)에 전달한다.
- [0095] 상기 투명 전극 패턴이 형성된 상기 제1 베이스 기판(101) 상에 제1 배향막(211)을 형성한다.
- [0096] 실시예 2
- [0097] 도 6은 본 발명의 실시예 2에 따른 액정 표시 패널의 평면도이다. 도 7은 도 6의 II-II'선을 따라 절단한 단면도이다.
- [0098] 도 2, 도 6 및 도 7을 참조하면, 상기 액정 표시 패널(1000A)은 표시 기판(100A), 대향 기판(200) 및 액정층(300)을 포함한다. 본 실시예에 따른 액정 표시 패널(1000A)은 실시예 1의 액정 표시 패널(1000)과 비교할 때, 제1 쉴드부(SH1), 제2 쉴드부(SH2) 및 연결 전극 패턴(CEP)을 제외한 구성 요소는 실질적으로 동일하다. 이하에서는 동일한 구성 요소에 대해서 반복되는 상세한 설명은 생략한다.
- [0099] 상기 제1 및 제2 쉴드부들(SH1, SH2) 각각은 게이트 절연막(102), 상기 보호 절연막(103) 및 상기 유기 절연막(104)이 제거된 트렌치(Trench) 구조로 형성된다.
- [0100] 상기 연결 전극 패턴(CEP)은 상기 제1 금속 패턴일 수 있다. 상기 연결 전극 패턴(CEP)은 상기 화소 영역의 중앙 부분에서 상기 제2 방향(DI2)으로 연장되어 형성되고, 상기 화소 영역의 하부에 배치된 제5 화소 전극(PE5)과 상기 상부에 배치된 상기 제5 화소 전극(PE5)을 전기적으로 연결한다. 상기 연결 전극 패턴(CEP)은 제9 콘택홀(C9)을 통해 상기 제3 데이터 배선(DL3)에 부분적으로 중첩된 제5 화소 전극(PE5)과 전기적으로 연결되고, 제10 콘택홀(C10)을 통해 상기 제1 전원 배선(VL1)에 부분적으로 중첩된 상기 제5 화소 전극(PE5)과 전기적으로 연결된다.

- [0101] 상기 제1 쉘드부(SH1)는 상기 제3 화소부(P3)에 데이터 전압을 전달하는 자기 데이터 배선, 즉, 상기 제3 데이터 배선(DL3)과 인접하게 배치된다. 상기 제1 쉘드부(SH1)는 제1 상부 트랜치(TU1) 및 제1 하부 트랜치(TD1)를 포함하고, 상기 제1 상부 트랜치(TU1) 및 제1 하부 트랜치(TD1)는 상기 게이트 절연막(102), 상기 보호 절연막(103) 및 상기 유기 절연막(104)이 제거되어 형성된다. 상기 제1 상부 트랜치(TU1)에는 상기 제3 데이터 배선(DL3)의 상부와 부분적으로 중첩되는 상기 제6 화소 전극(PE6)이 형성되고, 상기 제1 하부 트랜치(TD1)에는 상기 제3 데이터 배선(DL3)의 하부와 부분적으로 중첩되는 상기 제5 화소 전극(PE5)이 형성된다.
- [0102] 상기 제2 쉘드부(SH2)는 상기 제1 전원 배선(VL1)과 인접하게 배치된다. 또는 상기 제2 쉘드부(SH2)는 이웃한 이웃 화소부에 데이터 전압을 전달하는 이웃 데이터 배선과 인접하게 배치될 수 있다. 상기 제2 쉘드부(SH1)는 제2 상부 트랜치(TU2)와 제2 하부 트랜치(TD2)를 포함하고, 상기 제2 상부 트랜치(TU2) 및 상기 제2 하부 트랜치(TD2)는 상기 게이트 절연막(102), 상기 보호 절연막(103) 및 상기 유기 절연막(104)이 제거되어 형성된다. 상기 제2 상부 트랜치(TU2)에는 상기 제1 전원 배선(VL1)의 상부와 중첩되는 상기 제5 화소 전극(PE5)이 형성되고, 상기 제2 하부 트랜치(TD2)에는 상기 제1 전원 배선(VL1)의 하부와 중첩되는 상기 제6 화소 전극(PE6)이 형성된다.
- [0103] 도 6에 도시된 바와 같이, 상기 제1 상부 트랜치(TU1)는 상단부에서 상기 제2 방향(DI2)으로 상기 제2 상부 트랜치(TU2)와 인접하게 연장될 수 있으며, 상기 제1 하부 트랜치(TD1)는 하단부에서 상기 제2 방향(DI2)으로 상기 제2 하부 트랜치(TD2)와 인접하게 연장될 수 있다.
- [0104] 상기 제1 및 제2 쉘드부들(SH1, SH2)은 실시예 1과 동일하게 상기 데이터 배선 또는 상기 전원 배선의 전계가 누설되는 것을 차단할 수 있고, 또한, 데이터 배선 또는 상기 전원 배선과 화소 전극 사이의 빗샘을 방지할 수 있다. 더불어, 본 실시예의 제1 및 제2 쉘드부들(SH1, SH2)은 트랜치 내에 상기 화소 전극이 형성되는 구조를 가짐으로써 상기 제1 금속 패턴으로 형성된 실시예 1에 비해 개구율을 향상시킬 수 있다.
- [0105] 도 8a 내지 도 8d는 도 7에 도시된 표시 기관의 제조 방법을 설명하기 위한 평면도들이다. 이하에서는 실시예 1과 동일한 구성 요소에 대해서는 반복되는 설명을 생략한다.
- [0106] 도 7 및 도 8a를 참조하면, 상기 제1 베이스 기관(101) 상에 제1 금속층을 형성하고, 상기 제1 금속층을 패터닝하여 제1 금속 패턴을 형성한다. 상기 제1 금속 패턴은 상기 게이트 배선(GL), 제5 게이트 전극(GE5), 제6 게이트 전극(GE6), 및 연결 전극 패턴(CEP)을 포함한다.
- [0107] 상기 게이트 배선(GL)은 상기 제2 방향(DI2)으로 연장되고, 상기 제5 및 제6 게이트 전극(GE5, GE6)은 상기 게이트 배선(GL)으로부터 상기 화소 영역 측으로 돌출되어 형성된다.
- [0108] 상기 연결 전극 패턴(CEP)은 상기 화소 영역의 중앙 부분에 상기 제2 방향(DI2)으로 연장되어 형성된다. 상기 연결 전극 패턴(CEP)은 상기 화소 영역을 상부와 하부로 구획한다. 상기 화소 영역은 후속되는 공정에 의해 형성되는 상기 제5 및 제6 화소 전극들(PE5, PE6)이 형성되는 영역이다.
- [0109] 상기 제1 금속 패턴이 형성된 상기 제1 베이스 기관(101) 상에는 게이트 절연막(102)이 상기 제1 금속 패턴을 덮도록 형성된다.
- [0110] 도 7 및 도 8a를 참조하면, 상기 게이트 절연막(102) 상에 반도체층 및 제2 금속층을 형성하고, 상기 반도체층 및 제2 금속층을 패터닝하여 제2 금속 패턴을 형성한다.
- [0111] 상기 제2 금속 패턴은 제3 데이터 배선(DL3), 제5 소스 전극(SE5), 제5 드레인 전극(DE5), 제6 소스 전극(SE6) 및 제6 드레인 전극(DE6) 및 제1 전원 배선(VL1)을 포함한다.
- [0112] 도 7 및 도 8c를 참조하면, 상기 제2 금속 패턴이 형성된 상기 제1 베이스 기관(101) 상에 상기 제2 금속 패턴을 덮도록 상기 보호 절연막(103)을 형성한다.
- [0113] 상기 보호 절연막(103) 및 상기 게이트 절연막(102)을 식각하여 제1, 제3, 제4, 제8, 제9 및 제10 콘택홀들(C1, C3, C4, C8, C9, C10)을 형성한다. 또한, 상기 보호 절연막(103) 및 상기 게이트 절연막(102)을 식각하여 상기 제3 데이터 배선(DL3)과 인접한 상기 화소 영역에 제1 상부 트랜치(TU1) 및 제1 하부 트랜치(TD1)를 형성하고, 상기 제1 전원 배선(VL1)과 인접한 상기 화소 영역에 제2 상부 트랜치(TU2) 및 제2 하부 트랜치(TD2)를 형성한다.
- [0114] 이어, 상기 콘택홀들(C1, C3, C4, C8, C9, C10) 및 상기 트랜치들(TU1, TD1, TU2, TD2)이 형성된 상기 제1 베이스 기관(101) 상에 유기 절연막(104)을 형성한다. 상기 유기 절연막(104)을 패터닝하여 상기 콘택홀들(C1,

C3, C4, C8, C9, C10) 및 상기 트렌치들(TU1, TD1, TU2, TD2)에 대응하는 영역의 상기 유기 절연막(104)을 제거한다.

[0115] 결과적으로, 상기 콘택홀들(C1, C3, C4, C8, C9, C10)을 통해 상기 제1 금속 패턴 및 제2 금속 패턴이 부분적으로 노출되고, 상기 트렌치들(TU1, TD1, TU2, TD2)을 통해 상기 제1 베이스 기판(101)이 노출된다.

[0116] 도 7 및 도 8d를 참조하면, 상기 콘택홀들(C1, C3, C4, C8, C9, C10) 및 상기 트렌치들(TU1, TD1, TU2, TD2)이 형성된 상기 제1 베이스 기판(101) 상에 투명 도전층을 형성하고, 상기 투명 도전층을 패터닝하여 투명 전극 패턴을 형성한다.

[0117] 상기 투명 전극 패턴은 상기 제5 화소 전극(PE5), 제6 화소 전극(PE6) 및 제1 연결 배선(CL1)을 포함한다.

[0118] 상기 제5 화소 전극(PE5)은 상기 제1 콘택홀(C1)을 통해 상기 제5 스위칭 소자(T5)의 제5 드레인 전극(DE5)과 전기적으로 연결되고, 상기 제6 화소 전극(PE6)은 상기 제4 콘택홀(C4)을 통해 상기 제6 스위칭 소자(T6)의 상기 제6 드레인 전극(DE6)과 전기적으로 연결된다. 상기 제5 및 제6 화소 전극들(PE5, PE6)은 상기 제3 데이터 배선(DL3) 및 제1 전원 배선(VL1)과 부분적으로 중첩되는 줄기부(E1)와 상기 줄기부(E1)로부터 약 45도(또는 약 -45도)로 기울어져 상기 화소 영역측으로 뻗은 가지부(E2)를 포함한다. 상기 제5 및 제6 화소 전극들(PE5, PE6)의 상기 가지부들(E2)은 서로 교대로 배치된다.

[0119] 상기 연결 전극 패턴(CEP)을 중심으로 상기 화소 영역의 하부에 형성된 상기 제5 화소 전극(PE5)은 상기 제9 콘택홀(C9)을 통해 상기 연결 전극 패턴(CEP)과 전기적으로 연결되고, 상기 연결 전극 패턴(CEP)을 중심으로 상기 화소 영역의 상부에 형성된 상기 제5 화소 전극(PE5)은 상기 제10 콘택홀(C10)을 통해 상기 연결 전극 패턴(CEP)과 전기적으로 연결된다. 이에 따라서, 상기 화소 영역의 상부 및 하부에 형성된 상기 제5 화소 전극(PE5)은 서로 전기적으로 연결될 수 있다. 한편, 상기 제6 화소 전극(PE6)은 하나로 연결된 구조로 상기 화소 영역의 상부 및 하부에 형성된다.

[0120] 상기 제1 쉘드부(SH1)의 상기 제1 상부 트렌치(TU1)에는 상기 제3 데이터 배선(DL3)의 상부와 부분적으로 중첩되는 상기 제6 화소 전극(PE6)이 형성되고 상기 제1 쉘드부(SH1)의 상기 제1 하부 트렌치(TD1)에는 상기 제3 데이터 배선(DL3)의 하부와 부분적으로 중첩되는 상기 제5 화소 전극(PE5)이 형성된다. 상기 제2 쉘드부(SH2)의 상기 제2 상부 트렌치(TU2)에는 상기 제1 전원 배선(VL1)의 상부와 중첩되는 상기 제5 화소 전극(PE5)이 형성되고, 상기 제2 쉘드부(SH2)의 상기 제2 하부 트렌치(TD2)에는 상기 제1 전원 배선(VL1)의 하부와 중첩되는 상기 제6 화소 전극(PE6)이 형성된다.

[0121] 상기 제1 연결 배선(CL1)은 상기 제1 전원 배선(VL1)과 제8 콘택홀(C8)을 통해 전기적으로 연결되고, 상기 제2 방향(DI2)으로 연장된다. 상기 제1 연결 배선(CL1)은 상기 제6 소스 전극(SE6) 측으로 돌출되어 상기 제3 콘택홀(C3)을 통해 상기 제6 소스 전극(SE6)과 전기적으로 연결된다.

[0122] 본 실시예에 따르면, 상기 제1 및 제2 쉘드부들(SH1, SH2)은 상기 화소 전극이 형성된 트렌치를 가짐으로써 개구율을 향상시킬 수 있다.

[0123] 실시예 3

[0124] 도 9는 본 발명의 실시예 3에 따른 액정 표시 패널의 개념도이다.

[0125] 도 9를 참조하면, 상기 액정 표시 장치는 액정 표시 패널(1000B)을 포함한다. 상기 액정 표시 패널(1000B)은 실시예 1에 따른 액정 표시 패널(1000)과 비교할 때, 스토리지 배선(STL)을 더 포함한다.

[0126] 상기 스토리지 배선(STL)은 상기 제2 방향(DI2)으로 연장되고, 상기 게이트 배선(GL)과 인접하게 배치된다. 상기 스토리지 배선(STL)에는 스토리지 전압이 인가된다. 상기 스토리지 전압은 프레임에 관계없이 일정한 레벨의 직류 전압(DC; direct current)일 수 있다. 상기 스토리지 배선(STL)에는 기준 전압이 인가된다. 상기 제1 전원 배선(VL1)에는 상기 기준 전압 대비 제1 극성(-)의 전압이 인가되고, 상기 제2 전원 배선(VL2)에는 상기 기준 전압 대비 제2 극성(+)의 전압이 인가된다. 이에 대응하여, 상기 제1, 제2 및 제3 데이터 배선들(DL1, DL2, DL3)에는 상기 제1 전원 배선(VL1)에 인가된 전압 보다 높은 레벨의 제2 극성(+)의 전압이 인가되고, 상기 제4, 제5 및 제6 데이터 배선들(DL4, DL5, DL6)에는 상기 제2 전원 배선(VL2)에 인가된 전압 보다 낮은 레벨의 제1 극성(-)의 전압이 인가된다.

[0127] 예를 들면, 상기 스토리지 배선(STL)은 화소 행의 제1, 제2, 제3, 제4, 제5 및 제6 화소부들(P1, P2, P3, P4,

P5, P6)에 포함된 스위칭 소자의 연장부와 부분적으로 중첩되어 스토리지 커패시터를 정의할 수 있다. 상기 스토리지 커패시터에 의해 상기 화소부에 인가되는 전압 변동이 감소됨으로써 표시 품질을 향상시킬 수 있다.

- [0128] 이하에서는 도 9에 도시된 상기 제3 화소부(P3)를 예로 하여 본 실시예에 따른 화소 구조 및 제조 방법을 설명한다.
- [0129] 도 10은 도 9에 도시된 액정 표시 패널의 평면도이다. 도 11은 도 9에 도시된 III-III'선을 따라 절단한 단면도이다.
- [0130] 도 10 및 도 11을 참조하면, 상기 액정 표시 패널(1000B)은 표시 기관(100B), 대향 기관(200) 및 액정층(300)을 포함한다. 상기 액정 표시 패널(1000B)은 실시예 1의 액정 표시 패널(1000)과 비교할 때, 실질적으로 동일한 구성요소에 대해서는 상세한 설명을 생략하고, 또한 실시예 1과 동일한 상기 표시 기관(100B)의 구성 요소에 대해서는 반복되는 설명을 간략하게 한다.
- [0131] 상기 표시 기관(100B)은 제1 베이스 기관(101), 게이트 배선(GL), 스토리지 배선(STL), 제1 쉘드부(SH1), 제2 쉘드부(SH2), 제3 데이터 배선(DL3), 제1 전원 배선(VL1), 제4 데이터 배선(DL4), 제5 화소 전극(PE5), 제6 화소 전극(PE6), 제7 화소 전극(PE7), 제8 화소 전극(PE8), 제1 연결 배선(CL1)을 포함한다.
- [0132] 상기 게이트 배선(GL)은 상기 제2 방향(DI2)으로 연장된다. 제5 게이트 전극(GE5) 및 제6 게이트 전극(GE6)은 상기 게이트 배선(GL)으로부터 돌출된다.
- [0133] 상기 스토리지 배선(STL)은 상기 제2 방향(DI2)으로 연장되고, 상기 게이트 배선(GL)과 인접하게 배치된다.
- [0134] 상기 제1 쉘드부(SH1)는 상기 제3 화소부(P3)에 데이터 전압을 전달하는 자기 데이터 배선, 즉, 상기 제3 데이터 배선(DL3)과 인접하게 배치된다. 상기 제1 쉘드부(SH1)는 상기 제3 데이터 배선(DL3)의 상부와 인접한 제1 상부 쉘드(SU1) 및 상기 제3 데이터 배선(DL3)의 하부와 인접한 제1 하부 쉘드(SD1)를 포함한다. 상기 제2 쉘드부(SH2)는 상기 제1 전원 배선(VL1)(또는 이웃 전원 배선)과 인접하게 배치된다. 상기 제2 쉘드부(SH2)는 상기 제1 전원 배선(VL)의 상부와 인접한 제2 상부 쉘드(SU2) 및 상기 제1 전원 배선(VL1)의 하부와 인접한 제2 하부 쉘드(SD2)를 포함한다. 상기 제1 및 제2 쉘드부(SH1, SH2)는 실시예 2에서와 같이, 제1 상부 트렌치(TU1), 제1 하부 트렌치(TD1), 제2 상부 트렌치(TU2) 및 제2 하부 트렌치(TD2)로 형성할 수 있다.
- [0135] 상기 제3 데이터 배선(DL3)은 상기 제1 방향(DI1)으로 연장된다. 제5 소스 전극(SE5)은 상기 제3 데이터 배선(DL3)으로 돌출되고 상기 제5 게이트 전극(GE5) 상에 배치된다. 제5 드레인 전극(DE5)은 상기 제5 소스 전극(SE5)과 이격되고, 상기 스토리지 배선(STL)과 부분적으로 중첩되고, 제1 콘택홀(C1)을 통해 상기 제5 화소 전극(PE5)과 전기적으로 연결된다. 상기 제5 드레인 전극(DE5)은 연장부를 포함하고, 상기 연장부는 상기 스토리지 배선(STL)과 부분적으로 중첩되어 제1 스토리지 커패시터(CST1)를 형성한다.
- [0136] 상기 제6 소스 전극(SE6)은 상기 제1 연결 배선(CL1)과 제3 콘택홀(C3)을 통해 전기적으로 연결되고, 상기 제6 게이트 전극(GE6) 상에 배치된다. 상기 제1 연결 배선(CL1)은 상기 제1 전원 배선(VL1)과 전기적으로 연결된다. 상기 제6 드레인 전극(DE6)은 상기 제6 소스 전극(SE6)과 이격되고, 상기 스토리지 배선(STL)과 부분적으로 중첩되고, 제4 콘택홀(C4)을 통해 상기 제6 화소 전극(PE6)과 전기적으로 연결된다. 상기 제6 드레인 전극(DE6)은 연장부를 포함하고, 상기 연장부는 상기 스토리지 배선(STL)과 부분적으로 중첩되어 제2 스토리지 커패시터(CST2)를 형성한다.
- [0137] 상기 제4 데이터 배선(DL4)은 상기 제1 방향(DI1)으로 연장된다. 제7 화소 전극(PE7)은 제7 스위칭 소자(도 9의 T7)를 통해 상기 제4 데이터 배선(DL4)과 전기적으로 연결되고, 제8 화소 전극(PE8)은 제8 스위칭 소자(도 9의 T8)를 통해 제2 연결 배선(CL2)과 전기적으로 연결된다.
- [0138] 상기 제3 데이터 배선(DL3)은 상기 제5 화소 전극(PE5)의 줄기부에 의해 중첩될 수 있고, 상기 제4 데이터 배선(DL4)은 상기 제7 화소 전극(PE7)의 줄기부에 의해 중첩될 수 있다. 이에 따라, 서로 다른 극성을 갖는 상기 제3 및 제4 화소부들(P3, P4) 사이에서 발생하는 빛샘을 방지할 수 있다.
- [0139] 또한, 상기 제1 전원 배선(VL1)과 상기 제4 데이터 배선(DL4) 사이의 간격을 충분히 이격시켜 배치한다. 상기 제1 전원 배선(VL1)과 상기 제4 데이터 배선(DL4)의 간격은 약 $7\mu\text{m}$ 내지 약 $13\mu\text{m}$ 일 수 있다. 이에 따라, 서로 다른 극성을 갖는 상기 제3 및 제4 화소부들(P3, P4) 사이에서 발생하는 빛샘을 방지할 수 있다.
- [0140] 상기 제1 연결 배선(CL1) 및 제2 연결 배선(도 9의 도면부호 : CL2)은 상기 게이트 배선(GL)과 중첩되도록 형성한다. 이에 따라서, 상기 액정 표시 패널의 개구율을 증가시킬 수 있다.

- [0141] 도 12a 내지 도 12c는 도 11에 도시된 표시 기관의 제조 방법을 설명하기 위한 평면도들이다. 이하에서는 실시예 1과 동일한 구성 요소에 대해서는 반복되는 설명을 생략한다.
- [0142] 도 11 및 도 12a를 참조하면, 상기 제1 베이스 기관(101) 상에 제1 금속층을 형성하고, 상기 제1 금속층을 패터닝하여 제1 금속 패턴을 형성한다. 상기 제1 금속 패턴은 상기 게이트 배선(GL), 제5 게이트 전극(GE5), 제6 게이트 전극(GE6), 스토리지 배선(STL), 제1 쉘드부(SH1) 및 제2 쉘드부(SH2)를 포함한다.
- [0143] 상기 스토리지 배선(STL)은 상기 제2 방향으로 연장되고, 상기 게이트 배선(GL)과 인접하게 형성한다.
- [0144] 상기 제1 금속 패턴이 형성된 상기 제1 베이스 기관(101) 상에는 게이트 절연막(102)이 상기 제1 금속 패턴을 덮도록 형성된다.
- [0145] 도 11 및 도 12b를 참조하면, 상기 게이트 절연막(102) 상에 반도체층 및 제2 금속층을 형성하고, 상기 반도체층 및 제2 금속층을 패터닝하여 제2 금속 패턴을 형성한다. 상기 제2 금속 패턴은 제3 데이터 배선(DL3), 제4 데이터 배선(DL4), 제5 소스 전극(SE5), 제5 드레인 전극(DE5), 제6 소스 전극(SE6) 및 제6 드레인 전극(DE6) 및 제1 전원 배선(VL1)을 포함한다.
- [0146] 상기 제5 드레인 전극(DE5)은 상기 제5 소스 전극(SE5)과 이격되고, 상기 제5 드레인 전극(SE5)의 연장부는 상기 스토리지 배선(STL)과 부분적으로 중첩된다. 상기 제6 드레인 전극(DE6)은 상기 제6 소스 전극(SE6)과 이격되고, 상기 제6 드레인 전극(DE6)의 연장부는 상기 스토리지 배선(STL)과 부분적으로 중첩된다.
- [0147] 도 11 및 도 12c를 참조하면, 상기 제2 금속 패턴이 형성된 상기 제1 베이스 기관(101) 상에 상기 제2 금속 패턴을 상기 보호 절연막(103)을 형성한다. 상기 보호 절연막(103) 및 상기 게이트 절연막(102)을 식각하여 제1, 제2, 제3, 제4, 제5, 제6, 제7 및 제8 콘택홀들(C1, C2, C3, C4, C5, C6, C7, C8)을 형성한다. 상기 제1 베이스 기관(101) 상에 유기 절연막(104)을 형성한다. 상기 유기 절연막(104)을 패터닝하여 상기 제1, 제2, 제3, 제4, 제5, 제6, 제7 및 제8 콘택홀들(C1, C2, C3, C4, C5, C6, C7, C8)에 대응하는 영역의 상기 유기 절연막(104)을 제거한다. 도시되지는 않았으나, 상기 제1 및 제2 쉘드부(SH1, SH2)는 실시예 2와 같이, 상기 게이트 절연막(102), 상기 보호 절연막(103) 및 상기 유기 절연막(104)을 제거하여 제1 상부 트랜치(TU1), 제1 하부 트랜치(TD1), 제2 상부 트랜치(TU2) 및 제2 하부 트랜치(TD2)로 형성할 수 있다.
- [0148] 상기 제1, 제2, 제3, 제4, 제5, 제6, 제7 및 제8 콘택홀들(C1, C2, C3, C4, C5, C6, C7, C8)이 형성된 상기 제1 베이스 기관(101) 상에 투명 도전층을 형성하고, 상기 투명 도전층을 패터닝하여 투명 전극 패턴을 형성한다. 상기 투명 전극 패턴은 상기 제5 화소 전극(PE5), 제6 화소 전극(PE6), 제7 화소 전극(PE7), 제8 화소 전극(PE8) 및 제1 연결 배선(CL1)을 포함한다.
- [0149] 상기 제5 화소 전극(PE5)의 줄기부는 상기 제3 데이터 배선(DL3)과 중첩되도록 형성하고, 상기 제7 화소 전극(PE7)의 줄기부는 상기 제1 전원 배선(VL1)과 중첩되도록 형성할 수 있다.
- [0150] 상기 제1 연결 배선(CL1)은 상기 게이트 배선(GL) 상에 형성하여 상기 게이트 배선(GL)과 중첩시킨다.
- [0151] 본 실시예에 따르면, 일정한 레벨의 직류 전압이 인가되는 상기 스토리지 배선을 형성함으로써 화소부의 전압 변동을 감소시켜 표시 품질을 향상시킬 수 있다. 또한, 서로 다른 극성을 갖는 화소부들 사이의 데이터 배선 및 전원 배선을 이웃한 화소 전극으로 중첩시킴으로써 빛샘을 방지할 수 있다. 또한, 상기 전원 배선과 스위칭 소자를 연결하는 연결 배선을 게이트 배선과 중첩시킴으로써 개구율을 향상시킬 수 있다.
- [0152] 실시예 4
- [0153] 도 13은 본 발명의 실시예 4에 따른 액정 표시 패널의 개념도이다.
- [0154] 도 13을 참조하면, 상기 액정 표시 패널(1000C)은 복수의 데이터 배선들(DL1, DL2, DL3, DL4, DL5, DL6, DL7, DL8, DL9, DL10, DL11, DL12), 제1 버스 배선(BL1), 제2 버스 배선(BL2), 제1 전원 배선(VL1), 제2 전원 배선(VL2), 제1 게이트 배선(GL1), 제2 게이트 배선(GL1) 및 복수의 화소부들(P1, P2, P3, P4, P5, P6, P7, P8, P9, P10, P11, P12)을 포함한다. 상기 복수의 화소부들(P1, P2, P3, P4, P5, P6, P7, P8, P9, P10, P11, P12)은 주요색 화소를 포함한다.
- [0155] 실시예 1과 같이, 상기 제1 내지 제6 화소부들(P1, P2, P3, P4, P5, P6)은 제1 내지 제12 화소 전극들(PE1, PE2, ..., PE12)을 포함한다. 상기 제1 내지 제12 화소 전극들(PE1, PE2, ..., PE12)은 제1 내지 제12 스위칭 소

자들(T1, T2, ..., T12)을 통해 제1 내지 제6 데이터 배선들(DL1, DL2, DL3, DL4, DL5, DL6)과 상기 전원 배선들(VL1, VL2) 및 상기 제1 게이트 배선(GL1)에 전기적으로 연결된다. 이에 상기 제1 내지 제6 화소부들(P1, P2, P3, P4, P5, P6)의 상세한 연결 구조에 대한 설명은 생략한다.

[0156] 상기 제2 게이트 배선(GL2)은 상기 제2 방향(DI2)으로 연장된다.

[0157] 도시된 바와 같이, 상기 제1 및 제2 게이트 배선들(GL1, GL2)은 상기 액정 표시 패널의 주변 영역에서 서로 연결될 수 있다. 이 경우, 게이트 구동부로부터 출력된 게이트 신호는 서로 연결된 상기 제1 및 제2 게이트 배선들(GL1, GL2)에는 동시에 인가될 수 있다. 또는, 상기 제1 및 제2 게이트 배선들(GL1, GL2)이 서로 분리될 수 있다. 이 경우, 게이트 구동부는 상기 제1 및 제2 게이트 배선들(GL1, GL2) 각각에 게이트 신호를 동일한 타이밍에 동시에 출력할 수 있다. 이에 따라서, 상기 제1 및 제2 게이트 배선들(GL1, GL2)과 전기적으로 연결된 두 개의 화소 행들을 동시에 구동시킬 수 있다. 제7 화소부(P7)는 제13 화소 전극(PE13), 제14 화소 전극(PE14), 제13 스위칭 소자(T13) 및 제14 스위칭 소자(T14)를 포함한다. 상기 제13 화소 전극(PE13)은 상기 제13 스위칭 소자(T13)를 통해 제7 데이터 배선(DL7)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제7 데이터 배선(DL7)은 상기 제1 및 제2 데이터 배선들(DL1, DL2) 사이에 배치되고, 상기 제2 데이터 배선(DL2)과 인접하게 배치된다. 상기 제14 화소 전극(PE14)은 상기 제13 화소 전극(PE13)과 이격되고, 상기 제14 스위칭 소자(T14)를 통해 상기 제1 전원 배선(VL1)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제14 스위칭 소자(T14)는 제1 연결 배선(CL1)을 통해 상기 제1 전원 배선(VL1)과 연결된다.

[0158] 제8 화소부(P8)는 제15 화소 전극(PE15), 제16 화소 전극(PE16), 제15 스위칭 소자(T15) 및 제16 스위칭 소자(T16)를 포함한다. 상기 제15 화소 전극(PE15)은 상기 제15 스위칭 소자(T15)를 통해 제8 데이터 배선(DL8)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제8 데이터 배선(DL8)은 상기 제2 및 제3 데이터 배선들(DL2, DL3) 사이에 배치되고, 상기 제3 데이터 배선(DL3)과 인접하게 배치된다. 상기 제16 화소 전극(PE16)은 상기 제15 화소 전극(PE15)과 이격되고, 상기 제16 스위칭 소자(T16)를 통해 상기 제1 전원 배선(VL1)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제16 스위칭 소자(T16)는 제1 연결 배선(CL1)을 통해 상기 제1 전원 배선(VL1)과 연결된다.

[0159] 제9 화소부(P9)는 제17 화소 전극(PE17), 제18 화소 전극(PE18), 제17 스위칭 소자(T17) 및 제18 스위칭 소자(T18)를 포함한다. 상기 제17 화소 전극(PE17)은 상기 제17 스위칭 소자(T17)를 통해 제9 데이터 배선(DL9)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제9 데이터 배선(DL9)은 상기 제3 데이터 배선(DL3) 및 상기 제1 전원 배선(VL1) 사이에 배치되고, 상기 제1 전원 배선(VL1)과 인접하게 배치된다. 상기 제18 화소 전극(PE18)은 상기 제17 화소 전극(PE17)과 이격되고, 상기 제18 스위칭 소자(T18)를 통해 상기 제1 전원 배선(VL1)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제18 스위칭 소자(T18)는 제1 연결 배선(CL1)을 통해 상기 제1 전원 배선(VL1)과 연결된다.

[0160] 제10 화소부(P10)는 제19 화소 전극(PE19), 제20 화소 전극(PE20), 제19 스위칭 소자(T19) 및 제20 스위칭 소자(T20)를 포함한다. 상기 제19 화소 전극(PE19)은 상기 제19 스위칭 소자(T19)를 통해 제10 데이터 배선(DL10)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제10 데이터 배선(DL10)은 상기 제4 및 제5 데이터 배선들(DL4, DL5) 사이에 배치되고, 상기 제5 데이터 배선(DL5)과 인접하게 배치된다. 상기 제20 화소 전극(PE20)은 상기 제19 화소 전극(PE19)과 이격되고, 상기 제20 스위칭 소자(T20)를 통해 상기 제2 전원 배선(VL2)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제20 스위칭 소자(T20)는 제2 연결 배선(CL2)을 통해 상기 제2 전원 배선(VL2)과 연결된다.

[0161] 제11 화소부(P11)는 제21 화소 전극(PE21), 제22 화소 전극(PE22), 제21 스위칭 소자(T21) 및 제22 스위칭 소자(T22)를 포함한다. 상기 제21 화소 전극(PE21)은 상기 제21 스위칭 소자(T21)를 통해 제11 데이터 배선(DL11)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제11 데이터 배선(DL11)은 상기 제5 및 제6 데이터 배선들(DL5, DL6) 사이에 배치되고, 상기 제6 데이터 배선(DL6)과 인접하게 배치된다. 상기 제22 화소 전극(PE22)은 상기 제21 화소 전극(PE21)과 이격되고, 상기 제22 스위칭 소자(T22)를 통해 상기 제2 전원 배선(VL2)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제22 스위칭 소자(T22)는 제2 연결 배선(CL2)을 통해 상기 제2 전원 배선(VL2)과 연결된다.

[0162] 제12 화소부(P12)는 제23 화소 전극(PE23), 제24 화소 전극(PE24), 제23 스위칭 소자(T23) 및 제24 스위칭 소자(T24)를 포함한다. 상기 제23 화소 전극(PE23)은 상기 제23 스위칭 소자(T23)를 통해 제12 데이터 배선(DL12)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제12 데이터 배선(DL12)은 상기 제6 데이터 배선(DL6) 및 제2 전원 배선(VL2) 사이에 배치되고, 상기 제2 전원 배선(VL2)과 인접하게 배치된다. 상기 제24 화소 전극(PE24)

4)은 상기 제23 화소 전극(PE23)과 이격되고, 상기 제24 스위칭 소자(T24)를 통해 상기 제2 전원 배선(VL2)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제24 스위칭 소자(T24)는 제2 연결 배선(CL2)을 통해 상기 제2 전원 배선(VL2)과 연결된다.

[0163] 상기 제1 전원 배선(VL1)에는 기준 전압 대비 제1 극성(-)의 전압이 인가되고, 상기 제2 전원 배선(VL2)에는 상기 기준 전압 대비 제2 극성(+)의 전압이 인가된다. 상기 제1, 제2, 제3, 제7, 제8 및 제9 데이터 배선들(DL1, DL2, DL3, DL7, DL8, DL9)에는 제1 전원 배선(VL1)에 인가된 전압 보다 높은 레벨의 전압 즉, 제2 극성(+)의 전압이 인가되고, 상기 제4, 제5, 제6, 제10, 제11 및 제12 데이터 배선들(DL4, DL5, DL6, DL10, DL11, DL12)에는 상기 제2 전원 배선(VL2)에 인가된 전압 보다 낮은 레벨의 전압, 즉 제1 극성(-)의 전압이 인가된다.

[0164] 본 실시예에 따르면, 하나의 화소 열이 두 개의 데이터 배선들에 의해 데이터 전압을 인가 받고, 두 개의 화소 행들이 두 개의 게이트 배선들에 의해 하나의 게이트 신호를 인가 받음으로써, 1 수평 주기(1H) 동안 두 개의 화소 행들이 구동되게 된다. 즉, 상기 액정 표시 패널(1000C)은 고속 구동을 가능하게 할 수 있다. 또한, 세 개의 화소부들이 하나의 전원 배선을 공유하고 동일한 극성의 데이터 전압이 인가됨으로써 블랙 빔샘 방지를 최소화할 수 있다. 또한, 상기 전원 배선의 개수를 줄임으로써 개구율을 향상시킬 수 있다.

[0165] 도 14는 도 13에 도시된 액정 표시 패널의 평면도이다. 이하에서는 실시예 1과 동일한 구성 요소에 대해서는 반복되는 설명을 간략하게 또는 생략한다.

[0166] 도 13 및 도 14를 참조하면, 상기 액정 표시 패널(1000C)은 제3 데이터 배선(DL3), 제9 데이터 배선(DL9), 제1 전원 배선(VL1), 제1 게이트 배선(GL1) 및 제3 화소부(P3)를 포함한다.

[0167] 상기 제3 데이터 배선(DL3) 및 상기 제9 데이터 배선(DL9)은 제1 방향(DI1)으로 연장되고, 제3 및 제9 데이터 배선들(DL3, DL9) 사이에 상기 제3 화소부(P3)가 배치된다. 상기 제1 전원 배선(VL1)은 상기 제9 데이터 배선(DL9)과 인접하게 배치된다.

[0168] 상기 제1 게이트 배선(GL1)은 상기 제2 방향(DI2)으로 연장된다.

[0169] 상기 제3 화소부(P3)는 제5 스위칭 소자(T5), 제5 화소 전극(PE5), 제6 스위칭 소자(T6), 제6 화소 전극(PE6), 제1 쉘드부(SH1) 및 제2 쉘드부(SH2)를 포함한다. 상기 제5 스위칭 소자(T5)는 상기 제1 게이트 배선(GL1)과 연결된 제5 게이트 전극(GE5)과, 상기 제3 데이터 배선(DL3)과 연결된 제5 소스 전극(SE5) 및 상기 제5 소스 전극(SE5)과 이격되고 상기 제5 화소 전극(PE5)과 제1 콘택홀(C1)을 통해 연결된 제5 드레인 전극(DE5)을 포함한다.

[0170] 상기 제6 스위칭 소자(T6)는 상기 제1 게이트 배선(GL1)과 연결된 제6 게이트 전극(GE6), 상기 제1 전원 배선(VL1)과 전기적으로 연결된 상기 제1 연결 배선(CL1)을 통해 연결된 제6 소스 전극(SE6) 및 상기 제6 소스 전극(SE6)과 이격되고 상기 제6 화소 전극(PE6)과 제4 콘택홀(C4)을 통해 연결된 제6 드레인 전극(DE6)을 포함한다. 상기 제6 소스 전극(SE6)은 제3 콘택홀(C3)을 통해 상기 제1 연결 배선(CL1)과 연결된다.

[0171] 상기 제1 쉘드부(SH1)는 자기 화소부, 즉 제3 화소부(P3)에 데이터 전압을 전달하는 상기 제3 데이터 배선(DL1)과 인접하게 배치되고, 제1 상부 쉘드(SU1) 및 제1 하부 쉘드(SD1)를 포함한다.

[0172] 상기 제2 쉘드부(SH2)는 이웃 화소부, 즉, 상기 제3 화소부(P3)와 상기 제1 방향(DI1)으로 이웃한 제9 화소부(P9)에 데이터 전압을 전달하는 상기 제9 데이터 배선(DL9)과 인접하게 배치되고, 제2 상부 쉘드(SU2) 및 제2 하부 쉘드(SD2)를 포함한다. 상기 제1 및 제2 쉘드부(SH1, SH2)는 금속 패턴이며, 예를 들면, 상기 제1 게이트 배선(GL1)과 동일한 금속층으로부터 형성된 금속 패턴일 수 있다.

[0173] 본 실시예에 따른 표시 기관의 제조 방법은 도 5a 내지 도 5d를 참조로 설명한 실시예 1의 표시 기관의 제조 방법과 실질적으로 동일하다. 단, 상기 제9 데이터 배선(DL9)은 상기 제3 데이터 배선(DL3)을 포함하는 상기 제2 금속 패턴을 형성하는 단계에서 형성될 수 있다. 이에 본 실시예에 따른 표시 기관의 제조 방법은 생략한다.

[0174] 실시예 5

[0175] 도 15는 본 발명의 실시예 5에 따른 액정 표시 패널의 평면도이다.

[0176] 도 13 및 도 15를 참조하면, 상기 액정 표시 패널(1000D)은 실시예 4와 비교할 때, 제1 및 제2 쉘드부(SH1, SH2)가 실시예 2의 트렌치 구조를 갖는 것을 제외하고는 실질적으로 동일하다.

[0177] 상기 액정 표시 패널(1000D)은 제1 및 제2 쉘드부(SH1, SH2) 및 연결 전극 패턴(CEP)을 포함한다. 상기 제1 및

제2 쉘드부(SH1, SH2)는 실시예 2의 도 7을 참조하여 설명한다.

- [0178] 상기 제1 쉘드부(SH1)는 자기 화소부, 즉 제3 화소부(P3)에 데이터 전압을 전달하는 상기 제3 데이터 배선(DL3)과 인접하게 배치되고, 제1 상부 트랜치(TU1) 및 제1 하부 트랜치(TD1)를 포함한다. 상기 제1 상부 트랜치(TU1) 및 제1 하부 트랜치(TD1)는 상기 게이트 절연막(102), 상기 보호 절연막(103) 및 상기 유기 절연막(104)이 제거되어 형성된다. 상기 제1 상부 트랜치(TU1)에는 상기 제3 데이터 배선(DL3)의 상부와 부분적으로 중첩되는 상기 제6 화소 전극(PE6)이 형성되고, 상기 제1 하부 트랜치(TD1)에는 상기 제3 데이터 배선(DL3)의 하부와 부분적으로 중첩되는 상기 제5 화소 전극(PE5)이 형성된다.
- [0179] 상기 제2 쉘드부(SH2)는 이웃 화소부, 즉, 상기 제3 화소부(P3)와 상기 제1 방향(DI1)으로 이웃한 제9 화소부(P9)에 데이터 전압을 전달하는 상기 제9 데이터 배선(DL9)과 인접하게 배치되고, 제2 상부 트랜치(TU2)와 제2 하부 트랜치(TD2)를 포함한다. 상기 제2 상부 트랜치(TU2) 및 상기 제2 하부 트랜치(TD2)는 상기 게이트 절연막(102), 상기 보호 절연막(103) 및 상기 유기 절연막(104)이 제거되어 형성된다. 상기 제2 상부 트랜치(TU2)에는 상기 제9 데이터 배선(DL9)의 상부와 중첩되는 상기 제5 화소 전극(PE5)이 형성되고, 상기 제2 하부 트랜치(TD2)에는 상기 제9 데이터 배선(DL9)의 하부와 중첩되는 상기 제6 화소 전극(PE6)이 형성된다.
- [0180] 상기 연결 전극 패턴(CEP)은 상기 제1 금속 패턴일 수 있다. 상기 연결 전극 패턴(CEP)은 상기 화소 영역의 중앙 부분에 상기 제2 방향(DI2)으로 연장되어, 상기 화소 영역의 하부에 배치된 제5 화소 전극(PE5)과 상기 상부에 배치된 상기 제5 화소 전극(PE5)을 전기적으로 연결한다. 상기 연결 전극 패턴(CEP)은 제9 콘택홀(C9)을 통해 상기 제3 데이터 배선(DL3)에 부분적으로 중첩된 제5 화소 전극(PE5)과 전기적으로 연결되고, 제10 콘택홀(C10)을 통해 상기 제9 데이터 배선(DL9)에 부분적으로 중첩된 상기 제5 화소 전극(PE5)과 전기적으로 연결된다.
- [0181] 상기 제1 및 제2 쉘드부들(SH1, SH2)은 실시예 1과 동일하게 상기 데이터 배선 또는 상기 전원 배선의 전계가 누설되는 것을 차단할 수 있고, 또한, 데이터 배선 또는 상기 전원 배선과 화소 전극 사이의 빗샘을 방지할 수 있다. 더불어, 본 실시예의 제1 및 제2 쉘드부들(SH1, SH2)은 트랜치 내에 상기 화소 전극이 형성되는 구조를 가짐으로써 상기 제1 금속 패턴으로 형성된 실시예 1에 비해 개구율을 향상시킬 수 있다.
- [0182] 본 실시예에 따른 표시 기관의 제조 방법은 도 8a 내지 도 8d를 참조로 설명한 실시예 2의 표시 기관의 제조 방법과 실질적으로 동일하다. 단, 상기 제9 데이터 배선(DL9)은 상기 제3 데이터 배선(DL3)을 포함하는 상기 제2 금속 패턴을 형성하는 단계에서 형성될 수 있다. 이에 본 실시예에 따른 표시 기관의 제조 방법은 생략한다.
- [0183] 실시예 6
- [0184] 도 16은 본 발명의 실시예 6에 따른 액정 표시 패널의 개념도이다.
- [0185] 도 16을 참조하면, 상기 액정 표시 패널(1000E)은 실시예 4의 액정 표시 패널(1000C)와 비교할 때, 제1 스토리지 배선(STL1) 및 제2 스토리지 배선(STL2)을 더 포함한다.
- [0186] 상기 제1 스토리지 배선(STL1)은 상기 제2 방향(DI2)으로 연장되고, 상기 제1 게이트 배선(GL1)과 인접하게 배치된다. 상기 제1 스토리지 배선(STL1)은 상기 제1 게이트 배선(GL1)과 전기적으로 연결된 화소 행의 화소부들에 포함된 스위칭 소자의 연장부와 부분적으로 중첩되어 스토리지 커패시터를 형성한다.
- [0187] 상기 제2 스토리지 배선(STL2)은 상기 제2 방향(DI2)으로 연장되고, 상기 제2 게이트 배선(GL2)과 인접하게 배치된다. 상기 제2 스토리지 배선(STL2)은 상기 제2 게이트 배선(GL2)과 전기적으로 연결된 화소 행의 화소부들에 포함된 스위칭 소자의 연장부와 부분적으로 중첩되어 스토리지 커패시터를 형성한다. 상기 스토리지 커패시터에 의해 상기 화소부의 전압 변동을 감소시켜 표시 품질을 향상시킬 수 있다.
- [0188] 도시된 바와 같이, 상기 제1 및 제2 게이트 배선들(GL1, GL2)은 상기 액정 표시 패널의 주변 영역에서 서로 연결될 수 있다. 이 경우, 게이트 구동부로부터 출력된 게이트 신호는 서로 연결된 상기 제1 및 제2 게이트 배선들(GL1, GL2)에는 동시에 인가될 수 있다. 또는, 상기 제1 및 제2 게이트 배선들(GL1, GL2)이 서로 분리될 수 있다. 이 경우, 게이트 구동부는 상기 제1 및 제2 게이트 배선들(GL1, GL2) 각각에 게이트 신호를 동일한 타이밍에 동시에 출력할 수 있다. 이에 따라서, 상기 제1 및 제2 게이트 배선들(GL1, GL2)과 전기적으로 연결된 두 개의 화소 행들을 동시에 구동시킬 수 있다.
- [0189] 본 실시예에 따른 화소부는 실시예 1의 제1 금속 패턴으로 형성된 제1 및 제2 쉘드부들(SH1, SH2)를 포함할 수

있고, 또는 실시예 2와 트렌치 구조의 제1 및 제2 셸드부들(SH1, SH2)을 포함할 수 있다.

- [0190] 도 17은 도 16에 도시된 액정 표시 패널의 평면도이다. 이하에서는 실시예 5와 동일한 구성 요소에 대해서는 반복되는 설명을 간략하게 또는 생략한다.
- [0191] 도 16 및 도 17을 참조하면, 상기 액정 표시 패널(1000E)은 제3 데이터 배선(DL3), 제9 데이터 배선(DL9), 제1 전원 배선(VL1), 제1 게이트 배선(GL1), 제1 스토리지 배선(STL1) 및 제3 화소부(P3)를 포함한다.
- [0192] 상기 제1 게이트 배선(GL1)은 상기 제2 방향(DI2)으로 연장된다.
- [0193] 상기 제1 스토리지 배선(STL1)은 상기 제2 방향(DI2)으로 연장되고, 상기 제1 게이트 배선(GL1)과 인접하게 배치된다.
- [0194] 상기 제3 화소부(P3)는 제5 스위칭 소자(T5), 제5 화소 전극(PE5), 제6 스위칭 소자(T6), 제6 화소 전극(PE6), 제1 셸드부(SH1) 및 제2 셸드부(SH2)를 포함한다.
- [0195] 상기 제5 스위칭 소자(T5)는 상기 제1 게이트 배선(GL1)과 연결된 제5 게이트 전극(GE5)과, 상기 제3 데이터 배선(DL3)과 연결된 제5 소스 전극(SE5) 및 상기 제5 소스 전극(SE5)과 이격된 제5 드레인 전극(DE5)을 포함한다. 상기 제5 드레인 전극(DE5)의 연장부는 상기 제1 스토리지 배선(STL1)과 부분적으로 중첩되고, 상기 제5 화소 전극(PE5)과 제1 콘택홀(C1)을 통해 연결된다. 상기 제5 드레인 전극(DE5)의 연장부 및 상기 연장부와 부분적으로 중첩된 상기 제1 스토리지 배선(STL1)에 의해 제1 스토리지 커패시터(CST1)가 형성된다.
- [0196] 상기 제6 스위칭 소자(T6)는 상기 제1 게이트 배선(GL1)과 연결된 제6 게이트 전극(GE6), 상기 제1 전원 배선(VL1)과 전기적으로 연결된 상기 제1 연결 배선(CL1)을 통해 연결된 제6 소스 전극(SE6) 및 상기 제6 소스 전극(SE6)과 이격된 제6 드레인 전극(DE6)을 포함한다. 상기 제6 드레인 전극(DE6)의 연장부는 상기 제1 스토리지 배선(STL1)과 부분적으로 중첩되고, 상기 제6 화소 전극(PE6)과 제4 콘택홀(C4)을 통해 연결된 제6 드레인 전극(DE6)을 포함한다. 상기 제6 소스 전극(SE6)은 제3 콘택홀(C3)을 통해 상기 제1 연결 배선(CL1)과 연결된다. 상기 제6 드레인 전극(DE6)의 연장부 및 상기 연장부와 부분적으로 중첩된 상기 제1 스토리지 배선(STL1)에 의해 제2 스토리지 커패시터(CST2)가 형성된다.
- [0197] 본 실시예에 따른 표시 기관의 제조 방법은 도 12a 내지 도 12c를 참조로 설명한 실시예 3의 표시 기관의 제조 방법과 실질적으로 동일하다. 즉, 제1 금속 패턴은 상기 제1 게이트 배선(GL1), 제2 게이트 배선(GL2), 제1 스토리지 배선(STL1) 및 제2 스토리지 배선들(STL2)을 포함하고, 제2 금속 패턴이 상기 제1 내지 제16 데이터 배선들(DL1, DL2, ..., DL16)을 포함한다. 본 실시예에 따른 표시 기관의 제조 방법은 생략한다.
- [0198] 실시예 7
- [0199] 도 18은 본 발명의 실시예 7에 따른 액정 표시 패널의 개념도이다.
- [0200] 도 1 및 도 18을 참조하면, 상기 액정 표시 패널(1000F)은 패드부(400), 복수의 데이터 배선들(DL1, DL2, DL3, DL4, DL5, DL6, DL7, DL8), 제1 버스 배선(BL1), 제2 버스 배선(BL2), 제1 전원 배선(VL1), 제2 전원 배선(VL2), 게이트 배선(GL) 및 복수의 화소부들(P1, P2, P3, P4, P5, P6, P7, P8)을 포함한다. 이하에서는 실시예 1과 동일한 구성 요소에 대해서는 반복되는 설명을 간략하게 한다.
- [0201] 상기 패드부(400)는 상기 액정 표시 패널(1000F)의 제1 주변 영역(PA1)에 배치되고 데이터 배선과 연결된 복수의 패드들을 포함한다.
- [0202] 상기 데이터 배선들(DL1, DL2, DL3, DL4, DL5, DL6, DL7, DL8) 각각은 상기 제1 방향(DI1)으로 연장되고, 상기 제2 방향(DI2)으로 배열된다.
- [0203] 상기 제1 버스 배선(BL1)은 상기 제2 방향(DI2)으로 연장되고, 상기 액정 표시 패널(1000F)의 제1 주변 영역(PA1)에 배치될 수 있다. 상기 제2 버스 배선(BL2)은 상기 제2 방향(DI2)으로 연장되고, 상기 제1 버스 배선(BL1)과 인접한 상기 제1 주변 영역(PA1)에 배치될 수 있다.
- [0204] 상기 제1 전원 배선(VL1)은 상기 제1 버스 배선(BL1)에 연결되어 상기 제1 방향(DI1)으로 연장된다. 상기 제2 전원 배선(VL2)은 상기 제2 버스 배선(BL2)에 연결되어 상기 제1 방향(DI2)으로 연장된다. 상기 제1 및 제2 전원 배선들(VL1, VL2) 사이에는 복수의 화소부들(P5, P6, P7, P8)이 배열되고, 상기 제1 및 제2 전원 배선들(VL1, VL2) 각각은 복수의 화소부들(P1, P2, P3, P4, P5, P6, P7, P8)에 전압을 제공한다.

- [0205] 상기 게이트 배선(GL)은 상기 제2 방향(DI2)으로 연장된다.
- [0206] 상기 복수의 화소부들(P1, P2, P3, P4, P5, P6, P7, P8)은 주요색 화소 및 다원색(multi-primary color) 화소를 포함한다. 상기 주요색 화소는 적색 화소, 녹색 화소 및 청색 화소를 포함할 수 있고, 상기 다원색 화소는 화이트, 옐로우, 시안 및 마젠타 화소 등을 포함할 수 있다. 본 실시예에서는 상기 다원색 화소는 화이트 화소인 경우를 예로 한다. 상기 다원색 화소를 더 포함하는 경우, 상기 액정 표시 패널의 투과율이 향상되고 색 재현성 범위(색역)가 넓어져 사람의 눈으로 시인할 수 있는 거의 모든 색을 재현할 수 있다. 제1 화소부(P1)는 제1 화소 전극(PE1), 제2 화소 전극(PE2), 제1 스위칭 소자(T1) 및 제2 스위칭 소자(T2)를 포함한다. 상기 제1 화소 전극(PE1)은 상기 제1 스위칭 소자(T1)를 통해 상기 제1 데이터 배선(DL1)과 상기 게이트 배선(GL)에 연결된다. 상기 제2 화소 전극(PE2)은 상기 제1 화소 전극(PE1)과 이격되고, 상기 제2 스위칭 소자(T2)를 통해 상기 제1 전원 배선(VL1)과 상기 게이트 배선(GL)에 연결된다. 상기 제2 스위칭 소자(T2)는 제1 연결 배선(CL1)을 통해 상기 제1 전원 배선(VL1)과 연결된다.
- [0207] 제2 화소부(P2)는 제3 화소 전극(PE3), 제4 화소 전극(PE4), 제3 스위칭 소자(T3) 및 제4 스위칭 소자(T4)를 포함한다. 상기 제3 화소 전극(PE3)은 상기 제3 스위칭 소자(T3)를 통해 상기 제2 데이터 배선(DL2)과 상기 게이트 배선(GL)에 연결된다. 상기 제4 화소 전극(PE4)은 상기 제3 화소 전극(PE3)과 이격되고, 상기 제4 스위칭 소자(T4)를 통해 상기 제1 전원 배선(VL1)과 상기 게이트 배선(GL)에 연결된다. 상기 제4 스위칭 소자(T4)는 상기 제1 연결 배선(CL1)을 통해 상기 제1 전원 배선(VL1)과 연결된다.
- [0208] 제3 화소부(P3)는 제5 화소 전극(PE5), 제6 화소 전극(PE6), 제5 스위칭 소자(T5) 및 제6 스위칭 소자(T6)를 포함한다. 상기 제5 화소 전극(PE5)은 상기 제5 스위칭 소자(T5)를 통해 상기 제3 데이터 배선(DL3)과 상기 게이트 배선(GL)에 연결된다. 상기 제6 화소 전극(PE6)은 상기 제5 화소 전극(PE5)과 이격되고, 상기 제6 스위칭 소자(T6)를 통해 상기 제1 전원 배선(VL1)과 상기 게이트 배선(GL)에 연결된다. 상기 제6 스위칭 소자(T6)는 상기 제1 연결 배선(CL1)을 통해 상기 제1 전원 배선(VL1)과 연결된다.
- [0209] 제4 화소부(P4)는 제7 화소 전극(PE7), 제8 화소 전극(PE8), 제7 스위칭 소자(T7) 및 제8 스위칭 소자(T8)를 포함한다. 상기 제7 화소 전극(PE7)은 상기 제7 스위칭 소자(T7)를 통해 상기 제4 데이터 배선(DL4)과 상기 게이트 배선(GL)에 연결된다. 상기 제8 화소 전극(PE8)은 상기 제7 화소 전극(PE7)과 이격되고, 상기 제8 스위칭 소자(T8)를 통해 상기 제1 전원 배선(VL1)과 상기 게이트 배선(GL)에 연결된다. 상기 제8 스위칭 소자(T8)는 상기 제1 연결 배선(CL1)을 통해 상기 제1 전원 배선(VL1)과 연결된다.
- [0210] 제5 화소부(P5)는 제9 화소 전극(PE9), 제10 화소 전극(PE10), 제9 스위칭 소자(T9) 및 제10 스위칭 소자(T10)를 포함한다. 상기 제9 화소 전극(PE9)은 상기 제9 스위칭 소자(T9)를 통해 상기 제5 데이터 배선(DL5)과 상기 게이트 배선(GL)에 연결된다. 상기 제10 화소 전극(PE10)은 상기 제9 화소 전극(PE9)과 이격되고, 상기 제10 스위칭 소자(T10)를 통해 상기 제2 전원 배선(VL2)과 상기 게이트 배선(GL)에 연결된다. 상기 제10 스위칭 소자(T10)는 제2 연결 배선(CL2)을 통해 상기 제2 전원 배선(VL2)과 연결된다.
- [0211] 제6 화소부(P6)는 제11 화소 전극(PE11), 제12 화소 전극(PE12), 제11 스위칭 소자(T11) 및 제12 스위칭 소자(T12)를 포함한다. 상기 제11 화소 전극(PE11)은 상기 제11 스위칭 소자(T11)를 통해 상기 제6 데이터 배선(DL6)과 상기 게이트 배선(GL)에 연결된다. 상기 제12 화소 전극(PE12)은 상기 제11 화소 전극(PE11)과 이격되고, 상기 제12 스위칭 소자(T12)를 통해 상기 제2 전원 배선(VL2)과 상기 게이트 배선(GL)에 연결된다. 상기 제12 스위칭 소자(T12)는 상기 제2 연결 배선(CL2)을 통해 상기 제2 전원 배선(VL2)과 연결된다.
- [0212] 제7 화소부(P7)는 제13 화소 전극(PE13), 제14 화소 전극(PE14), 제13 스위칭 소자(T13) 및 제14 스위칭 소자(T14)를 포함한다. 상기 제13 화소 전극(PE13)은 상기 제13 스위칭 소자(T13)를 통해 상기 제7 데이터 배선(DL7)과 상기 게이트 배선(GL)에 연결된다. 상기 제14 화소 전극(PE14)은 상기 제15 화소 전극(PE15)과 이격되고, 상기 제14 스위칭 소자(T14)를 통해 상기 제2 전원 배선(VL2)과 상기 게이트 배선(GL)에 연결된다. 상기 제14 스위칭 소자(T14)는 상기 제2 연결 배선(CL2)을 통해 상기 제2 전원 배선(VL2)과 연결된다.
- [0213] 제8 화소부(P8)는 제15 화소 전극(PE15), 제16 화소 전극(PE16), 제15 스위칭 소자(T15) 및 제16 스위칭 소자(T16)를 포함한다. 상기 제15 화소 전극(PE15)은 상기 제15 스위칭 소자(T15)를 통해 상기 제8 데이터 배선(DL8)과 상기 게이트 배선(GL)에 연결된다. 상기 제16 화소 전극(PE16)은 상기 제15 화소 전극(PE15)과 이격되고, 상기 제16 스위칭 소자(T16)를 통해 상기 제2 전원 배선(VL2)과 상기 게이트 배선(GL)에 연결된다. 상기 제16 스위칭 소자(T16)는 상기 제2 연결 배선(CL2)을 통해 상기 제2 전원 배선(VL2)과 연결된다.
- [0214] 상기 제1 전원 배선(VL1)에는 기준 전압 대비 제1 극성(-)의 전압이 인가되고, 상기 제2 전원 배선(VL2)에는 상

기 기준 전압 대비 제2 극성(+)의 전압이 인가된다. 상기 제1, 제2, 제3 및 제4 데이터 배선들(DL1, DL2, DL3, DL4)에는 상기 제1 전원 배선(VL1)에 인가된 전압 보다 높은 레벨의 제2 극성(+)의 전압이 인가되고, 상기 제5, 제6, 제7 및 제8 데이터 배선들(DL5, DL6, DL7, DL8)에는 상기 제2 전원 배선(VL2)에 인가된 전압 보다 낮은 레벨의 제1 극성(-)의 전압이 인가된다. 예를 들면, 상기 제1 극성(-)은 기준 전압의 레벨보다 작은 레벨의 전압이고, 상기 제2 극성(+)은 기준 전압의 레벨보다 높은 레벨의 전압일 수 있다.

[0215] 본 실시예에 따르면, 네 개의 화소부들이 하나의 전원 배선을 공유하고 동일한 극성의 데이터 전압이 인가됨으로써 블랙 빔샘 방식을 최소화할 수 있다. 또한, 상기 전원 배선의 개수를 줄임으로써 개구율을 향상시킬 수 있다.

[0216] 본 실시예에 따른 제4 화소부(P4)의 화소 구조는 도 3에 도시된 실시예 1의 제3 화소부(P3)와 동일할 수 있다. 도 3에 도시된 제3 화소부(P3)와 같이, 본 실시예에 따른 화소부는 제1 및 제2 쉘드부들(SH1, SH2)을 포함할 수 있고, 또한, 상기 제1 및 제2 쉘드부들(SH1, SH2)은 금속 패턴으로 형성될 수 있다. 이 경우, 본 실시예에 따른 표시 기관의 제조 방법은 도 5a 내지 도 5d를 참조한 실시예 1에 따른 표시 기관의 제조 방법과 실질적으로 동일할 수 있다. 단, 상기 제1 및 제2 전원 배선들(VL1, VL2) 각각이 네 개의 화소부들을 단위로 배열될 수 있다.

[0217] 또한, 본 실시예에 따른 제4 화소부(P4)의 구조는 도 6에 도시된 실시예 2의 제3 화소부(P3)와 동일할 수 있다. 도 6에 도시된 제3 화소부(P3)와 같이, 본 실시예에 따른 화소부는 제1 및 제2 쉘드부들(SH1, SH2)을 포함할 수 있고, 또한, 상기 제1 및 제2 쉘드부들(SH1, SH2)은 트렌치 구조로 형성될 수 있다. 이 경우, 본 실시예에 따른 표시 기관의 제조 방법은 도 8a 내지 도 8d를 참조한 실시예 2에 따른 표시 기관의 제조 방법과 실질적으로 동일할 수 있다. 단, 상기 제1 및 제2 전원 배선들(VL1, VL2) 각각이 네 개의 화소부들을 단위로 배열될 수 있다.

[0218] 실시예 8

[0219] 도 19는 본 발명의 실시예 8에 따른 액정 표시 패널의 개념도이다.

[0220] 도 19를 참조하면, 상기 액정 표시 패널(1000G)은 실시예 7과 비교할 때, 스토리지 배선(STL)을 더 포함한다.

[0221] 상기 스토리지 배선(STL)은 상기 제2 방향(DI2)으로 연장되고, 상기 게이트 배선(GL)과 인접하게 배치된다. 상기 스토리지 배선(STL)에는 스토리지 전압이 인가된다. 상기 스토리지 전압은 프레임에 관계없이 일정한 레벨의 직류 전압(DC; direct current)일 수 있다.

[0222] 예를 들면, 상기 스토리지 배선(STL)은 화소 행의 제1, 제2, 제3, 제4, 제5, 제6, 제7 및 제8 화소부들(P1, P2, P3, P4, P5, P6, P7, P8)에 포함된 제1 내지 제16 스위칭 소자들(T1, T2, ..., T16)의 연장부들과 부분적으로 중첩되어 복수의 스토리지 커패시터들을 형성한다. 상기 스토리지 커패시터들에 의해 상기 화소부의 전압 변동을 감소됨으로써 표시 품질을 향상시킬 수 있다.

[0223] 본 실시예에 따른 제4 화소부(P4)는 도 10에 도시된 실시예 3의 제3 화소부(P3)와 동일할 수 있다. 도 10에 도시된 제3 화소부(P3)와 같이, 본 실시예에 따른 제4 화소부(P4)의 제7 스위칭 소자의 연장부는 상기 스토리지 배선(STL)이 부분적으로 중첩되어 제1 스토리지 커패시터를 형성하고, 제8 스위칭 소자의 연장부는 상기 스토리지 배선(STL)과 부분적으로 중첩되어 제2 스토리지 커패시터를 형성할 수 있다. 이 경우, 본 실시예에 따른 표시 기관의 제조 방법은 도 12a 내지 도 12c를 참조한 실시예 3에 따른 표시 기관의 제조 방법과 실질적으로 동일할 수 있다. 단, 상기 제1 및 제2 전원 배선들(VL1, VL2) 각각이 네 개의 화소부들을 단위로 배열될 수 있다.

[0224] 또한, 본 실시예에 따른 화소부는 실시예 1과 같이, 금속 패턴의 제1 및 제2 쉘드부들(SH1, SH2)을 포함할 수 있으며, 이 경우, 본 실시예에 따른 표시 기관의 제조 방법은 실시예 1에 따른 표시 기관의 제조 방법과 실질적으로 동일할 수 있다.

[0225] 또한, 본 실시예에 따른 화소부는 실시예 2와 같이, 트렌치 구조의 제1 및 제2 쉘드부들(SH1, SH2)을 포함할 수 있으며, 이 경우, 본 실시예에 따른 표시 기관의 제조 방법은 실시예 2에 따른 표시 기관의 제조 방법과 실질적으로 동일할 수 있다.

[0226] 실시예 9

[0227] 도 20은 본 발명의 실시예 9에 따른 액정 표시 패널의 개념도이다.

- [0228] 도 20을 참조하면, 상기 액정 표시 패널(1000H)은 복수의 데이터 배선들(DL1, DL2, DL3, DL4, DL5, DL6, DL7, DL8, DL9, DL10, DL11, DL12, DL13, DL14, DL15, DL16), 제1 버스 배선(BL1), 제2 버스 배선(BL2), 제1 전원 배선(VL1), 제2 전원 배선(VL2), 제1 게이트 배선(GL1), 제2 게이트 배선(GL2) 및 복수의 화소부들(P1, P2, P3, P4, P5, P6, P7, P8, P9, P10, P11, P12, P13, P14, P15, P16)을 포함한다. 상기 복수의 화소부들(P1, P2, P3, P4, P5, P6, P7, P8, P9, P10, P11, P12, P13, P14, P15, P16)은 주요색 화소 및 다원색 화소를 포함한다. 상기 주요색 화소는 적색 화소, 녹색 화소 및 청색 화소를 포함할 수 있고, 상기 다원색 화소는 화이트, 옐로우, 시안 및 마젠타 화소 등을 포함할 수 있다. 본 실시예에서는 상기 다원색 화소는 화이트 화소인 경우를 예로 한다.
- [0229] 도 18에 도시된 실시예 7과 같이, 상기 제1 내지 제8 화소부들(P1, P2, P3, P4, P5, P6, P7, P8)은 제1 내지 제16 화소 전극들(PE1, PE2, ..., PE16)을 포함한다. 상기 제1 내지 제16 화소 전극들(PE1, PE2, ..., PE16)은 제1 내지 제16 스위칭 소자들(T1, T2, ..., T16)을 통해 제1 내지 제8 데이터 배선들(DL1, DL2, DL3, DL4, DL5, DL6, DL7, DL8)과 상기 전원 배선들(VL1, VL2) 및 상기 제1 게이트 배선(GL1)에 전기적으로 연결된다. 이에 상기 제1 내지 제8 화소부들(P1, P2, P3, P4, P5, P6, P7, P8)의 상세한 연결 구조에 대한 설명은 생략한다.
- [0230] 상기 제2 게이트 배선(GL2)은 상기 제2 방향(DI2)으로 연장되고, 상기 제1 게이트 배선(GL1)과 전기적으로 연결된다. 도시된 바와 같이, 상기 제1 및 제2 게이트 배선들(GL1, GL2)은 상기 액정 표시 패널의 주변 영역에서 서로 연결될 수 있다. 이 경우, 게이트 구동부로부터 출력된 게이트 신호는 서로 연결된 상기 제1 및 제2 게이트 배선들(GL1, GL2)에는 동시에 인가될 수 있다. 또는, 상기 제1 및 제2 게이트 배선들(GL1, GL2)이 서로 분리될 수 있다. 이 경우, 게이트 구동부는 상기 제1 및 제2 게이트 배선들(GL1, GL2) 각각에 게이트 신호를 동일한 타이밍에 동시에 출력할 수 있다. 이에 따라서, 상기 제1 및 제2 게이트 배선들(GL1, GL2)과 전기적으로 연결된 두 개의 화소 행들을 동시에 구동시킬 수 있다.
- [0231] 제9 화소부(P9)는 제17 화소 전극(PE17), 제18 화소 전극(PE18), 제17 스위칭 소자(T17) 및 제18 스위칭 소자(T18)를 포함한다. 상기 제17 화소 전극(PE17)은 상기 제17 스위칭 소자(T17)를 통해 제9 데이터 배선(DL9)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제9 데이터 배선(DL9)은 상기 제1 및 제2 데이터 배선들(DL1, DL2) 사이에 배치되고, 상기 제2 데이터 배선(DL2)과 인접하게 배치된다. 상기 제18 화소 전극(PE18)은 상기 제17 화소 전극(PE17)과 이격되고, 상기 제18 스위칭 소자(T18)를 통해 상기 제1 전원 배선(VL1)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제18 스위칭 소자(T18)는 제1 연결 배선(CL1)을 통해 상기 제1 전원 배선(VL1)과 연결된다.
- [0232] 제10 화소부(P10)는 제19 화소 전극(PE19), 제20 화소 전극(PE20), 제19 스위칭 소자(T19) 및 제20 스위칭 소자(T20)를 포함한다. 상기 제19 화소 전극(PE19)은 상기 제19 스위칭 소자(T19)를 통해 제10 데이터 배선(DL10)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제10 데이터 배선(DL10)은 상기 제2 및 제3 데이터 배선들(DL2, DL3) 사이에 배치되고, 상기 제3 데이터 배선(DL3)과 인접하게 배치된다. 상기 제20 화소 전극(PE20)은 상기 제19 화소 전극(PE19)과 이격되고, 상기 제20 스위칭 소자(T20)를 통해 상기 제1 전원 배선(VL1)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제20 스위칭 소자(T20)는 제1 연결 배선(CL1)을 통해 상기 제1 전원 배선(VL1)과 연결된다.
- [0233] 제11 화소부(P11)는 제21 화소 전극(PE21), 제22 화소 전극(PE22), 제21 스위칭 소자(T21) 및 제22 스위칭 소자(T22)를 포함한다. 상기 제21 화소 전극(PE21)은 상기 제21 스위칭 소자(T21)를 통해 제11 데이터 배선(DL11)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제11 데이터 배선(DL11)은 상기 제3 및 제4 데이터 배선들(DL3, DL4) 사이에 배치되고, 상기 제4 데이터 배선(DL4)과 인접하게 배치된다. 상기 제22 화소 전극(PE22)은 상기 제20 화소 전극(PE20)과 이격되고, 상기 제22 스위칭 소자(T22)를 통해 상기 제1 전원 배선(VL1)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제22 스위칭 소자(T22)는 제1 연결 배선(CL1)을 통해 상기 제1 전원 배선(VL1)과 연결된다.
- [0234] 제12 화소부(P12)는 제23 화소 전극(PE23), 제24 화소 전극(PE24), 제23 스위칭 소자(T23) 및 제24 스위칭 소자(T24)를 포함한다. 상기 제23 화소 전극(PE23)은 상기 제23 스위칭 소자(T23)를 통해 제12 데이터 배선(DL12)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제12 데이터 배선(DL12)은 상기 제4 데이터 배선(DL4) 및 상기 제1 전원 배선(VL1) 사이에 배치되고, 상기 제1 전원 배선(VL1)과 인접하게 배치된다. 상기 제24 화소 전극(PE24)은 상기 제23 화소 전극(PE23)과 이격되고, 상기 제24 스위칭 소자(T24)를 통해 상기 제1 전원 배선(VL1)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제24 스위칭 소자(T24)는 제1 연결 배선(CL1)을 통해 상기 제1 전원 배선(VL1)과 연결된다.

- [0235] 제13 화소부(P13)는 제25 화소 전극(PE25), 제26 화소 전극(PE26), 제25 스위칭 소자(T25) 및 제26 스위칭 소자(T26)를 포함한다. 상기 제25 화소 전극(PE25)은 상기 제25 스위칭 소자(T25)를 통해 제13 데이터 배선(DL13)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제13 데이터 배선(DL13)은 상기 제5 및 제6 데이터 배선들(DL5, DL6) 사이에 배치되고, 상기 제6 데이터 배선(DL6)과 인접하게 배치된다. 상기 제26 화소 전극(PE26)은 상기 제25 화소 전극(PE25)과 이격되고, 상기 제26 스위칭 소자(T26)를 통해 상기 제2 전원 배선(VL2)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제26 스위칭 소자(T26)는 제2 연결 배선(CL2)을 통해 상기 제2 전원 배선(VL2)과 연결된다.
- [0236] 제14 화소부(P14)는 제27 화소 전극(PE27), 제28 화소 전극(PE28), 제27 스위칭 소자(T27) 및 제28 스위칭 소자(T28)를 포함한다. 상기 제27 화소 전극(PE27)은 상기 제27 스위칭 소자(T27)를 통해 제14 데이터 배선(DL14)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제14 데이터 배선(DL14)은 상기 제6 및 제7 데이터 배선들(DL6, DL7) 사이에 배치되고, 상기 제7 데이터 배선(DL7)과 인접하게 배치된다. 상기 제28 화소 전극(PE28)은 상기 제27 화소 전극(PE27)과 이격되고, 상기 제28 스위칭 소자(T28)를 통해 상기 제2 전원 배선(VL2)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제28 스위칭 소자(T28)는 제2 연결 배선(CL2)을 통해 상기 제2 전원 배선(VL2)과 연결된다.
- [0237] 제15 화소부(P15)는 제29 화소 전극(PE29), 제30 화소 전극(PE30), 제29 스위칭 소자(T29) 및 제30 스위칭 소자(T30)를 포함한다. 상기 제29 화소 전극(PE29)은 상기 제29 스위칭 소자(T29)를 통해 제15 데이터 배선(DL15)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제15 데이터 배선(DL15)은 상기 제7 및 제8 데이터 배선들(DL7, DL8) 사이에 배치되고, 상기 제8 데이터 배선(DL8)과 인접하게 배치된다. 상기 제30 화소 전극(PE30)은 상기 제29 화소 전극(PE29)과 이격되고, 상기 제30 스위칭 소자(T30)를 통해 상기 제2 전원 배선(VL2)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제30 스위칭 소자(T30)는 제2 연결 배선(CL2)을 통해 상기 제2 전원 배선(VL2)과 연결된다.
- [0238] 제16 화소부(P16)는 제31 화소 전극(PE31), 제32 화소 전극(PE32), 제31 스위칭 소자(T31) 및 제32 스위칭 소자(T32)를 포함한다. 상기 제31 화소 전극(PE31)은 상기 제31 스위칭 소자(T31)를 통해 제16 데이터 배선(DL16)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제16 데이터 배선(DL16)은 상기 제8 데이터 배선(DL8) 및 상기 제2 전원 배선(VL2) 사이에 배치되고, 상기 제2 전원 배선(VL2)과 인접하게 배치된다. 상기 제32 화소 전극(PE32)은 상기 제31 화소 전극(PE31)과 이격되고, 상기 제32 스위칭 소자(T32)를 통해 상기 제2 전원 배선(VL2)과 상기 제2 게이트 배선(GL2)에 연결된다. 상기 제32 스위칭 소자(T32)는 제2 연결 배선(CL2)을 통해 상기 제2 전원 배선(VL2)과 연결된다.
- [0239] 상기 제1 전원 배선(VL1)에는 기준 전압 대비 제1 극성(-)의 전압이 인가되고, 상기 제2 전원 배선(VL2)에는 상기 기준 전압 대비 제2 극성(+)의 전압이 인가된다. 상기 제1, 제2, 제3, 제4, 제9, 제10, 제11 및 제12 데이터 배선들(DL1, DL2, DL3, DL4, DL9, DL10, DL11, DL12)에는 상기 제1 전원 배선(VL1)에 인가된 전압 보다 높은 레벨의 제2 극성(+)의 전압이 인가되고, 상기 제5, 제6, 제7, 제8, 제13, 제14, 제15 및 제16 데이터 배선들(DL5, DL6, DL7, DL8, DL13, DL14, DL15, DL16)에는 상기 제2 전원 배선(VL2)에 인가된 전압 보다 낮은 레벨의 제1 극성(-)의 전압이 인가된다.
- [0240] 본 실시예에 따르면, 하나의 화소 열이 두 개의 데이터 배선들에 의해 데이터 전압을 인가 받고, 두 개의 화소 행들이 하나의 게이트 신호를 인가 받음으로써, 1 수평 주기(1H) 동안 두 개의 화소 행들이 구동되게 된다. 즉, 상기 액정 표시 패널(1000H)은 고속 구동을 가능하게 할 수 있다. 또한, 네 개의 화소부들이 하나의 전원 배선을 공유하고 동일한 극성의 데이터 전압이 인가됨으로써 블랙 빔샘 방지를 최소화할 수 있다. 또한, 상기 전원 배선의 개수를 줄임으로써 개구율을 향상시킬 수 있다.
- [0241] 본 실시예에 따른 제4 화소부(P4)의 화소 구조는 도 14에 도시된 실시예 4의 제3 화소부(P3)와 동일할 수 있다. 도 14에 도시된 제3 화소부(P3)와 같이, 본 실시예에 따른 화소부는 제1 및 제2 쉘드부들(SH1, SH2)을 포함할 수 있고, 또한, 상기 제1 및 제2 쉘드부들(SH1, SH2)은 금속 패턴으로 형성될 수 있다. 이 경우, 본 실시예에 따른 표시 기판의 제조 방법은 도 5a 내지 도 5d를 참조한 실시예 1에 따른 표시 기판의 제조 방법과 실질적으로 동일할 수 있다. 단, 상기 제1 및 제2 전원 배선들(VL1, VL2) 각각이 네 개의 화소부들을 단위로 배열될 수 있다.
- [0242] 또한, 본 실시예에 따른 제4 화소부(P4)의 구조는 도 15에 도시된 실시예 5의 제3 화소부(P3)와 동일할 수 있다. 도 15에 도시된 제3 화소부(P3)와 같이, 본 실시예에 따른 화소부는 제1 및 제2 쉘드부들(SH1, SH2)을 포함할 수 있고, 또한, 상기 제1 및 제2 쉘드부들(SH1, SH2)은 트렌치 구조로 형성할 수 있다. 이 경우, 본 실시

예에 따른 표시 기관의 제조 방법은 도 8a 내지 도 8d를 참조한 실시예 2에 따른 표시 기관의 제조 방법과 실질적으로 동일할 수 있다. 단, 상기 제1 및 제2 전원 배선들(VL1, VL2) 각각이 네 개의 화소부들을 단위로 배열될 수 있다.

[0243] 실시예 10

[0244] 도 21은 본 발명의 실시예 10에 따른 액정 표시 패널의 개념도이다.

[0245] 도 21을 참조하면, 상기 액정 표시 패널(1000I)은 실시예 9의 액정 표시 패널(1000H)과 비교할 때, 제1 스토리지 배선(STL1) 및 제2 스토리지 배선(STL2)을 더 포함한다.

[0246] 상기 제1 스토리지 배선(STL1)은 상기 제1 게이트 배선(GL1)과 평행하고 상기 제1 게이트 배선(GL1)과 인접하게 배치된다. 상기 제1 스토리지 배선(STL1)은 상기 제1 게이트 배선(GL1)과 전기적으로 연결된 화소 행의 화소부들에 포함된 스위칭 소자의 연장부와 부분적으로 중첩되어 스토리지 커패시터를 형성한다.

[0247] 상기 제2 스토리지 배선(STL2)은 상기 제2 게이트 배선(GL2)과 평행하고, 상기 제2 게이트 배선(GL2)과 인접하게 배치된다. 상기 제2 스토리지 배선(STL2)은 상기 제2 게이트 배선(GL2)과 전기적으로 연결된 화소 행의 화소부들에 포함된 스위칭 소자의 연장부와 부분적으로 중첩되어 스토리지 커패시터를 형성한다.

[0248] 상기 스토리지 커패시터에 의해 상기 화소부의 전압 변동을 감소시켜 표시 품질을 향상시킬 수 있다.

[0249] 도시된 바와 같이, 상기 제1 및 제2 게이트 배선들(GL1, GL2)은 상기 액정 표시 패널의 주변 영역에서 서로 연결될 수 있다. 이 경우, 게이트 구동부로부터 출력된 게이트 신호는 서로 연결된 상기 제1 및 제2 게이트 배선들(GL1, GL2)에는 동시에 인가될 수 있다. 또는, 상기 제1 및 제2 게이트 배선들(GL1, GL2)이 서로 분리될 수 있다. 이 경우, 게이트 구동부는 상기 제1 및 제2 게이트 배선들(GL1, GL2) 각각에 게이트 신호를 동일한 타이밍에 동시에 출력할 수 있다. 이에 따라서, 상기 제1 및 제2 게이트 배선들(GL1, GL2)과 전기적으로 연결된 두 개의 화소 행들을 동시에 구동시킬 수 있다.

[0250] 본 실시예에 따른 화소부들 각각은 실시예 1의 금속 패턴의 제1 및 제2 쉘드부들(SH1, SH2) 또는 실시예 2의 트렌치 구조의 제1 및 제2 쉘드부들(SH1, SH2)을 포함할 수 있다.

[0251] 본 실시예에 따른 표시 기관의 제조 방법은 도 12a 내지 도 12c를 참조로 설명한 실시예 3의 표시 기관의 제조 방법과 실질적으로 동일하다. 즉, 제1 금속 패턴은 상기 제1 게이트 배선(GL1), 제2 게이트 배선(GL2), 제1 스토리지 배선(STL1) 및 제2 스토리지 배선들(STL2)을 포함하고, 제2 금속 패턴이 상기 제1 내지 제16 데이터 배선들(DL1, DL2, ..., DL16)을 포함한다. 본 실시예에 따른 표시 기관의 제조 방법은 생략한다.

[0252] 실시예 11

[0253] 도 22는 본 발명의 실시예 11에 따른 액정 표시 패널의 개념도이다.

[0254] 도 1 및 도 22를 참조하면, 상기 액정 표시 패널(1000J)은 패드부(400), 제1 버스 배선(BL1), 제2 버스 배선(BL2), 제1 전원 배선들(VL11, VL21), 제2 전원 배선들(VL12, VL22), 복수의 데이터 배선들(DL1, DL2, ..., DL6), 복수의 연결 전극들(CT1, CT2), 게이트 배선(GL) 및 복수의 화소부들(P1, P2, ..., P6)을 포함한다.

[0255] 상기 패드부(400)는 상기 데이터 구동부(1030)로부터 출력된 복수의 데이터 전압들을 수신하는 복수의 패드들(410, 420, 430, 440, 450, 460)을 포함한다.

[0256] 상기 제1 버스 배선(BL1)은 상기 제2 방향(DI2)으로 연장되고, 상기 액정 표시 패널(1000J)의 제1 주변 영역(PA1)에 배치될 수 있다. 상기 제2 버스 배선(BL2)은 상기 제2 방향(DI2)으로 연장되고, 상기 제1 버스 배선(BL1)과 인접한 상기 제1 주변 영역(PA1)에 배치될 수 있다.

[0257] 상기 제1 전원 배선들(VL11, VL12) 각각은 상기 제1 버스 배선(BL1)에 연결되어 상기 제1 방향(DI1)으로 연장된다. 상기 제1 전원 배선들(VL11, VL12) 각각은 두 개의 화소부들과 전기적으로 연결되어 전압을 제공한다. 예를 들면, 상기 제1 전원 배선(VL1)은 제1 화소부(P1)와 상기 제1 화소부(P1)와 상기 제2 방향(DI2)으로 인접한 제2 화소부(P2) 사이에 배치되어, 상기 제1 및 제2 화소부들(P1, P2)에 전압을 제공한다.

[0258] 상기 제2 전원 배선들(VL12, VL22) 각각은 상기 제2 버스 배선(BL2)에 연결되어 상기 제1 방향(DI2)으로 연장된

다. 상기 제2 전원 배선들(VL12, VL22) 각각은 하나의 화소부와 전기적으로 연결되어 전압을 제공한다. 예를 들면, 상기 제2 전원 배선(VL2)은 제3 화소부(P3)와 상기 제3 화소부(P3)와 상기 제2 방향(DI2)으로 인접한 제4 화소부(P4) 사이에 배치되어, 상기 제3 화소부(P3)에 전압을 제공한다.

[0259] 상기 데이터 배선들(DL1, DL2, DL3, DL4, DL5, DL6)은 상기 제1 방향(DI1)으로 연장되고, 상기 제2 방향(DI2)으로 배열된다. 제1 데이터 배선(DL1)은 제1 패드(410)와 직접 연결되고, 제2 데이터 배선(DL2)은 제1 연결 전극(CT1)을 통해 제3 패드(430)와 연결되고, 제3 데이터 배선(DL3)은 제2 연결 전극(CT2)을 통해 제2 패드(420)와 연결된다. 같은 방식으로, 제4 데이터 배선(DL4)은 제4 패드(440)와 직접 연결되고, 제5 데이터 배선(DL5)은 제1 연결 전극(CT1)을 통해 제6 패드(460)와 연결되고, 제6 데이터 배선(DL6)은 제2 연결 전극(CT2)을 통해 제5 패드(450)와 연결된다. 상기 제1 및 제2 연결 전극들(CT1, CT2)은 투명 전극 패턴일 수 있다.

[0260] 상기 게이트 배선(GL)은 상기 제2 방향(DI2)으로 연장된다.

[0261] 상기 화소부들(P1, P2, P3, P4, P5, P6)은 주요색 화소를 포함한다. 상기 주요색 화소는 적색 화소, 녹색 화소 및 청색 화소이다.

[0262] 제1 화소부(P1)는 제1 화소 전극(PE1), 제2 화소 전극(PE2), 제1 스위칭 소자(T1) 및 제2 스위칭 소자(T2)를 포함한다. 상기 제1 화소 전극(PE1)은 상기 제1 스위칭 소자(T1)를 통해 상기 제1 데이터 배선(DL1)과 상기 게이트 배선(GL)에 연결된다. 상기 제2 화소 전극(PE2)은 상기 제1 화소 전극(PE1)과 이격되고, 상기 제2 스위칭 소자(T2)를 통해 상기 제1 전원 배선(VL11)과 상기 게이트 배선(GL)에 연결된다.

[0263] 상기 제2 화소부(P2)는 제3 화소 전극(PE3), 제4 화소 전극(PE4), 제3 스위칭 소자(T3) 및 제4 스위칭 소자(T4)를 포함한다. 상기 제3 화소 전극(PE3)은 상기 제3 스위칭 소자(T3)를 통해 상기 제2 데이터 배선(DL2)과 상기 게이트 배선(GL)에 연결된다. 상기 제4 화소 전극(PE4)은 상기 제3 화소 전극(PE3)과 이격되고, 상기 제4 스위칭 소자(T4)를 통해 상기 제1 전원 배선(VL11)과 상기 게이트 배선(GL)에 연결된다.

[0264] 상기 제3 화소부(P3)는 제5 화소 전극(PE5), 제6 화소 전극(PE6), 제5 스위칭 소자(T5) 및 제6 스위칭 소자(T6)를 포함한다. 상기 제5 화소 전극(PE5)은 상기 제5 스위칭 소자(T5)를 통해 상기 제3 데이터 배선(DL3)과 상기 게이트 배선(GL)에 연결된다. 상기 제6 화소 전극(PE6)은 상기 제5 화소 전극(PE5)과 이격되고, 상기 제6 스위칭 소자(T6)를 통해 상기 제2 전원 배선(VL12)과 상기 게이트 배선(GL)에 연결된다.

[0265] 상기 제4 화소부(P4)는 제7 화소 전극(PE7), 제8 화소 전극(PE8), 제7 스위칭 소자(T7) 및 제8 스위칭 소자(T8)를 포함한다. 상기 제7 화소 전극(PE7)은 상기 제7 스위칭 소자(T7)를 통해 상기 제4 데이터 배선(DL4)과 상기 게이트 배선(GL)에 연결된다. 상기 제8 화소 전극(PE8)은 상기 제7 화소 전극(PE7)과 이격되고, 상기 제8 스위칭 소자(T8)를 통해 제1 전원 배선(VL21)과 상기 게이트 배선(GL)에 연결된다.

[0266] 상기 제5 화소부(P5)는 제9 화소 전극(PE9), 제10 화소 전극(PE10), 제9 스위칭 소자(T9) 및 제10 스위칭 소자(T10)를 포함한다. 상기 제9 화소 전극(PE9)은 상기 제9 스위칭 소자(T9)를 통해 상기 제5 데이터 배선(DL5)과 상기 게이트 배선(GL)에 연결된다. 상기 제10 화소 전극(PE10)은 상기 제9 화소 전극(PE9)과 이격되고, 상기 제10 스위칭 소자(T10)를 통해 상기 제1 전원 배선(VL21)과 상기 게이트 배선(GL)에 연결된다.

[0267] 상기 제6 화소부(P6)는 제11 화소 전극(PE11), 제12 화소 전극(PE12), 제10 스위칭 소자(T10) 및 제11 스위칭 소자(T11)를 포함한다. 상기 제11 화소 전극(PE11)은 상기 제11 스위칭 소자(T11)를 통해 상기 제6 데이터 배선(DL6)과 상기 게이트 배선(GL)에 연결된다. 상기 제12 화소 전극(PE12)은 상기 제11 화소 전극(PE11)과 이격되고, 상기 제12 스위칭 소자(T12)를 통해 제2 전원 배선(VL22)과 상기 게이트 배선(GL)에 연결된다.

[0268] 상기 제1 전원 배선(VL1)에는 기준 전압 대비 제1 극성(-)의 전압이 인가되고, 상기 제2 전원 배선(VL2)에는 상기 기준 전압 대비 제2 극성(+)의 전압이 인가된다. 상기 제1, 제2 및 제6 데이터 배선들(DL1, DL2, DL6)에는 상기 제1 전원 배선(VL1)에 인가된 전압 보다 높은 레벨의 제2 극성(+)의 전압이 인가되고, 상기 제3, 제4 및 제5 데이터 배선들(DL3, DL4, DL5)에는 상기 제2 전원 배선(VL2)에 인가된 전압 보다 낮은 레벨의 제1 극성(-)의 전압이 인가된다. 예를 들면, 상기 제1 극성(-)은 상기 기준 전압의 레벨보다 작은 레벨의 전압이고, 상기 제2 극성(+)은 상기 기준 전압의 레벨보다 높은 레벨의 전압일 수 있다.

[0269] 본 실시예에 따르면, 인접한 화소부들에 동일한 극성의 데이터 전압이 인가됨으로써 블랙 빔샘 방지를 최소화할 수 있다. 또한, 상기 전원 배선을 공유함으로써 상기 전원 배선의 개수를 줄임으로써 개구율을 향상시킬 수 있다.

[0270] 도 23은 도 22에 도시된 액정 표시 패널의 평면도이다. 도 24는 도 23에 도시된 IV-IV'선을 따라 절단한 단면도

이다.

- [0271] 도 23 및 도 24를 참조하면, 상기 액정 표시 패널(1000J)은 표시 기관(100J), 대향 기관(200) 및 액정층(300)을 포함한다. 상기 대향 기관(200) 및 상기 액정층(300)의 실시예 1과 실질적으로 동일하므로 상세한 설명은 생략한다.
- [0272] 상기 표시 기관(100J)은 제1 베이스 기관(101), 제1 금속 패턴, 제2 금속 패턴 및 투명 전극 패턴을 포함한다. 상기 표시 기관(100)은 상기 제1 금속 패턴을 덮는 게이트 절연막(102), 상기 제2 금속 패턴을 덮는 데이터 절연막 및 상기 투명 전극 패턴을 덮는 제1 배향막(11)을 더 포함한다. 상기 데이터 절연막은 보호 절연막(103) 및 유기 절연막(104)을 포함하는 다층 구조로 형성되거나, 상기 보호 절연막(103)으로 이루어진 단층 구조로 형성될 수 있다.
- [0273] 상기 제1 금속 패턴은 상기 게이트 배선(GL), 상기 게이트 배선(GL)과 연결된 복수의 스위칭 소자들(T1, T2, T3, T4, T5, T6)의 제어 전극들, 제1 쉘드부(SH1) 및 제2 쉘드부(SH2)를 포함한다. 상기 제2 금속 패턴은 상기 데이터 배선들(DL1, DL2, DL3), 상기 데이터 배선들(DL1, DL2, DL3)에 연결된 상기 스위칭 소자들(T1, T2, T3, T4, T5, T6)의 입력 전극들, 상기 소스 전극들과 각각 이격된 상기 스위칭 소자들(T1, T2, T3, T4, T5, T6)의 출력 전극들, 제1 전원 배선(VL11) 및 제2 전원 배선(VL12)을 포함한다. 상기 투명 전극 패턴은 복수의 화소 전극들(PE1, PE2, PE3, PE4, PE5, PE6) 및 도 22에 도시된 상기 제1 및 제2 연결 전극들(CT1, CT2)을 포함한다.
- [0274] 이하에서는 제1 화소부(P1)를 예로 하여 본 실시예의 화소 구조를 설명한다.
- [0275] 상기 제1 화소부(P1)는 제1 스위칭 소자(T1), 제1 화소 전극(PE1), 제2 스위칭 소자(T2), 제2 화소 전극(PE), 제1 쉘드부(SH1) 및 제2 쉘드부(SH2)를 포함한다. 상기 제1 스위칭 소자(T1)는 상기 제1 데이터 배선(DL1)과 상기 게이트 배선(GL)에 연결되고, 제1 콘택홀(C1)을 통해 상기 제1 화소 전극(PE1)과 연결된다. 상기 제2 스위칭 소자(T2)는 상기 제1 전원 배선(VL11)과 상기 게이트 배선(GL)에 연결되고, 제4 콘택홀(C4)을 통해 상기 제2 화소 전극(PE2)과 연결된다.
- [0276] 상기 제1 및 제2 화소 전극들(PE1, PE2)은 서로 교대로 배치되어 상기 제1 데이터 배선(DL1) 및 상기 제1 전원 배선(VL11)으로부터 서로 다른 극성의 전압을 인가 받는다. 상기 제1 화소 전극(PE1) 및 상기 제2 화소 전극(PE2) 사이에 수평 전기장이 형성될 때 여러가지 계조를 구현한다.
- [0277] 상기 제1 화소부(P1)의 중앙선 하부에서, 상기 제1 화소 전극(PE1)은 상기 중앙선까지 상기 제1 데이터 배선(DL1)과 부분적으로 중첩되도록 연장되는 제1 줄기부를 갖는다. 또한, 상기 하부에서 상기 제1 화소 전극(PE1)은 상기 게이트 배선(GL)의 연장 방향을 기준으로 약 45도 기울어져 상기 제1 줄기부로부터 연장되는 제1 가지부를 갖는다.
- [0278] 상기 중앙선의 하부에서, 상기 제2 화소 전극(PE2)은 상기 중앙선까지 상기 제1 전원 배선(VL11)과 부분적으로 중첩되도록 연장되는 제2 줄기부를 갖는다. 또한, 상기 하부에서 상기 제2 화소 전극(PE2)은 상기 게이트 배선(GL)의 연장 방향을 기준으로 약 -45도 기울어져 상기 제2 줄기부로부터 연장되는 제2 가지부를 갖는다.
- [0279] 상기 중앙선의 상부에서, 상기 제1 화소 전극(PE1)은 상기 중앙선으로부터 상기 제1 화소부(P1)의 상부까지 상기 제1 전원 배선(VL11)과 부분적으로 중첩되도록 연장되는 제3 줄기부를 갖는다. 또한, 상기 상부에서 상기 제1 화소 전극(PE1)은 상기 게이트 배선(GL)의 연장 방향을 기준으로 약 135도 기울어져 상기 제1 가지부로부터 연장되거나 상기 제3 줄기부로부터 연장되는 제3 가지부를 갖는다.
- [0280] 상기 중앙선의 상부에서, 상기 제2 화소 전극(PE2)은 상기 중앙선으로부터 상기 제1 화소부(P1)의 상부까지 상기 제1 데이터 배선(DL1)과 부분적으로 중첩되도록 연장되는 제4 줄기부를 갖는다. 또한, 상기 상부에서 상기 제1 화소 전극(PE1)은 상기 게이트 배선(GL)의 연장 방향을 기준으로 약 135도 기울어져 상기 제2 가지부로부터 연장되거나 상기 제4 줄기부로부터 약 -45도 기울어져 연장되는 제4 가지부를 갖는다.
- [0281] 한편, 도 1에 도시된 상기 표시영역(DA) 중 상기 제1 주변 영역(PA1)에 근접한 영역을 상기 표시 영역(DA)의 상부로 나타내기로 한다.
- [0282] 상기 표시 영역(DA)의 상부에서는 각 화소부의 제1 부분에 형성된 화소 전극들의 줄기부들이 넓게 형성되고, 제2 부분에 형성된 화소 전극들의 줄기부들이 좁게 형성될 수 있다. 반면, 하부에서는 각 화소부의 제2 부분에 형성된 화소 전극들의 줄기부들이 넓게 형성되고, 제1 부분에 형성된 화소 전극들의 줄기부들이 좁게 형성될 수 있다. 여기서, 상기 제1 부분은 상기 표시 영역(DA)의 오른쪽 부분일 수 있고, 상기 제2 부분은 상기 표시 영역

(DA)의 왼쪽 부분일 수 있다.

- [0283] 도 22를 다시 참조하면, 빗샘은 인가되는 데이터 전압들의 극성이 바뀌는 상기 제2 화소부(P2) 및 상기 제3 화소부(P3) 사이와, 상기 제5 화소부(P5) 및 상기 제6 화소부(P6) 사이에서 좀 더 많이 발생할 수 있으므로 상기 제2 화소부(P2) 및 상기 제3 화소부(P3) 사이와, 상기 제5 화소부(P5) 및 상기 제6 화소부(P6) 사이를 예로 들기로 한다.
- [0284] 구체적으로, 도 22의 화소 행이 상기 제1 방향(DI1)으로 복수개 나열되어 있다면, 프레임이 바뀔 때 이전 데이터 전압과 극성이 반대인 데이터 전압이 상기 화소부들에 상기 제2 방향으로 순차적으로 제공될 수 있다. 따라서, 상기 표시 영역(DA)의 상부 화소 행에서는 반대 극성의 데이터 전압이 프레임 초기에 바로 인가되고 상기 표시 영역(DA)의 하부 화소 행에서는 반대 극성의 데이터 전압이 프레임 후기에 인가되므로, 상기 상부 화소 행에서는 상기 제2 화소부(P2) 및 상기 제5 화소부(P5)의 오른쪽 부분에서 빗샘이 더 발생할 수 있고, 상기 하부 화소 행에서는 상기 제3 화소부(P3) 및 상기 제6 화소부(P6)의 왼쪽 부분에서 빗샘이 더 발생할 수 있다. 같은 원리로, 상기 표시 영역(DA)의 중간에 있는 중간 화소 행에서는 각 화소부들의 왼쪽 및 오른쪽 부분에서 비슷한 양의 빗샘이 발생할 수 있다.
- [0285] 따라서, 상기 표시 영역(DA)의 각 영역에서의 빗샘을 효과적으로 방지하기 위해, 상기 표시 영역(DA)의 상부 화소 행에서는 상기 제2 화소부(P2) 및 상기 제5 화소부(P5)의 오른쪽 부분에 대응하는 화소 전극들의 줄기부들의 폭을 넓게 형성하고 제3 화소부(P3) 및 상기 제6 화소부(P6)의 왼쪽 부분에 대응하는 화소 전극들의 줄기부들의 폭을 좁게 형성할 수 있다. 반면, 하부 화소 행으로 갈수록 상기 제2 화소부(P2) 및 상기 제5 화소부(P5)의 오른쪽 부분에 대응하는 화소 전극들의 줄기부들의 폭을 좁게 형성하고 제3 화소부(P3) 및 상기 제6 화소부(P6)의 왼쪽 부분에 대응하는 화소 전극들의 줄기부들의 폭을 넓게 형성할 수 있다.
- [0286] 결과적으로, 상기 표시 영역(DA)의 줄기부들의 폭을 영역별로 다르게 함으로써, 상기 표시 영역(DA)에 프레임별로 반전되는 데이터 전압들이 인가될 때, 상기 데이터 전압이 상기 표시 영역(DA)의 상부 및 하부에 시간적인 차를 두고 인가됨에 따라 어느 한 영역에 국부적으로 발생할 수 있는 빗샘을 효과적으로 방지할 수 있다.
- [0287] 제1 쉘드부(SH1)는 자기 화소부의 화소 전극과 전기적으로 연결된 데이터 배선과 인접하게 배치되고, 제2 쉘드부(SH2)는 상기 자기 화소부의 화소 전극과 전기적으로 연결된 전원 배선과 인접하게 배치되며, 상기 제1 및 제2 쉘드부들(SH1, SH2)은 상기 자기 화소부의 화소 전극들과 전기적으로 연결된다.
- [0288] 구체적으로, 제1 쉘드부(SH1)는 상기 제1 화소부(P1)에 데이터 전압을 전달하는 상기 제1 데이터 배선(DL1)과 인접하게 배치되고, 제1 상부 쉘드(SU1) 및 제1 하부 쉘드(SD1)를 포함한다. 제2 쉘드부(SH2)는 상기 제1 화소부(P1)에 전압을 전달하는 제1 전원 배선(VL11)과 인접하게 배치되고, 제2 상부 쉘드(SU2), 제2 하부 쉘드(SD2) 및 연결 쉘드(SC)를 포함한다. 상기 연결 쉘드(SC)는 상기 제1 하부 쉘드(SD1)와 상기 제2 상부 쉘드(SU1)를 연결하도록 상기 제2 방향(DI2)으로 연장되어, 상기 제1 화소부(P1)를 상부 및 하부로 나눈다.
- [0289] 상기 제1 상부 쉘드(SU1)는 상기 제1 데이터 배선(DL1)과 중첩되는 상기 제2 화소 전극(PE2)의 제4 줄기부와 부분적으로 중첩되고, 상기 제1 하부 쉘드(SD1)는 상기 제1 데이터 배선(DL1)과 중첩되는 상기 제1 화소 전극(PE1)의 제1 줄기부와 부분적으로 중첩되고, 상기 제2 상부 쉘드(SU2)는 상기 제1 전원 배선(VL11)과 중첩되는 상기 제1 화소 전극(PE1)의 제3 줄기부와 부분적으로 중첩되고, 상기 제2 하부 쉘드(SD2)는 상기 제1 전원 배선(VL11)과 중첩되는 상기 제2 화소 전극(PE2)의 제2 줄기부와 부분적으로 중첩된다.
- [0290] 상기 제1 하부 쉘드(SD1)는 제2 콘택홀(C2)을 통해 상기 제1 화소 전극(PE1)과 연결되고, 상기 제2 상부 쉘드(SU2)는 제6 콘택홀(C6)을 통해 상기 제1 화소 전극(PE1)과 연결된다. 상기 제1 상부 쉘드(SU1)는 제7 콘택홀(C7)을 통해 상기 제2 화소 전극(PE2)과 연결되고, 상기 제2 하부 쉘드(SD2)는 제5 콘택홀(C5)을 통해 상기 제2 화소 전극(PE2)과 연결된다.
- [0291] 상기 제1 하부 쉘드(SD1)는 상기 제1 화소 전극(PE1)과 중첩되고 상기 제1 화소 전극(PE1)과 동일한 전압이 인가되므로 상기 제1 데이터 배선(DL1)과 상기 제1 화소 전극(PE1) 사이에서 발생하는 빗샘을 차단할 수 있다. 또한, 상기 제1 상부 쉘드(SU1)는 상기 제2 화소 전극(PE2)과 중첩되고 상기 제2 화소 전극(PE2)과 동일한 전압이 인가되므로 상기 제1 데이터 배선(DL1)과 상기 제2 화소 전극(PE2) 사이에 발생하는 빗샘을 차단할 수 있다. 또한, 상기 제2 하부 쉘드(SD2)는 상기 제2 화소 전극(PE2)과 중첩되고 상기 제2 화소 전극(PE2)과 동일한 전압이 인가되므로 상기 제1 전원 배선(VL11)과 상기 제2 화소 전극(PE2) 사이에서 발생하는 빗샘을 차단할 수 있다. 또한, 상기 제2 상부 쉘드(SU2)는 상기 제1 화소 전극(PE1)과 중첩되고 상기 제1 화소 전극(PE1)과 동일한 전압이 인가되므로 상기 제1 전원 배선(VL11)과 상기 제1 화소 전극(PE1) 사이에서 발생하는 빗샘을 차단할 수

있다.

- [0292] 한편, 도 24를 참조하면, 상기 제1 화소부(P1)와 상기 제2 화소부(P2)의 경계 영역에 형성된 금속 패턴 및 투명 전극 패턴은 다음과 같이 구현할 수 있다. 상기 제2 하부 쉘드(SD2)의 폭인 제1 거리(d11), 상기 제2 하부 쉘드(SD2) 및 상기 제1 전원 배선(VL11)의 아래에 형성된 반도체층(150) 사이에 거리인 제2 거리(d12), 상기 반도체층(150)의 폭인 제3 거리(d13), 상기 반도체층(150) 및 상기 제1 하부 쉘드(SD1) 사이의 거리인 제4 거리(d14), 상기 제2 하부 쉘드(SD2)의 폭인 제5 거리(d15)는 각각 약 5 μ m, 3 μ m, 9 μ m, 3 μ m, 5 μ m일 수 있다. 또한, 상기 제2 화소 전극(PE2) 및 상기 제4 화소 전극(PE4) 사이의 거리(PD)는 약 6.5 μ m일 수 있다. 따라서, 불투명 폭(OA1)은 약 25 μ m일 수 있다.
- [0293] 상기 제2 화소부(P2) 및 상기 제3 화소부(P3) 사이의 경계 영역에 형성된 금속 패턴 및 투명 전극 패턴은 다음과 같이 구현할 수 있다. 상기 제2 하부 쉘드(SD2)의 폭인 제1 거리(d21), 상기 제2 하부 쉘드(SD2) 및 상기 제2 데이터 배선(DL2)의 아래에 형성된 상기 반도체층(150) 사이의 거리인 제2 거리(d22), 상기 반도체층(150)의 폭인 제3 거리(d23), 상기 제2 및 제3 데이터 배선들(DL2, DL3)의 아래에 형성된 상기 반도체층들(150) 사이의 거리인 제4 거리(d24), 상기 제3 데이터 배선(DL3)의 아래에 형성된 상기 반도체층(150)의 폭인 제5 거리(d25), 상기 반도체층(150)과 상기 제1 하부 쉘드(SD1) 사이의 거리인 제6 거리(d26), 상기 제1 하부 쉘드(SD1)의 폭인 제7 거리(d27)는 각각 약 4 μ m, 2 μ m, 6 μ m, 6 μ m, 6 μ m, 2 μ m, 4 μ m일 수 있다. 또한, 상기 제3 화소 전극(PE3) 및 상기 제5 화소 전극(PE5) 사이의 거리(PD)는 약 6.5 μ m일 수 있다. 따라서, 불투명 폭(OA2)은 약 30 μ m일 수 있다.
- [0294] 여기서, 상기 제2 및 제3 데이터 배선들(DL2, DL3)을 구리(Cu)와 같은 초비저항 물질로 막 두께도 두껍게 형성할 수 있다면 불투명 폭(OA1)은 약 25 μ m로 유지할 수 있다.
- [0295] 본 실시예에 따르면, 상기 화소 열들 사이에 배치되는 상기 제1 및 제2 전원 배선(VL11, VL12)에 의해 상기 제1 버스 배선(BL1) 및 상기 제2 버스 배선(BL2)이 상기 액정 표시 패널(1000J)의 제1 주변 영역(PA1)에 형성될 수 있다.
- [0296] 따라서, 상기 표시 영역(DA)에 상기 가로(제2 방향)로 형성된 가로 전원 배선이 제거되어 개구율을 증가시킬 수 있고, 상기 가로 전원 배선의 배선 저항에 의한 전압 강하로 상기 표시 영역(DA)의 일측에서 발생하는 화소 전극의 충전율 저하를 방지할 수 있다.
- [0297] 또한, 상기 제2 데이터 배선(DL2)과 상기 제3 패드(P3)를 연결하는 상기 제1 연결전극(CT1)과, 상기 제3 데이터 배선(DL3)과 상기 제2 패드(P12)를 연결하는 상기 제2 연결전극(CT2)은 전기적으로 분리되면서 위치적으로 교차하므로, 인접하는 상기 화소부들은 상기 제1 전원 배선(VL11)을 공유하고 동일한 극성의 데이터 전압들을 제공할 수 있다. 이에 따라, 인접하는 화소부들 사이의 블랙 빔샘을 방지할 수 있고 상기 제1 전원 배선(VL11)의 개수가 줄어들어 개구율을 증가시킬 수 있다.
- [0298] 실시예 12
- [0299] 도 25는 본 발명의 실시예 12에 따른 액정 표시 패널의 평면도이다.
- [0300] 도 25를 참조하면, 상기 액정 표시 패널(1000K)은 실시예 11의 액정 표시 패널(1000J)과 비교할 때, 제1 쉘드부(SH1), 제2 쉘드부(SH2) 및 연결 전극 패턴(CEP)을 제외한 구성 요소는 실질적으로 동일하다. 이하에서는 동일한 구성 요소에 대해서 반복되는 상세한 설명은 생략한다.
- [0301] 상기 제1 및 제2 쉘드부(SH1, SH2)는 도 24를 참조하여 상기 제1 화소부(P1)를 예로 하여 설명한다.
- [0302] 상기 제1 쉘드부(SH1)는 자기 화소부, 즉 상기 제1 화소부(P1)에 데이터 전압을 전달하는 제1 데이터 배선(DL1)과 인접하게 배치되고, 제1 상부 트랜치(TU1) 및 제1 하부 트랜치(TD1)를 포함한다. 상기 제1 상부 트랜치(TU1) 및 제1 하부 트랜치(TD1)는 상기 게이트 절연막(102), 상기 보호 절연막(103) 및 상기 유기 절연막(104)이 제거되어 형성된다. 상기 제1 상부 트랜치(TU1)에는 상기 제1 데이터 배선(DL1)의 상부와 부분적으로 중첩되는 상기 제2 화소 전극(PE2)이 형성되고, 상기 제1 하부 트랜치(TD1)에는 상기 제1 데이터 배선(DL1)의 하부와 부분적으로 중첩되는 상기 제1 화소 전극(PE1)이 형성된다.
- [0303] 상기 제2 쉘드부(SH2)는 상기 제1 화소부(P1)에 전압을 전달하는 제1 전원 배선(VL11)과 인접하게 배치되고, 제2 상부 트랜치(TU2)와 제2 하부 트랜치(TD2)를 포함한다. 상기 제2 상부 트랜치(TU2) 및 상기 제2 하부 트랜치

(TD2)는 상기 게이트 절연막(102), 상기 보호 절연막(103) 및 상기 유기 절연막(104)이 제거되어 형성된다. 상기 제2 상부 트렌치(TU2)에는 상기 제1 전원 배선(VL11)의 상부와 중첩되는 상기 제1 화소 전극(PE1)이 형성되고, 상기 제2 하부 트렌치(TD2)에는 상기 제1 전원 배선(VL11)의 하부와 중첩되는 상기 제2 화소 전극(PE2)이 형성된다.

[0304] 상기 연결 전극 패턴(CEP)은 제1 금속 패턴일 수 있다. 상기 연결 전극 패턴(CEP)은 상기 화소 영역의 중앙 부분에 상기 제2 방향(DI2)으로 연장되어, 상기 화소 영역의 하부에 배치된 상기 제1 화소 전극(PE1)과 상기 상부에 배치된 상기 제1 화소 전극(PE1)을 전기적으로 연결한다. 상기 연결 전극 패턴(CEP)은 제9 콘택홀(C9)을 통해 상기 제1 데이터 배선(DL1)에 부분적으로 중첩된 제1 화소 전극(PE1)과 전기적으로 연결되고, 제10 콘택홀(C10)을 통해 상기 제1 전원 배선(VL11)에 부분적으로 중첩된 상기 제1 화소 전극(PE1)과 전기적으로 연결된다.

[0305] 상기 제1 및 제2 쉘드부들(SH1, SH2)은 실시예 1과 동일하게 상기 데이터 배선 또는 상기 전원 배선의 전계가 누설되는 것을 차단할 수 있고, 또한, 데이터 배선 또는 상기 전원 배선과 화소 전극 사이의 빛샘을 방지할 수 있다. 더불어, 본 실시예의 제1 및 제2 쉘드부들(SH1, SH2)은 트렌치 내에 상기 화소 전극이 형성되는 구조를 가짐으로써 상기 제1 금속 패턴으로 형성된 실시예 1에 비해 개구율을 향상시킬 수 있다.

[0306] 실시예 13

[0307] 도 26은 본 발명의 실시예 13에 따른 액정 표시 패널의 평면도이다.

[0308] 도 26을 참조하면, 상기 액정 표시 패널(1000L)은 실시예 11에 따른 액정 표시 패널(1000J)과 비교할 때, 제1 금속 패턴으로 형성된 스토리지 배선(STL)을 더 포함한다.

[0309] 상기 스토리지 배선(STL)은 상기 제2 방향(DI2)으로 연장되고 상기 게이트 배선(GL)과 인접하게 배치된다. 상기 스토리지 배선(STL)에는 스토리지 전압이 인가된다. 상기 스토리지 전압은 프레임에 관계없이 일정한 레벨의 직류 전압(DC; direct current)일 수 있다.

[0310] 예를 들면, 상기 스토리지 배선(STL)은 제1 화소부(P1)에 포함된 제1 스위칭 소자(T1)의 드레인 전극으로부터 연장된 연장부와 부분적으로 중첩되어 제1 스토리지 커패시터(CST1)를 형성하고, 제2 스위칭 소자(T2)의 드레인 전극으로부터 연장된 연장부와 부분적으로 중첩되어 제2 스토리지 커패시터(CST2)를 형성한다. 상기 제1 및 제2 스토리지 커패시터들(CST1, CST2)에 의해 상기 제1 화소부(P1)에 인가된 전압의 변동을 감소시킴으로써 표시 품질을 향상시킬 수 있다.

[0311] 본 실시예에 따른 화소부는 실시예 1와 같이 제1 금속 패턴으로 형성된 제1 및 제2 쉘드부들(SH1, SH2)을 포함할 수 있고, 실시예 2와 같이 트렌치 구조의 제1 및 제2 쉘드부들(SH1, SH2)을 포함할 수 있다.

[0312] 실시예 14

[0313] 도 27은 본 발명의 실시예 14에 따른 액정 표시 패널의 개념도이다.

[0314] 도 1 및 도 27을 참조하면, 상기 액정 표시 패널(1000M)은 패드부(400), 복수의 데이터 배선들(DL1, DL2, DL3, DL4, DL5, DL6, DL7, DL8), 제1 버스 배선(BL1), 제2 버스 배선(BL2), 제1 전원 배선(VL1), 제2 전원 배선(VL2), 제1 게이트 배선(GL1), 제2 게이트 배선(GL2), 제3 게이트 배선(GL3), 제4 게이트 배선 및 복수의 화소부들(P1, P2, P3, P4, P5, P6, P7, P8)을 포함한다. 상기 복수의 화소부들(P1, P2, P3, P4, P5, P6, P7, P8)은 주요색 화소를 포함한다. 상기 주요색 화소는 적색 화소, 녹색 화소 및 청색 화소를 포함할 수 있다.

[0315] 상기 패드부(400)는 상기 액정 표시 패널(1000M)의 제1 주변 영역(PA1)에 배치되고 데이터 배선과 연결된 복수의 패드들을 포함한다.

[0316] 상기 데이터 배선들(DL1, DL2, DL3, DL4, DL5, DL6, DL7, DL8) 각각은 상기 제1 방향(DI1)으로 연장되고, 상기 제2 방향(DI2)으로 배열된다.

[0317] 상기 제1 버스 배선(BL1)은 상기 제2 방향(DI2)으로 연장되고, 상기 액정 표시 패널(1000M)의 제1 주변 영역(PA1)에 배치될 수 있다. 상기 제2 버스 배선(BL2)은 상기 제2 방향(DI2)으로 연장되고, 상기 제1 버스 배선(BL1)과 인접한 상기 제1 주변 영역(PA1)에 배치될 수 있다.

[0318] 상기 제1 전원 배선(VL1)은 상기 제1 버스 배선(BL1)에 연결되어 상기 제1 방향(DI1)으로 연장된다. 상기 제2

전원 배선(VL2)은 상기 제2 버스 배선(BL2)에 연결되어 상기 제1 방향(DI2)으로 연장된다. 상기 제1 전원 배선(VL1)은 인접한 두 개의 화소 열들 사이에 배치되어 상기 화소 열들의 화소부들(P1, P3)에 전압을 제공하고, 상기 제2 전원 배선(VL2)은 인접한 두 개의 화소 열들 사이에 배치되어 상기 화소 열들의 화소부들(P5, P7)에 전압을 제공한다.

- [0319] 상기 제1, 제2, 제3 및 제4 게이트 배선들(GL1, GL2, GL3, GL4)은 상기 제2 방향(DI2)으로 연장되고, 상기 제1 방향(DI1)으로 배열된다. 상기 제1, 제2, 제3 및 제4 게이트 배선들(GL1, GL2, GL3, GL4)은 서로 전기적으로 연결되어 동일한 게이트 신호가 인가된다. 도시된 바와 같이, 상기 제1, 제2, 제3 및 제4 게이트 배선들(GL1, GL2, GL3, GL4)은 상기 액정 표시 패널의 주변 영역에서 서로 연결될 수 있다. 이 경우, 게이트 구동부로부터 출력된 게이트 신호는 서로 연결된 상기 제1, 제2, 제3 및 제4 게이트 배선들(GL1, GL2, GL3, GL4)에는 동시에 인가될 수 있다. 또는, 상기 제1, 제2, 제3 및 제4 게이트 배선들(GL1, GL2, GL3, GL4)이 서로 분리될 수 있다. 이 경우, 게이트 구동부는 상기 제1, 제2, 제3 및 제4 게이트 배선들(GL1, GL2, GL3, GL4) 각각에 게이트 신호를 동일한 타이밍에 동시에 출력할 수 있다. 이에 따라서, 상기 제1, 제2, 제3 및 제4 게이트 배선들(GL1, GL2, GL3, GL4)과 전기적으로 연결된 두 개의 화소 행들을 동시에 구동시킬 수 있다.
- [0320] 상기 복수의 화소부들(P1, P2, P3, P4, P5, P6, P7, P8)은 주요색 화소를 포함한다. 상기 주요색 화소는 적색 화소, 녹색 화소 및 청색 화소를 포함할 수 있다.
- [0321] 제1 화소부(P1)는 제1 화소 전극(PE1), 제2 화소 전극(PE2), 제1 스위칭 소자(T1) 및 제2 스위칭 소자(T2)를 포함한다. 상기 제1 화소 전극(PE1)은 상기 제1 스위칭 소자(T1)를 통해 상기 제1 데이터 배선(DL1)과 상기 제1 게이트 배선(GL1)에 연결된다. 상기 제2 화소 전극(PE2)은 상기 제1 화소 전극(PE1)과 이격되고, 상기 제2 스위칭 소자(T2)를 통해 상기 제1 전원 배선(VL1)과 상기 제2 게이트 배선(GL2)에 연결된다.
- [0322] 제2 화소부(P2)는 상기 제1 화소부(P1)와 상기 제1 방향(DI1)으로 인접하고, 제3 화소 전극(PE3), 제4 화소 전극(PE4), 제3 스위칭 소자(T3) 및 제4 스위칭 소자(T4)를 포함한다. 상기 제3 화소 전극(PE3)은 상기 제3 스위칭 소자(T3)를 통해 상기 제2 데이터 배선(DL2)과 상기 제4 게이트 배선(GL4)에 연결된다. 상기 제4 화소 전극(PE4)은 상기 제3 화소 전극(PE3)과 이격되고, 상기 제4 스위칭 소자(T4)를 통해 상기 제1 전원 배선(VL1)과 상기 제3 게이트 배선(GL3)에 연결된다.
- [0323] 제3 화소부(P3)는 상기 제1 화소부(P1)와 상기 제2 방향(DI2)으로 인접하고, 제5 화소 전극(PE5), 제6 화소 전극(PE6), 제5 스위칭 소자(T5) 및 제6 스위칭 소자(T6)를 포함한다. 상기 제5 화소 전극(PE5)은 상기 제5 스위칭 소자(T5)를 통해 상기 제4 데이터 배선(DL4)과 상기 제1 게이트 배선(GL1)에 연결된다. 상기 제6 화소 전극(PE6)은 상기 제5 화소 전극(PE5)과 이격되고, 상기 제6 스위칭 소자(T6)를 통해 상기 제1 전원 배선(VL1)과 상기 제2 게이트 배선(GL2)에 연결된다.
- [0324] 제4 화소부(P4)는 상기 제2 화소부(P2)와 상기 제1 방향(DI1)으로 인접하고, 제7 화소 전극(PE7), 제8 화소 전극(PE8), 제7 스위칭 소자(T7) 및 제8 스위칭 소자(T8)를 포함한다. 상기 제7 화소 전극(PE7)은 상기 제7 스위칭 소자(T7)를 통해 상기 제3 데이터 배선(DL3)과 상기 제4 게이트 배선(GL4)에 연결된다. 상기 제8 화소 전극(PE8)은 상기 제7 화소 전극(PE7)과 이격되고, 상기 제8 스위칭 소자(T8)를 통해 상기 제1 전원 배선(VL1)과 상기 제3 게이트 배선(GL3)에 연결된다.
- [0325] 제5 화소부(P5)는 상기 제3 화소부(P3)와 상기 제2 방향(DI2)으로 인접하고, 제9 화소 전극(PE9), 제10 화소 전극(PE10), 제9 스위칭 소자(T9) 및 제10 스위칭 소자(T10)를 포함한다. 상기 제9 화소 전극(PE9)은 상기 제9 스위칭 소자(T9)를 통해 상기 제5 데이터 배선(DL5)과 상기 제1 게이트 배선(GL1)에 연결된다. 상기 제10 화소 전극(PE10)은 상기 제9 화소 전극(PE9)과 이격되고, 상기 제10 스위칭 소자(T10)를 통해 상기 제2 전원 배선(VL2)과 상기 제2 게이트 배선(GL2)에 연결된다.
- [0326] 제6 화소부(P6)는 상기 제5 화소부(P5)와 상기 제1 방향(DI1)으로 인접하고, 제11 화소 전극(PE11), 제12 화소 전극(PE12), 제11 스위칭 소자(T11) 및 제12 스위칭 소자(T12)를 포함한다. 상기 제11 화소 전극(PE11)은 상기 제11 스위칭 소자(T11)를 통해 상기 제6 데이터 배선(DL6)과 상기 제4 게이트 배선(GL4)에 연결된다. 상기 제12 화소 전극(PE12)은 상기 제11 화소 전극(PE11)과 이격되고, 상기 제12 스위칭 소자(T12)를 통해 상기 제2 전원 배선(VL2)과 상기 제3 게이트 배선(GL3)에 연결된다.
- [0327] 제7 화소부(P7)는 상기 제5 화소부(P5)와 상기 제2 방향(DI2)으로 인접하고, 제13 화소 전극(PE13), 제14 화소 전극(PE14), 제13 스위칭 소자(T13) 및 제14 스위칭 소자(T14)를 포함한다. 상기 제13 화소 전극(PE13)은 상기 제13 스위칭 소자(T13)를 통해 상기 제8 데이터 배선(DL8)과 상기 제1 게이트 배선(GL1)에 연결된다. 상기 제14

화소 전극(PE14)은 상기 제13 화소 전극(PE13)과 이격되고, 상기 제14 스위칭 소자(T14)를 통해 상기 제2 전원 배선(VL2)과 상기 제2 게이트 배선(GL2)에 연결된다.

[0328] 제8 화소부(P8)는 상기 제7 화소부(P7)와 상기 제1 방향(DI1)으로 인접하고, 제15 화소 전극(PE15), 제16 화소 전극(PE16), 제15 스위칭 소자(T15) 및 제16 스위칭 소자(T16)를 포함한다. 상기 제15 화소 전극(PE15)은 상기 제15 스위칭 소자(T15)를 통해 상기 제7 데이터 배선(DL7)과 상기 제4 게이트 배선(GL4)에 연결된다. 상기 제16 화소 전극(PE16)은 상기 제15 화소 전극(PE15)과 이격되고, 상기 제16 스위칭 소자(T16)를 통해 상기 제2 전원 배선(VL2)과 상기 제3 게이트 배선(GL3)에 연결된다.

[0329] 상기 제1 전원 배선(VL1)에는 기준 전압 대비 제1 극성(-)의 전압이 인가되고, 상기 제2 전원 배선(VL2)에는 상기 기준 전압 대비 제2 극성(+)의 전압이 인가된다. 상기 제1, 제2, 제3 및 제4 데이터 배선들(DL1, DL2, DL3, DL4)에는 상기 제1 전원 배선(VL1)에 인가된 전압 보다 높은 레벨의 제2 극성(+)의 전압이 인가되고, 상기 제5, 제6, 제7 및 제8 데이터 배선들(DL5, DL6, DL7, DL8)에는 상기 제2 전원 배선(VL2)에 인가된 전압 보다 낮은 레벨의 제1 극성(-)의 전압이 인가된다. 예를 들면, 상기 제1 극성(-)은 상기 기준 전압의 레벨보다 작은 레벨의 전압이고, 상기 제2 극성(+)은 상기 기준 전압의 레벨보다 높은 레벨의 전압일 수 있다.

[0330] 본 실시예에 따르면, 하나의 화소 열이 두 개의 데이터 배선들에 의해 데이터 전압을 인가 받고, 두 개의 화소 행들이 네 개의 게이트 배선들에 의해 하나의 게이트 신호를 인가 받음으로써, 1 수평 주기(1H) 동안 두 개의 화소 행들이 구동되게 된다. 즉, 상기 액정 표시 패널(1000M)은 고속 구동을 가능하게 할 수 있다. 또한, 두 개의 화소부들이 하나의 전원 배선을 공유하고 동일한 극성의 데이터 전압이 인가됨으로써 블랙 빔샘 방지를 최소화할 수 있다. 또한, 상기 전원 배선의 개수를 줄임으로써 개구율을 향상시킬 수 있다.

[0331] 본 실시예에 따른 화소부는 실시예 1 및 실시예 2와 같이 제1 및 제2 쉘드부들(SH1, SH2)을 포함할 수 있다. 본 실시예에 따른 제1 쉘드부(SH1)는 자기 화소부의 화소 전극과 전기적으로 연결된 데이터 배선과 인접하게 배치되고, 제2 쉘드부(SH2)는 상기 자기 화소부와 이웃한 이웃 화소부의 화소 전극과 전기적으로 연결된 데이터 배선과 인접하게 배치되고, 상기 제1 및 제2 쉘드부들(SH1, SH2)은 상기 자기 화소부의 화소 전극들과 전기적으로 연결된다. 즉, 실시예 1과 같이 상기 제1 및 제2 쉘드부들(SH1, SH2)을 제1 금속 패턴으로 형성할 수 있고, 또한 실시예 2와 같이 상기 제1 및 제2 쉘드부들(SH1, SH2)을 트렌치 구조로 형성할 수 있다. 또한 실시예 3과 같이, 상기 제1 내지 제4 게이트 배선들과 각각 인접한 제1 내지 제4 스토리지 배선들을 포함할 수 있다.

[0332] 실시예 15

[0333] 도 28은 본 발명의 실시예 15에 따른 액정 표시 패널의 평면도이다.

[0334] 도 28을 참조하면, 상기 액정 표시 패널(1000N)은 복수의 데이터 배선들(DL1, DL2, DL3, DL4), 게이트 배선(GL), 제1 전원 배선(VL1), 제2 전원 배선(VL2) 및 복수의 화소부들(P1, P2, P3)을 포함한다.

[0335] 상기 데이터 배선들(DL1, DL2, DL3, DL4)은 제1 방향(DI1)으로 연장되고, 제2 방향(DI2)으로 배열된다.

[0336] 상기 게이트 배선(GL)은 상기 제2 방향(DI2)으로 연장된다.

[0337] 상기 제1 전원 배선(VL1)은 상기 제2 방향(DI2)으로 연장되고, 상기 게이트 배선(GL)과 인접하게 배치된다.

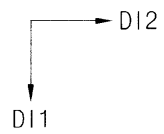
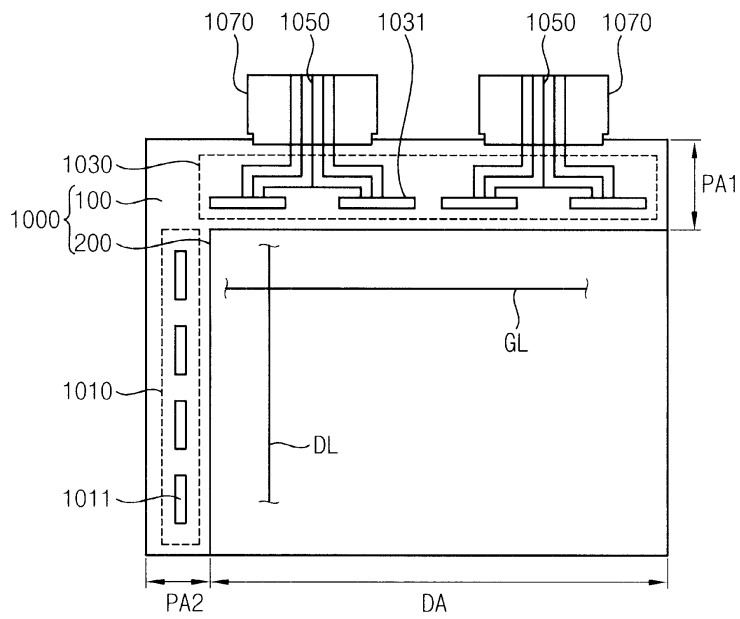
[0338] 상기 제2 전원 배선(VL2)은 상기 제2 방향(DI2)으로 연장되고, 상기 제1 전원 배선(VL1)과 인접하게 배치된다.

[0339] 제1 화소부(P1)는 제1 화소 전극(PE1), 제2 화소 전극(PE2), 제1 스위칭 소자(T1), 제2 스위칭 소자(T2), 연결 전극 패턴(CEP), 제1 쉘드부(SH1) 및 제2 쉘드부(SH2)를 포함한다. 상기 제1 화소 전극(PE1)은 상기 제1 스위칭 소자(T1)를 통해 상기 제1 데이터 배선(DL1)과 상기 게이트 배선(GL)에 연결된다. 상기 제2 화소 전극(PE2)은 상기 제1 화소 전극(PE1)과 이격되고, 상기 제2 스위칭 소자(T2)를 통해 상기 제1 전원 배선(VL1)과 상기 게이트 배선(GL)에 연결된다.

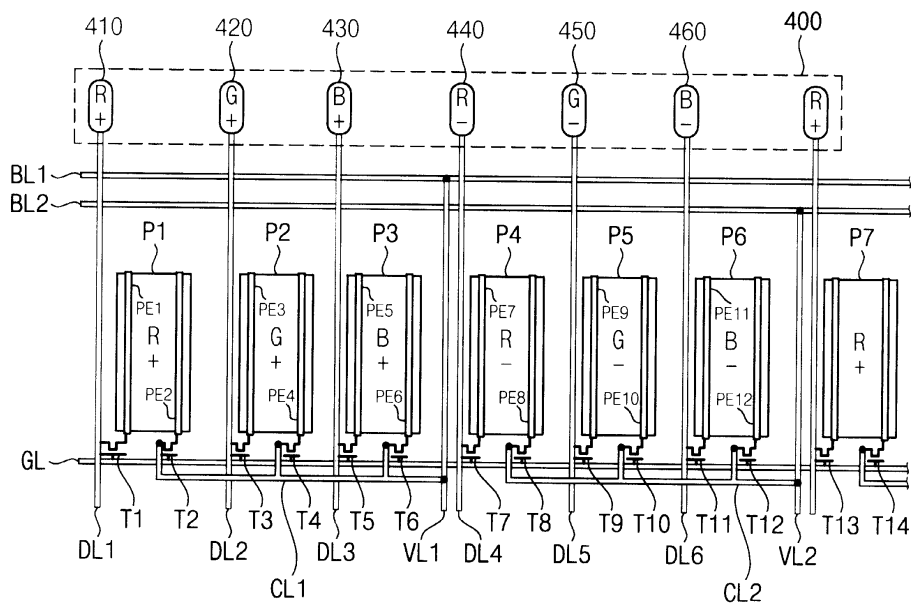
[0340] 상기 연결 전극 패턴(CEP)은 상기 제1 금속 패턴일 수 있다. 상기 연결 전극 패턴(CEP)은 상기 화소 영역의 중앙 부분에 상기 제2 방향(DI2)으로 연장되어, 상기 화소 영역의 하부에 배치된 제5 화소 전극(PE5)과 상기 상부에 배치된 상기 제5 화소 전극(PE5)을 전기적으로 연결한다. 상기 연결 전극 패턴(CEP)은 제9 콘택홀(C9)을 통해 상기 제3 데이터 배선(DL3)에 부분적으로 중첩된 제5 화소 전극(PE5)과 전기적으로 연결되고, 제10 콘택홀(C10)을 통해 상기 제1 전원 배선(VL1)에 부분적으로 중첩된 상기 제5 화소 전극(PE5)과 전기적으로 연결된다.

도면

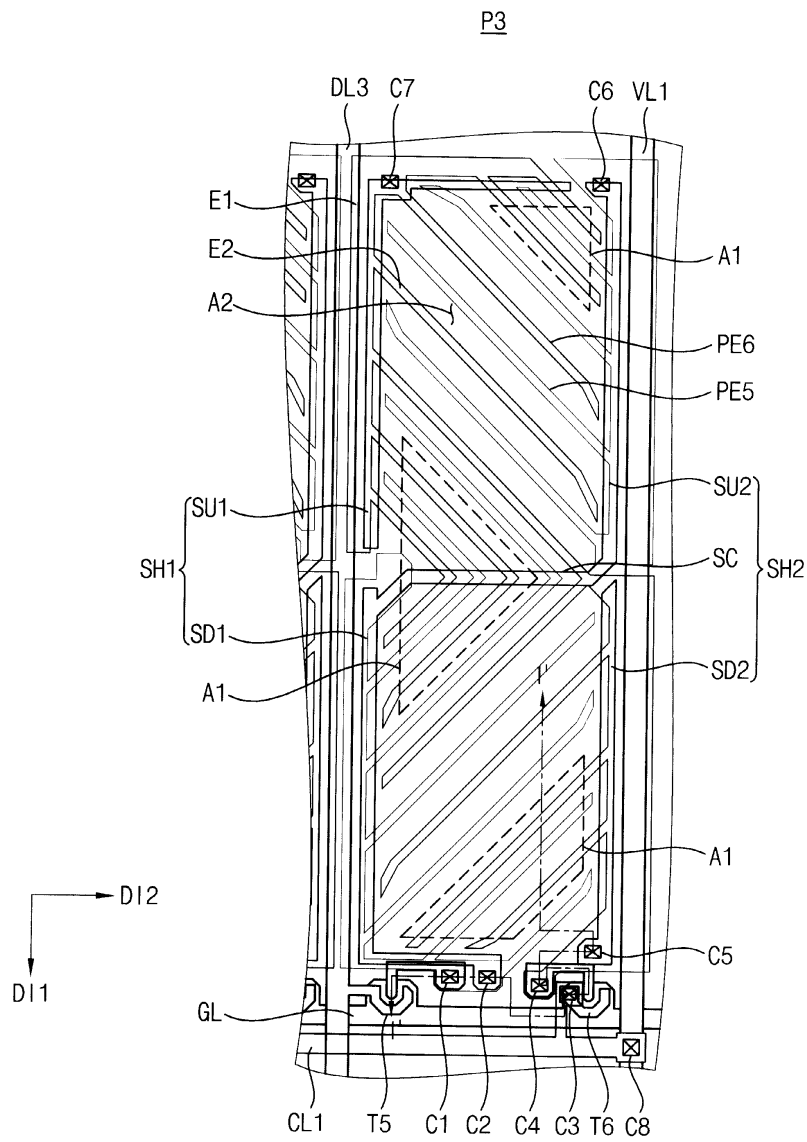
도면1



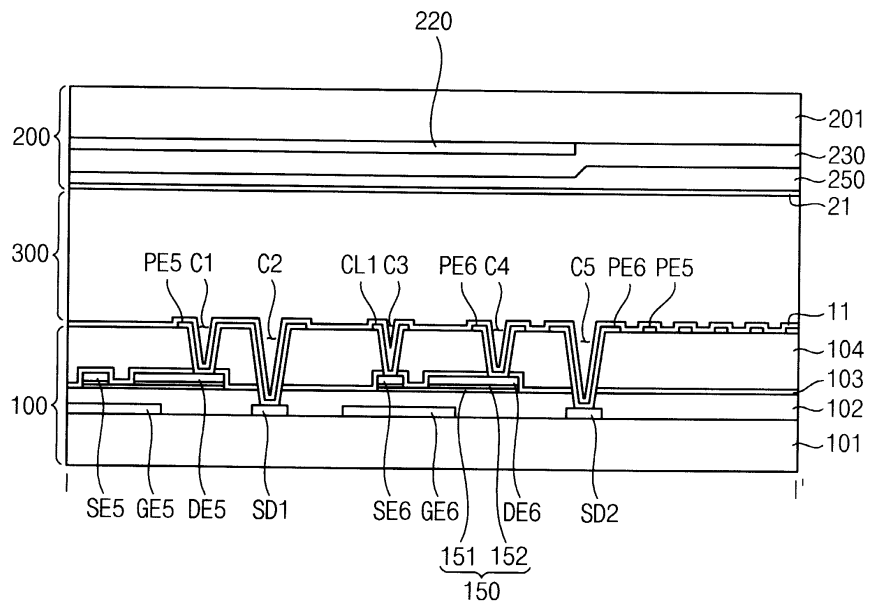
도면2



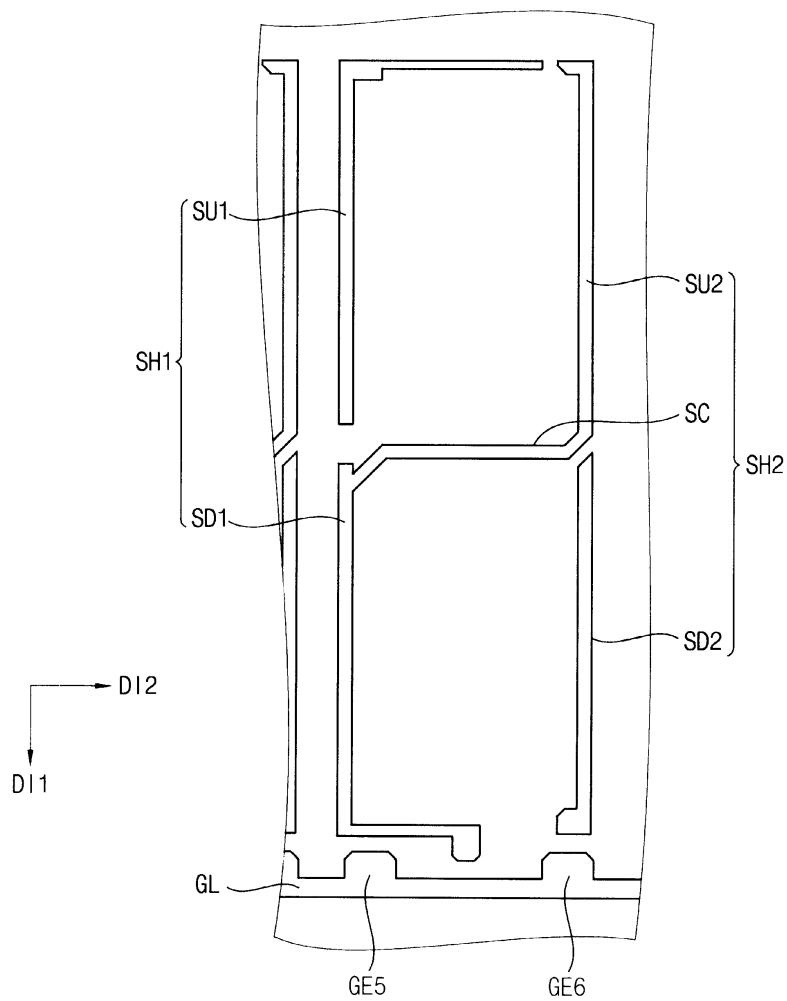
도면3



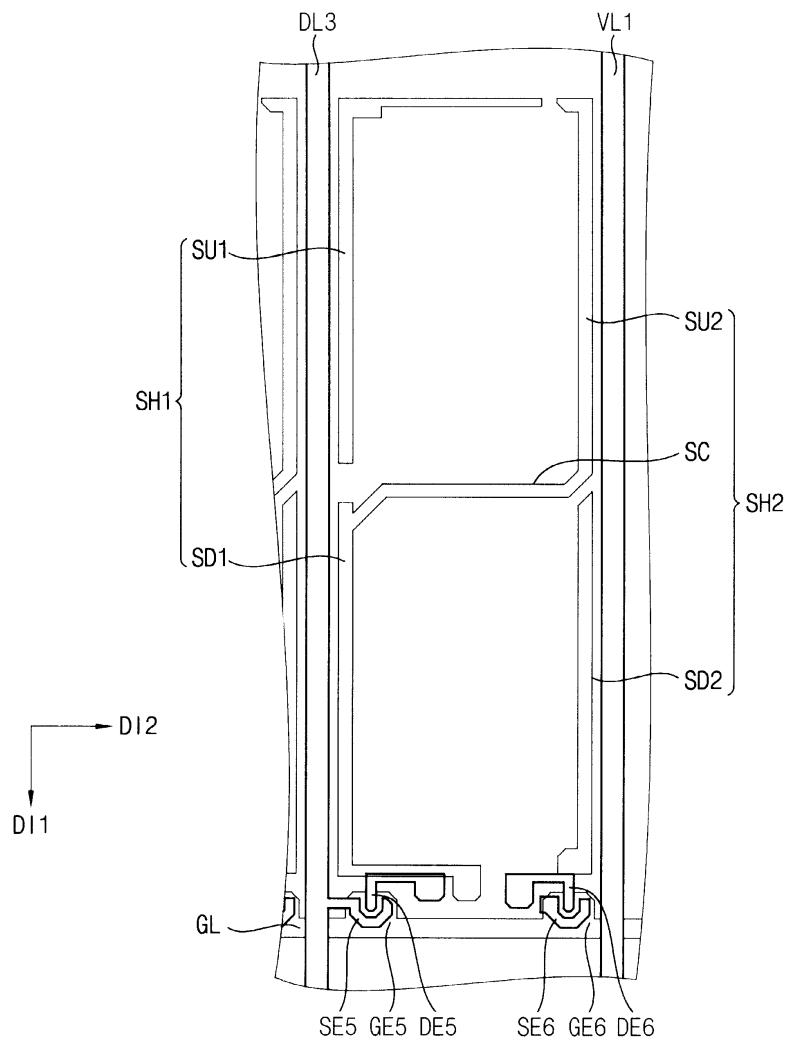
도면4



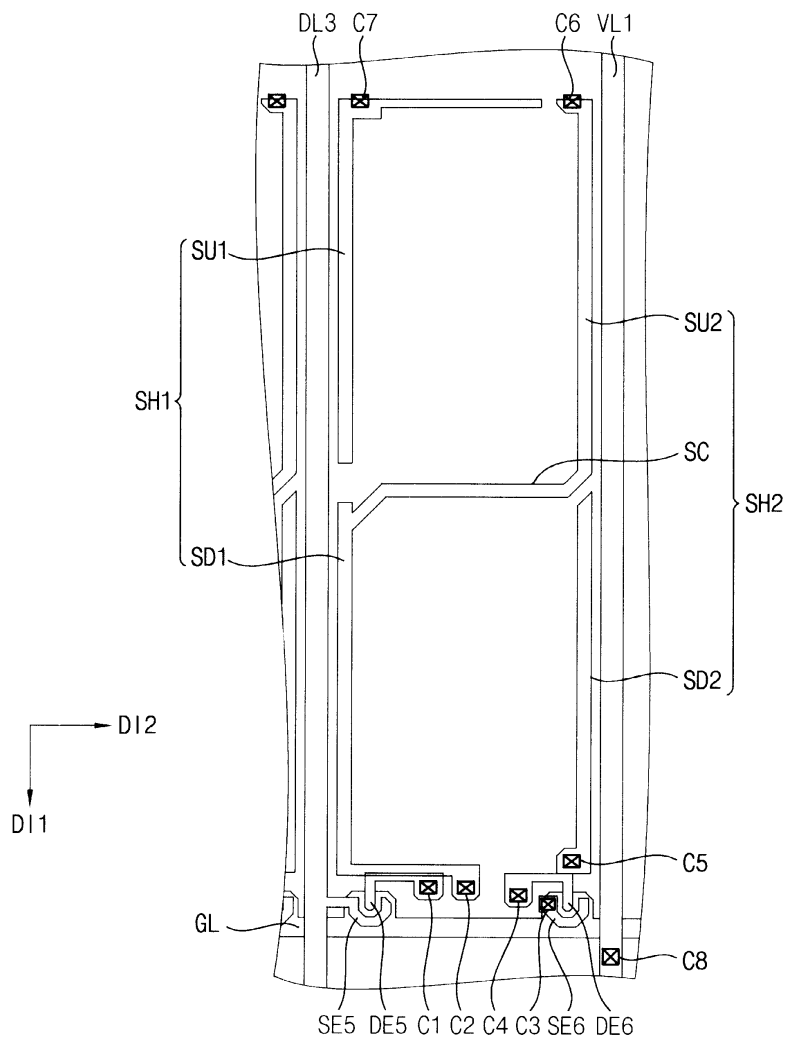
도면5a



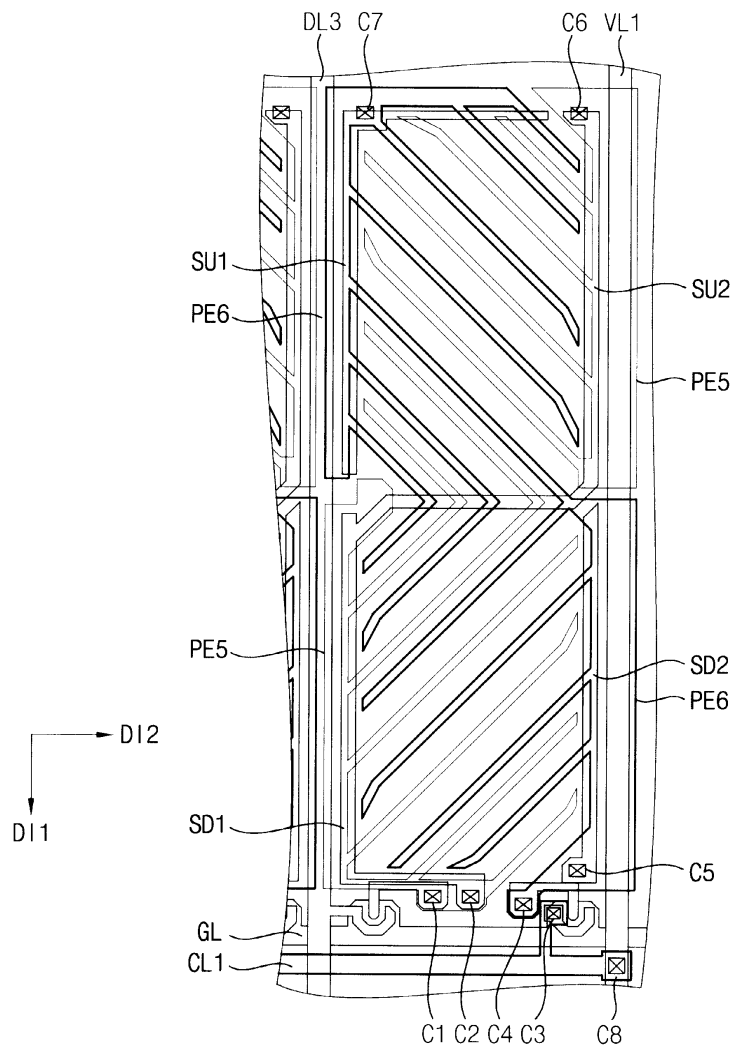
도면5b



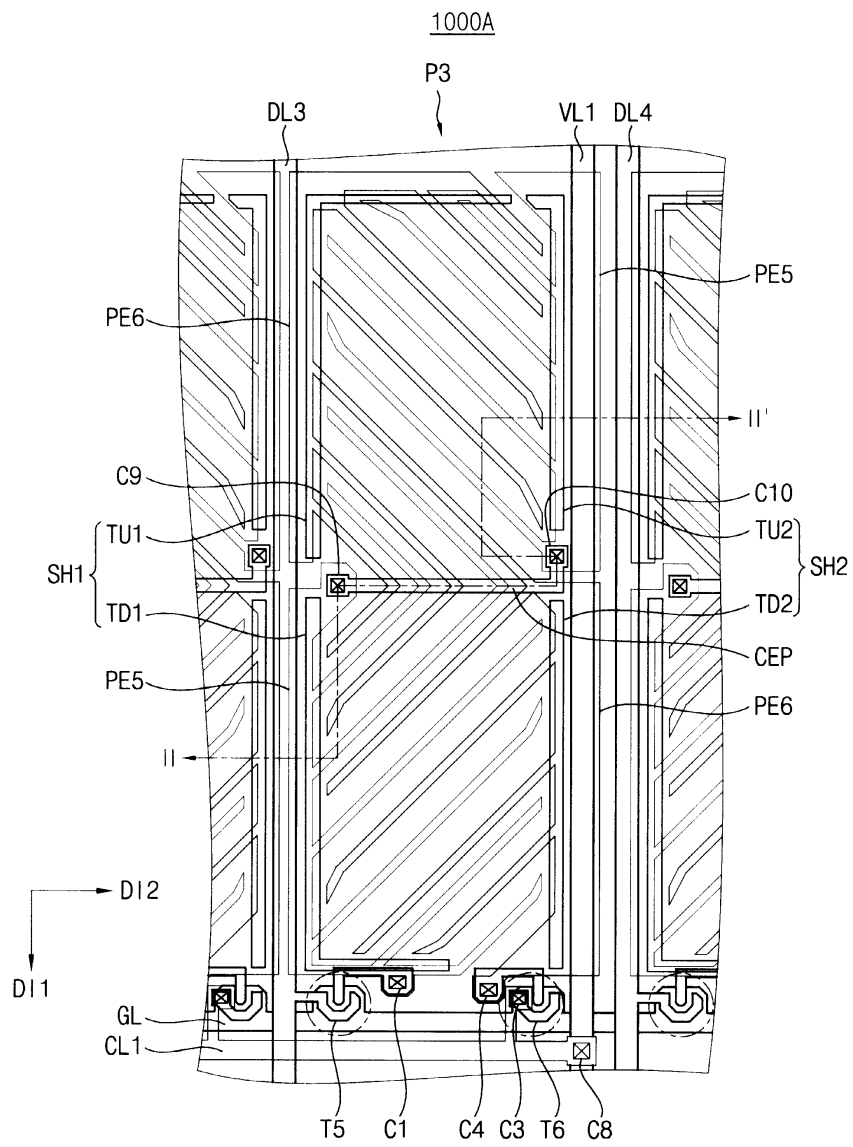
도면5c



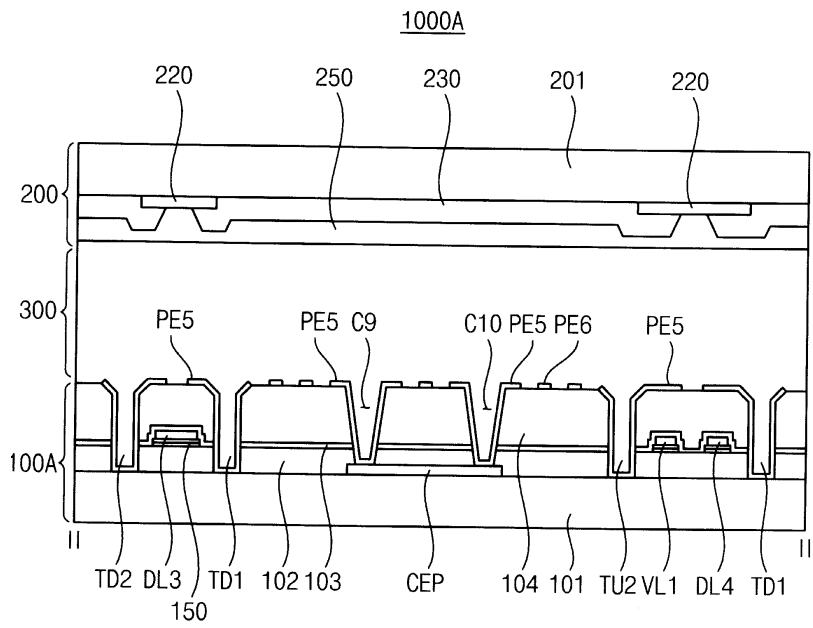
도면5d



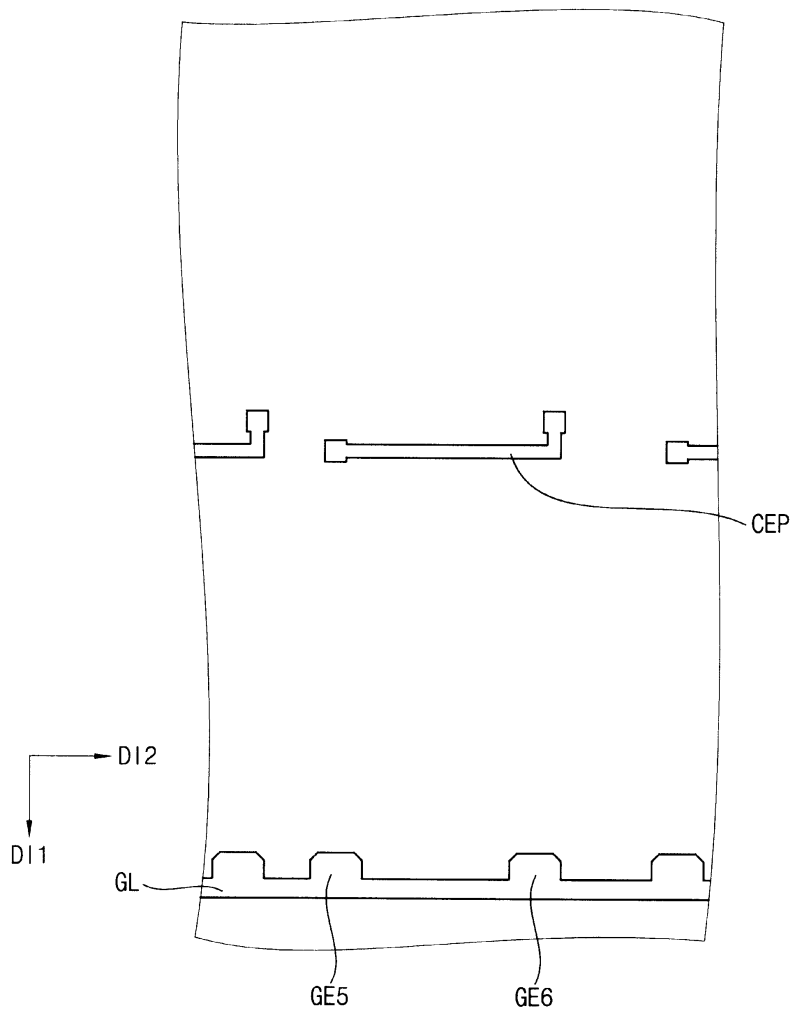
도면6



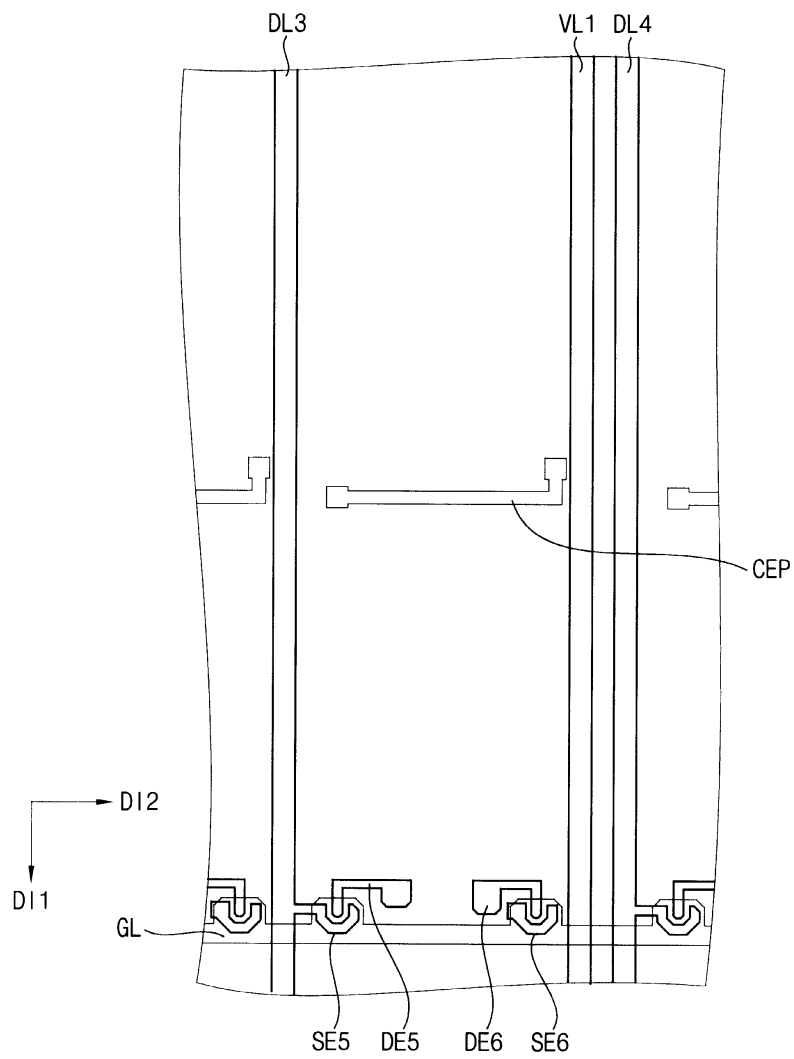
도면7



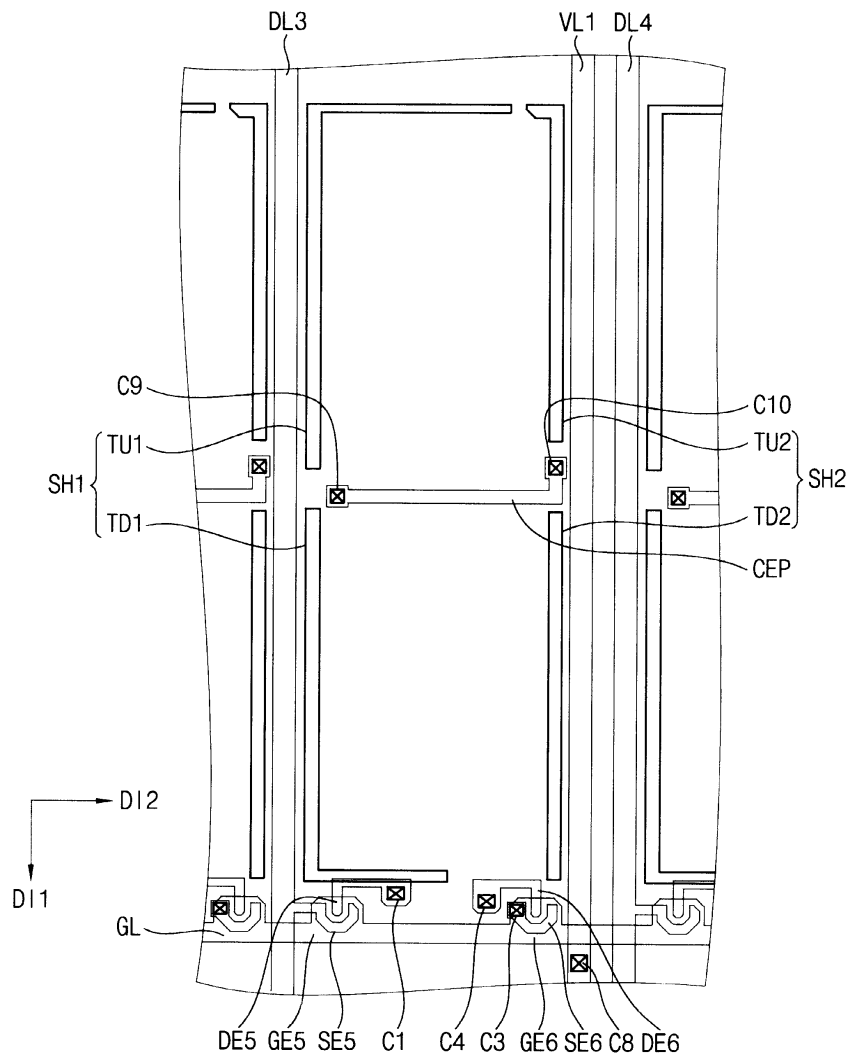
도면8a



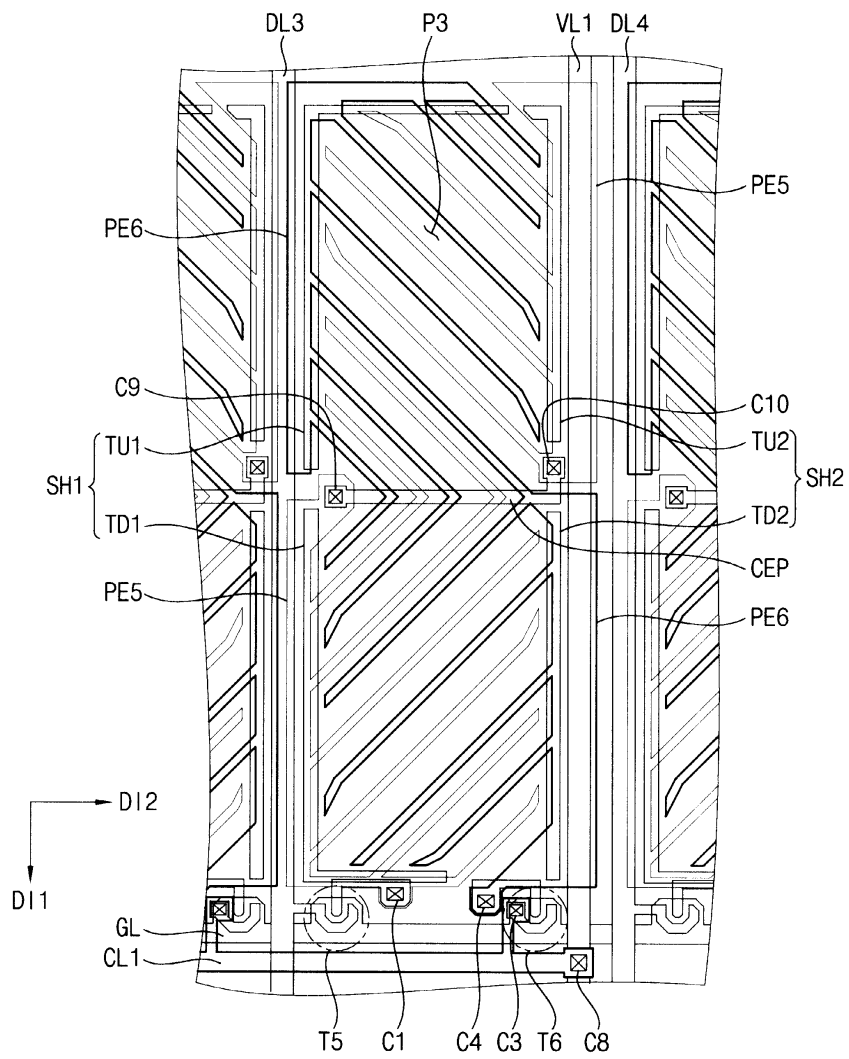
도면8b



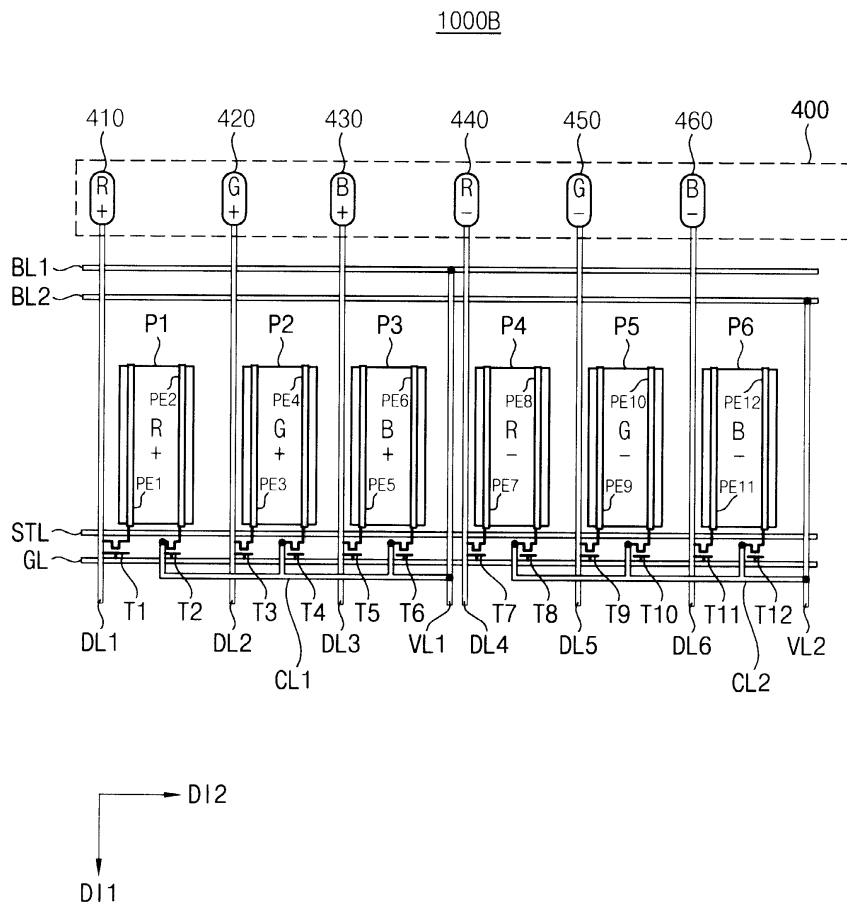
도면8c



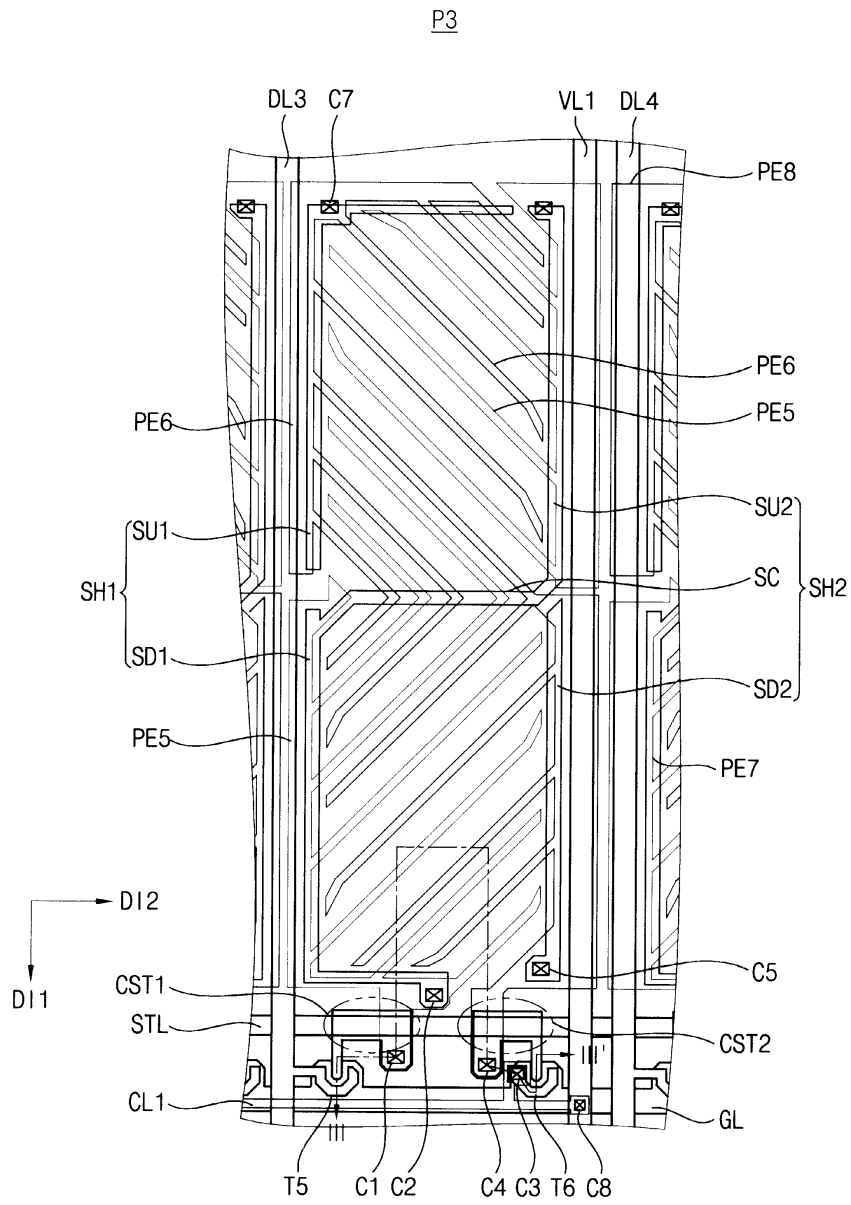
도면8d



도면9

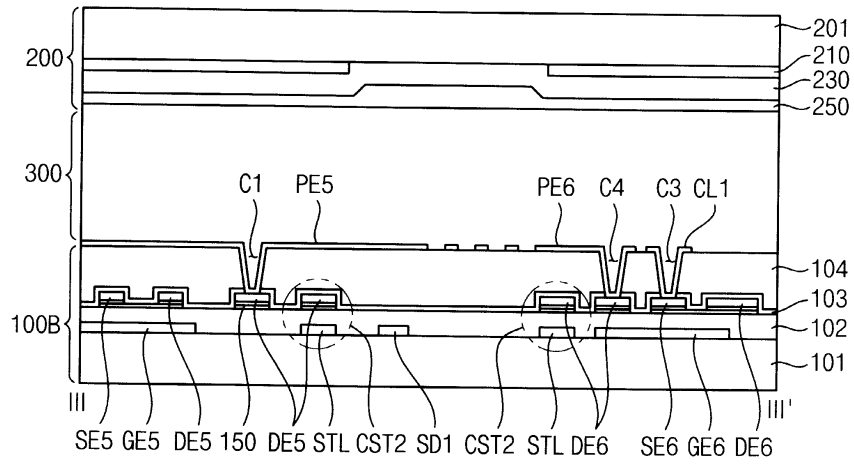


도면10



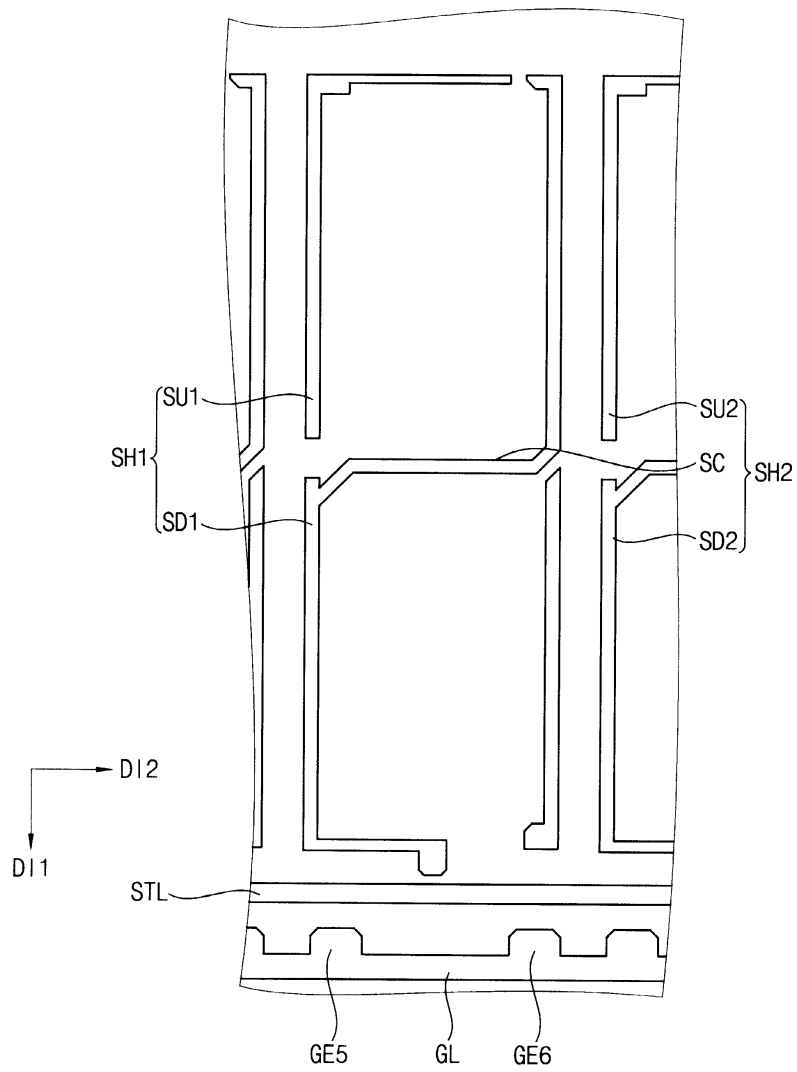
도면11

1000B

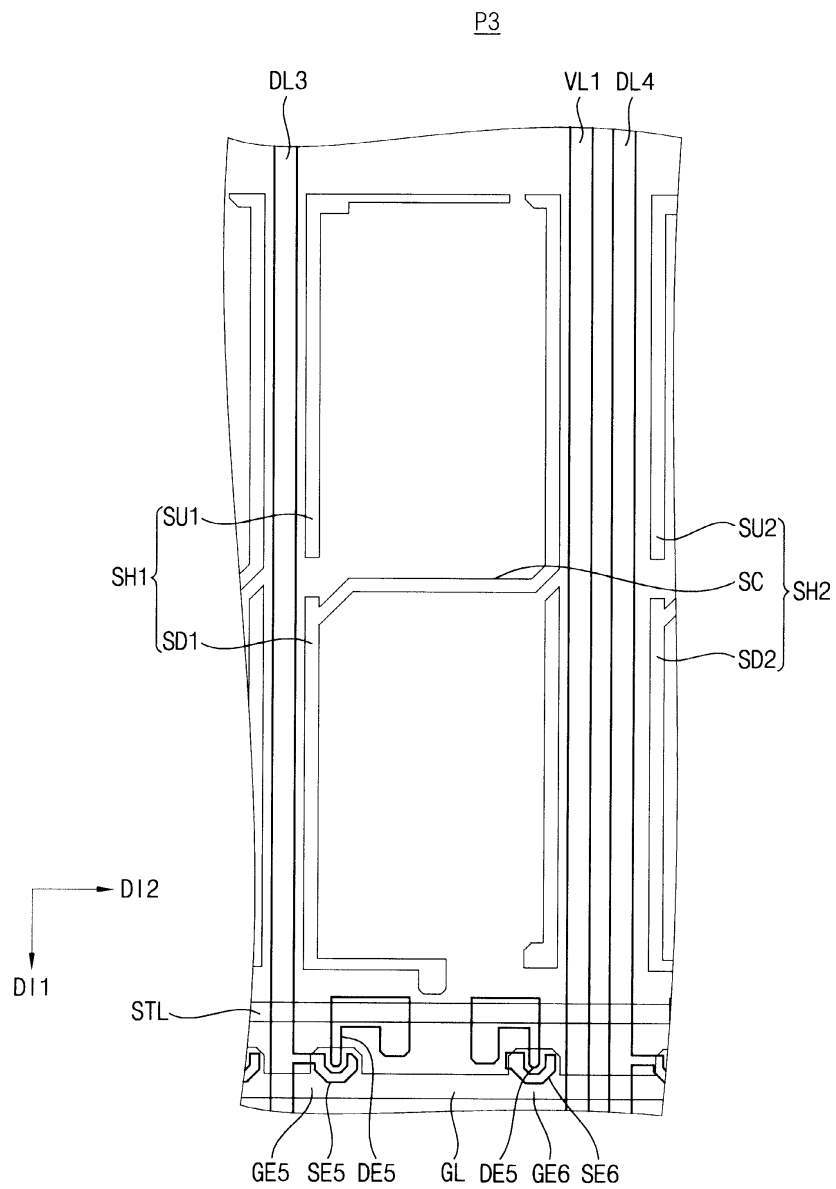


도면12a

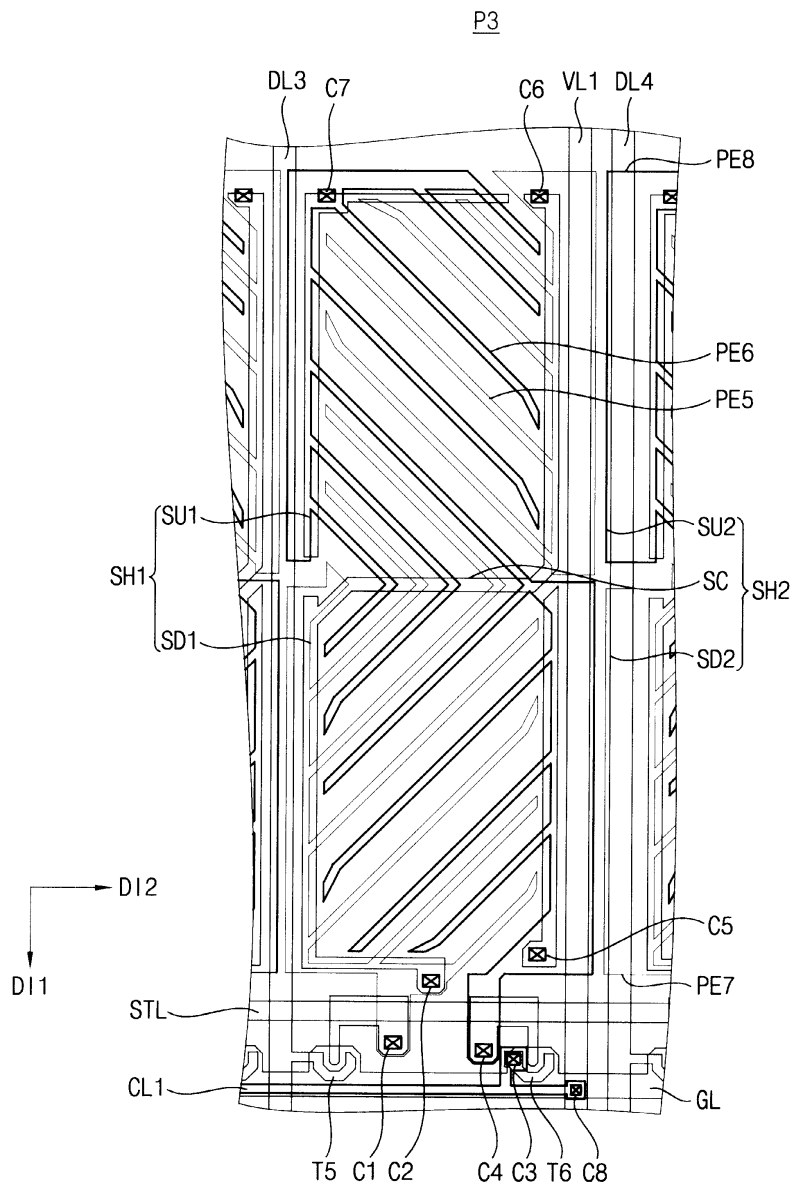
P3



도면12b

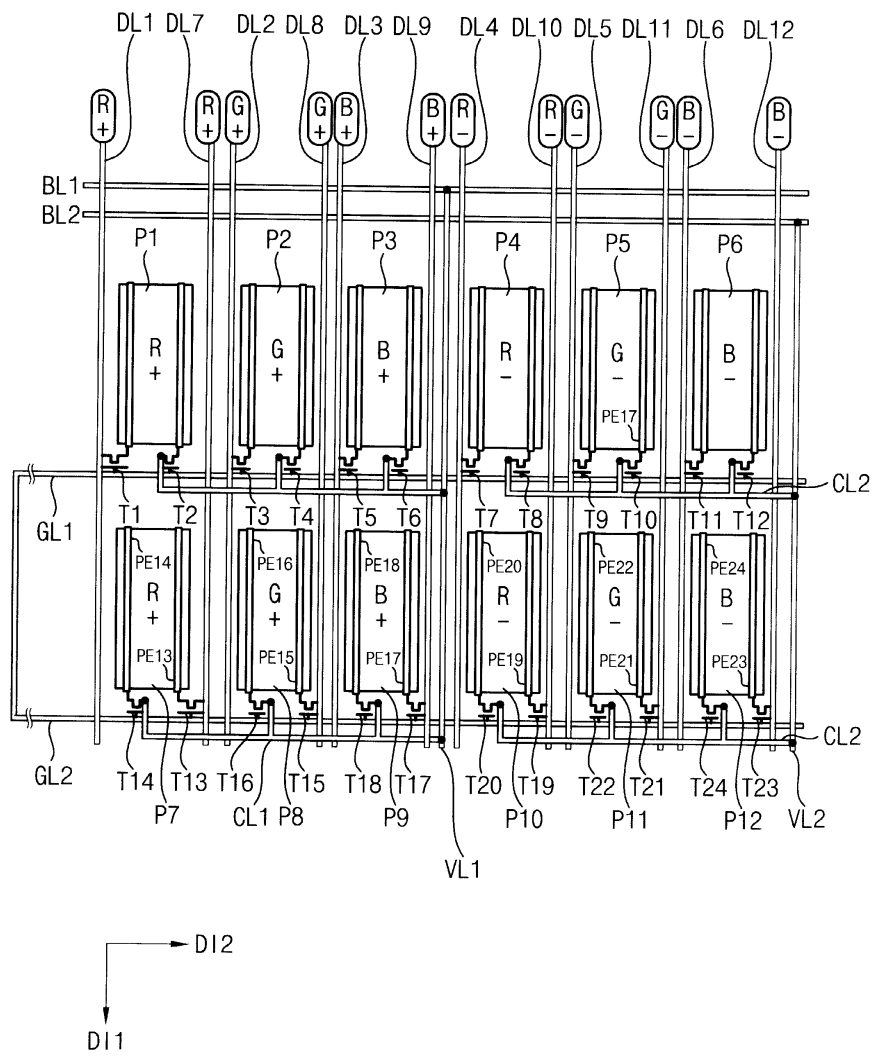


도면12c



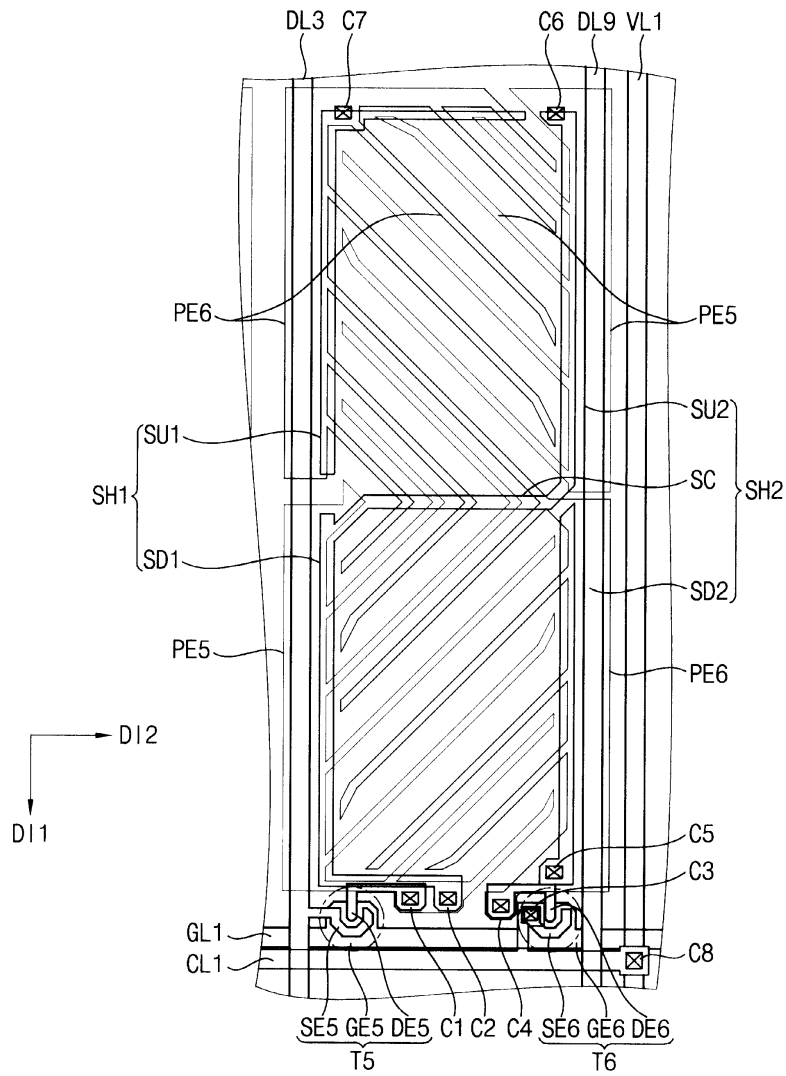
도면13

1000C

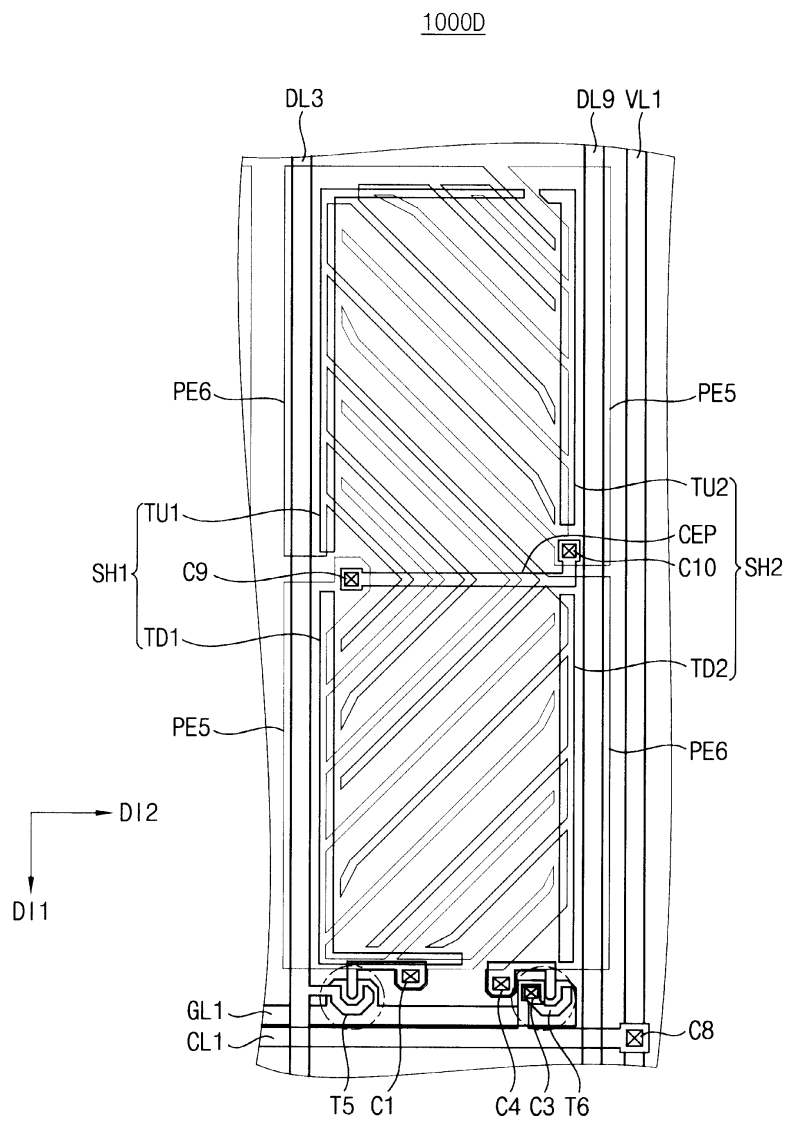


도면14

P3

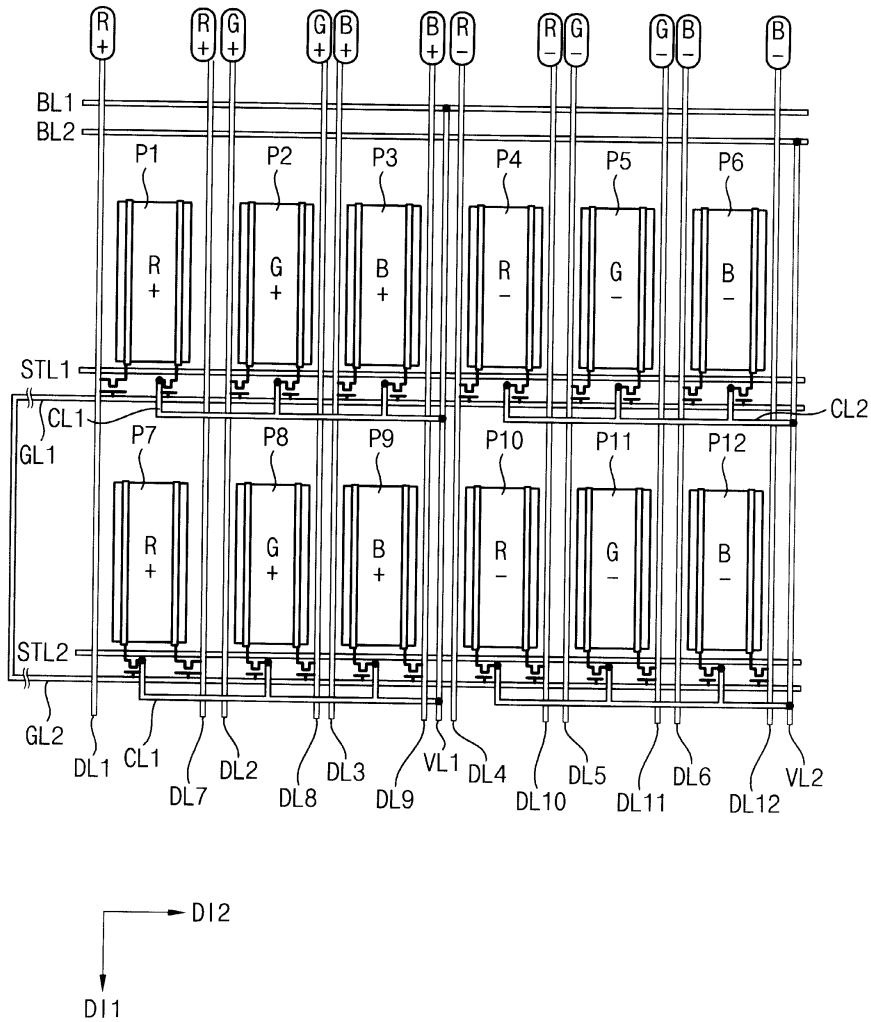


도면15



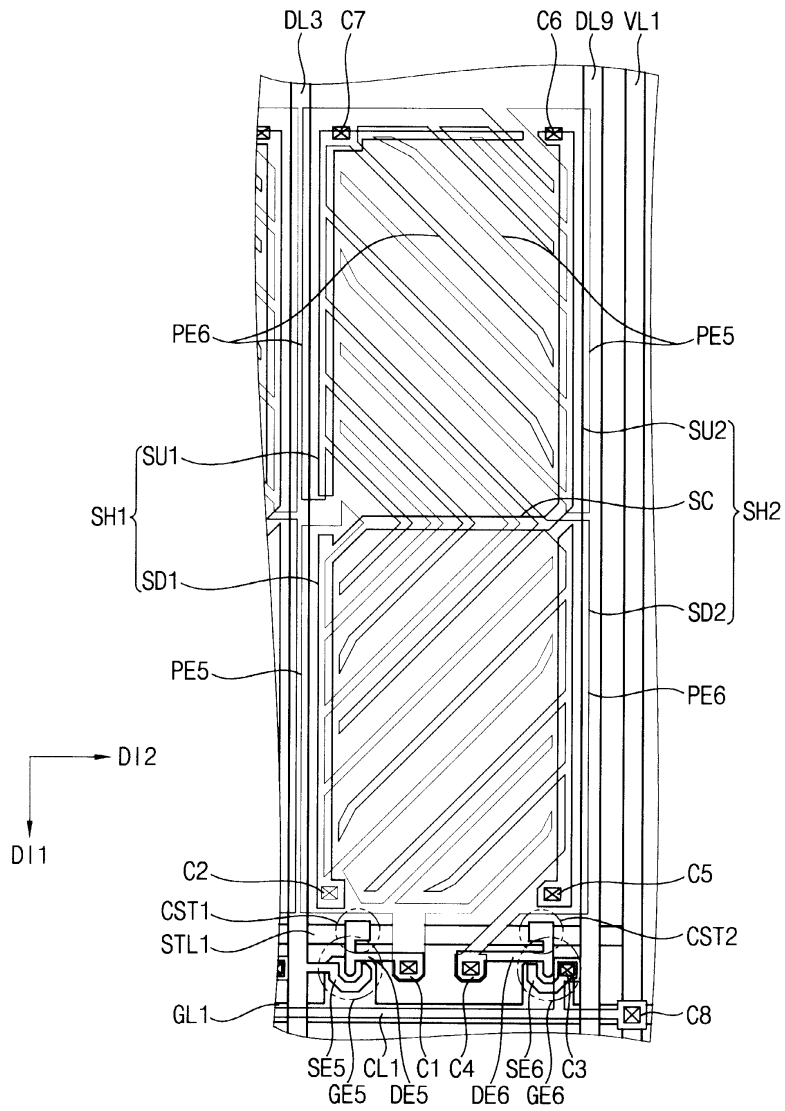
도면16

1000E

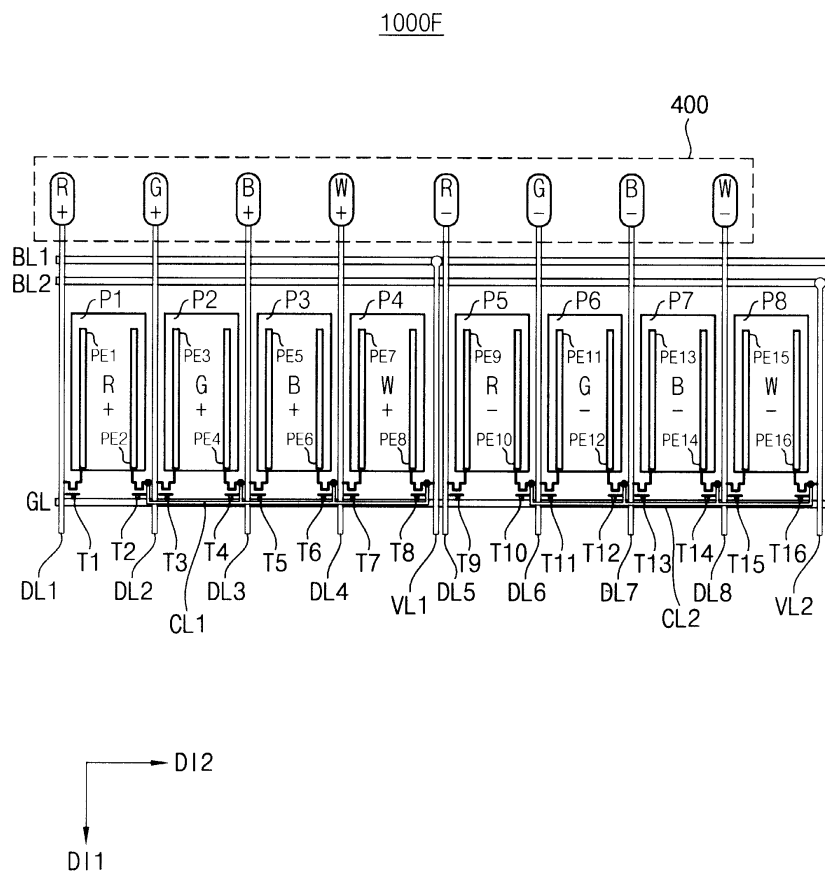


도면17

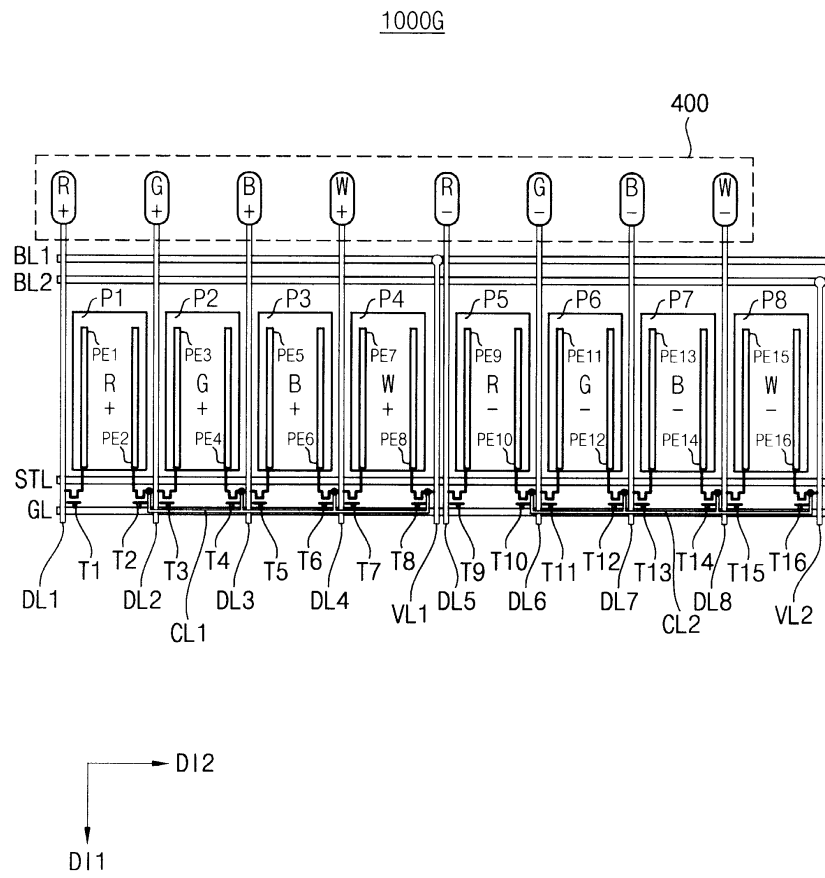
P3



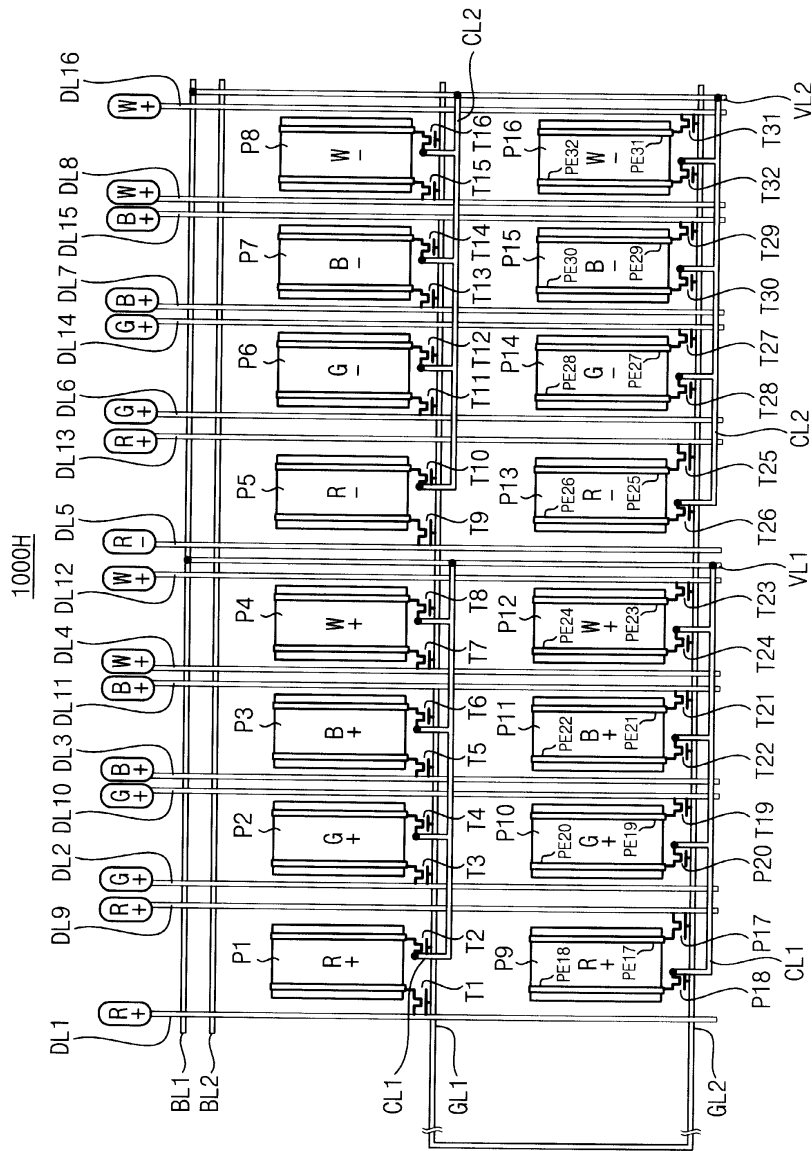
도면18



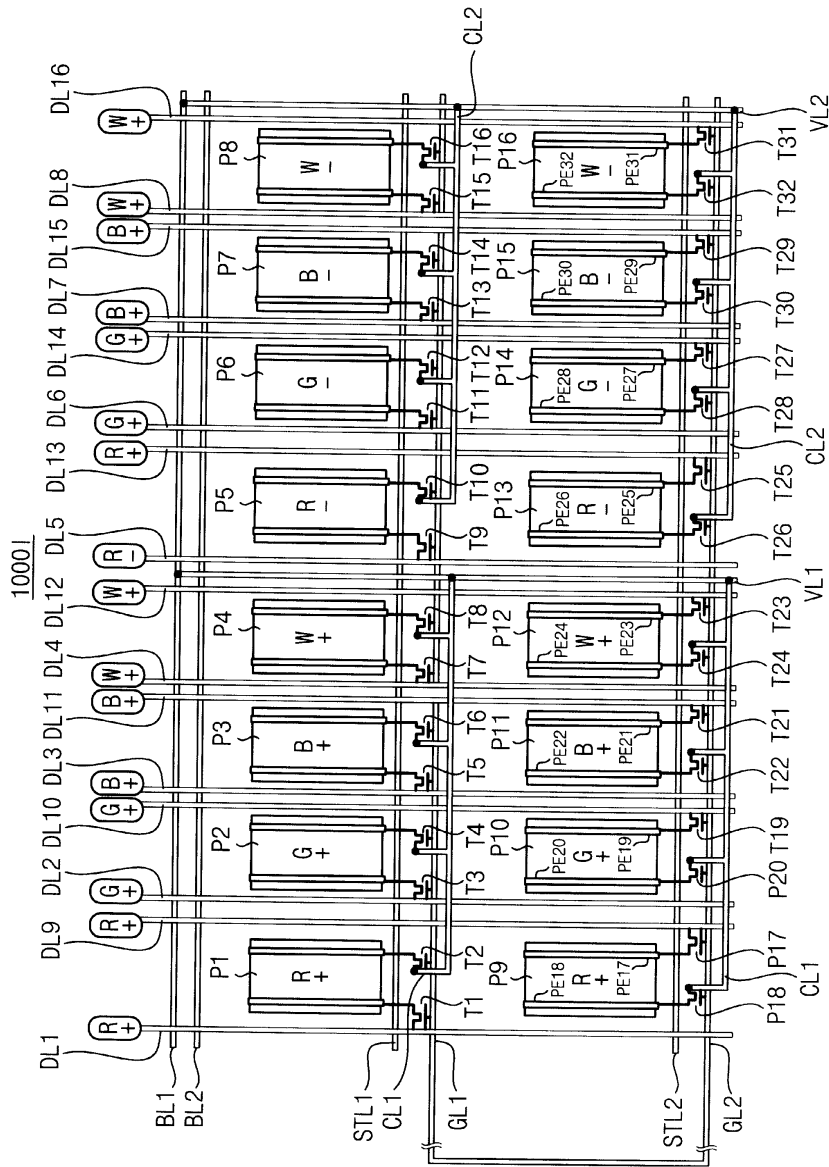
도면19



도면20

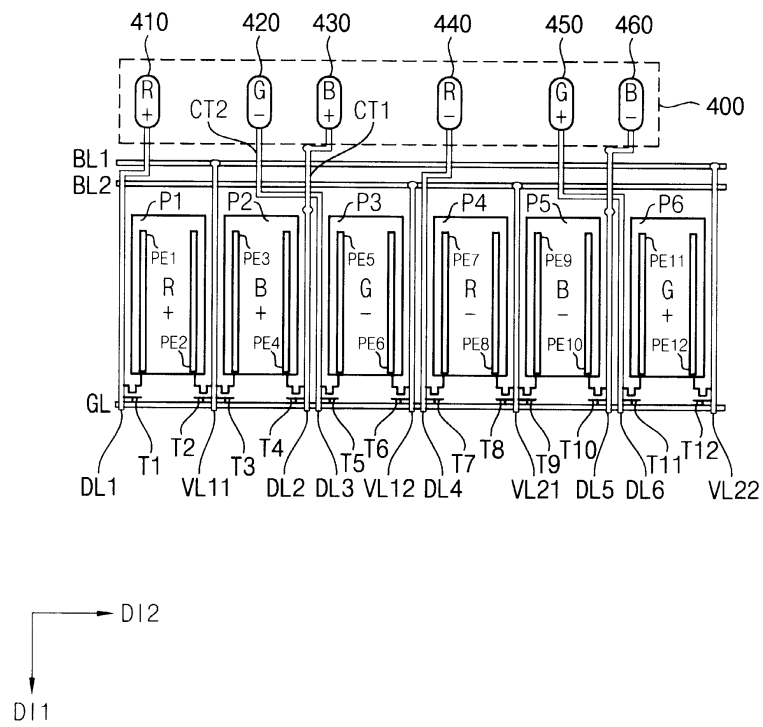


도면21



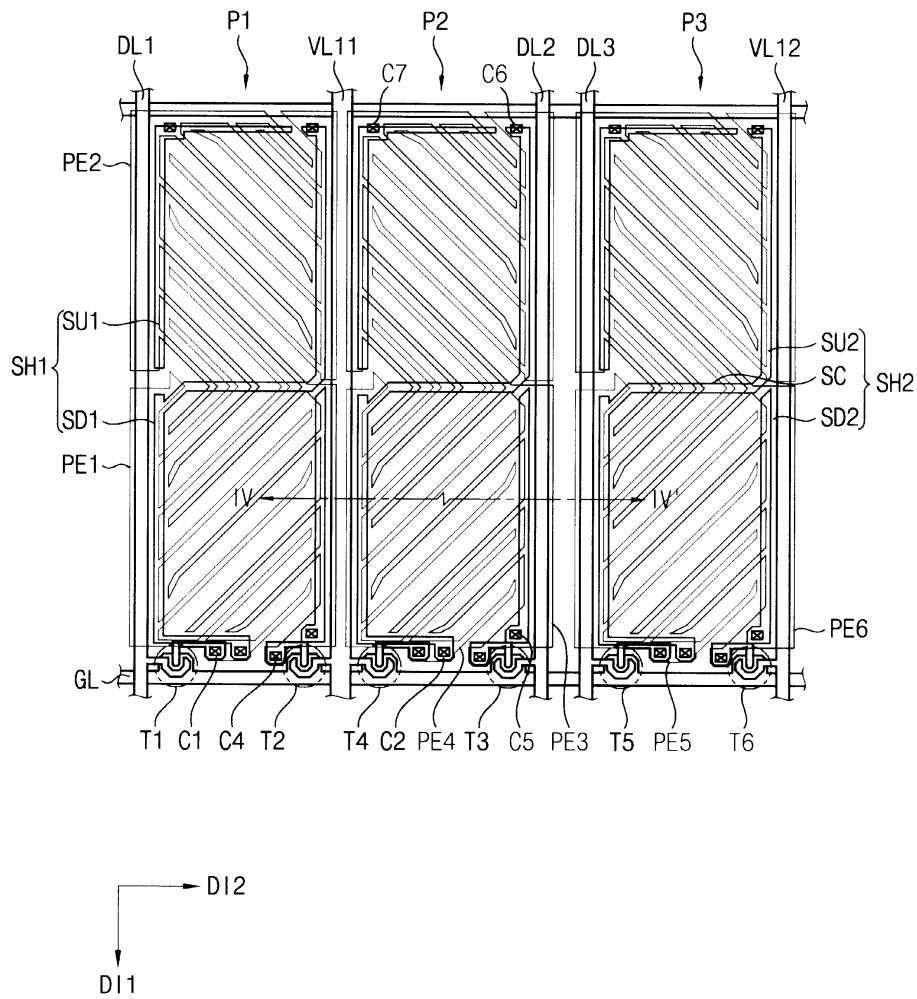
도면22

1000J



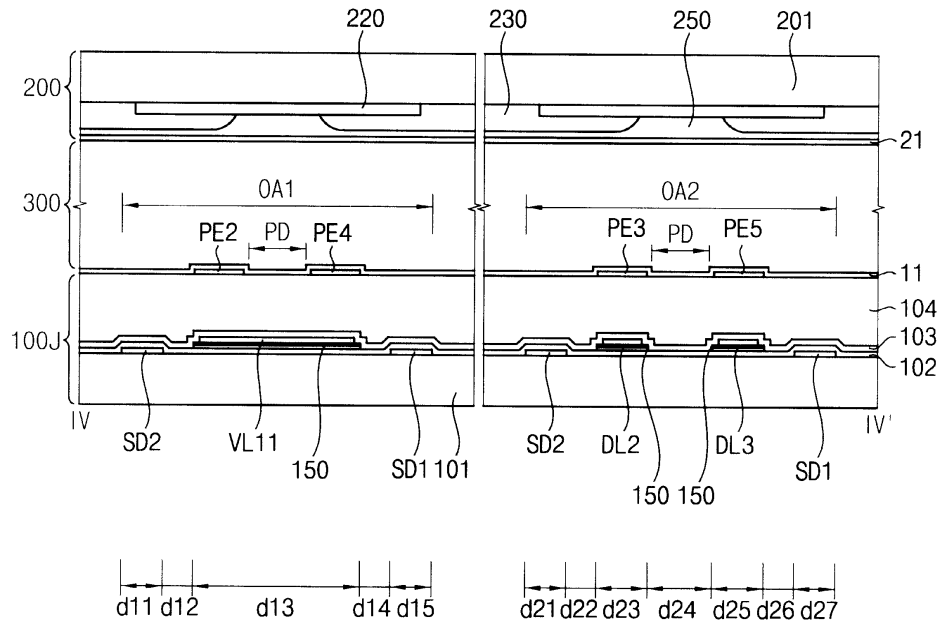
도면23

1000J



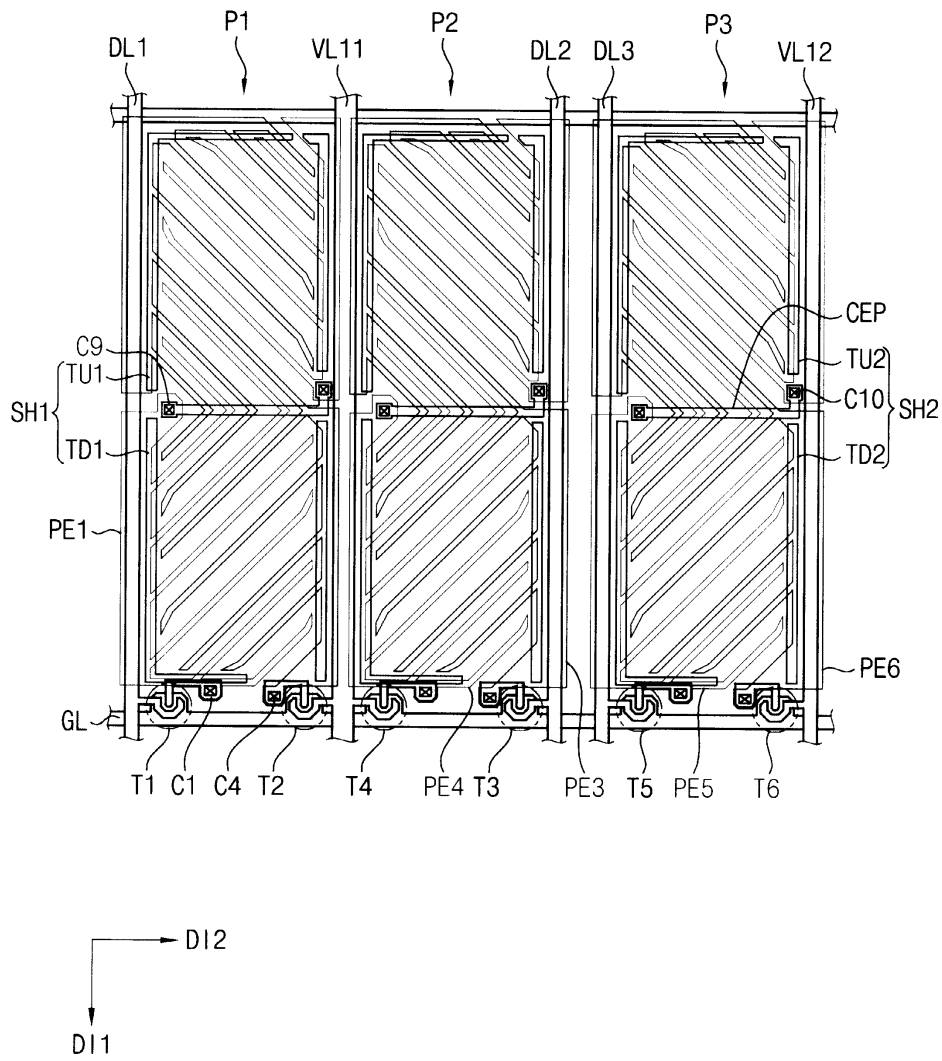
도면24

1000J



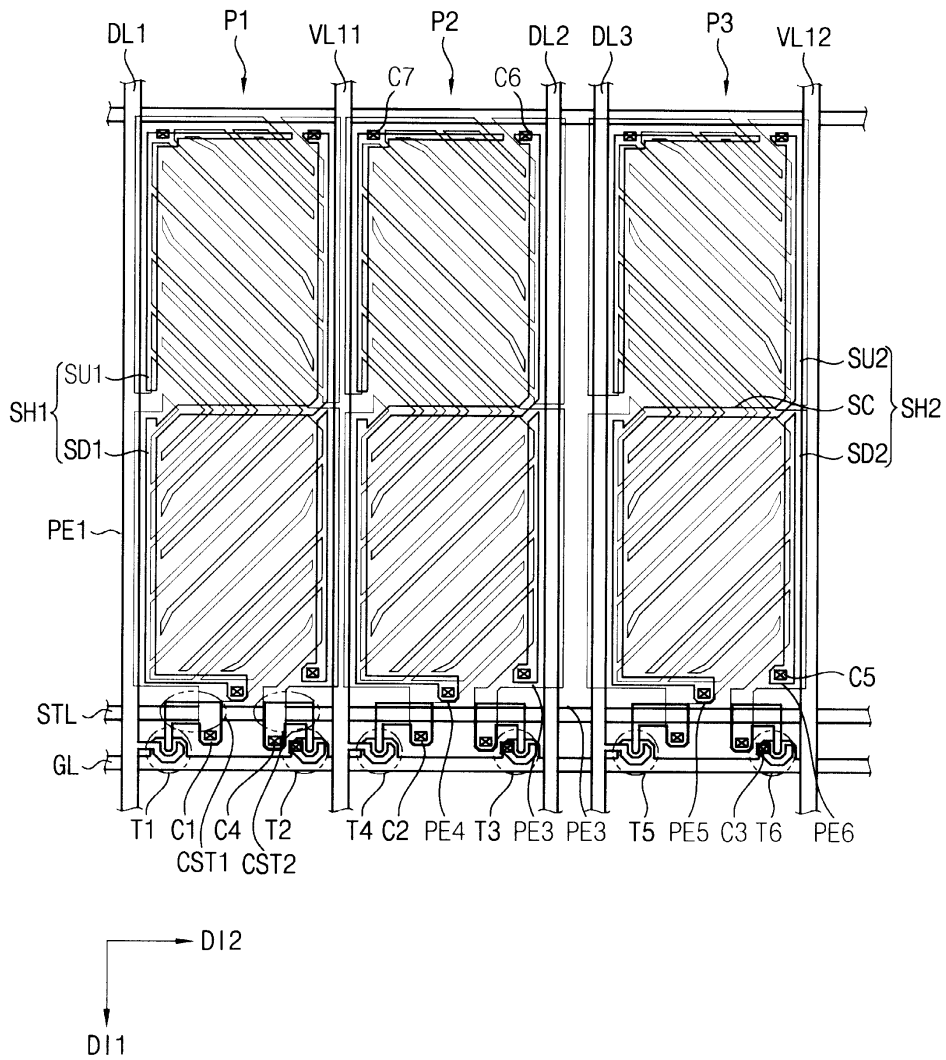
도면25

1000K

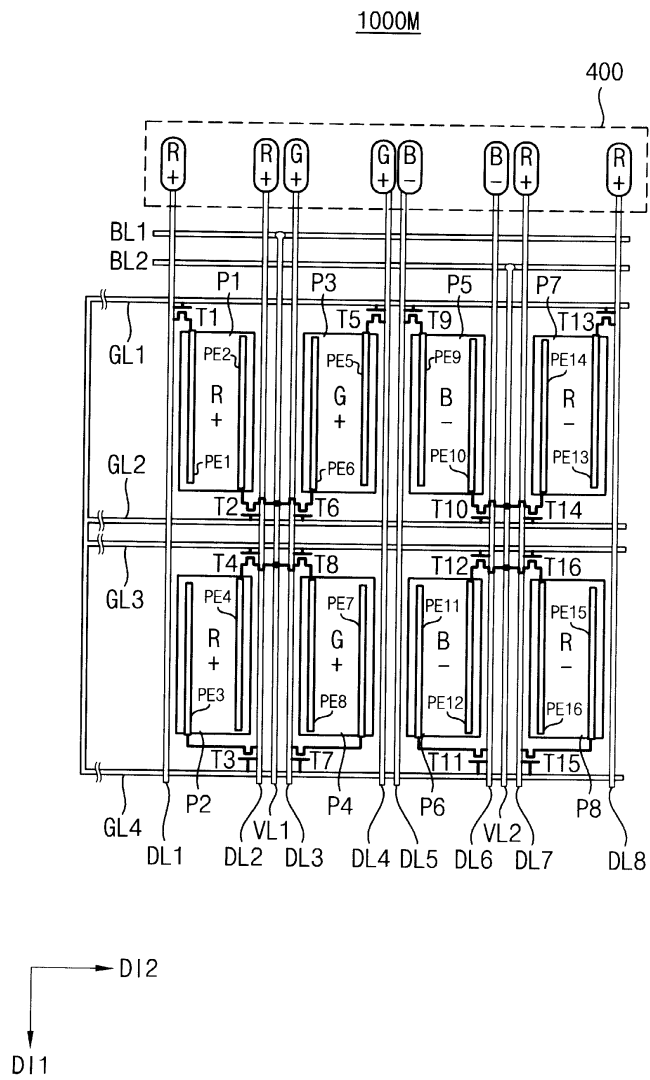


도면26

1000L

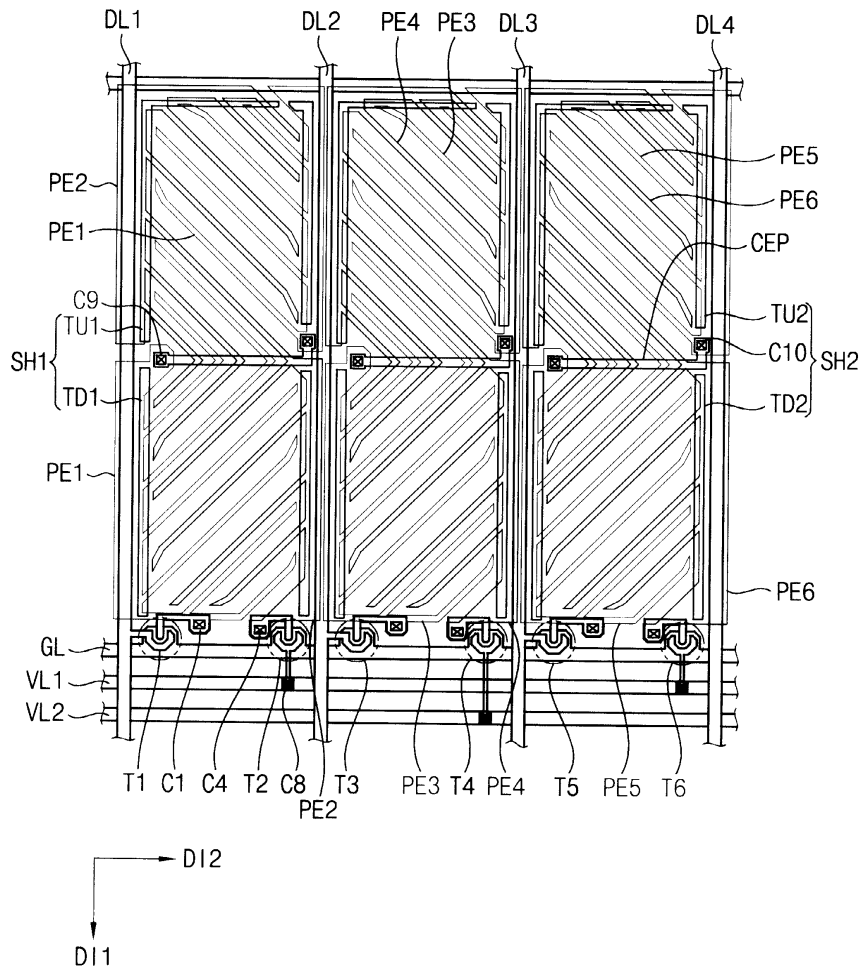


도면27



도면28

1000N



专利名称(译)	液晶显示器		
公开(公告)号	KR1020120007099A	公开(公告)日	2012-01-20
申请号	KR1020100067661	申请日	2010-07-14
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM DONG GYU 김동규 JUNG MEE HYE 정미혜 KI DONG HYEON 기동현 CHO SE HYOUNG 조세형 NA HYE SEOK 나혜석		
发明人	김동규 정미혜 기동현 조세형 나혜석		
IPC分类号	G02F1/1343 G02F1/1362 G09G3/36 G02F1/1368 G02F1/1345		
CPC分类号	G09G3/3614 G02F1/134363 G09G2300/0452 G09G2300/0426 G02F1/136213 G02F1/136209 G02F1/136286 G02F1/1393 G02F1/13624 G02F1/134327 G02F1/1368 G02F1/13458		
代理人(译)	英西湖公园		
其他公开文献	KR101827340B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种液晶显示装置，使相邻的像素单元具有相同的极性。结构：第一开关器件连接到栅极线和第一数据线。第二开关装置连接到栅极线和第一连接线。第三开关器件连接到栅极线和第二数据线。第四开关装置连接到栅极线和第一连接线。第一像素电极（PE1），第二像素电极，第三像素电极和第四像素电极连接到第一开关装置，第二开关装置，第三开关装置和第四开关装置。

