



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0139664
(43) 공개일자 2011년12월29일

(51) Int. Cl.

G09G 3/36 (2006.01)

(21) 출원번호 10-2011-0060687

(22) 출원일자 2011년06월22일

심사청구일자 2011년06월22일

(30) 우선권주장

JP-P-2010-143187 2010년06월23일 일본(JP)

(71) 출원인

샤프 가부시카이가이사

일본 오사카후 오사카시 아베노꾸 나가이쎄쵸 22
방 22고

(72) 발명자

스즈끼 다카미쯔

일본 오사카후 오사카시 아베노꾸 나가이쎄쵸 22
방 22고 샤프 가부시카이가이사 내

고바야시 가즈토시

일본 오사카후 오사카시 아베노꾸 나가이쎄쵸 22
방 22고 샤프 가부시카이가이사 내

(74) 대리인

박충범, 이중희, 장수길

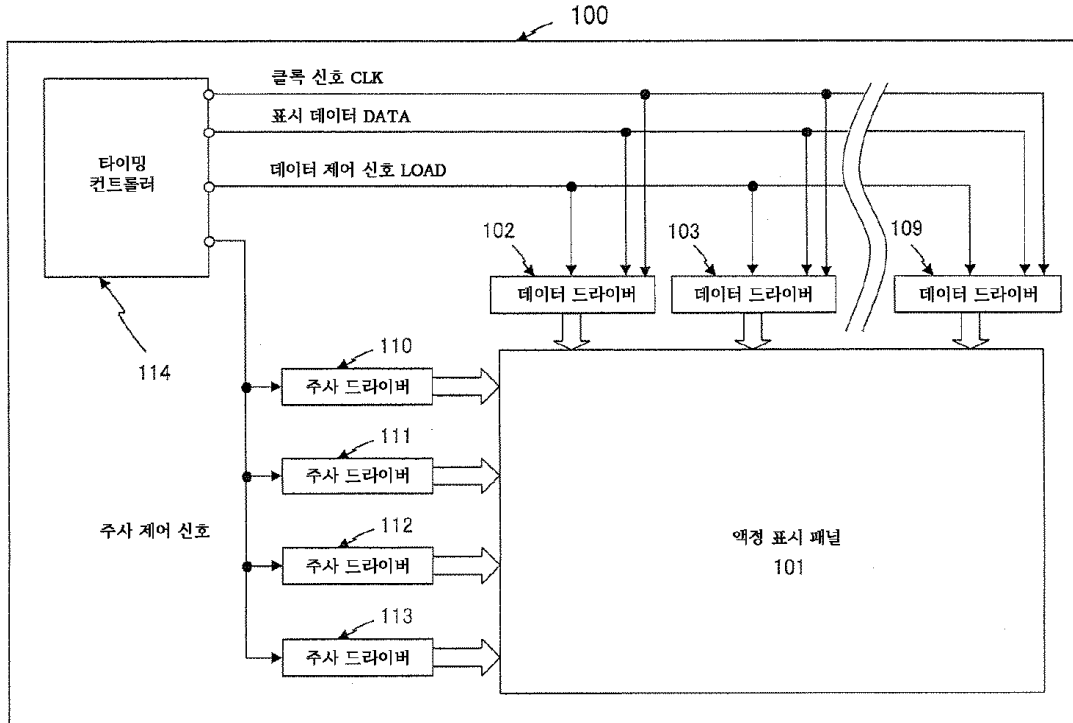
전체 청구항 수 : 총 16 항

(54) 구동 회로, 액정 표시 장치, 및 전자 정보 기기

(57) 요약

표시 데이터 및 제어 신호에 기초하여 표시 장치를 구동하는 본 발명에 따른 구동 회로는, 입력된 상기 제어 신호를 지연시키는 지연 회로; 및 지연된 상기 제어 신호에 의해 생성된 타이밍에, 입력된 상기 표시 데이터를 상기 표시 장치에 로드하는 데이터 로드부를 포함하고, 상기 지연 회로는, 상기 표시 데이터가 상기 표시 장치에 로드되는 로드 타이밍이 일정 주기에 의해 결정되는 고정 타이밍에 따라 변동되는 방식으로 상기 제어 신호를 지연시킨다.

대표도



특허청구의 범위

청구항 1

표시 데이터 및 제어 신호에 기초하여 표시 장치를 구동하는 구동 회로로서,

입력된 상기 제어 신호를 지연시키는 지연 회로; 및

지연된 상기 제어 신호에 의해 생성된 타이밍에, 입력된 상기 표시 데이터를 상기 표시 장치에 로드(load)하는 데이터 로드부

를 포함하고,

상기 지연 회로는, 상기 표시 데이터가 상기 표시 장치에 로드되는 로드 타이밍이 일정 주기에 의해 결정되는 고정 타이밍에 따라 변동되는 방식으로 상기 제어 신호를 지연시키는, 구동 회로.

청구항 2

제1항에 있어서,

상기 입력된 제어 신호는 상기 일정 주기로 상기 고정 타이밍을 생성하는 신호이며, 상기 지연 회로는 상기 제어 신호의 지연 처리를 반복하며, 상기 로드 타이밍은 상기 일정 주기의 정수배의 기간이 경과할 때마다, 상기 로드 타이밍의 지연 시간의 제한 내에서, 상기 고정 타이밍으로부터 소정의 지연 시간만큼 지연되는, 구동 회로.

청구항 3

제2항에 있어서, 상기 표시 데이터 및 상기 제어 신호는 상기 표시 장치에 공급되는 영상 신호에 포함되어 있고, 상기 일정 주기는 상기 영상 신호의 수평 동기 기간에 기초하는, 구동 회로.

청구항 4

제1항에 있어서,

상기 지연 회로는,

상기 입력된 제어 신호에 의해 생성되는 고정 타이밍을 카운트하는 카운트 회로; 및

상기 카운트 회로의 카운트 출력을 디코드하는 디코더

를 포함하고,

상기 제어 신호의 지연량은 상기 디코더의 출력에 기초하여 결정되는, 구동 회로.

청구항 5

제4항에 있어서,

상기 지연 회로는,

직렬 접속된 복수의 지연 소자; 및

상기 디코더의 출력에 기초하여, 상기 복수의 지연 소자 중 직렬 접속된 소정수의 지연 소자들에 의해 상기 제어 신호가 지연되도록, 상기 제어 신호의 신호 경로들을 전환(switch)하는 복수의 스위치

를 포함하는, 구동 회로.

청구항 6

제1항에 있어서,

상기 지연 회로는,

상기 입력된 제어 신호에 의해 생성되는 고정 타이밍에 기초하여 시프트 동작하는 시프트 레지스터;

직렬 접속된 복수의 지연 소자; 및

상기 시프트 레지스터의 출력에 기초하여, 상기 복수의 지연 소자 중 직렬 접속된 소정수의 지연 소자들에 의해 상기 제어 신호가 지연되도록, 상기 제어 신호의 신호 경로들을 전환하는 복수의 스위치

를 포함하는, 구동 회로.

청구항 7

제3항에 있어서,

상기 표시 장치로서의 액정 표시 패널의 복수의 데이터선을 구동하는 데이터 드라이버;

상기 액정 표시 패널의 복수의 주사선을 구동하는 주사 드라이버; 및

입력된 영상 신호에 기초하여, 상기 데이터 드라이버에 공급되는 상기 표시 데이터를 생성할 뿐만 아니라, 상기 제어 신호로서, 상기 데이터 드라이버에 공급되는 데이터 제어 신호 및 상기 주사 드라이버에 공급되는 주사 제어 신호를 생성하는 타이밍 컨트롤러

를 포함하고,

상기 지연 회로는 상기 데이터 드라이버를 구성하고;

상기 지연 회로는, 상기 데이터 드라이버로부터 상기 액정 표시 패널의 데이터선에 상기 표시 데이터가 출력되는 타이밍이 수평 동기 신호에 기초하여 결정되는 고정 타이밍에 따라 수평 주사선마다 변동되는 방식으로, 상기 데이터 드라이버에 입력되는 상기 제어 신호를 지연시키는, 구동 회로.

청구항 8

제3항에 있어서,

상기 표시 장치로서의 액정 표시 패널의 복수의 데이터선을 구동하는 데이터 드라이버;

상기 액정 표시 패널의 복수의 주사선을 구동하는 주사 드라이버; 및

입력된 영상 신호에 기초하여, 상기 데이터 드라이버에 공급되는 상기 표시 데이터를 생성할 뿐만 아니라, 상기 제어 신호로서, 상기 데이터 드라이버에 공급되는 데이터 제어 신호 및 상기 주사 드라이버에 공급되는 주사 제어 신호를 생성하는 타이밍 컨트롤러

를 포함하고,

상기 지연 회로는 상기 타이밍 컨트롤러를 구성하고;

상기 지연 회로는, 상기 데이터 드라이버로부터 상기 액정 표시 패널의 데이터선에 상기 표시 데이터가 출력되는 타이밍이 수평 동기 신호에 기초하여 결정되는 고정 타이밍에 따라 수평 주사선마다 변동되는 방식으로, 상기 영상 신호에 기초하여 상기 타이밍 컨트롤러에 의해 생성되는 상기 제어 신호를 지연시키는, 구동 회로.

청구항 9

제1항에 있어서,

상기 표시 장치로서의 액정 표시 패널의 복수의 데이터선을 구동하는 데이터 드라이버를 포함하고,

상기 지연 회로는 상기 데이터 드라이버를 구성하고, 상기 데이터 드라이버에 입력된 제어 신호를 지연시키며;

상기 데이터 드라이버는,

상기 액정 표시 패널의 데이터선마다 제공되며, 대응하는 상기 데이터선을 구동하며, 복수의 그룹으로 그룹화된, 복수의 그룹의 복수의 드라이버 회로; 및

동일한 그룹 내의 상기 드라이버 회로들은 동일한 타이밍에 상기 표시 데이터를 해당 데이터선에 공급하고, 상이한 그룹 내의 드라이버 회로들은 상이한 타이밍에 상기 표시 데이터를 해당 데이터선에 공급하는 방식으로, 각 그룹의 상기 드라이버 회로들에 공급되는 상기 제어 신호를 지연시키는 신호 지연부

를 포함하는, 구동 회로.

청구항 10

제9항에 있어서,

상기 신호 지연부는 복수 단에 걸쳐 직렬 접속된 복수의 지연부를 포함하고,

제1 단의 상기 지연부는 상기 지연 회로로부터 출력되는 상기 제어 신호를 지연시키고;

제2 단 및 그 이후의 단의 상기 지연부들은 이전 단의 상기 지연부로부터 출력되는 상기 제어 신호를 지연시키는, 구동 회로.

청구항 11

제10항에 있어서, 상기 신호 지연부를 구성하는 상기 지연부들은 각각, 입력된 제어 신호를 소정량만큼 지연시키는, 구동 회로.

청구항 12

제10항에 있어서, 상기 복수의 지연부는,

상기 입력된 제어 신호에 의해 생성되는 고정 주기의 타이밍을 카운트하는 카운트 회로; 및

상기 카운트 회로의 카운트 출력을 디코딩하는 디코더

를 포함하고,

상기 디코더의 출력에 기초하여 상기 제어 신호의 지연량이 결정되는, 구동 회로.

청구항 13

제12항에 있어서, 상기 복수의 지연부는,

직렬 접속된 복수의 지연 소자; 및

상기 디코더의 출력에 기초하여, 상기 복수의 지연 소자 중 직렬 접속된 소정수의 지연 소자들에 의해 상기 제어 신호가 지연되도록, 상기 제어 신호의 신호 경로들을 전환하는 복수의 스위치

를 포함하는, 구동 회로.

청구항 14

제10항에 있어서, 상기 복수의 지연부는,

상기 입력된 제어 신호에 의해 생성되는 고정 주기의 타이밍에 기초하여 시프트 동작하는 시프트 레지스터;

직렬 접속된 복수의 지연 소자; 및

상기 시프트 레지스터의 출력에 기초하여, 상기 복수의 지연 소자 중 직렬 접속된 소정수의 지연 소자들에 의해 상기 제어 신호가 지연되도록, 상기 제어 신호의 신호 경로들을 전환하는 복수의 스위치

를 포함하는, 구동 회로.

청구항 15

액정 표시 패널을 포함하며, 영상 신호에 기초하여 상기 액정 표시 패널에 화상을 표시하는 액정 표시 장치로서,

상기 영상 신호에 기초하여 상기 액정 표시 패널을 구동하는 구동 장치를 더 포함하며, 상기 구동 장치는 제1항 내지 제14항 중 어느 한 항에 따른 구동 회로를 포함하는, 액정 표시 장치.

청구항 16

액정 표시 장치를 포함하는 전자 정보 기기로서,

상기 액정 표시 장치는 제15항에 따른 액정 표시 장치인, 전자 정보 기기.

명세서

기술분야

[0001] 본 출원은 U.S.C. § 119(a) 하에서 2010년 6월 23일에 일본에서 출원된 일본 특허 출원 제2010-143187호에 대한 우선권을 주장하며, 그 전체 내용은 참조로서 본 명세서에 원용된다.

[0002] 본 발명은, 구동 회로, 액정 표시 장치 및 전자 정보 기기에 관한 것으로서, 특히, 본 출원은, 피크 전류를 분산하도록 구성된, 액정 표시 패널 등의 표시 패널을 구동하는 구동 회로; 이러한 구동 회로를 탑재한 액정 표시 장치; 및 이러한 액정 표시 장치를 포함하는 전자 정보 기기에 관한 것이다.

배경기술

[0003] 종래로부터, 액정 표시 장치 등의 평면 표시 장치는, 액정 표시 패널 등의 표시 패널, 이 표시 패널을 구동하는 드라이버 및 이 드라이버를 제어하는 제어 회로를 포함하고 있다.

[0004] 최근, 이들 표시 장치의 대형화, 고선명화, 고속 구동화에 따라, 표시 패널에 표시 데이터로서 출력될 표시 신호(계조 전압)의 출력 주파수가 높아지고 출력될 표시 신호의 수도 증대하고 있다. 그 결과, 이러한 표시 패널을 구동하기 위한 데이터 드라이버에 있어서, 데이터 출력 시에 발생하는 불필요한 복사(radiation)가 문제가 되어 오고 있다.

[0005] 이하, 표시 패널을 구동하는 종래의 데이터 드라이버를 예를 들어 구체적으로 설명한다.

[0006] 도 14는 종래의 데이터 드라이버의 구성을 설명하는 블록도이다.

[0007] 도 14에 나타난 데이터 드라이버(901)는 n개의 신호 출력 단자(911-1 내지 911-n)를 가지며, 데이터 드라이버(901)는 각각의 출력 단자로부터 p 계조의 표시 데이터(계조 데이터)를 나타내는 표시 신호를 표시 패널의 데이터선에 출력 가능하다.

[0008] 요약하면, 이 데이터 드라이버(901)는, 외부로부터 신호가 입력되는 신호 입력 단자로서, 클록 입력 단자(902), 복수의 계조 데이터 입력 단자(903), 제어 신호 입력 단자(904) 및 기준 전압 단자(905 내지 909)를 포함한다. 데이터 드라이버(901)는 또한 액정 표시 패널에 신호가 출력되는 n개의 신호 출력 단자(911-1 내지 911-n)를 포함한다.

[0009] 데이터 드라이버(901)는, 내부적으로 제공되는 회로로서, 기준 전압 보정 회로(921), 클록 신호 CLK에 기초하여 동작하는 포인터 시프트 레지스터부(923), 표시 데이터를 래치하고 샘플링하는 래치 회로부(924), 래치되고 샘플링된 표시 데이터를 래치하고 홀드하는 홀드 회로부(925), 래치되고 홀드된 표시 데이터에 대해 D/A 변환을 행하는 D/A 컨버터(디지털 아날로그 컨버터)부(926) 및 D/A 변환된 표시 데이터를 출력하는 출력 버퍼부(927)를 포함한다.

[0010] 여기서, 포인터 시프트 레지스터부(923)는 n단의 시프트 레지스터(923-1 내지 923-n)를 포함하고 있다. 래치 회로부(924)는 n개의 래치 회로(924-1 내지 924-n)를 포함하고 있다. 홀드 회로부(925)는 n개의 홀드 회로(925-1 내지 925-n)를 포함하고 있다. D/A 컨버터부(926)는 n개의 D/A 컨버터 회로(926-1 내지 926-n)를 포함하고 있다. 출력 버퍼부(927)는 각각이 연산 증폭기로 구성되는 n개의 출력 버퍼(927-1 내지 927-n)를 포함하고 있다.

[0011] 다음으로, 상술한 장치의 동작에 관해 설명한다.

[0012] 이러한 구성의 데이터 드라이버(901)에서는, 이 드라이버(901)를 제어하는 제어 회로(도시 생략)로부터 표시 데이터 DATA, 데이터 제어 신호 LOAD 및 클록 신호 CLK가 입력되면, 포인터 시프트 레지스터부(923)는 클록 입력 단자(902)에 입력된 클록 신호 CLK에 따라, 래치 회로(924-1 내지 924-n) 중 1개의 래치 회로를 선택한다. 이러한 상태에서, 계조 데이터 DATA가 계조 데이터 입력 단자(903)로부터 입력되면, 래치 회로부(924)에서는, 계조 데이터의 샘플링 값을 선택된 래치 회로에 기억되게 한다.

[0013] 또한, 포인터 시프트 레지스터부(923)로부터 출력되는 래치 회로 선택 신호는, 클록 입력 단자(902)로부터 입력되는 클록 신호에 의해 제1 단의 래치 회로(924-1) 내지 제n 단의 래치 회로(924-n)를 순차 선택한다. 따라서, n개의 클록이 입력되었을 경우, 모든 래치 회로(924-1 내지 924-n)에 계조 데이터를 기억시킬 수 있다. 또한

래치 회로(924-1 내지 924-n)에 기억된 계조 데이터는, 제어 신호 LOAD에 의해, 대응하는 n개의 홀드 회로(925-1 내지 925-n)에 전송되어, D/A 컨버터(926-1 내지 926-n)의 디지털 입력 데이터가 된다.

[0014] D/A 컨버터(926-1 내지 926-n)는, 상기 디지털 입력 데이터에 따라, 입력되는 p 종류의 계조 전압 중 하나를 선택하여 출력한다. p 종류의 계조 전압은, 각각의 기준 전압 단자(905 내지 909)로부터 입력된 기준 전압 V0 내지 V4에 기초하여 기준 전압 보정 회로(921)에 의해 생성된다.

[0015] 또한, 출력 버퍼부(927)는 D/A 컨버터(926-1 내지 926-n)로부터 출력된 계조 전압에 대해 임피던스 변환을 행하고, 계조 전압은 각각의 신호 출력 단자(911-1 내지 911-n)로부터 액정 표시 패널로의 구동 신호로서, 액정 표시 패널(도시 생략)의 데이터선에 출력된다.

[0016] 이러한 구성의 종래의 데이터 드라이버(901)에서는, 상술한 바와 같이, 제어 신호 LOAD에 의해 홀드 회로(925-1 내지 925-n)로부터 D/A 컨버터 회로(926-1 내지 926-n)로의 데이터 전송이 모두 함께 행해지기 때문에, D/A 컨버터 회로(926-1 내지 926-n)로부터 출력되는 계조 전압이 동시에 변화된다. 이 때문에, 데이터 드라이버(901)에 순간적으로 많은 양의 전류가 발생한다. 이 전류는, 신호 출력 단자(911-1 내지 911-n)의 개수의 증가와 출력 버퍼부(927)의 구동 성능의 증가에 의해 대단히 큰 값을 갖는다. 이 때문에, 데이터 드라이버(901)에 의해 소비되는 전류가 증대할 뿐만 아니라 이 전류에 의해 발생하는 불필요한 복사도 문제가 된다.

[0017] 따라서, 특허문헌 1에 개시된 방법에서는 집중된 전류로 인해 피크 전류가 증대하는 것을 막기 위한 방법이 제안되어 있다.

[0018] 도 15는 특허문헌 1에 개시된 데이터 드라이버의 구성을 도시하는 도면이다.

[0019] 도 15의 데이터 드라이버(300)에서는, 회로 블록 CB1 내지 CB4가, 도 14에 나타낸 데이터 드라이버(901)의 홀드 회로, D/A 컨버터 회로 및 출력 버퍼에 해당하고, 회로 블록 CB1 내지 CB4의 각 세트가 복수의 그룹 CG1 내지 CGm으로 그룹화되어 있다. 요약하면, 각 그룹에서의 회로 블록 CB1 내지 CB4는 액정 표시 패널의 각 데이터선에 대응하고, 대응하는 데이터선에 표시 데이터를 출력한다.

[0020] 또한 이 데이터 드라이버(300)에서는, 제1 회로 그룹 CG1에는, 입력 보호 회로 E(30)를 통해 입력된 제어 신호 LOAD가 직접 입력된다. 제2 회로 그룹 CG2에는, 입력 보호 회로 E(30)로부터의 제어 신호 LOAD가 제1 지연 회로(31a1)를 통해 입력된다. 제3 회로 그룹 CG3에는, 제1 및 제2 지연 회로(31a1 및 31a2)를 통해 제어 신호 LOAD가 입력된다. 요약하면, 제m 회로 그룹 CGm에는, 제1 내지 제m-1의 지연 회로(31a1 내지 31am-1)를 통해 제어 신호 LOAD가 입력된다.

[0021] 따라서, 이러한 데이터 드라이버를 탑재한 액정 표시 장치에서는, 회로 그룹 CG들 사이에 지연 회로 D가 있기 때문에, 각 표시 출력 신호가 각 지연 회로 D의 지연 시간만큼 시프트되어 각 회로 그룹 CG로부터 표시 출력 신호(계조 전압)가 출력된다.

[0022] 이러한 구성 때문에, 표시 출력 신호가, 출력되는 회로 그룹 CG마다 분산된다. 그러므로, 고선명화 및 대화면화로 인해 신호의 수가 증대하더라도, 전원선에 흐르는 피크 전류가 분산되고, 불필요한 복사도 저감될 수 있다.

[0023] 특허문헌 2에는 데이터 드라이버들 간에 계조 데이터를 홀드 회로로 받아들이는 타이밍을 다르게 하는 내용이 개시되어 있다.

선행기술문헌

특허문헌

[0024] (특허문헌 0001) 특허문헌 1 : 일본 공개 공보 제8-22267호

(특허문헌 0002) 특허문헌 2 : 일본 공개 공보 제2008-262132호

발명의 내용

해결하려는 과제

[0025] 상술한 바와 같이, 특허문헌 1에 기재된 데이터 드라이버에서는, 각 회로 그룹 CG로부터 표시 출력 신호(계조

전압)가 각 지연 회로 D의 지연 시간만큼 시프트되어 출력되지만, 각 회로 그룹으로부터 표시 신호가 출력되는 간격은 일정하다. 따라서, 구동 신호의 주파수 성분의 확산이 충분하지 않고, 표시 장치가 대화면화, 고선명화, 고속화될 때 불필요한 복사가 증가한다는 문제가 발생한다.

[0026] 특허문헌 2에 개시된 액정 표시 장치에 있어서도, 특허문헌 1에 기재된 데이터 드라이버에서와 동일한 문제가 존재한다.

[0027] 본 발명은 상술한 종래의 문제를 해결하고자 한다. 본 발명의 목적은, 액정 표시 장치 등의 표시 장치를 구동하는 구동 신호의 주파수 성분을 확산시켜, 불필요한 복사를 저감할 수 있는 구동 회로, 이러한 구동 회로를 탑재한 액정 표시 장치, 및 이러한 액정 표시 장치를 포함하는 전자 정보 기기를 제공하는 것이다.

과제의 해결 수단

[0028] 표시 데이터 및 제어 신호에 기초하여 표시 장치를 구동하는 본 발명에 따른 구동 회로는, 입력된 상기 제어 신호를 지연시키는 지연 회로; 및 지연된 상기 제어 신호에 의해 생성된 타이밍에, 입력된 상기 표시 데이터를 상기 표시 장치에 로드(load)하는 데이터 로드부를 포함하고, 상기 지연 회로는, 상기 표시 데이터가 상기 표시 장치에 로드되는 로드 타이밍이 일정 주기에 의해 결정되는 고정 타이밍에 따라 변동되는 방식으로 상기 제어 신호를 지연시켜, 상술한 목적을 달성할 수 있다.

[0029] 본 발명에 따른 구동 회로에서는, 상기 입력된 제어 신호는 상기 일정 주기로 상기 고정 타이밍을 생성하는 신호이며, 상기 지연 회로는 상기 제어 신호의 지연 처리를 반복하며, 상기 로드 타이밍은 상기 일정 주기의 정수 배의 기간이 경과할 때마다, 상기 로드 타이밍의 지연 시간의 제한 내에서, 상기 고정 타이밍으로부터 소정의 지연 시간만큼 지연되는 것이 바람직하다.

[0030] 본 발명에 따른 구동 회로에서는, 상기 표시 데이터 및 상기 제어 신호는 상기 표시 장치에 공급되는 영상 신호에 포함되어 있고, 상기 일정 주기는 상기 영상 신호의 수평 동기 기간에 기초하는 것이 또한 바람직하다.

[0031] 본 발명에 따른 구동 회로에서는, 상기 지연 회로는, 상기 입력된 제어 신호에 의해 생성되는 고정 타이밍을 카운트하는 카운트 회로; 및 상기 카운트 회로의 카운트 출력을 디코딩하는 디코더를 포함하고, 상기 제어 신호의 지연량은 상기 디코더의 출력에 기초하여 결정되는 것이 또한 바람직하다.

[0032] 본 발명에 따른 구동 회로에서는, 상기 지연 회로는, 직렬 접속된 복수의 지연 소자; 및 상기 디코더의 출력에 기초하여, 상기 복수의 지연 소자 중 직렬 접속된 소정수의 지연 소자들에 의해 상기 제어 신호가 지연되도록, 상기 제어 신호의 신호 경로들을 전환(switch)하는 복수의 스위치를 포함하는 것이 또한 바람직하다.

[0033] 본 발명에 따른 구동 회로에서는, 상기 지연 회로는, 상기 입력된 제어 신호에 의해 생성되는 고정 타이밍에 기초하여 시프트 동작하는 시프트 레지스터; 직렬 접속된 복수의 지연 소자; 및 상기 시프트 레지스터의 출력에 기초하여, 상기 복수의 지연 소자 중 직렬 접속된 소정수의 지연 소자들에 의해 상기 제어 신호가 지연되도록, 상기 제어 신호의 신호 경로들을 전환하는 복수의 스위치를 포함하는 것이 또한 바람직하다.

[0034] 본 발명에 따른 구동 회로는, 상기 표시 장치로서의 액정 표시 패널의 복수의 데이터선을 구동하는 데이터 드라이버; 상기 액정 표시 패널의 복수의 주사선을 구동하는 주사 드라이버; 및 입력된 영상 신호에 기초하여, 상기 데이터 드라이버에 공급되는 상기 표시 데이터를 생성할 뿐만 아니라, 상기 제어 신호로서, 상기 데이터 드라이버에 공급되는 데이터 제어 신호 및 상기 주사 드라이버에 공급되는 주사 제어 신호를 생성하는 타이밍 컨트롤러를 포함하고, 상기 지연 회로는 상기 데이터 드라이버를 구성하고; 상기 지연 회로는, 상기 데이터 드라이버로부터 상기 액정 표시 패널의 데이터선에 상기 표시 데이터가 출력되는 타이밍이 수평 동기 신호에 기초하여 결정되는 고정 타이밍에 따라 수평 주사선마다 변동되는 방식으로, 상기 데이터 드라이버에 입력되는 상기 제어 신호를 지연시키는 것이 또한 바람직하다.

[0035] 본 발명에 따른 구동 회로는, 상기 표시 장치로서의 액정 표시 패널의 복수의 데이터선을 구동하는 데이터 드라이버; 상기 액정 표시 패널의 복수의 주사선을 구동하는 주사 드라이버; 및 입력된 영상 신호에 기초하여, 상기 데이터 드라이버에 공급되는 상기 표시 데이터를 생성할 뿐만 아니라, 상기 제어 신호로서, 상기 데이터 드라이버에 공급되는 데이터 제어 신호 및 상기 주사 드라이버에 공급되는 주사 제어 신호를 생성하는 타이밍 컨트롤러를 포함하고, 상기 지연 회로는 상기 타이밍 컨트롤러를 구성하고; 상기 지연 회로는, 상기 데이터 드라이버로부터 상기 액정 표시 패널의 데이터선에 상기 표시 데이터가 출력되는 타이밍이 수평 동기 신호에 기초하여 결정되는 고정 타이밍에 따라 수평 주사선마다 변동되는 방식으로, 상기 영상 신호에 기초하여 상기 타이밍 컨트롤러에 의해 생성되는 상기 제어 신호를 지연시키는 것이 또한 바람직하다.

- [0036] 본 발명에 따른 구동 회로는, 상기 표시 장치로서의 액정 표시 패널의 복수의 데이터선을 구동하는 데이터 드라이버를 포함하고, 상기 지연 회로는 상기 데이터 드라이버를 구성하고, 상기 데이터 드라이버에 입력된 제어 신호를 지연시키며; 상기 데이터 드라이버는, 상기 액정 표시 패널의 데이터선마다 제공되며, 대응하는 상기 데이터선을 구동하며, 복수의 그룹으로 그룹화된, 복수의 그룹의 복수의 드라이버 회로; 및 동일한 그룹 내의 상기 드라이버 회로들은 동일한 타이밍에 상기 표시 데이터를 해당 데이터선에 공급하고, 상이한 그룹 내의 드라이버 회로들은 상이한 타이밍에 상기 표시 데이터를 해당 데이터선에 공급하는 방식으로, 각 그룹의 상기 드라이버 회로들에 공급되는 상기 제어 신호를 지연시키는 신호 지연부를 포함하는 것이 또한 바람직하다.
- [0037] 본 발명에 따른 구동 회로에서는, 상기 신호 지연부는 복수 단계 걸쳐 직렬 접속된 복수의 지연부를 포함하고, 제1 단계의 상기 지연부는 상기 지연 회로로부터 출력되는 상기 제어 신호를 지연시키고; 제2 단계 및 그 이후의 단계의 상기 지연부들은 이전 단계의 상기 지연부로부터 출력되는 상기 제어 신호를 지연시키는 것이 또한 바람직하다.
- [0038] 본 발명에 따른 구동 회로에서는, 상기 신호 지연부를 구성하는 상기 지연부들은 각각, 입력된 제어 신호를 소정량만큼 지연시키는 것이 또한 바람직하다.
- [0039] 본 발명에 따른 구동 회로에서는, 상기 복수의 지연부는, 상기 입력된 제어 신호에 의해 생성되는 고정 주기의 타이밍을 카운트하는 카운트 회로; 및 상기 카운트 회로의 카운트 출력을 디코딩하는 디코더를 포함하고, 상기 디코더의 출력에 기초하여 상기 제어 신호의 지연량이 결정되는 것이 또한 바람직하다.
- [0040] 본 발명에 따른 구동 회로에서는, 상기 복수의 지연부는, 직렬 접속된 복수의 지연 소자; 및 상기 디코더의 출력에 기초하여, 상기 복수의 지연 소자 중 직렬 접속된 소정수의 지연 소자들에 의해 상기 제어 신호가 지연되도록, 상기 제어 신호의 신호 경로를 전환하는 복수의 스위치를 포함하는 것이 또한 바람직하다.
- [0041] 본 발명에 따른 구동 회로에서는, 상기 복수의 지연부는, 상기 입력된 제어 신호에 의해 생성되는 고정 주기의 타이밍에 기초하여 시프트 동작하는 시프트 레지스터; 직렬 접속된 복수의 지연 소자; 및 상기 시프트 레지스터의 출력에 기초하여, 상기 복수의 지연 소자 중 직렬 접속된 소정수의 지연 소자들에 의해 상기 제어 신호가 지연되도록, 상기 제어 신호의 신호 경로를 전환하는 복수의 스위치를 포함하는 것이 또한 바람직하다.
- [0042] 본 발명에 따른 액정 표시 장치는 액정 표시 패널을 포함하며, 영상 신호에 기초하여 상기 액정 표시 패널에 화상을 표시하기 위해, 상기 액정 표시 장치는 상기 영상 신호에 기초하여 상기 액정 표시 패널을 구동하는 구동 장치를 더 포함하며, 상기 구동 장치는 본 발명에 따른 구동 회로를 포함하여, 상술한 목적을 달성한다.
- [0043] 본 발명에 따른 전자 정보 기기는 액정 표시 장치를 포함하며, 상기 액정 표시 장치는 본 발명에 따른 액정 표시 장치이며, 이에 의해 상술한 목적을 달성한다.
- [0044] 이하, 본 발명의 기능에 관하여 설명한다.
- [0045] 본 발명에서는, 입력된 제어 신호를 지연하는 지연 회로와, 지연된 제어 신호의 생성 타이밍에 입력된 표시 데이터를 표시 장치에 로드하는 데이터 로드부가 포함된다. 상기 제어 신호는, 상기 표시 데이터를 상기 표시 장치에 로드하는 로드 타이밍이 일정 주기에 의해 결정되는 고정 타이밍에 따라 변동하도록 지연된다. 그 결과, 종래 기술에서는 충분하게 얻어지지 않았던, 불필요한 복사의 저감의 효과를 얻을 수 있게 된다.
- [0046] 본 발명에서는, 제어 신호의 지연에 의해, 고정 타이밍에 대한 제어 신호의 로드 타이밍이 시계열로 복수 생성되므로, 제어 신호의 로드 타이밍을 생성하는 회로의 규모가 커지는 것을 막을 수 있고, 이는 비용을 저감시킨다.
- [0047] 본 발명에서는, 구동 회로는 제어 신호의 펄스의 상승을 카운트하는 카운터 회로를 포함하고 있어, 각 수평 기간마다 로드 타이밍을 다르게 할 수 있는 지연 회로를 회로 규모를 증대시키지 않고 구성할 수 있고, 이는 비용을 저감시킨다.
- [0048] 본 발명에서는, 각 데이터 신호선마다 대응하는 복수의 회로 블록을, 소정수의 데이터 신호선을 단위로서 그룹을 형성하고, 각 회로 블록은 구동 회로를 구성한다. 따라서, 제어 신호의 로드 타이밍이 고정 타이밍에 대해 시계열로 복수 생성된다. 그 결과, 구동 회로 내에서 발생하는 구동 신호의 주파수 성분을 확산시킬 수 있고 불필요한 복사를 저감할 수 있을 뿐만 아니라 복수의 회로 그룹마다 로드하는 타이밍을 시프트할 수 있기 때문에, 불필요한 복사를 더욱 저감할 수 있다.

발명의 효과

- [0049] 상술한 바와 같이, 본 발명에 따르면, 액정 표시 장치 등의 표시 장치를 구동하는 구동 신호의 주파수 성분을 확산시켜 불필요한 복사를 저감할 수 있는 구동 회로, 이러한 구동 회로를 탑재한 액정 표시 장치, 및 이러한 액정 표시 장치를 포함하는 전자 정보 기기를 얻을 수 있다.
- [0050] 본 발명의 이들 이점 및 다른 이점들은 첨부되는 도면을 참조하여 이하의 상세한 설명을 읽고 이해할 때 당업자들에게 명백하게 될 것이다.

도면의 간단한 설명

- [0051] 도 1은 본 발명의 실시형태 1에 따른 구동 회로를 포함하는 표시 장치의 구성을 도시하는 도면.
- 도 2는 본 발명의 실시형태 1에 따른 구동 회로인 데이터 드라이버를 나타내는 블록도.
- 도 3은 본 발명의 실시형태 1에 따른 구동 회로(데이터 드라이버)를 구성하는 지연 회로를 나타내는 블록도.
- 도 4는 지연된 로드 신호(제어 신호)를 타이밍 도로 나타내고 있는, 본 발명의 실시형태 1에 따른 지연 회로의 동작을 설명하는 도면.
- 도 5는 본 발명의 실시형태 2에 따른 타이밍 컨트롤러를 포함하는 표시 장치의 구성을 나타내는 도면.
- 도 6은 본 발명의 실시형태 2에 따른 타이밍 컨트롤러를 나타내는 블록도.
- 도 7은 본 발명의 실시형태 3에 따른 구동 회로를 포함하는 표시 장치의 구성을 나타내는 도면.
- 도 8은 본 발명의 실시형태 3에 따른 구동 회로인 데이터 드라이버를 나타내는 블록도.
- 도 9는 본 발명의 실시형태 3에 따른 구동 회로(데이터 드라이버)를 구성하는 지연 회로를 나타내는 블록도.
- 도 10은 본 발명의 실시형태 4에 따른 구동 회로를 포함하는 표시 장치의 구성을 나타내는 도면.
- 도 11은 본 발명의 실시형태 4에 따른 구동 회로인 데이터 드라이버를 나타내는 블록도.
- 도 12는 본 발명의 실시형태 4에 따른 구동 회로(데이터 드라이버)를 구성하는 지연 회로를 나타내는 블록도.
- 도 13은 본 발명의 실시형태 5에 따른 구동 회로(데이터 드라이버)를 나타내는 블록도.
- 도 14는 종래의 데이터 드라이버의 구성의 일례를 개시하는 블록도.
- 도 15는 종래의 또 다른 구동 회로의 구성의 일례로서 특허문헌 1에 개시되어 있는 구성을 설명하는 블록도.

발명을 실시하기 위한 구체적인 내용

- [0052] 이하, 본 발명의 실시형태에 대해 설명한다.
- [0053] (실시형태 1)
- [0054] 도 1은 본 발명의 실시형태 1에 따른 구동 회로를 포함하는 액정 표시 장치의 구성을 도시하는 도면이다.
- [0055] 실시형태 1에 따른 액정 표시 장치(100)는, 영상 신호에 기초하여 화상 표시를 행하는 액정 표시 패널(101), 액정 표시 패널의 데이터 신호선을 구동하는 복수의 데이터 드라이버(102 내지 109), 액정 표시 패널의 주사 신호선을 구동하는 복수의 주사 드라이버(110 내지 113), 및 영상 신호로부터 표시 데이터, 데이터 제어 신호 및 주사 제어 신호를 생성하고, 표시 데이터 및 데이터 제어 신호에 의해 데이터 드라이버(102 내지 109)를 제어하고, 주사 제어 신호에 의해 주사 드라이버(110 내지 113)를 제어하는 타이밍 컨트롤러(114)를 포함한다.
- [0056] 보다 구체적으로는, 데이터 드라이버(102 내지 109)는 액정 표시 패널(101)의 데이터 신호선에 접속되고, 타이밍 컨트롤러(114)로부터의 표시 데이터 및 데이터 제어 신호에 기초하여 데이터 신호선을 구동한다. 데이터 드라이버(102 내지 109)는, COF(Chip On Film)과 같은 설치 구조로서, 반도체 집적 회로로 구성된 드라이버 칩을 필름 기판 위에 구현함으로써 형성된다. 주사 드라이버(110 내지 113)는, 액정 표시 패널(101)의 주사 신호선에 접속되고, 타이밍 컨트롤러(114)로부터의 주사 제어 신호에 의해 주사 신호선을 구동한다. 이 주사 드라이버(110 내지 113)도, COF와 같은 설치 구조로서, 반도체 집적 회로로 구성된 드라이버 칩을 필름 기판 위에 구현함으로써 형성된다. 타이밍 컨트롤러(114)는, 데이터 드라이버(102 내지 109)의 적어도 하나 및 주사 드라이버(110 내지 113)의 적어도 하나에 신호선을 통해 접속되어 있다. 데이터 드라이버(102 내지 109)의 적어도 하나 및 주사 드라이버(110 내지 113)의 적어도 하나를 제어함으로써, 타이밍 컨트롤러(114)는 액정 표시 패널

(101)에 영상 데이터를 표시시킨다. 요약하면, 타이밍 컨트롤러(114)는, 각 데이터 드라이버 및 각 주사 드라이버와 데이터 버스를 통해 직접 접속될 수 있다. 혹은, 타이밍 컨트롤러(114)는, 제1 단의 데이터 드라이버 및 제1 단의 주사 드라이버에 접속될 수 있으며, 타이밍 컨트롤러(114)로부터의 신호는 제1 단의 데이터 드라이버 및 제1 단의 주사 드라이버에서 다음 단의 데이터 드라이버 및 주사 드라이버로 전송될 수 있다.

- [0057] 도 2는 데이터 드라이버(102)의 구성을 나타내는 도면이다. 데이터 드라이버(103 내지 109)는 각각 데이터 드라이버(102)와 동일한 구성을 포함하고 있으므로, 그 설명을 생략한다.
- [0058] 도 2에 나타낸 바와 같이, 데이터 드라이버(102)는, 클록 신호 CLK에 기초하여 시프트 동작하는 포인터 시프트 레지스터부(115), 표시 데이터 DATA를 래치하고 샘플링하는 래치 회로부(116), 래치되고 샘플링된 표시 데이터를 래치하고 홀드하는 홀드 회로부(117), 래치되고 홀드된 표시 데이터에 대해 D/A 변환을 행하는 D/A 컨버터부(118), 및 D/A 변환된 표시 데이터를 출력하는 출력 버퍼부(119)를 포함한다.
- [0059] 여기서, 포인터 시프트 레지스터부(115)는 n단의 시프트 레지스터(115-1 내지 115-n)를 포함한다. 래치 회로부(116)는 n개의 래치 회로(116-1 내지 116-n)를 포함한다. 홀드 회로부(117)는 n개의 홀드 회로(117-1 내지 117-n)를 포함한다. D/A 컨버터부(118)는 n개의 D/A 컨버터 회로(118-1 내지 118-n)를 포함한다. 출력 버퍼부(119)는 각각이 연산 증폭기로 구성되는 n개의 출력 버퍼(119-1 내지 119-n)를 포함한다.
- [0060] 데이터 드라이버(102)는, 데이터 제어 신호를 지연하는 지연 회로(120) 및 입력되는 기준 전압 V0 내지 V4에 기초하여 m 종류의 계조 전압을 생성하는 기준 전압 보정 회로(121)를 더 포함한다.
- [0061] 데이터 드라이버(102)는, 입력 단자로서, 클록 입력 단자(122), 표시 데이터 입력 단자(123), 제어 신호 입력 단자(124) 및 기준 전압 단자(125 내지 129)를 더 포함한다.
- [0062] 데이터 드라이버(102)는, 액정 표시 패널(101)에 출력하는 신호를 위해 제공되는 출력 단자로서, n개의 신호 출력 단자(130-1 내지 130-n)를 더 포함한다. 신호 출력 단자(130-1 내지 130-n)는, 상술한 액정 표시 패널(101)의 데이터 신호선에 개별적으로 접속되어 있다.
- [0063] 여기에서, 클록 입력 단자(122)는, 포인터 시프트 레지스터 회로부(115)에 주어지는 클록 신호 CLK를 입력하기 위해 제공된다. 표시 데이터 입력 단자(123)는, 복수 비트의 계조 데이터의 각 비트에 대응하는 복수의 신호 입력 단자로 구성되어 있다. 제어 신호 입력 단자(124)는 지연 회로(120)를 거쳐 홀드 회로부(117)에 접속되고, 데이터 로드 신호 LOAD를 입력할 수 있도록 제공된다. 이 데이터 로드 신호는, 래치 회로부(116)에서 래치된 표시 데이터를 홀드 회로부(117)가 보유할 수 있도록 하는 제어 신호로서 사용된다. 기준 전압 단자(125 내지 129)는 각각 기준 전압 보정 회로(121)에 주어지는 기준 전압 V0 내지 V4를 입력하기 위해 제공된다.
- [0064] 신호 출력 단자(130-1 내지 130-n)는, 출력 버퍼부(119)를 구성하는 n개의 출력 버퍼(119-1 내지 119-n)로부터 출력된 계조 전압을 액정 표시 패널(101)에 출력하기 위해 제공된다.
- [0065] 다음으로, 상술한 장치의 동작에 관하여 설명한다.
- [0066] 실시형태 1에 따른 액정 표시 장치(100)에서는, 외부에서 영상 신호가 입력되면, 타이밍 컨트롤러(114)는 이 영상 신호로부터 표시 데이터 DATA, 데이터 제어 신호 LOAD, 주사 제어 신호 및 클록 신호 CLK를 생성한다. 표시 데이터 DATA, 데이터 제어 신호 LOAD 및 클록 신호 CLK가 데이터 드라이버(102 내지 109)에 공급되면, 데이터 드라이버(102 내지 109)는 표시 데이터 및 데이터 제어 신호에 기초하여 데이터 신호선을 구동한다. 또한, 주사 제어 신호가 주사 드라이버(110 내지 113)에 공급되면, 주사 드라이버(110 내지 113)는 이 주사 제어 신호에 기초하여 주사 신호선을 구동한다. 이것에 의해 영상 신호에 따라 액정 표시 패널 상에 화상이 표시된다.
- [0067] 이때, 데이터 드라이버(102)에서는, 타이밍 컨트롤러(114)로부터의 표시 데이터 DATA, 데이터 제어 신호 LOAD 및 클록 신호 CLK가 각각의 입력 단자에 공급되면, 포인터 시프트 레지스터 회로부(115)는 클록 입력 단자(122)에 입력된 클록 신호 CLK를 각 단의 시프트 레지스터(115-1 내지 115-n)에 의해 시프트시켜, 각 단의 시프트 레지스터로부터 래치 회로 선택 신호를 출력한다. 요약하면, 포인터 시프트 레지스터 회로부(115)는, 래치 회로 선택 신호에 의해, 래치 회로부(116)를 구성하는 제1 단의 래치 회로(116-1) 내지 제n 단의 래치 회로(116-n)를 순차 선택한다.
- [0068] 래치 회로부(116)의 n개의 래치 회로(116-1 내지 116-n)는, 상기 래치 회로 선택 신호가 입력되면, 표시 데이터 입력 단자(123)로부터 입력된 표시 데이터 DATA의 기억을 가능하게 하는 액티브 상태로 바뀐다. 이 상태에서는, 래치 회로(116-1 내지 116-n)에 각각 다른 값의 데이터를 기억하는 것이 가능하다. 따라서, 포인터 시프트 레지스터 회로부(115)에 클록 신호의 n개의 클록이 입력되었을 경우, 모든 래치 회로(116-1 내지

116-n)는 각 데이터선에 대응하는 표시 데이터를 기억할 수 있다. 각 래치 회로가 데이터를 기억할 수 있는 상태에서 표시 데이터 DATA가 표시 데이터 입력 단자(123)로부터 입력되면, 각 데이터선에 대응하는 표시 데이터 DATA의 값이 대응하는 래치 회로(116-1 내지 116-n) 각각에 선택되어 저장된다.

- [0069] n개의 홀드 회로(117-1 내지 117-n)는, 로드 신호(데이터 제어 신호) LOAD가 액티브(예를 들면, H 레벨)가 되는 타이밍에, 대응하는 래치 회로(116-1 내지 116-n)에 기억되어 있는 데이터를 일제히 가져와서(retrieve) 보유한다. 홀드 회로(117-1 내지 117-n)에 보유된 데이터는, D/A 컨버터(118-1 내지 118-n)에 입력되는 디지털 데이터로 바뀐다.
- [0070] 여기에서, 데이터 제어 신호 LOAD는 타이밍 컨트롤러(114)로부터 출력되어, 신호선을 거쳐서 제어 신호 입력 단자(124)로 입력된 후, 지연 회로(120)를 거쳐 홀드 회로부(117)에 입력된다. 따라서, 데이터 제어 신호 LOAD는 지연 회로(120)에서 소정의 시간만큼 지연되어서 홀드 회로부(117)에 입력된다.
- [0071] D/A 컨버터 회로(118-1 내지 118-n)는 상술한 디지털 데이터에 기초하여 기준 전압 보정 회로(121)로부터 입력되는 p 종류의 계조 전압 중 1개를 선택하여 출력한다. 이러한 D/A 컨버터 회로(118-1 내지 118-n)의 상세에 대해서는, 예를 들면, 일본 공개 공보 제2003-130921호에 기재되어 있으므로, 여기에서는 그 설명을 생략한다.
- [0072] 출력 버퍼(119-1 내지 119-n)는, 각각의 D/A 컨버터(118-1 내지 118-n)로부터 출력된 계조 전압에 대해 임피던스 변환을 행하고 출력한다. 출력 버퍼(119-1 내지 119-n)로부터 출력된 계조 전압은, 각각의 신호 출력 단자(130-1 내지 130-n)로부터, 계조 데이터(구동 데이터)로서, 액정 표시 패널(101)의 대응하는 데이터 신호선에 출력된다.
- [0073] 이상에서 설명한 동작은 데이터 드라이버(102)의 동작이지만, 나머지 데이터 드라이버(103 내지 109)도 데이터 드라이버(102)와 마찬가지로 동작한다.
- [0074] 다음으로, 실시형태 1에 따른 구동 회로(데이터 드라이버)(102)에서의 지연 회로(120)에 대해서 자세하게 설명한다.
- [0075] 도 3은 실시형태 1에 따른 구동 회로(데이터 드라이버)(102)를 구성하는 지연 회로를 나타내는 블록도이다.
- [0076] 지연 회로(120)는 제어 입력 단자(124)에 접속된 2 비트 카운터(131), 카운터(131)의 출력을 디코딩하는 4개의 출력 디코더(132), 디코더(132)에 접속된 4개의 스위치(133)(133-0 내지 133-3) 및 스위치(133)에 접속된 지연 소자 De를 포함한다.
- [0077] 구체적으로는, 이 지연 회로(120)는, 제1 내지 제4 스위치(133-0 내지 133-3), 3개의 지연 소자를 직렬 접속하여 구성되는 지연부(134a), 2개의 지연 소자를 직렬 접속하여 구성되는 지연부(134b), 1개의 지연 소자로 구성되는 지연부(134c)를 포함한다. 지연 회로(120)의 입력 노드(제어 입력 단자(124))와 출력 노드 사이에는, 입력 노드측으로부터 순차적으로 제4 스위치(133-3)와 지연부(134a 내지 134c)가 직렬 접속되어 놓여 있다.
- [0078] 여기에서, 제3 스위치(133-2)는 제4 스위치(133-3)와 지연부(134a)의 직렬 접속체에 병렬로 접속되어 있다. 제2 스위치(133-1)는 제4 스위치(133-3), 지연부(134a) 및 지연부(134b)의 직렬 접속체에 병렬로 접속되어 있다. 제1 스위치(133-0)는 제4 스위치(133-3), 지연부(134a), 지연부(134b) 및 지연부(134c)의 직렬 접속체에 병렬로 접속되어 있다.
- [0079] 상술한 지연 회로(120)에서는, 카운터(131)는, 외부로부터 제어 입력 단자(124)에 입력되는 펄스 신호로서, 제어 신호 LOAD(IN)(도 4 참조)의 펄스 수를 카운트한다. 디코더(132)는, 이 카운트 수에 따라 그 출력 Y0 내지 Y3를 순차적으로 액티브 상태로 한다. 여기에서, 제어 신호는 영상 신호의 수평 동기 신호에 동기한 펄스 신호이다. 따라서, 1 수평 동기 기간이 경과할 때마다, 제1 내지 제4 스위치(133-0 내지 133-3)는 온 상태로 순차적으로 전환(switch)되고, 이러한 스위치의 전환은 4 수평 동기 기간마다 반복된다.
- [0080] 요약하면, 제어 신호 LOAD의 경로는, 카운트 수에 따라, 3개의 지연부(134a 내지 134c)를 통과하는 경로, 2개의 지연부(134b 및 134c)를 통과하는 경로, 1개의 지연부(134c)를 통과하는 경로 및 지연부를 통과하지 않는 경로 중 하나로 전환된다. 카운트 수에 따른 이러한 경로를 통해서, 제어 신호 LOAD는 홀드 회로(117)에 입력된다.
- [0081] 그러므로, 제1 스위치(133-0)를 통과한 제어 신호는 지연되지 않고 출력 노드로부터 출력된다. 제2 스위치(133-1)를 통과한 제어 신호는 하나의 지연 소자 De를 경유하여 출력된다. 제3 스위치(133-2)를 통과한 제어 신호는, 3개의 지연 소자 De를 경유하여 출력된다. 제4 스위치(133-3)를 통과한 제어 신호는, 6개의 지연 소자 De를 경유하여 출력된다.

- [0082] 따라서, 1 수평 동기 기간을 $1H$, 1개의 지연 소자 De 에 의한 지연 시간을 α 라고 하면, 홀드 회로부(117)에 입력되는 제어 신호 $LOAD$ 의 펄스 상승의 타이밍은, 1 수평 동기 기간을 기준으로 하는 고정 주기에 의해 결정되는 타이밍에 대하여 1수평 기간마다, 지연 시간 $1H+\alpha$, $1H+2\alpha$, $1H+3\alpha$ 또는 0만큼 지연된다. 즉, 바꿔 말하면, 제어 신호에서의 각 펄스는, 바로 직전의 펄스 상승 타이밍으로부터 시간 $1H+\alpha$, $1H+2\alpha$, $1H+3\alpha$, $1H-6\alpha$ 가 경과한 후에 상승하며, 도 4에 나타난 바와 같이, $1H+\alpha$, $1H+2\alpha$, $1H+3\alpha$ 및 $1H-6\alpha$ 의 4 가지의 주기가 있다고 할 수 있다.
- [0083] 그 결과, 데이터 드라이버 회로 내의 제어 신호의 주파수가 확산되어, 불필요한 복사가 저감된다.
- [0084] 상술한 실시형태 1에 따르면, 표시 데이터 및 제어 신호에 기초하여 액정 표시 패널(101)을 구동하는 데이터 드라이버(구동 회로)(102 내지 109)는, 입력된 제어 신호를 지연하는 지연 회로(120) 뿐만 아니라, 지연된 제어 신호에 의해 생성되는 타이밍에 액정 표시 패널(101)에 입력된 표시 데이터를 로드하는 데이터 로드부로서 홀드 회로부(117), D/A 컨버터 회로부(118) 및 출력 버퍼부(119)를 포함한다. 또한, 지연 회로(120)는, 표시 데이터가 액정 표시 패널(101)에 로드되는 로드 타이밍이 일정 주기(1 수평 동기 기간)에 의해 결정되는 고정 타이밍에 대하여 변동하도록 제어 신호를 지연시킨다. 그러므로, 구동 회로가 데이터를 로드하는 출력 타이밍을, 1 수평 동기 기간마다 주기적으로 변동시키는 것이 가능해진다. 이에 따라, 액정 표시 패널에 출력되는 표시 데이터의 주파수 성분을 확산시켜서, 불필요한 복사를 저감할 수 있다.
- [0085] 실시형태 1에서는, 구동 회로가 데이터를 로드하는 출력 타이밍이 1 수평 동기 기간마다 주기적으로 변동되지만, 구동 회로가 데이터를 로드하는 출력 타이밍은, 2 이상의 수평 동기 기간마다 주기적으로 변동되어도 좋다.
- [0086] (실시형태 2)
- [0087] 도 5는 본 발명의 실시형태 2에 따른 타이밍 컨트롤러를 포함하는 액정 표시 장치의 구성을 도시하는 도면이다.
- [0088] 실시형태 2에 따른 액정 표시 장치(100a)는, 실시형태 1에 따른 액정 표시 장치(100)의 타이밍 컨트롤러(114) 대신에, 실시형태 1의 지연 회로(120)와 동일한 구성을 갖는 지연 회로(14b)를 탑재한 타이밍 컨트롤러(114a)를 포함한다. 실시형태 2에 따른 액정 표시 장치(100a)에서, 데이터 드라이버(102a, 103a, 109a)는 종래의 데이터 드라이버(901)와 동일한 구성을 갖는다. 실시형태 2에 따른 액정 표시 장치(100a)의 그 밖의 구성은 실시형태 1에 따른 액정 표시 장치(100)와 동일하다.
- [0089] 도 6은 본 발명의 실시형태 2에 따른 타이밍 컨트롤러를 나타내는 도면이다.
- [0090] 실시형태 2에 따른 타이밍 컨트롤러(114a)는, 액정 표시 장치(100a)의 외부로부터 공급되는 영상 신호에 기초하여, 표시 데이터, 데이터 제어 신호, 클럭 신호 및 주사 제어 신호를 생성하는 제어부(14a) 및 이 제어부(14a)로부터 출력된 데이터 제어 신호 $LOAD$ 를 지연하는 지연 회로(14b)를 포함한다. 이 지연 회로(14b)는 실시형태 1에 따른 데이터 드라이버(102)에 포함되는 지연 회로(120)와 동일한 구성을 갖는다.
- [0091] 상술한 구성을 갖는 실시형태 2에 따른 액정 표시 장치(100a)에서, 타이밍 컨트롤러(114a)는 데이터 제어 신호를 지연하는 지연 회로(14b)를 포함하도록 구성된다. 그러므로, 지연 회로(14b)로부터 각 데이터 드라이버(구동 회로)(102a 내지 109a)에 공급되는 제어 신호는, 표시 데이터가 표시 장치에 로드되는 로드 타이밍이 일정 주기(1 수평 동기 기간)에 의해 결정되는 고정 타이밍에 따라 변동하도록 지연된다. 그 결과, 구동 회로가 데이터를 액정 표시 패널에 로드하는 출력 타이밍을 1 수평 동기 기간마다 주기적으로 변동시키는 것이 가능해진다. 이에 따라, 액정 표시 패널에 출력되는 표시 데이터의 주파수 성분을 확산시켜 불필요한 복사를 저감시킬 수 있다.
- [0092] (실시형태 3)
- [0093] 도 7은 본 발명의 실시형태 3에 따른 구동 회로를 포함하는 액정 표시 장치의 구성을 나타내는 도면이다. 도 8은 본 발명의 실시형태 3에 따른 구동 회로인 데이터 드라이버를 도시하는 도면이다.
- [0094] 실시형태 3에 따른 액정 표시 장치(100b)는, 실시형태 1에 따른 액정 표시 장치(100)에서의 지연 회로(120)를 갖는 데이터 드라이버(102 내지 109) 대신에, 상기 지연 회로(120)와는 상이한 회로 구성을 갖는 지연 회로(120b)를 각각 포함하는 데이터 드라이버(102b 내지 109b)를 포함한다. 이 실시형태 3에 따른 액정 표시 장치(100b)의 나머지 구성은 실시형태 1에 따른 액정 표시 장치(100)와 동일하다.
- [0095] 도 9는 본 발명의 실시형태 3에 따른 구동 회로(데이터 드라이버)를 구성하는 지연 회로(120b)를 나타내는 블록

도이다.

- [0096] 지연 회로(120b)는 실시형태 1에 따른 데이터 드라이버(102)를 구성하는 지연 회로(120)에서의 카운터(131) 및 디코더(132) 대신에 시프트 레지스터(132a)를 포함한다. 나머지 구성은 실시형태 1의 지연 회로(120)와 동일하다.
- [0097] 요약하면, 실시형태 3에 따른 데이터 드라이버(102b)에서의 지연 회로(120b)는, 입력된 제어 신호 LOAD에 의해 생성되는 고정 타이밍에 기초하여 시프트 동작하는 시프트 레지스터(132a), 직렬 접속된 복수의 지연 소자 De, 및 시프트 레지스터의 출력에 기초하여, 제어 신호가 복수의 지연 소자 중 직렬 접속된 소정수의 지연 소자에 의해 지연되도록, 제어 신호의 신호 경로를 전환하는 복수의 스위치(133-0 내지 133-3)를 포함한다. 지연 소자 De 및 스위치(133-0 내지 133-3)는 실시형태 1에 따른 지연 회로(120)에서의 것과 동일하다.
- [0098] 상술한 구성의 지연 회로(120b)에서는, 시프트 레지스터(132a)는 외부로부터 제어 입력 단자(124)에 입력된 펄스 신호인 제어 신호 LOAD(IN)(도 4 참조)의 펄스가 상승할 때마다, 그 출력 Y0 내지 Y3을 순차적으로 액티브 상태로 한다. 여기에서, 제어 신호는 영상 신호의 수평 동기 신호에 동기한 펄스 신호이다. 따라서, 1 수평 동기 기간이 경과할 때마다, 제1 내지 제4 스위치(133-0 내지 133-3)가 순차적으로 온 상태로 전환되고, 이러한 스위치의 전환은 4 수평 동기 기간마다 반복된다.
- [0099] 그러므로, 실시형태 1에 따른 지연 회로(120)와 마찬가지로, 제1 스위치(133-0)를 통과한 제어 신호는 지연 없이 출력 노드로부터 출력된다. 제2 스위치(133-1)를 통과한 제어 신호는 1개의 지연 소자 De를 경유하여 출력된다. 제3 스위치(133-2)를 통과한 제어 신호는 3개의 지연 소자 De를 경유하여 출력된다. 제4 스위치(133-3)를 통과한 제어 신호는, 6개의 지연 소자 De를 경유하여 출력된다.
- [0100] 따라서, 1 수평 동기 기간을 1H, 1개의 지연 소자 De에 의한 지연 시간을 α 라고 하면, 홀드 회로부(117)에 입력되는 제어 신호 LOAD의 펄스 상승의 타이밍은, 1 수평 동기 기간을 기준으로 하는 고정 주기에 의해 결정되는 타이밍에 대하여 1수평 기간마다 지연 시간 $1H + \alpha$, $1H + 2\alpha$, $1H + 3\alpha$ 또는 0만큼 지연된다.
- [0101] 그 결과, 데이터 드라이버 회로 내의 제어 신호의 주파수 성분이 확산되어, 불필요한 복사가 저감된다.
- [0102] (실시형태 4)
- [0103] 도 10은 본 발명의 실시형태 4에 따른 구동 회로를 포함하는 표시 장치의 구성을 도시하는 도면이다.
- [0104] 실시형태 4에 따른 액정 표시 장치(200)는, 실시형태 1에 따른 액정 표시 장치(100)에서의 데이터 드라이버(102 내지 109) 대신 데이터 드라이버(202 내지 209)를 포함하며, 데이터 드라이버(202 내지 209)의 구성은 데이터 드라이버(102 내지 109)의 구성과 상이하다.
- [0105] 도 11은 본 발명의 실시형태 4에 따른 구동 회로인 데이터 드라이버를 나타내는 블록도이며, 데이터 드라이버(202)의 구성을 나타내고 있다.
- [0106] 구체적으로는, 실시형태 4에 따른 데이터 드라이버(202)는, 실시형태 1에 따른 데이터 드라이버(102)의 구성에 더하여, n개의 데이터 신호선 전체 중에서 소정수(여기에서는 k개)의 데이터 신호선마다, m개의 그룹(20a1 내지 20am)으로 그룹화된, 시프트 레지스터, 래치 회로, 홀드 회로, D/A 컨버터 회로 및 버퍼 회로를 포함한다. 데이터 드라이버(202)는 각 그룹에 각각 대응하는, 고정된 지연 시간을 갖는 지연 회로(24a1 내지 24am)를 더 포함하고, 이 지연 회로(24a1 내지 24am)는 각 그룹의 전단에서 제공된다.
- [0107] 이 지연 회로(24a1 내지 24am)는 지연 회로(220)로부터의 제어 신호가 일정 시간 동안 순차적으로 지연되도록 직렬 접속되어 있다. 지연 회로(220)는 실시형태 1에 따른 지연 회로(120)와 동일한 구성을 갖고 있고, 또한 지연량을 바꿀 수 있다. 각 그룹(20a1 내지 20am)의 각각의 홀드 회로에는, 각 그룹의 전단에 제공되고 고정된 지연량을 갖는 지연 회로(24a1 내지 24am)로부터의 출력이 공급된다.
- [0108] 따라서, 실시형태 4에 따른 액정 표시 장치(200)에서의 타이밍 컨트롤러(214), 주사 드라이버(210 내지 213) 및 액정 표시 패널(201)은, 실시형태 1에 따른 액정 표시 장치(100)에서의 타이밍 컨트롤러(114), 주사 드라이버(110 내지 113) 및 액정 표시 패널(101)과 동일하다.
- [0109] 요약하면, 데이터 드라이버(202 내지 209)는 액정 표시 패널(201)의 데이터 신호선에 접속되어, 데이터 신호선을 구동한다. 또한, 데이터 드라이버(202 내지 209)는, COF와 같은 설치 구조로서 반도체 집적 회로로 구성된 드라이버 칩을 필름 기판 위에 구현함으로써 형성된다. 주사 드라이버(210 내지 213)는 표시 패널(201)의 주사 신호선에 접속되어, 주사 신호선을 구동한다. 또한, 주사 드라이버(210 내지 213)도 COF와 같은 설치 구조로서

반도체 집적 회로로 구성된 드라이버 칩을 필름 기관 위에 구현함으로써 형성된다. 타이밍 컨트롤러(214)는 데이터 드라이버(202 내지 209) 중 적어도 하나 및 주사 드라이버(210 내지 213)의 적어도 하나에 신호선을 거쳐 접속된다. 데이터 드라이버(202 내지 209) 중 적어도 하나 및 주사 드라이버(210 내지 213) 중 적어도 하나를 제어함으로써, 타이밍 컨트롤러(214)는 액정 표시 패널(201)에 영상 데이터를 표시시킨다.

- [0110] 이하, 데이터 드라이버(202)에 관하여 설명한다.
- [0111] 데이터 드라이버(203 내지 209) 각각은 데이터 드라이버(202)와 동일한 구성을 포함하므로, 설명을 생략한다.
- [0112] 데이터 드라이버(202)는, 실시형태 1의 데이터 드라이버(102)와 마찬가지로, 포인터 시프트 레지스터 회로부(215), 래치 회로부(216), 홀드 회로부(217), D/A 컨버터부(218) 및 출력 버퍼부(219)를 포함한다.
- [0113] 그러나, 이 데이터 드라이버(202)에서는, 포인터 시프트 레지스터 회로부(215)를 구성하는 시프트 레지스터(215-1 내지 215-n)가 그룹화되어 k개의 데이터 신호선마다 그룹을 형성하고 있다. 또한, 래치 회로부(216)를 구성하는 래치 회로(216-1 내지 216-n), 홀드 회로부(217)를 구성하는 홀드 회로(217-1 내지 217-n), D/A 컨버터부(218)를 구성하는 D/A 컨버터(218-1 내지 218-n) 및 출력 버퍼부(219)를 구성하는 출력 버퍼(219-1 내지 219-n)가 마찬가지로 그룹화되어 있다.
- [0114] 요약하면, 각 그룹(20a1 내지 20am)은, 포인터 시프트 레지스터 회로부(215)를 구성하는 시프트 레지스터(215-1 내지 215-k), 래치 회로(216)를 구성하는 래치 회로(216-1 내지 216-k), 홀드 회로부(217)를 구성하는 홀드 회로(217-1 내지 217-k), D/A 컨버터부(218)를 구성하는 D/A 컨버터(218-1 내지 218-k) 및 출력 버퍼부(219)를 구성하는 출력 버퍼(219-1 내지 219-k)를 포함한다.
- [0115] 또한, 데이터 드라이버(202)는 지연량이 가변하는 지연 회로(220) 및 기준 전압 보정 회로(221)를 포함한다. 입력 단자로서, 데이터 드라이버(202)는 클록 입력 단자(222), 표시 데이터 입력 단자(223), 제어 신호 입력 단자(224) 및 기준 전압 단자(225 내지 229)를 더 포함한다. 또한, 데이터 드라이버(202)는, 액정 표시 패널(201)로의 신호 출력을 위해 제공되는 출력 단자로서, n개의 신호 출력 단자(230-1 내지 230-n)를 더 포함한다. 신호 출력 단자(230-1 내지 230-n)는 상술한 액정 표시 패널(201)의 데이터 신호선에 개별적으로 접속되어 있다.
- [0116] 클록 입력 단자(222)는, 포인터 시프트 레지스터 회로(215)에 주어지는 클록 신호 CLK를 입력하기 위해 제공된다. 표시 데이터 입력 단자(223)는, 복수 비트의 계조 데이터의 각 비트에 대응하는 복수의 신호 입력 단자로 구성된다. 제어 신호 입력 단자(224)는, 지연량이 가변하는 지연 회로(220)를 거쳐 홀드 회로부(217)에 접속되어, 제어 신호가 입력되도록 한다. 이 제어 신호는, 홀드 회로부(217)가 래치 회로부(216)에서 래치된 표시 데이터를 보유할 수 있게 하는 신호로서 사용된다. 기준 전압 단자(225 내지 229)는, 각각, 기준 전압 보정 회로(221)에 주어지는 기준 전압 V0 내지 V4를 입력하기 위해 제공된다.
- [0117] 신호 출력 단자(230-1 내지 230-n)는 출력 버퍼(219)를 구성하는 출력 버퍼(219-1 내지 219-n)로부터 출력된 계조 전압을 액정 표시 패널(201)에 출력하기 위해 제공된다.
- [0118] 도 12는 본 실시형태 4에 따른 구동 회로(데이터 드라이버)를 구성하는, 지연량이 가변하는 지연 회로를 나타내는 블록도이다.
- [0119] 실시형태 4에 따른, 지연량이 가변하는 지연 회로(220)는 도 3에 나타난 실시형태 1에 따른 지연 회로(120)와 동일한 구성을 갖는다.
- [0120] 지연 회로(220)는 제어 입력 단자(224)에 접속된 2 비트 카운터(231), 카운터(231)에 접속된 4개의 출력 디코더(232), 디코더(232)에 접속된 4개의 스위치(233)(233-0 내지 233-3) 및 스위치(233)에 접속된 지연 소자 De로 구성되어 있다. 여기에서, 2 비트 카운터(231), 4개의 출력 디코더(232), 스위치(233) 및 지연 소자 De를 포함하는 지연부(234a 내지 234c)는, 실시형태 1에 따른 지연 회로와 동일하다.
- [0121] 다음으로, 상술한 장치의 동작에 관하여 설명한다.
- [0122] 실시형태 4에 따른 액정 표시 장치(200)에서는, 외부에서 영상 신호가 입력되면, 타이밍 컨트롤러(214)는 이 영상 신호로부터, 표시 데이터 DATA, 데이터 제어 신호 LOAD, 주사 제어 신호 및 클록 신호 CLK를 생성한다. 표시 데이터 DATA, 데이터 제어 신호 LOAD 및 클록 신호 CLK가 데이터 드라이버(202 내지 209)에 공급되면, 데이터 드라이버(202 내지 209)는 표시 데이터 및 데이터 제어 신호에 기초하여 데이터 신호선을 구동한다. 또한, 주사 제어 신호가 주사 드라이버(210 내지 213)에 공급되면, 주사 드라이버(210 내지 213)는 주사 제어 신호에

기초하여 주사 신호선을 구동한다. 이에 의해, 영상 신호에 따라 액정 표시 패널 상에 화상이 표시된다.

- [0123] 이때, 데이터 드라이버(202)에서는, 타이밍 컨트롤러(214)로부터의 표시 데이터 DATA, 데이터 제어 신호 LOAD 및 클럭 신호 CLK가 각각의 입력 단자에 공급되면, 포인터 시프트 레지스터 회로부(215)는, 시프트 레지스터(215-1 내지 215-n)의 각 단에 의해, 클럭 입력 단자(222)에 입력된 클럭 신호 CLK를 시프트시켜, 각 단의 시프트 레지스터로부터 래치 회로 선택 신호를 출력한다. 포인터 시프트 레지스터 회로부(215)는, 래치 회로 선택 신호에 의해, 래치 회로부(216)를 구성하는 1단의 래치 회로(216-1) 내지 제n 단의 래치 회로(216-n)를 순차 선택한다.
- [0124] 래치 회로(216-1 내지 216-n)는, 래치 회로 선택 신호가 입력되면, 표시 데이터 입력 단자(223)로부터 입력된 표시 데이터 DATA의 기억을 가능하게 하는 액티브 상태로 된다. 이 상태에서는, 래치 회로(216-1 내지 216-n)에 상이한 값의 데이터를 기억하는 것이 가능하다. 따라서, 포인터 시프트 레지스터 회로부(215)에 클럭 신호의 n개의 클럭이 입력되었을 경우, 모든 래치 회로(216-1 내지 216-n)는 각 데이터선에 대응하는 표시 데이터를 기억할 수 있다. 이 상태에서, 표시 데이터 DATA가 표시 데이터 입력 단자(223)로부터 입력되면, 표시 데이터 DATA는 대응하는 래치 회로(216-1 내지 216-n) 각각에 선택되어 저장된다.
- [0125] 홀드 회로부(217)는 n개의 홀드 회로(217-1 내지 217-n)로 구성되고, 이것은 복수(m개)의 그룹으로 나뉘어져 있다. 그룹의 수는 특별하게 한정되지는 않지만, 구체적으로는 4 그룹 또는 8 그룹일 수 있다.
- [0126] 또한, 홀드 회로부(217)를 구성하는 분할된 각 그룹의 홀드 회로는, 각 그룹에 따라 입력되는 제어 신호가 통과하는 지연량이 고정된 지연 회로(24a1 내지 24am)의 개수를 다르게 하는 방식으로, 지연량이 고정된 지연 회로(24a1 내지 24am)와 접속되어 있다. 그 결과, 각 그룹의 홀드 회로마다 소정의 지연 시간 동안 제어 신호를 지연시킬 수 있다.
- [0127] 홀드 회로부(217)를 구성하는 홀드 회로(217-1 내지 217-n)는, 각 그룹마다 설정된 소정의 지연 시간만큼 지연된 제어 신호가 액티브(예를 들면, H 레벨)로 되는 타이밍에, 대응하는 래치 회로(216-1 내지 216-n)에 기억되어 있는 데이터를 그룹마다 가져와서 보유한다. 홀드 회로(217-1 내지 217-n)에 보유된 데이터는, D/A 컨버터(218-1 내지 218-n)에 입력되는 디지털 데이터로 바뀐다.
- [0128] 제어 신호는, 타이밍 컨트롤러(214)로부터 출력되어 신호선을 거쳐서 제어 신호 입력 단자(224)에 입력된 후, 제어 신호는 지연량이 가변하는 지연 회로(220) 및 지연량이 고정인 지연 회로(24a1 내지 24am)를 거쳐서 각 그룹의 홀드 회로(217)(홀드 회로(217-1 내지 217-k))에 입력된다. 따라서, 제어 신호는 지연 회로(220) 및 지연 회로(24a1 내지 24am)에서 소정의 시간만큼 지연된 후 각 그룹의 홀드 회로부(217)(홀드 회로(217-1 내지 217-k))에 입력된다. 따라서, 타이밍 컨트롤러(214)로부터 출력된 제어 신호 타이밍에 대하여, 각 그룹의 홀드 회로부(217)(홀드 회로(217-1 내지 217-k))가 데이터를 가져오는 타이밍은, 지연량이 가변인 지연 회로(220)에서 지연되는 시간과 지연량이 고정인 지연 회로들(24a1 내지 24am) 중 소정의 개수(각 그룹에 대응하는 개수)의 지연 회로에서 지연되는 시간의 합계 시간만큼 지연된다.
- [0129] 또한, D/A 컨버터 회로(218-1 내지 218-n)는, 상기 디지털 데이터에 기초하여 기준 전압 보정 회로(221)로부터 입력되는 p 종류의 계조 전압 중 1개를 선택해서 출력한다. D/A 컨버터 회로(218-1 내지 218-n)의 상체에 대해서는, 예를 들면 일본 공개 공보 제2003-130921호에 기재되어 있으므로, 여기에서는 그 설명을 생략한다.
- [0130] 출력 버퍼(219-1 내지 219-n)는, 각각의 D/A 컨버터(218-1 내지 218-n)로부터 출력된 계조 전압에 대해 임피던스 변환을 행한다. 계조 전압은, 각각의 신호 출력 단자(230-1 내지 230-n)로부터 계조 데이터(구동 데이터)로서, 출력 버퍼(219-1 내지 219-n)로부터 액정 표시 패널(201)에 출력된다.
- [0131] 또한, 지연량이 가변인 지연 회로(220)에서는, 외부에서 제어 입력 단자(224)에 입력된 신호를 카운터(231)에 의해 카운트하고, 제어 신호는 카운트 수에 따라 지연 소자 De에서 지연되어 홀드 회로부(217)에 입력된다. 이때, 스위치(233-0)를 통과한 제어 신호는 지연되지 않고 출력 노드로부터 출력된다. 스위치(233-1)를 통과한 제어 신호는 하나의 지연 소자 De를 경유하여 출력된다. 스위치(233-2)를 통과한 제어 신호는 3개의 지연 소자 De를 경유하여 출력된다. 스위치(233-3)을 통과한 제어 신호는 6개의 지연 소자 De를 경유하여 출력된다. 따라서, 1 수평 동기 기간을 1H, 1개의 지연 소자 De에 의한 지연 시간을 α 라고 하면, 홀드 회로부(217)에 입력되는 신호 주기는, 도 4에 나타낸 바와 같이 $1H + \alpha$, $1H + 2\alpha$, $1H + 3\alpha$ 및 $1H + 6\alpha$ 와 같이 4가지의 주기가 있다.
- [0132] 그 결과, 제어 신호의 주파수가 확산되고, 또한, 각 그룹마다 데이터 로드 타이밍이 다르기 때문에, 불필요한 복사가 한층 더 저감된다.

- [0133] 실시형태 4에서는, 타이밍 컨트롤러로부터 출력된 제어 신호를 데이터 드라이버 내에서 지연 회로에 의해 지연 시킴으로써 제어 신호의 로드 타이밍으로서 복수의 주기의 타이밍을 만들어내고, 구동 회로에서 발생하는 구동 신호의 주파수 성분을 확산시킨다. 그러나, 실시형태 2에서 설명한 바와 같이, 타이밍 컨트롤러에 지연 회로가 제공되고, 제어 신호 LOAD(IN)의 지연 처리를 통해 펄스 상승 타이밍이 일정 주기에 의해 결정되는 고정 타이밍에 대하여 변동되는 신호를 제어 신호 LOAD(OUT)로서 생성하고, 또한 이러한 지연 처리를 실시한 제어 신호를 타이밍 컨트롤러로부터 출력시키는, 데이터 드라이버 내에서 지연이 행해지지 않는 방법을 또한 사용해도 된다.
- [0134] 실시형태 4에서는, 데이터 드라이버에서의 래치 회로(216-1 내지 216-n), 홀드 회로(217-1 내지 217-n), D/A 컨버터 회로(218-1 내지 218-n) 및 출력 버퍼(219-1 내지 219-n)가 모두 그룹으로 나뉘는 구성을 설명하였지만, 데이터 드라이버는 홀드 회로(217-1 내지 217-n)만 그룹으로 나뉘는 구조를 가질 수도 있다.
- [0135] (실시형태 5)
- [0136] 도 13은 본 발명의 실시형태 5에 따른 구동 회로(데이터 드라이버)를 나타내는 블록도이다.
- [0137] 실시형태 5에 따른 구동 회로는, 실시형태 4에 따른 데이터 드라이버에서의 각 그룹에 대응하는 지연량이 고정된 지연 회로를, 제어 신호의 카운트 수에 기초하여 지연량을 변화시키는 도 12에 나타난 지연 회로로 대체하여 얻어진다. 나머지 구성은 실시형태 4에 따른 데이터 드라이버의 구성과 동일하다.
- [0138] 이러한 구성을 갖는 실시형태 5에 따른 데이터 드라이버에서는, 실시형태 4의 효과에 부가하여, 각 그룹마다 보다 정확하게 제어 신호의 지연량을 변동시킬 수 있는 효과를 얻을 수 있다.
- [0139] 실시형태 4 및 5에서는, 1개의 데이터 드라이버 내에서 회로를 그룹핑함으로써 얻어지는 복수의 그룹들 사이에서, 표시 데이터를 액정 표시 패널에 로드하는 타이밍이 상이하다. 그러나, 복수의 데이터 드라이버 사이에서, 표시 데이터를 액정 표시 패널에 로드하는 타이밍을 상이하게 설정하는 것도 가능하다.
- [0140] 따라서, 불필요한 복사가 저감된 복수의 구동 회로(데이터 드라이버) 간에, 표시 데이터의 로드 타이밍을 시프트하여, 표시 장치 전체에서의 불필요한 복사를 더욱 저감할 수 있다.
- [0141] 실시형태 5에서는, 실시형태 4에 따른 데이터 드라이버에서의 각 그룹에 대응하는 지연량이 고정된 지연 회로를, 도 12에 나타난 지연량이 가변하는 지연 회로로 대체하여 얻어지는 구동 회로를 설명하였다. 그러나, 실시형태 4에 따른 데이터 드라이버에서의 각 그룹에 대응하는 지연량이 고정된 지연 회로는 도 9에 나타난 시프트 레지스터를 이용하는 지연량이 가변인 지연 회로로 대체될 수 있다.
- [0142] 또한, 실시형태 1 내지 5에서 설명한 구동 회로를 포함하는 액정 표시 장치는, 휴대 전화, PC, 텔레비전 세트 등의 전자 정보 기기의 디스플레이 장치로서 이용될 수 있다.
- [0143] 상술한 바와 같이, 본 발명은 바람직한 실시형태를 사용하여 예시되었다. 그러나, 본 발명은 상술된 실시형태에만 기초하여 해석되어서는 안 된다. 본 발명의 범주는 특허청구범위에만 기초하여 해석되어야 함을 이해할 것이다. 또한, 당업자들은 본 발명의 바람직한 실시형태의 상세한 설명으로부터, 본 발명의 설명 및 상식에 기초하여 동일한 기술 범주를 구현할 수 있음을 이해할 것이다. 또한, 본 명세서에서 인용된 모든 특허출원 및 인용문헌은, 본 명세서에 구체적으로 설명된 내용과 동일한 방식으로, 본 명세서에 참고로서 인용됨을 이해할 것이다.
- [0144] 본 발명은, 구동 회로, 액정 표시 장치 및 전자 정보 기기의 분야에 적용될 수 있다. 본 발명에 따르면, 구동 회로의 출력 타이밍을 1 수평 동기 기간마다 또는 복수의 수평 동기 기간마다 변화시킴으로써 주파수를 확산시켜, 불필요한 복사를 저감시킬 수 있는 구동 회로, 이러한 구동 회로를 탑재한 액정 표시 장치 및 이러한 액정 표시 장치를 포함하는 전자 정보 기기를 제공할 수 있다.
- [0145] 각종 기타의 변형이 당업자들에게 명백하고, 본 발명의 범주와 사상을 벗어나지 않고 당업자에 의해 행해질 수 있다. 따라서, 본 명세서에 첨부된 특허청구범위의 범주는 본 명세서에 설명된 내용에 제한되지 않으며, 특허청구범위는 넓게 해석되어야 한다.

부호의 설명

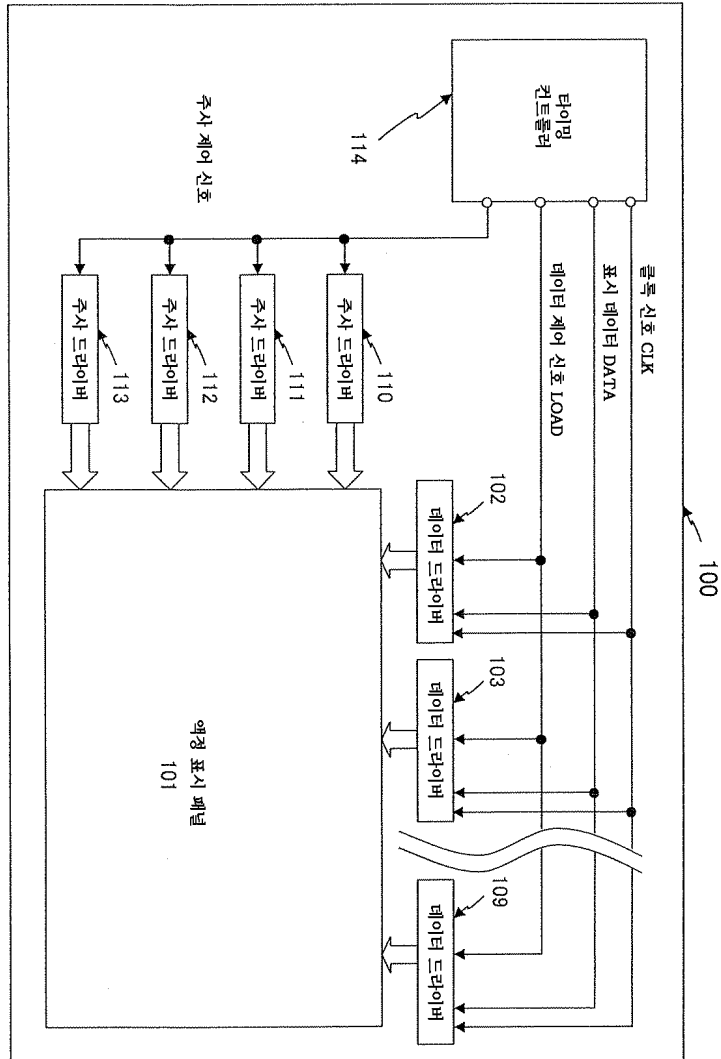
- [0146] 101 : 액정 표시 패널
102, 103, 109 : 데이터 드라이버

110, 111, 112, 113 : 주사 드라이버

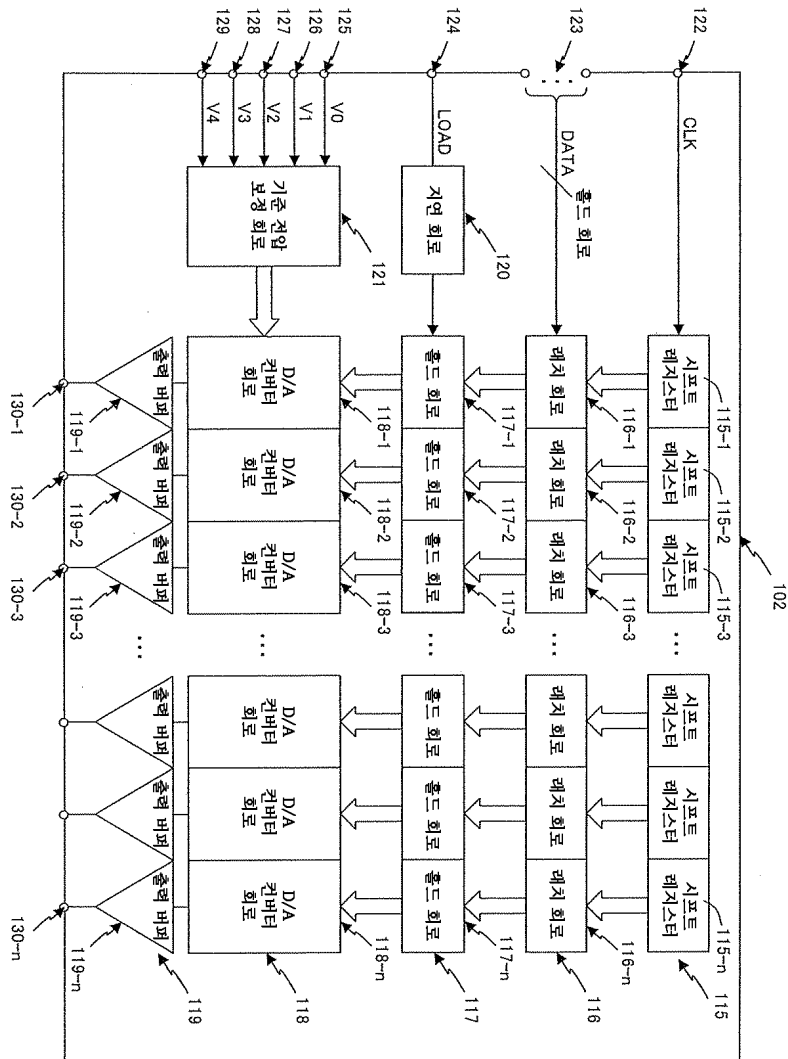
114 : 타이밍 컨트롤러

도면

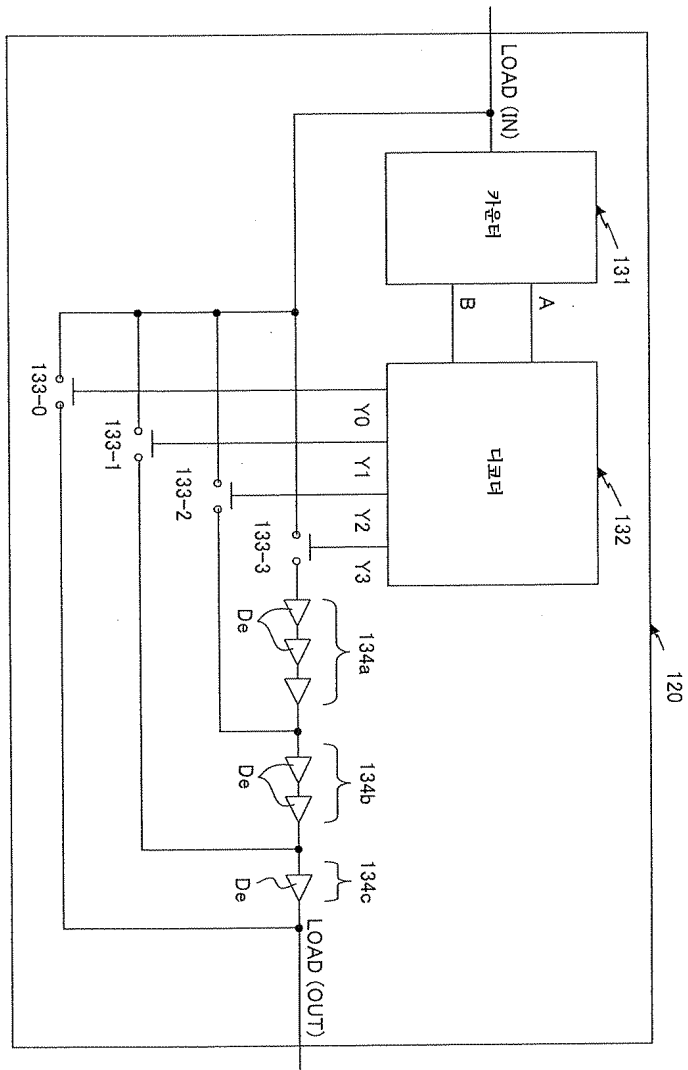
도면1



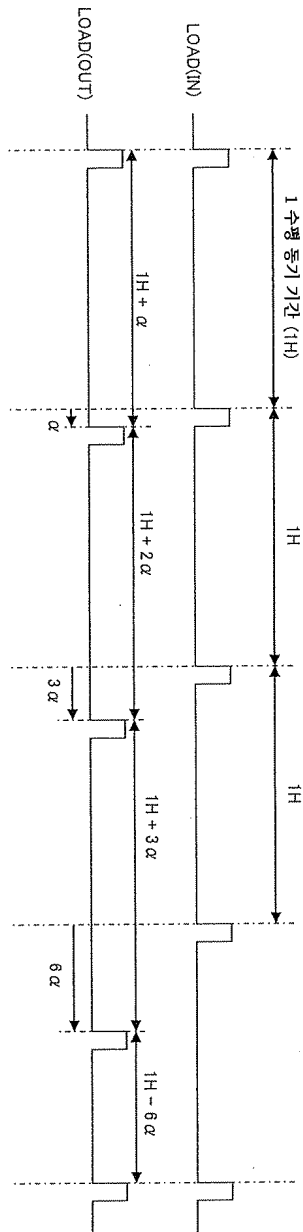
도면2



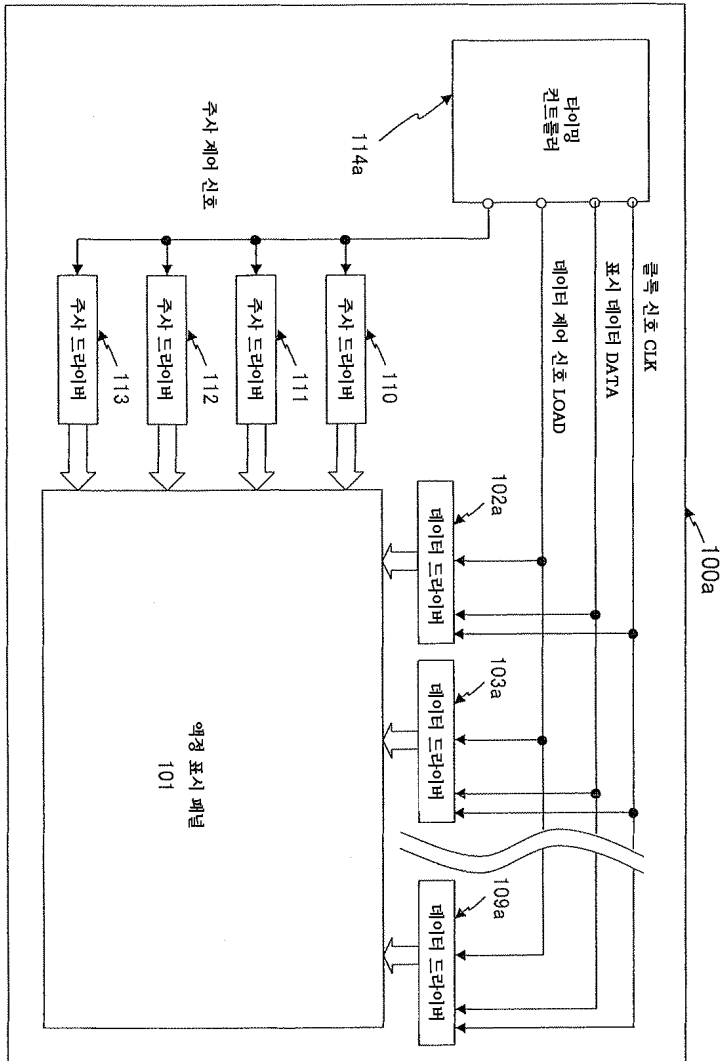
도면3



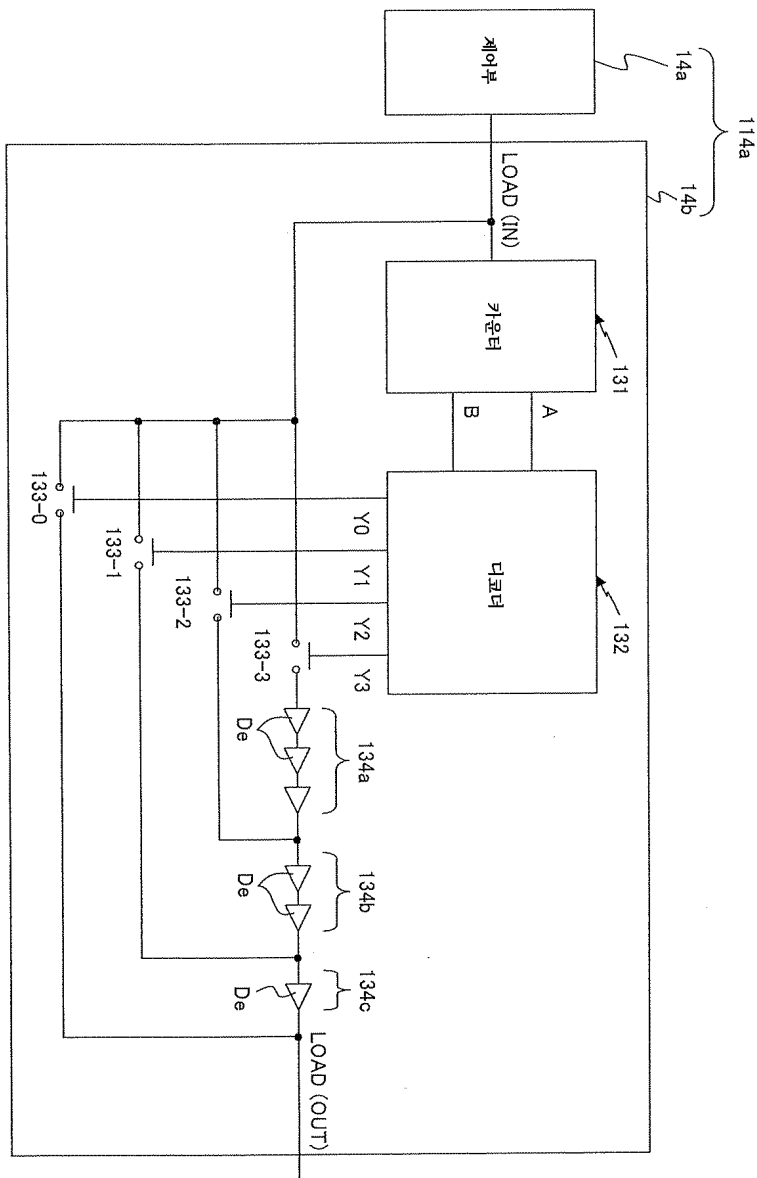
도면4



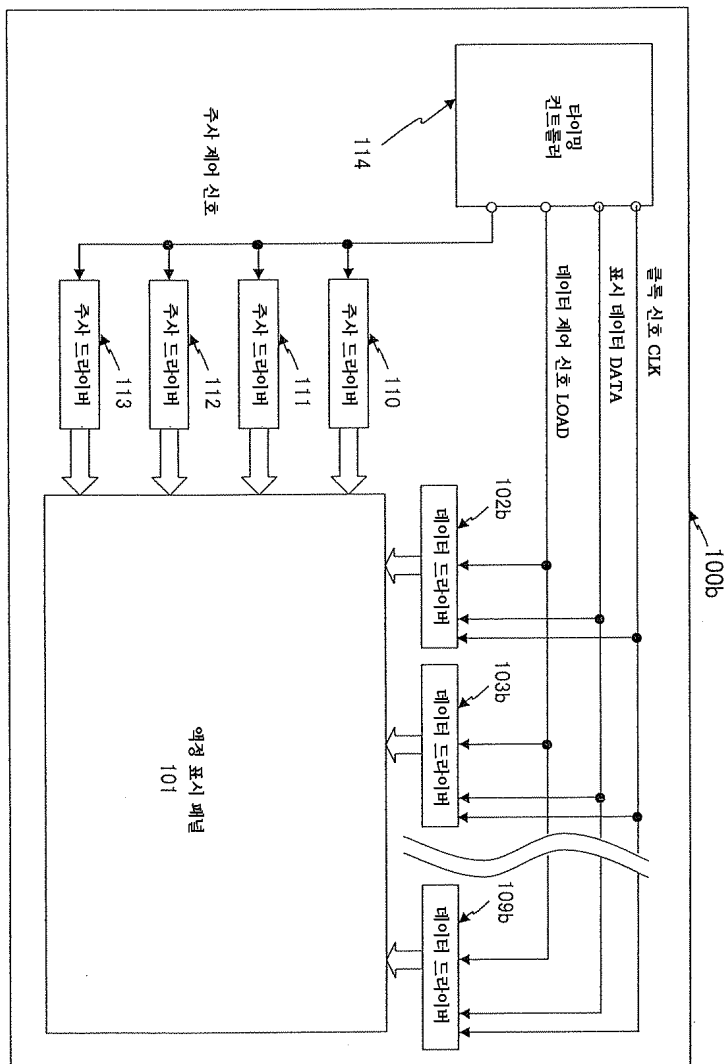
도면5



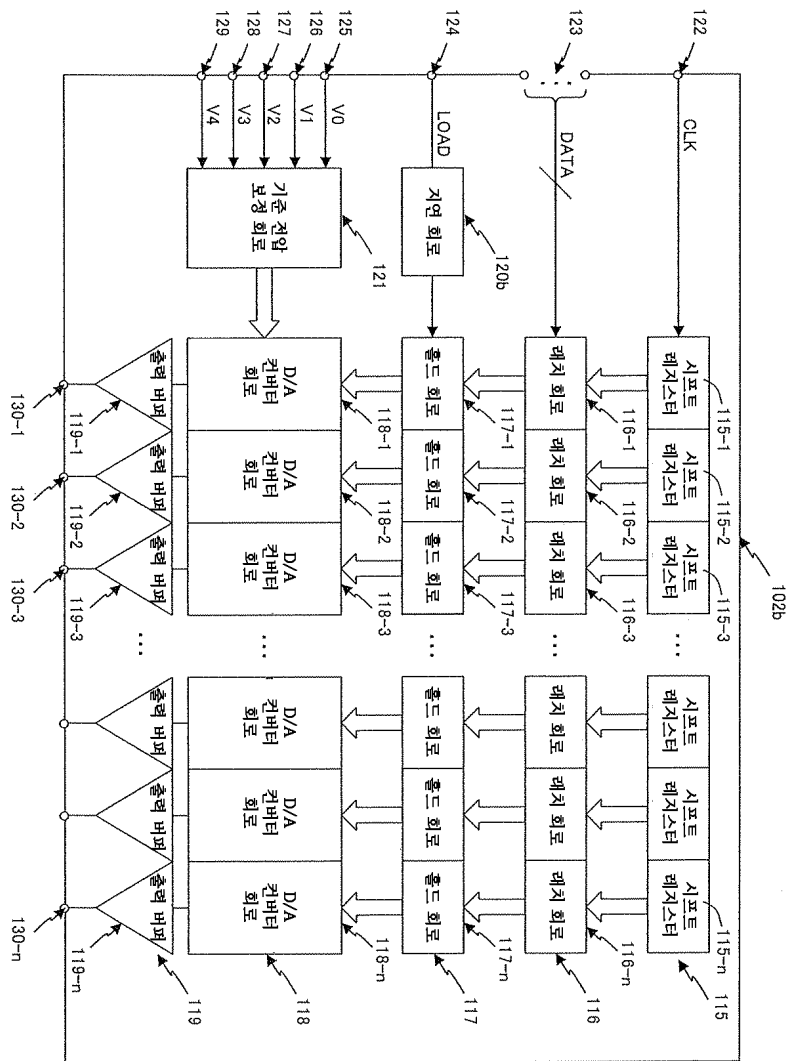
도면6



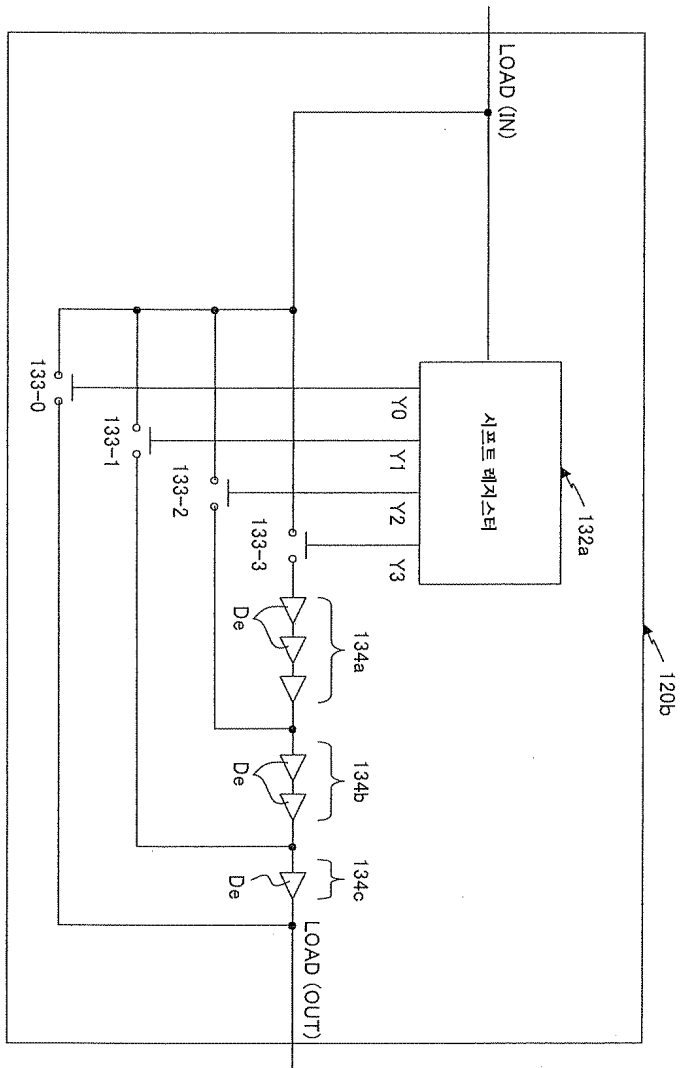
도면7



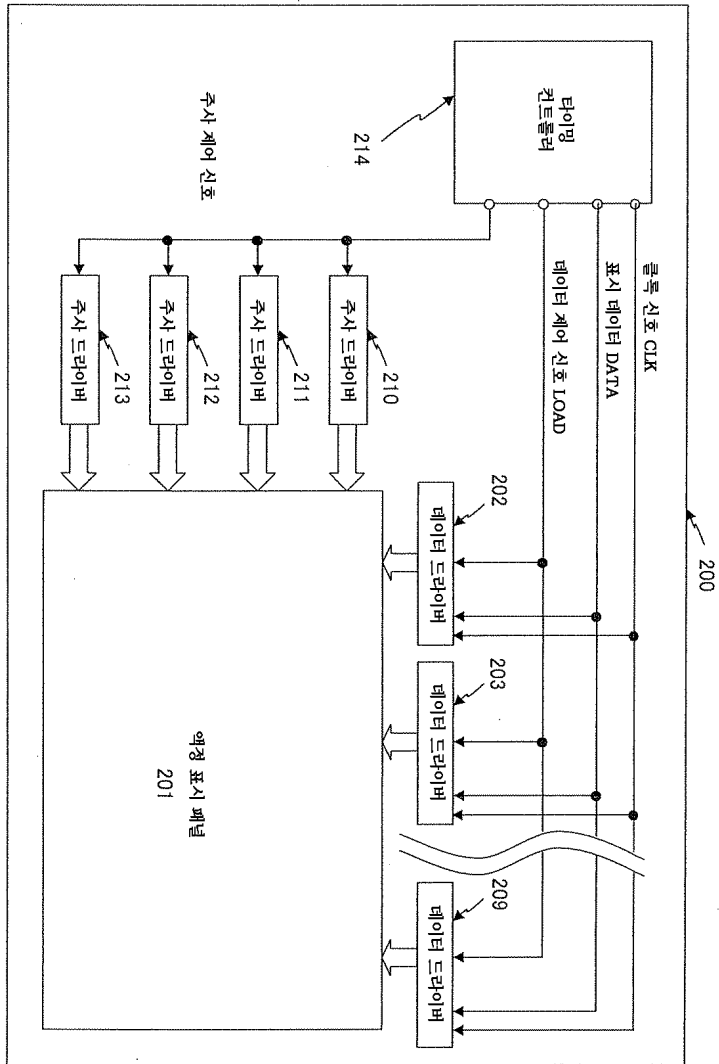
도면8



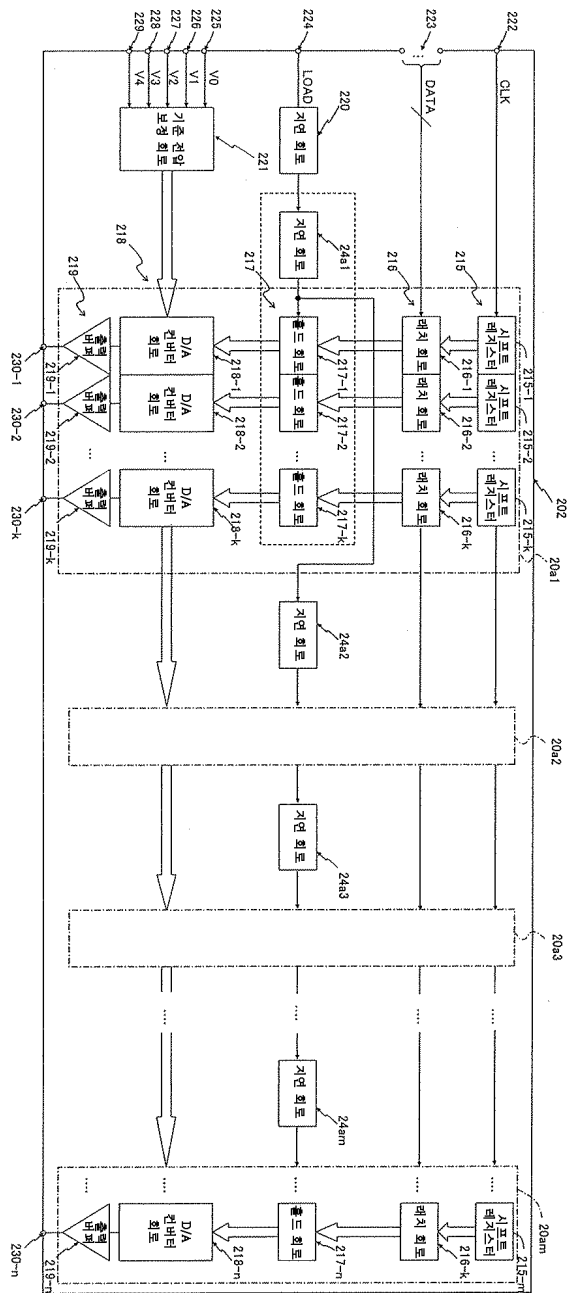
도면9



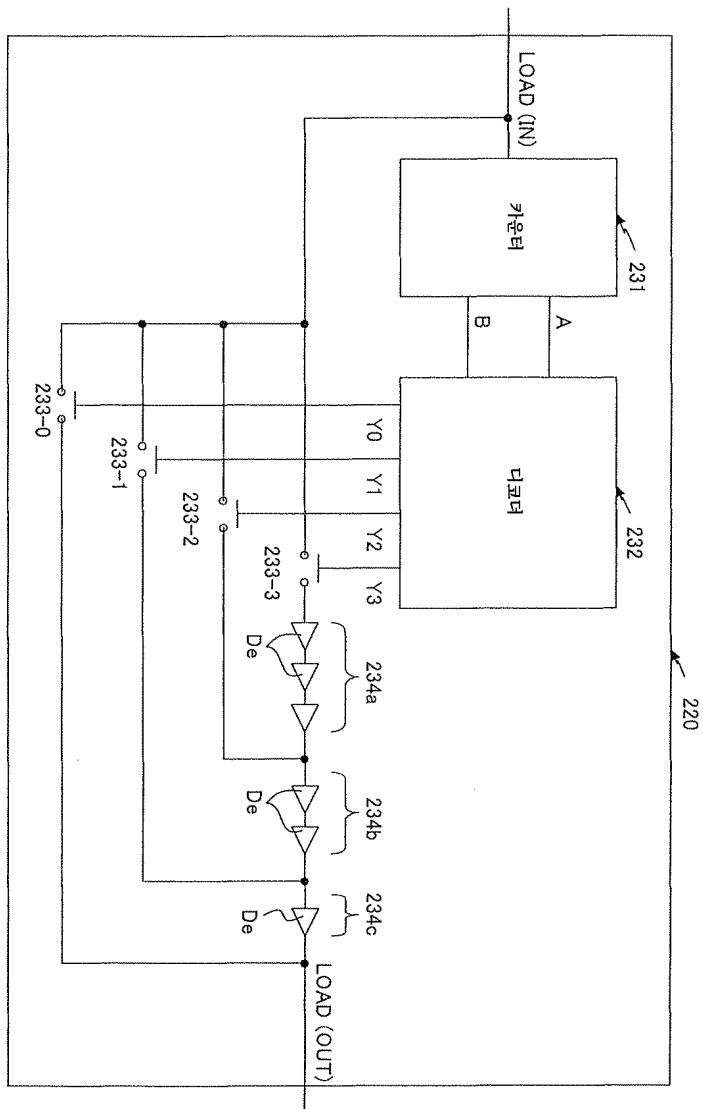
도면10



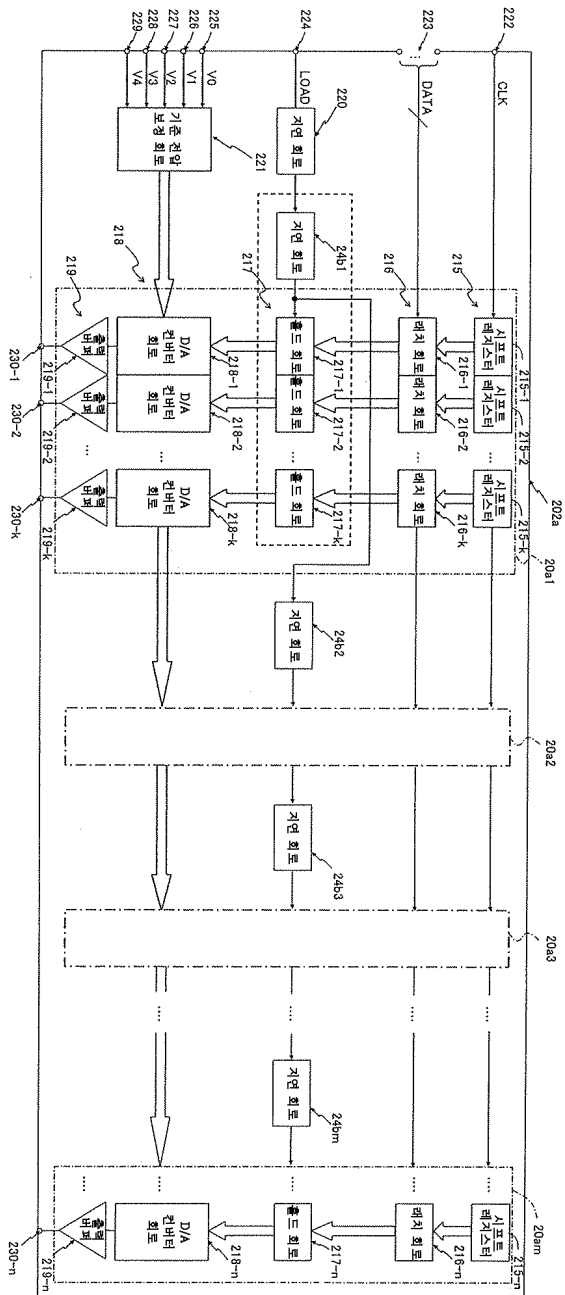
도면11



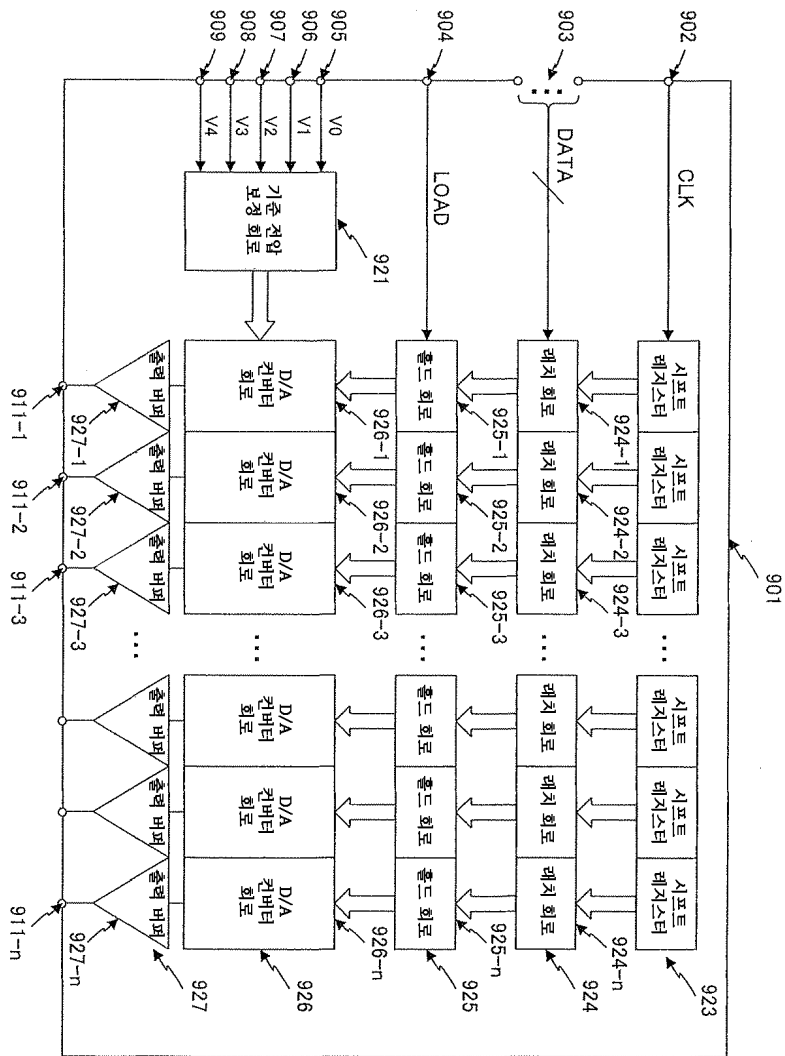
도면12



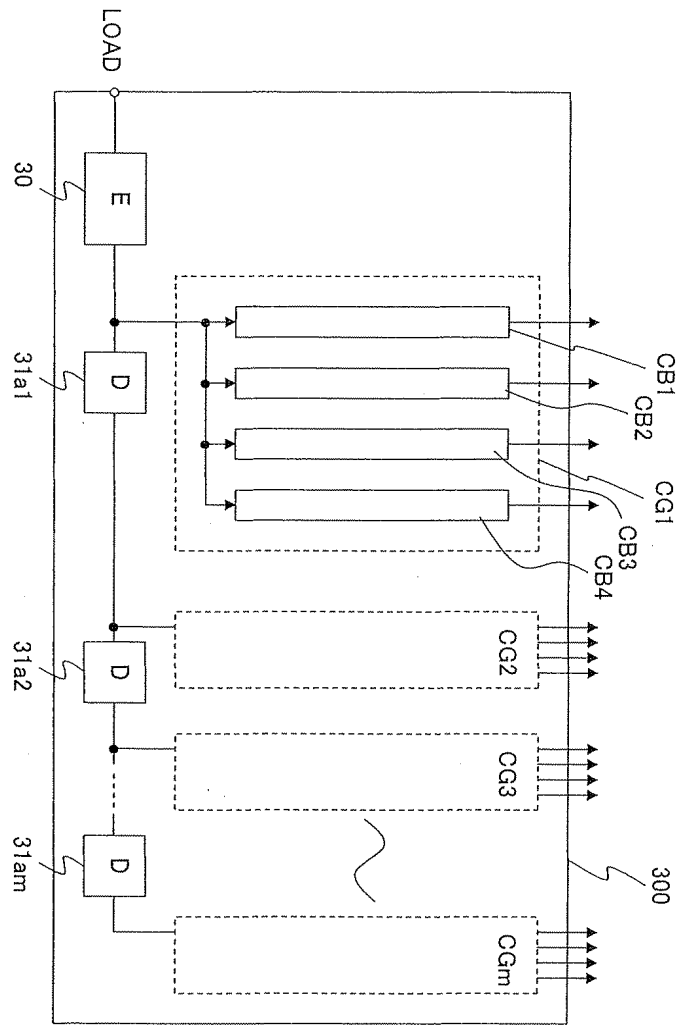
도면13



도면14



도면15



专利名称(译)	驱动电路，液晶显示装置和电子信息装置		
公开(公告)号	KR1020110139664A	公开(公告)日	2011-12-29
申请号	KR1020110060687	申请日	2011-06-22
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	SUZUKI TAKAMITSU 스즈끼다까미쯔 KOBAYASHI KATSUTOSHI 고바야시가쯔또시		
发明人	스즈끼다까미쯔 고바야시가쯔또시		
IPC分类号	G09G3/36		
CPC分类号	G09G2330/025 G09G2330/06 G09G2310/027 G09G2310/08 G09G3/3688		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2010143187 2010-06-23 JP		
其他公开文献	KR101296494B1		
外部链接	Espacenet		

摘要(译)

在延迟电路延迟输入驱动电路的控制信号和根据本发明的用于基于显示数据和控制信号驱动显示装置的延迟控制信号产生的定时，数据加载部分将输入的显示数据加载到显示装置中已经包括了。当以恒定周期确定显示装置中加载显示数据时的加载定时时，延迟电路将控制信号延迟到根据定时改变的模式。图像的存在（专业参考）。

