



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0112649
(43) 공개일자 2011년10월13일

(51) Int. Cl.

G02F 1/133 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2010-0031876

(22) 출원일자 2010년04월07일

심사청구일자 2010년04월07일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

이승규

경기도 용인시 기흥구 농서동 산24

이동훈

경기도 용인시 기흥구 농서동 산24

김철호

경기도 용인시 기흥구 농서동 산24

(74) 대리인

리엔목특허법인

전체 청구항 수 : 총 18 항

(54) 액정 표시 장치

(57) 요약

본 발명은 액정 표시 장치에 관한 것이다.

본 발명은 적색(R) 또는 청색(B) 화소를 녹색(G) 또는 백색(W) 화소보다 먼저 구동시켜 2개의 데이터 라인마다 화소의 극성을 반전시킴으로써, 플리커 및 좌우측의 불균일한 화질 특성을 개선하고 소비전력을 감소시킬 수 있다.

대표도 - 도7

	S1				S2			
	D1	D2	D3	D4	D5	D6	D7	D8
G1	R +	G +	B -	W -	R +	G +	B -	W -
G2	B +	W +	R -	G -	B +	W +	R -	G -
G3	R +	G +	B -	W -	R +	G +	B -	W -
G4	B +	W +	R -	G -	B +	W +	R -	G -

특허청구의 범위

청구항 1

다수의 데이터 라인 및 다수의 게이트 라인이 서로 교차하여 정의된 다수의 화소영역을 구비하는 액정패널;

다수의 출력 라인에 데이터 신호를 인가하는 데이터 드라이버;

상기 다수의 출력 라인 및 상기 다수의 데이터 라인과 연결되고, 상기 출력 라인에 인가되는 데이터 신호를 해당 데이터 라인에 선택적으로 인가하여 두 개의 데이터 라인마다 상기 화소영역의 극성을 반전시키는 스위칭부; 및

상기 다수의 게이트 라인과 연결되고, 상기 게이트 라인에 게이트 신호를 순차적으로 인가하는 게이트 드라이버;를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서, 상기 액정패널은,

제1색을 나타내는 제1화소, 제2색을 나타내는 제2화소, 제3색을 나타내는 제3화소, 제4색을 나타내는 제4화소가 행 방향으로 순차적으로 배열된 제1화소행; 및

상기 제3화소, 상기 제4화소, 상기 제1화소, 상기 제2화소가 행 방향으로 순차적으로 배열된 제2화소행;을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서, 상기 데이터 드라이버는,

홀수번째 출력 라인과 짝수번째 출력 라인에 서로 반대 극성의 데이터 신호를 인가하는 것을 특징으로 하는 액정표시장치.

청구항 4

제2항에 있어서, 상기 스위칭부는,

홀수번째 출력 라인의 데이터 신호를, 상기 제1화소, 상기 제3화소, 상기 제2화소, 상기 제4화소에 연결된 데이터 라인에 순차적으로 인가하는 것을 특징으로 하는 액정표시장치.

청구항 5

제2항에 있어서, 상기 스위칭부는,

짝수번째 출력 라인의 데이터 신호를, 상기 제3화소, 상기 제1화소, 상기 제4화소, 상기 제2화소에 연결된 데이터 라인에 순차적으로 인가하는 것을 특징으로 하는 액정표시장치.

청구항 6

제1항에 있어서,

상기 스위칭부는, 하나의 출력 라인과 상기 하나의 출력 라인마다 순차적으로 배열된 네 개의 데이터 라인들을 연결하고,

상기 스위칭부는, 제어 신호에 따라 상기 네 개의 데이터 라인에 선택적으로 상기 데이터 신호를 인가하는 제1 내지 제4 타이밍 제너레이터;를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7

제6항에 있어서,

홀수번째 게이트 라인에 게이트 온 전압이 인가되면,

홀수번째 출력 라인의 데이터 신호는 상기 제1 타이밍 제너레이터, 상기 제3 타이밍 제너레이터, 상기 제2 타이밍 제너레이터, 상기 제4 타이밍 제너레이터를 통해 순차적으로 인가되고,

짝수번째 출력 라인의 데이터 신호는 상기 제3 타이밍 제너레이터, 상기 제1 타이밍 제너레이터, 상기 제4 타이밍 제너레이터, 상기 제2 타이밍 제너레이터를 통해 순차적으로 인가되는 것을 특징으로 하는 액정표시장치.

청구항 8

제6항에 있어서,

짝수번째 게이트 라인에 게이트 온 전압이 인가되면,

홀수번째 출력 라인의 데이터 신호는 상기 제3 타이밍 제너레이터, 상기 제1 타이밍 제너레이터, 상기 제4 타이밍 제너레이터, 상기 제2 타이밍 제너레이터를 통해 순차적으로 인가되고,

짝수번째 출력 라인의 데이터 신호는 상기 제1 타이밍 제너레이터, 상기 제3 타이밍 제너레이터, 상기 제2 타이밍 제너레이터, 상기 제4 타이밍 제너레이터를 통해 순차적으로 인가되는 것을 특징으로 하는 액정표시장치.

청구항 9

제6항에 있어서,

상기 제어신호를 출력하는 타이밍 컨트롤러;를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 10

제2항에 있어서,

상기 제1색 내지 제4색은, 차례로 적색, 녹색, 청색, 백색인 것을 특징으로 하는 액정표시장치.

청구항 11

다수의 데이터 라인 및 다수의 게이트 라인이 서로 교차하여 정의된 다수의 화소영역을 구비하는 액정패널;

다수의 출력 라인에 데이터 신호를 인가하는 데이터 드라이버;

상기 다수의 출력 라인 및 상기 다수의 데이터 라인과 연결되고, 다수의 제어신호에 따라 상기 출력 라인에 인가되는 데이터 신호를 해당 데이터 라인에 선택적으로 인가하여 두 개의 데이터 라인마다 상기 화소영역의 극성을 반전시키는 스위칭부; 및

상기 제어신호를 출력하는 타이밍 컨트롤러;를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 12

제11항에 있어서,

상기 스위칭부는, 상기 하나의 출력 라인마다 차례로 배열된 네 개의 데이터 라인들을 연결하고,

상기 스위칭부는, 상기 다수의 제어신호에 따라 상기 네 개의 데이터 라인에 선택적으로 상기 데이터 신호를 인가하는 제1 내지 제4 타이밍 제너레이터;를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 13

제12항에 있어서, 상기 타이밍 컨트롤러는,

홀수번째 출력 라인과 연결된 제1 타이밍 제너레이터와 짝수번째 출력 라인과 연결된 제3 타이밍 제너레이터를 온시키는 제1제어신호;

홀수번째 출력 라인과 연결된 제2 타이밍 제너레이터와 짝수번째 출력 라인과 연결된 제4 타이밍 제너레이터를 온시키는 제2제어신호;

홀수번째 출력 라인과 연결된 제3 타이밍 제너레이터와 짝수번째 출력 라인과 연결된 제1 타이밍 제너레이터를 온시키는 제3제어신호; 및

홀수번째 출력 라인과 연결된 제4 타이밍 제너레이터와 짝수번째 출력 라인과 연결된 제2 타이밍 제너레이터를

온시키는 제4제어신호;를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 14

제13항에 있어서, 상기 타이밍 컨트롤러는,

홀수번째 게이트 라인에 게이트 온 전압이 인가되면,

상기 제1제어신호, 상기 제3제어신호, 상기 제2제어신호, 상기 제4제어신호를 차례로 출력하는 것을 특징으로 하는 액정표시장치.

청구항 15

제13항에 있어서, 상기 타이밍 컨트롤러는,

짝수번째 게이트 라인에 게이트 온 전압이 인가되면,

상기 제3제어신호, 상기 제1제어신호, 상기 제4제어신호, 상기 제2제어신호를 차례로 출력하는 것을 특징으로 하는 액정표시장치.

청구항 16

제11항에 있어서, 상기 액정패널은,

제1색을 나타내는 제1화소, 제2색을 나타내는 제2화소, 제3색을 나타내는 제3화소, 제4색을 나타내는 제4화소가 행 방향으로 순차적으로 배열된 제1화소행; 및

상기 제3화소, 상기 제4화소, 상기 제1화소, 상기 제2화소가 행 방향으로 순차적으로 배열된 제2화소행;을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 17

제11항에 있어서, 상기 데이터 드라이버는,

홀수번째 출력 라인과 짝수번째 출력 라인에 서로 반대 극성의 데이터 전압을 인가하는 것을 특징으로 하는 액정표시장치.

청구항 18

제16항에 있어서,

상기 제1색 내지 제4색은, 차례로 적색, 녹색, 청색, 백색인 것을 특징으로 하는 액정표시장치.

명세서

기술분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로, 플리커 및 세로줄 문제를 제거할 수 있는 액정 표시 장치에 관한 것이다.

배경기술

[0002] 액정 표시 장치(Liquid Crystal Display Device, LCD)는 경량, 박형, 저소비 전력구동 등의 특징으로 인해 노트북 컴퓨터 또는 휴대용 텔레비전 등의 표시장치로서 널리 사용되고 있다.

[0003] 이러한 액정 표시 장치는 게이트 드라이버와 ALS(Active Level Shifter) 드라이버를 구비하고, 상기 게이트 드라이버와 상기 ALS 드라이버로부터 매트릭스 형태로 배열된 다수의 제어용 스위치들로 인가되는 신호에 따라 광의 투과량이 조절되어 화면에 원하는 화상을 표시하게 된다.

[0004] 액정 표시 장치의 해상도가 높아질수록 액정 표시 패널의 개구율이 감소되어 휘도가 저하되는데, 이를 개선하기 위하여 펜타일(Pentile) 방식의 화소 구조가 제안되었다. 이러한 펜타일 방식의 화소 구조에서는 청색의 단위 화소는 두 개의 도트를 표시할 때 함께 공유되어 있으며, 서로 이웃하는 청색의 단위 화소는 하나의 데이터 구동 회로에 의해 데이터 신호가 전달되고 서로 다른 게이트 구동 회로에 의해 구동된다. 또한, 휘도를 더욱 개선

하기 위하여 적색(R), 녹색(G) 및 청색(B) 화소에 흰색(W) 화소(Pixel)를 더 추가하는 RGBW 방식이 제안되었다.

[0005] 펜타일 방식의 화소 구조는 기존 스트라이프 RGB 화소 구조와 다르게 화소 구조의 패치가 2 X 2 단위로 배치되어 있어서 일반적인 타이밍 제너레이터(TG) 시퀀스(Sequence)에서는 세로줄 불량 및 화질의 문제를 가지게 된다. 특히, 펜타일 방식의 화소 구조는 2 X 2 화소 단위의 인버전(Inversion)으로 생기는 문제가 심각하며, 기존의 칼럼 반전 구동시 단색 플리커 문제가 생긴다. 또한, 2 X 2 반전시에도 극성이 다른 인접 화소 간에 생기는 Lateral Field의 차이로 생기는 세로줄 문제도 완전히 해결할 수 없다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 패널의 얼룩 및 세로줄을 제거하여 화질을 향상시키고 소비 전력을 감소시킬 수 있는 액정 표시 장치를 제공하고자 한다.

과제의 해결 수단

[0007] 본 발명의 바람직한 일 실시예에 따른 액정표시장치는, 다수의 데이터 라인 및 다수의 게이트 라인이 서로 교차하여 정의된 다수의 화소영역을 구비하는 액정패널; 다수의 출력 라인에 데이터 신호를 인가하는 데이터 드라이버; 상기 다수의 출력 라인 및 상기 다수의 데이터 라인과 연결되고, 상기 출력 라인에 인가되는 데이터 신호를 해당 데이터 라인에 선택적으로 인가하여 두 개의 데이터 라인마다 상기 화소영역의 극성을 반전시키는 스위칭부; 및 상기 다수의 게이트 라인과 연결되고, 상기 게이트 라인에 게이트 신호를 순차적으로 인가하는 게이트 드라이버;를 포함할 수 있다.

[0008] 상기 액정패널은, 제1색을 나타내는 제1화소, 제2색을 나타내는 제2화소, 제3색을 나타내는 제3화소, 제4색을 나타내는 제4화소가 행 방향으로 순차적으로 배열된 제1화소행; 및 상기 제3화소, 상기 제4화소, 상기 제1화소, 상기 제2화소가 행 방향으로 순차적으로 배열된 제2화소행;을 포함할 수 있다.

[0009] 상기 데이터 드라이버는, 홀수번째 출력 라인과 짝수번째 출력 라인에 서로 반대 극성의 데이터 신호를 인가할 수 있다.

[0010] 상기 스위칭부는, 홀수번째 출력 라인의 데이터 신호를, 상기 제1화소, 상기 제3화소, 상기 제2화소, 상기 제4화소에 연결된 데이터 라인에 순차적으로 인가할 수 있고, 짝수번째 출력 라인의 데이터 신호를, 상기 제3화소, 상기 제1화소, 상기 제4화소, 상기 제2화소에 연결된 데이터 라인에 순차적으로 인가할 수 있다.

[0011] 상기 스위칭부는, 상기 하나의 출력 라인마다 순차적으로 배열된 네 개의 데이터 라인들을 연결하고, 제어 신호에 따라 상기 네 개의 데이터 라인에 선택적으로 상기 데이터 신호를 인가하는 제1 내지 제4 타이밍 제너레이터;를 포함할 수 있다.

[0012] 상기 실시예는 제어신호를 출력하는 타이밍 컨트롤러;를 더 포함할 수 있다.

[0013] 상기 타이밍 컨트롤러는, 홀수번째 게이트 라인에 게이트 온 전압이 인가되면, 홀수번째 출력 라인의 데이터 신호는 상기 제1 타이밍 제너레이터, 상기 제3 타이밍 제너레이터, 상기 제2 타이밍 제너레이터, 상기 제4 타이밍 제너레이터를 통해 순차적으로 인가하고, 짝수번째 출력 라인의 데이터 신호는 상기 제3 타이밍 제너레이터, 상기 제1 타이밍 제너레이터, 상기 제4 타이밍 제너레이터, 상기 제2 타이밍 제너레이터를 통해 순차적으로 인가할 수 있다.

[0014] 상기 제1색 내지 제4색은, 차례로 적색, 녹색, 청색, 백색일 수 있다.

[0015] 본 발명의 바람직한 일 실시예에 따른 액정표시장치는, 다수의 데이터 라인 및 다수의 게이트 라인이 서로 교차하여 정의된 다수의 화소영역을 구비하는 액정패널; 다수의 출력 라인에 데이터 신호를 인가하는 데이터 드라이버; 상기 다수의 출력 라인 및 상기 다수의 데이터 라인과 연결되고, 다수의 제어신호에 따라 상기 출력 라인에 인가되는 데이터 신호를 해당 데이터 라인에 선택적으로 인가하여 두 개의 데이터 라인마다 상기 화소영역의 극성을 반전시키는 스위칭부; 및 상기 제어신호를 출력하는 타이밍 컨트롤러;를 포함할 수 있다.

[0016] 상기 스위칭부는, 상기 하나의 출력 라인마다 차례로 배열된 네 개의 데이터 라인들을 연결하고, 상기 다수의 제어신호에 따라 상기 네 개의 데이터 라인에 선택적으로 상기 데이터 신호를 인가하는 제1 내지 제4 타이밍 제너레이터;를 포함할 수 있다.

- [0017] 상기 타이밍 컨트롤러는, 홀수번째 출력 라인과 연결된 제1 타이밍 제너레이터와 짝수번째 출력 라인과 연결된 제3 타이밍 제너레이터를 온시키는 제1제어신호; 홀수번째 출력 라인과 연결된 제2 타이밍 제너레이터와 짝수번째 출력 라인과 연결된 제4 타이밍 제너레이터를 온시키는 제2제어신호; 홀수번째 출력 라인과 연결된 제3 타이밍 제너레이터와 짝수번째 출력 라인과 연결된 제1 타이밍 제너레이터를 온시키는 제3제어신호; 및 홀수번째 출력 라인과 연결된 제4 타이밍 제너레이터와 짝수번째 출력 라인과 연결된 제2 타이밍 제너레이터를 온시키는 제4제어신호;를 출력할 수 있다.
- [0018] 상기 타이밍 컨트롤러는, 홀수번째 게이트 라인에 게이트 온 전압이 인가되면, 상기 제1제어신호, 상기 제3제어신호, 상기 제2제어신호, 상기 제4제어신호를 차례로 출력하고, 짝수번째 게이트 라인에 게이트 온 전압이 인가되면, 상기 제3제어신호, 상기 제1제어신호, 상기 제4제어신호, 상기 제2제어신호를 차례로 출력할 수 있다.
- [0019] 상기 액정패널은, 제1색을 나타내는 제1화소, 제2색을 나타내는 제2화소, 제3색을 나타내는 제3화소, 제4색을 나타내는 제4화소가 행 방향으로 순차적으로 배열된 제1화소행; 및 상기 제3화소, 상기 제4화소, 상기 제1화소, 상기 제2화소가 행 방향으로 순차적으로 배열된 제2화소행;을 포함할 수 있다.
- [0020] 상기 데이터 드라이버는, 홀수번째 출력 라인과 짝수번째 출력 라인에 서로 반대 극성의 데이터 전압을 인가할 수 있다.
- [0021] 상기 제1색 내지 제4색은, 차례로 적색, 녹색, 청색, 백색일 수 있다.

발명의 효과

- [0022] 본 발명은 2개의 데이터 라인마다 화소의 극성을 반전 구동시키고, 4개의 타이밍 제너레이터를 이용하여 구동 순서를 선택적으로 조절함으로써, 플리커 및 좌우측의 불균일한 화질 특성을 개선하고 소비전력을 감소시킬 수 있다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 바람직한 일 실시예에 따른 액정 표시 장치의 구조를 개략적으로 도시한 회로도이다.
- 도 2는 본 발명의 바람직한 일 실시예에 따른 도 1의 각 화소에 대한 등가 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 액정 표시 장치의 화소 배치를 나타내는 도면이다.
- 도 4는 본 발명의 바람직한 일 실시예에 따른 스위칭부의 내부 구성을 개략적으로 도시한 회로도이다.
- 도 5 및 도 6은 본 발명의 바람직한 일 실시예에 따른 스위칭부에 인가되는 스위칭 제어 신호의 파형을 도시한 파형도이다.
- 도 7은 본 발명의 바람직한 일 실시예에 따른 컬럼 반전 구동시 액정패널의 화소에 인가되는 구동전압을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하 본 발명의 바람직한 실시예가 첨부된 도면들을 참조하여 설명될 것이다. 도면상의 동일한 부호는 동일한 요소를 지칭한다. 하기에서 본 발명을 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.
- [0025] 도 1은 본 발명의 바람직한 일 실시예에 따른 액정 표시 장치의 구조를 개략적으로 도시한 회로도이다. 도 2는 본 발명의 바람직한 일 실시예에 따른 도 1의 각 화소에 대한 등가 회로도이다.
- [0026] 도 1을 참조하면, 액정 표시 장치는 액정패널(100), 게이트 드라이버(200), 데이터 드라이버(300), 타이밍 컨트롤러(400), 및 스위칭부(500)를 포함한다.
- [0027] 상기 액정패널(100)은 두 장의 기관 사이에 액정층을 구비함으로써 형성된다. 액정패널(100)의 제1기관에는 데이터 라인(D1 내지 Dm), 게이트 라인(G1 내지 Gn), 박막 트랜지스터(Thin Film Transistor)(T), 화소 전극, 액정 커패시터(Clc) 및 스토리지 커패시터(Cst)가 형성된다. 액정패널(100)의 제2기관에는 블랙매트릭스(BM), 컬러필터 및 공통전극이 형성된다.
- [0028] 상기 게이트 드라이버(200)는 다수의 게이트 라인(G1 내지 Gn)을 통하여 액정패널(100)에 활성레벨의 게이트 온 전압과 비활성레벨의 게이트 오프 전압의 조합을 갖는 게이트 신호를 생성하여 순차적으로 공급할 수 있다. 게

이트 온/오프 전압에 의해 박막 트랜지스터가 온 또는 오프된다. 게이트 라인들(G1 내지 Gn)은 제1 데이터 라인(D1) 쪽에서 제m 데이터 라인(Dm) 쪽으로 연장되고, 제1 데이터 라인(D1)과 전기적으로 연결된 화소영역으로부터 제m 데이터 라인(Dm)과 전기적으로 연결된 화소영역으로 게이트 전압이 인가된다.

- [0029] 상기 데이터 드라이버(300)는 다수의 데이터 라인(D1 내지 Dm)을 통하여 액정패널(100)에 데이터 신호를 순차적으로 공급할 수 있다. 이러한 데이터 드라이버(300)는 타이밍 컨트롤러(400)로부터 입력되는 계조를 가지는 입력 영상 데이터(Data)를 전압 또는 전류 형태의 데이터 신호로 변환한다.
- [0030] 상기 타이밍 컨트롤러(400)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 데이터 및 이의 표시를 제어하는 입력 제어 신호를 제공받는다. 입력 제어 신호에는 예를 들어 수평 동기 신호(Hsync), 수직 동기 신호(Vsync) 및 메인 클럭(MCLK)이 있다. 타이밍 컨트롤러(400)는 입력 영상 데이터(Data(R, G, B, W))를 데이터 드라이버(300)로 전달하고, 게이트 제어 신호(CONT1), 데이터 제어 신호(CONT2), 스위칭 제어 신호(CONT3)를 생성하여 각각 게이트 드라이버(200), 데이터 드라이버(300), 및 스위칭부(500)로 전달한다.
- [0031] 상기 스위칭부(500)는 데이터 드라이버(300)와 액정패널(100) 사이에 구비되며, 데이터 드라이버(300)의 데이터 신호 출력 라인(S1 내지 Si)과 다수의 데이터 라인(D1 내지 Dm)을 연결한다. 상기 스위칭부(500)는 다수의 데이터 라인(D1 내지 Dm) 중 4개의 데이터 라인을 1블록으로 하는 다수의 블록을 포함하고, 각 블록의 데이터 라인마다 연결된 타이밍 제너레이터(TG1 내지 TG4)를 스위칭 제어 신호(CONT3)에 따라 구동한다. 타이밍 제너레이터(TG1 내지 TG4)는 트랜지스터와 같은 스위칭 소자를 포함할 수 있다.
- [0032] 게이트 라인(G1 내지 Gn)은 일정하게 이격되어 행으로 배열되고, 데이터 라인(D1 내지 Dm)은 일정하게 이격되어 열로 배열된다. 게이트 라인(G1 내지 Gn)과 데이터 라인(D1 내지 Dm)은 매트릭스 형태로 배열되며, 이때 그 교차부에는 하나의 화소영역(P)이 형성된다. 화소영역(P)은 화면을 형성하는 최소 단위로서, 게이트 전압에 의하여 스위칭되고, 데이터 신호에 의하여 투광도가 결정된다.
- [0033] 도 2를 참조하면, 각 화소영역(P)은 박막 트랜지스터(Thin Film Transistor)(T), 액정 커패시터(C1c) 및 스토리지 커패시터(Cst)를 포함한다.
- [0034] 상기 박막 트랜지스터(T)는 게이트 전극이 게이트 라인(G1 내지 Gn)에 접속되고, 제1전극이 데이터 라인(D1 내지 Dm)에 접속되며, 제2전극이 화소 전극에 접속된다. 상기 박막 트랜지스터(T)는 게이트 전극에 게이트 온 전압이 인가되면 턴 온 되어 데이터 라인(D1 내지 Dm)에서 인가되는 데이터 전압을 화소 전극으로 전달한다.
- [0035] 상기 액정 커패시터(C1c)는 박막 트랜지스터(T)에 접속되어 화소 전극과 공통전극 사이의 전계에 의해 형성된다. 상기 액정 커패시터(C1c)는 화소 전극에 데이터 전압이 인가되고, 공통전압 라인으로부터 공통전극으로 공통전압(Vcom)이 인가될 때 액정층에서 전계에 의한 액정분자들의 배열이 바뀌면서 투과되는 빛의 광량을 조절하거나 빛을 차단하게 된다.
- [0036] 상기 스토리지 커패시터(Cst)는 화소 전극과, 상기 게이트 라인(G1 내지 Gn)과 평행하게 형성된 별도의 ALS(Active Level Shift) 라인(미도시)의 일정 영역을 일 전극으로 하여 형성되며, ALS 라인을 통해 ALS 전압(V_{ALS})이 인가된다. 상기 스토리지 커패시터(Cst)는 액정 커패시터(C1c)에 충전된 데이터 신호를 다음 데이터 신호가 충전될 때까지 유지시킨다.
- [0037] 도 3은 본 발명의 일 실시예에 따른 액정 표시 장치의 화소 배치를 나타내는 도면이다.
- [0038] 도 3을 참조하면, 본 발명은 펜타일 방식의 화소 구조로서, 적색(R), 녹색(G), 청색(B) 및 백색(W) 화소가 행렬의 형태로 배열된다. 예를 들어, 홀수 행 방향으로는 적색(R), 녹색(G), 청색(B) 및 백색(W) 화소들이 순차적으로 배열되어 있으며, 짝수 행 방향으로는 청색(B), 백색(W), 적색(R) 및 녹색(G) 화소들이 순차적으로 배열되어 있다.
- [0039] 따라서, 홀수 열 방향으로는 적색(R) 및 청색(B) 화소가 교차 배열되어 있으며, 짝수 열 방향으로는 녹색(G) 및 백색(W) 화소가 교차 배열되어 있다. 이러한 배열 방식 이외에도 다양한 배열이 가능한데, 행 방향 및 열 방향으로 동일한 색 화소가 연속 배열되지 않도록 적색(R), 녹색(G), 청색(B) 및 백색(W) 화소들을 배열할 수 있다.
- [0040] 이에 따라, 홀수번째 게이트 라인에는 적색(R), 녹색(G), 청색(B) 및 백색(W) 화소들이 순차적으로 연결되고, 짝수번째 게이트 라인에는 청색(B), 백색(W), 적색(R) 및 녹색(G) 화소들이 순차적으로 연결된다.
- [0041] 도 4는 본 발명의 바람직한 일 실시예에 따른 스위칭부의 내부 구성을 개략적으로 도시한 회로도이다.
- [0042] 도 4를 참조하면, 스위칭부(500)는 데이터 드라이버(300)의 데이터 신호 출력 라인(S1 내지 Si)과 액정패널

(100)의 데이터 라인(D1 내지 Dm)을 연결한다.

- [0043] 스위칭부(500)는 4개의 화소(R, G, B, W) 중 하나의 화소에 연결된 4개의 데이터 라인을 하나의 단위로 하는 다수의 블록을 포함하며, 하나의 출력 라인(S1 내지 Si)으로 인가되는 데이터 신호는 4개의 데이터 라인에 시간차를 두고 전달된다. 각 블록은 4개의 타이밍 제너레이터(TG1 내지 TG4)를 포함하고, 4개의 타이밍 제너레이터(TG1 내지 TG4)는 4개의 스위칭 제어 신호(CON31 내지 CON34)에 따라 동작한다. 각 데이터 라인은 하나의 타이밍 제너레이터(TG)를 구비하고, 각 타이밍 제너레이터(TG)는 스위칭 제어 신호(CON3)에 따라 온되어 출력 라인(S1 내지 Si)으로 인가되는 데이터 신호를 데이터 라인(D1 내지 Dm)으로 공급한다. 타이밍 제너레이터(TG1 내지 TG4)는 스위칭 소자로서 트랜지스터를 포함할 수 있다.
- [0044] 홀수번째 블록에서, 제1타이밍 제너레이터(TG11 내지 TG(i-1)1)는 제1스위칭 제어 신호(CON31)에 따라 구동되고, 제2타이밍 제너레이터(TG12 내지 TG(i-1)2)는 제2스위칭 제어 신호(CON32)에 따라 구동되고, 제3타이밍 제너레이터(TG13 내지 TG(i-1)3)는 제3스위칭 제어 신호(CON33)에 따라 구동되고, 제4타이밍 제너레이터(TG14 내지 TG(i-1)4)는 제4스위칭 제어 신호(CON34)에 따라 구동된다.
- [0045] 짝수번째 블록에서, 제1타이밍 제너레이터(TG21 내지 TGi1)는 제3스위칭 제어 신호(CON33)에 따라 구동되고, 제2타이밍 제너레이터(TG22 내지 TGi2)는 제4스위칭 제어 신호(CON34)에 따라 구동되고, 제3타이밍 제너레이터(TG23 내지 TGi3)는 제1스위칭 제어 신호(CON31)에 따라 구동되고, 제4타이밍 제너레이터(TG24 내지 TGi4)는 제2스위칭 제어 신호(CON32)에 따라 구동된다.
- [0046] 도 5 및 도 6은 본 발명의 바람직한 일 실시예에 따른 스위칭부에 인가되는 스위칭 제어 신호의 파형을 도시한 파형도이다. 도 5는 홀수번째 게이트 라인에 인가되는 스위칭 제어 신호의 파형도이고, 도 6은 짝수번째 게이트 라인에 인가되는 스위칭 제어 신호의 파형도이다.
- [0047] 도 5를 참조하면, 홀수번째 게이트 라인의 경우, 스위칭부에 인가되는 스위칭 제어 신호는 제1스위칭 제어 신호(CON31), 제3스위칭 제어 신호(CON33), 제2스위칭 제어 신호(CON32), 제4스위칭 제어 신호(CON34)의 순서로 인가된다.
- [0048] 따라서, 홀수번째 블록은, 제1타이밍 제너레이터(TG11 내지 TG(i-1)1), 제3타이밍 제너레이터(TG13 내지 TG(i-1)3), 제2타이밍 제너레이터(TG12 내지 TG(i-1)2), 제4타이밍 제너레이터(TG14 내지 TG(i-1)4)의 순서로 온된다. 그리고, 짝수번째 블록은, 제3타이밍 제너레이터(TG23 내지 TGi3), 제1타이밍 제너레이터(TG21 내지 TGi1), 제4타이밍 제너레이터(TG24 내지 TGi4), 제2타이밍 제너레이터(TG22 내지 TGi2)의 순서로 온된다.
- [0049] 예를 들어, 제1 게이트 라인(G1)에는 적색(R), 녹색(G), 청색(B) 및 백색(W) 화소가 순차적으로 배열되어 있고, 제1 게이트 라인(G1)에 게이트 온 신호가 인가되면, 제1게이트 라인(G1)에 연결된 박막 트랜지스터가 턴-온된다.
- [0050] 제1출력 라인(S1)을 통해 데이터 신호가 인가되면, 제1타이밍 제너레이터(TG11), 제3타이밍 제너레이터(TG13), 제2타이밍 제너레이터(TG12), 제4타이밍 제너레이터(TG14)가 차례로 온된다. 제1타이밍 제너레이터(TG11), 제3타이밍 제너레이터(TG13), 제2타이밍 제너레이터(TG12), 제4타이밍 제너레이터(TG14)로 인가된 데이터 신호는 해당 데이터 라인, 즉, D1, D3, D2, D4의 순으로 차례로 인가되고, 따라서, 적색(R), 청색(B), 녹색(G), 백색(W) 화소에 데이터 신호가 차례로 인가된다.
- [0051] 그리고, 제2출력 라인(S2)을 통해 데이터 신호가 인가되면, 제3타이밍 제너레이터(TG23), 제1타이밍 제너레이터(TG21), 제4타이밍 제너레이터(TG24), 제2타이밍 제너레이터(TG22)가 차례로 온된다. 제3타이밍 제너레이터(TG23), 제1타이밍 제너레이터(TG21), 제4타이밍 제너레이터(TG24), 제2타이밍 제너레이터(TG22)로 인가된 데이터 신호는 해당 데이터 라인, 즉, D7, D5, D8, D6의 순으로 차례로 인가되고, 따라서, 청색(B), 적색(R), 백색(W), 녹색(G) 화소에 데이터 신호가 차례로 인가된다.
- [0052] 도 6을 참조하면, 짝수번째 게이트 라인의 경우, 스위칭부에 인가되는 스위칭 제어 신호는 제3스위칭 제어 신호(CON33), 제1스위칭 제어 신호(CON31), 제4스위칭 제어 신호(CON34), 제2스위칭 제어 신호(CON32)의 순서로 인가된다.
- [0053] 따라서, 홀수번째 블록은, 제3타이밍 제너레이터(TG13 내지 TG(i-1)3), 제1타이밍 제너레이터(TG11 내지 TG(i-1)1), 제4타이밍 제너레이터(TG14 내지 TG(i-1)4), 제2타이밍 제너레이터(TG12 내지 TG(i-1)2)의 순서로 온된다. 그리고, 짝수번째 블록은, 제1타이밍 제너레이터(TG21 내지 TGi1), 제3타이밍 제너레이터(TG23 내지 TGi3), 제2타이밍 제너레이터(TG22 내지 TGi2), 제4타이밍 제너레이터(TG24 내지 TGi4)의 순서로 온된다.

- [0054] 예를 들어, 제2 게이트 라인(G2)에 청색(B), 백색(W), 적색(R) 및 녹색(G) 화소가 순차적으로 배열되어 있고, 제2 게이트 라인(G2)에 게이트 온 신호가 인가되면, 제2게이트 라인(G2)에 연결된 박막 트랜지스터가 턴-온된다.
- [0055] 제1출력 라인(S1)을 통해 데이터 신호가 인가되면, 제3타이밍 제너레이터(TG13), 제1타이밍 제너레이터(TG11), 제4타이밍 제너레이터(TG14), 제2타이밍 제너레이터(TG12)가 차례로 온된다. 제3타이밍 제너레이터(TG13), 제1타이밍 제너레이터(TG11), 제4타이밍 제너레이터(TG14), 제2타이밍 제너레이터(TG12)로 인가된 데이터 신호는 해당 데이터 라인, 즉, D3, D1, D4, D2 순으로 차례로 인가되고, 따라서, 적색(R), 청색(B), 녹색(G), 백색(W) 화소에 데이터 신호가 차례로 인가된다.
- [0056] 그리고, 제2출력 라인(S2)을 통해 데이터 신호가 인가되면, 제1타이밍 제너레이터(TG21), 제3타이밍 제너레이터(TG23), 제2타이밍 제너레이터(TG22), 제4타이밍 제너레이터(TG24)가 차례로 온된다. 제1타이밍 제너레이터(TG21), 제3타이밍 제너레이터(TG23), 제2타이밍 제너레이터(TG22), 제4타이밍 제너레이터(TG24)로 인가된 데이터 신호는 해당 데이터 라인, 즉, D5, D7, D6, D8의 순으로 차례로 인가되고, 따라서, 청색(B), 적색(R), 백색(W), 녹색(G) 화소에 데이터 신호가 차례로 인가된다.
- [0057] 도 7은 본 발명의 바람직한 일 실시예에 따른 컬럼 반전 구동시 액정패널의 화소에 인가되는 구동전압을 도시한 도면이다.
- [0058] 도 7을 참조하면, 홀수번째 게이트 라인에는 적색(R), 녹색(G), 청색(B) 및 백색(W) 화소가 순차적으로 배열되어 있고, 홀수번째 출력 라인(S1 내지 Si-1)으로부터 정극성(+), 부극성(-), 정극성(+), 부극성(-)의 데이터 신호가 차례로 인가되고, 짝수번째 출력 라인(S2 내지 Si)으로부터 부극성(-), 정극성(+), 부극성(-), 정극성(+)의 데이터 신호가 차례로 인가된다.
- [0059] 도 5를 함께 참조하면, 홀수번째 게이트 라인의 경우, 스위칭부에는 제1스위칭 제어 신호(CON31), 제3스위칭 제어 신호(CON33), 제2스위칭 제어 신호(CON32), 제4스위칭 제어 신호(CON34)의 순서로 스위칭 제어 신호가 인가된다.
- [0060] 홀수번째 블록은, 제1타이밍 제너레이터(TG11 내지 TG(i-1)1), 제3타이밍 제너레이터(TG13 내지 TG(i-1)3), 제2타이밍 제너레이터(TG12 내지 TG(i-1)2), 제4타이밍 제너레이터(TG14 내지 TG(i-1)4)의 순서로 온된다. 따라서, 적색(R), 청색(B), 녹색(G), 백색(W) 화소 순으로 정극성(+), 부극성(-), 정극성(+), 부극성(-)의 데이터 신호가 인가되므로, 적색(R), 녹색(G), 청색(B) 및 백색(W) 화소는 각각 (+), (+), (-), (-) 극성을 띠게 된다.
- [0061] 짝수번째 블록은, 제3타이밍 제너레이터(TG23 내지 TGi3), 제1타이밍 제너레이터(TG21 내지 TGi1), 제4타이밍 제너레이터(TG24 내지 TGi4), 제2타이밍 제너레이터(TG22 내지 TGi2)의 순서로 온된다. 따라서, 청색(B), 적색(R), 백색(W), 녹색(G) 화소 순으로 부극성(-), 정극성(+), 부극성(-), 정극성(+)의 데이터 신호가 인가되므로, 적색(R), 녹색(G), 청색(B) 및 백색(W) 화소는 각각 (+), (+), (-), (-) 극성을 띠게 된다.
- [0062] 예를 들어, 제1 게이트 라인(G1)에 게이트 온 신호가 인가되면, 제1게이트 라인(G1)에 연결된 박막 트랜지스터가 턴-온된다.
- [0063] 제1출력 라인(S1)을 통해 정극성(+), 부극성(-), 정극성(+), 부극성(-)의 데이터 신호가 인가되면, 제1타이밍 제너레이터(TG11), 제3타이밍 제너레이터(TG13), 제2타이밍 제너레이터(TG12), 제4타이밍 제너레이터(TG14)가 차례로 온된다. 따라서, 적색(R), 청색(B), 녹색(G), 백색(W) 화소에 정극성(+), 부극성(-), 정극성(+), 부극성(-)의 데이터 신호가 차례로 인가되어, 적색(R), 녹색(G), 청색(B) 및 백색(W) 화소는 각각 (+), (+), (-), (-) 극성을 띠게 된다.
- [0064] 제2출력 라인(S2)을 통해 부극성(-), 정극성(+), 부극성(-), 정극성(+)의 데이터 신호가 인가되면, 제3타이밍 제너레이터(TG23), 제1타이밍 제너레이터(TG21), 제4타이밍 제너레이터(TG24), 제2타이밍 제너레이터(TG22)가 차례로 온된다. 따라서, 청색(B), 적색(R), 백색(W), 녹색(G) 화소에 부극성(-), 정극성(+), 부극성(-), 정극성(+)의 데이터 신호가 차례로 인가되어, 적색(R), 녹색(G), 청색(B) 및 백색(W) 화소는 각각 (+), (+), (-), (-) 극성을 띠게 된다.
- [0065] 다시 도 7을 참조하면, 짝수번째 게이트 라인에는 청색(B), 백색(W), 적색(R) 및 녹색(G) 화소가 순차적으로 배열되어 있고, 홀수번째 출력 라인(S1 내지 Si-1)으로부터 부극성(-), 정극성(+), 부극성(-), 정극성(+)의 데이터 신호가 차례로 인가되고, 짝수번째 출력 라인(S2 내지 Si)으로부터 정극성(+), 부극성(-), 정극성(+), 부극성(-)의 데이터 신호가 차례로 인가된다.

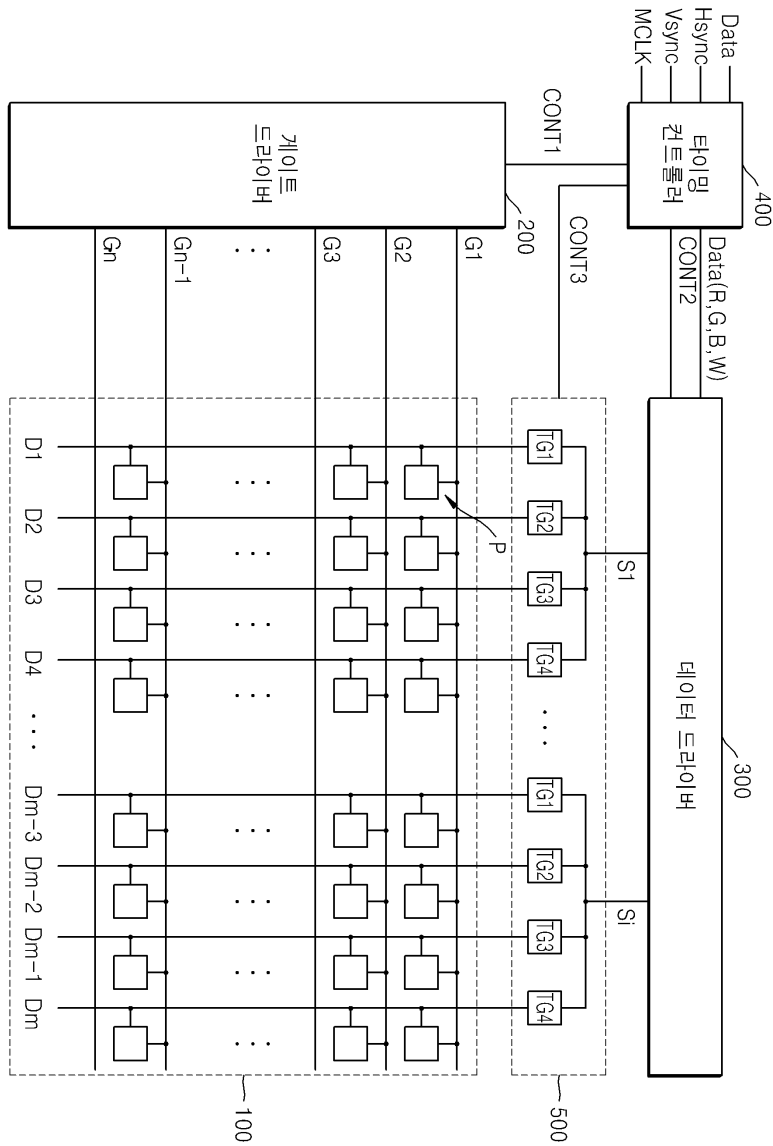
- [0066] 도 6을 함께 참조하면, 짝수번째 게이트 라인의 경우, 스위칭부에는 제3스위칭 제어 신호(CON33), 제1스위칭 제어 신호(CON31), 제4스위칭 제어 신호(CON34), 제2스위칭 제어 신호(CON32)의 순서로 스위칭 제어 신호가 인가된다.
- [0067] 홀수번째 블록은, 제3타이밍 제너레이터(TG13 내지 TG(i-1)3), 제1타이밍 제너레이터(TG11 내지 TG(i-1)1), 제4타이밍 제너레이터(TG14 내지 TG(i-1)4), 제2타이밍 제너레이터(TG12 내지 TG(i-1)2)의 순서로 온된다. 따라서, 적색(R), 청색(B), 녹색(G), 백색(W) 화소 순으로 부극성(-), 정극성(+), 부극성(-), 정극성(+)의 데이터 신호가 인가되므로, 청색(B), 백색(W), 적색(R) 및 녹색(G) 화소는 각각 (+), (+), (-), (-) 극성을 띠게 된다.
- [0068] 짝수번째 블록은, 제1타이밍 제너레이터(TG21 내지 TGi1), 제3타이밍 제너레이터(TG23 내지 TGi3), 제2타이밍 제너레이터(TG22 내지 TGi2), 제4타이밍 제너레이터(TG24 내지 TGi4)의 순서로 온된다. 따라서, 청색(B), 적색(R), 백색(W), 녹색(G) 화소 순으로 정극성(+), 부극성(-), 정극성(+), 부극성(-)의 데이터 신호가 인가되므로, 청색(B), 백색(W), 적색(R) 및 녹색(G) 화소는 각각 (+), (+), (-), (-) 극성을 띠게 된다.
- [0069] 예를 들어, 제2 게이트 라인(G2)에 게이트 온 신호가 인가되면, 제2게이트 라인(G2)에 연결된 박막 트랜지스터가 턴-온된다.
- [0070] 제1출력 라인(S1)을 통해 부극성(-), 정극성(+), 부극성(-), 정극성(+)의 데이터 신호가 인가되면, 제3타이밍 제너레이터(TG13), 제1타이밍 제너레이터(TG11), 제4타이밍 제너레이터(TG14), 제2타이밍 제너레이터(TG12)가 차례로 온된다. 따라서, 적색(R), 청색(B), 녹색(G), 백색(W) 화소 순으로 부극성(-), 정극성(+), 부극성(-), 정극성(+)의 데이터 신호가 인가되므로, 청색(B), 백색(W), 적색(R) 및 녹색(G) 화소는 각각 (+), (+), (-), (-) 극성을 띠게 된다.
- [0071] 제2출력 라인(S2)을 통해 정극성(+), 부극성(-), 정극성(+), 부극성(-)의 데이터 신호가 인가되면, 제1타이밍 제너레이터(TG21), 제3타이밍 제너레이터(TG23), 제2타이밍 제너레이터(TG22), 제4타이밍 제너레이터(TG24)가 차례로 온된다. 따라서, 청색(B), 적색(R), 백색(W), 녹색(G) 화소 순으로 정극성(+), 부극성(-), 정극성(+), 부극성(-)의 데이터 신호가 인가되므로, 청색(B), 백색(W), 적색(R) 및 녹색(G) 화소는 각각 (+), (+), (-), (-) 극성을 띠게 된다.
- [0072] 본 발명은 적색(R) 또는 청색(B) 화소에 먼저 데이터 신호를 인가하고, 녹색(G) 또는 백색(W) 화소에 데이터 신호를 인가함으로써, 2개의 인접한 화소열은 동일한 극성을 가지며, 2개의 화소열마다 극성이 반전된다. 따라서, 인접한 화소들 간에 영향을 줄여 세로줄 및 플리커를 방지할 수 있다.
- [0073] 본 발명은 펜타일 방식의 화소 구조에서, 2 라인마다 반전 구동을 하여 모든 픽셀이 lateral field를 동일하게 갖게 함으로써, 2 X 2 픽셀 반전 대비 소비 전력을 약 30% 이상 감소시킬 수 있다.
- [0074] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

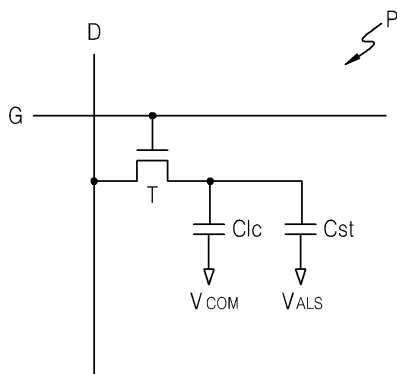
- [0075] 100: 액정패널 200: 게이트 드라이버
300: 데이터 드라이버 400: 타이밍 컨트롤러
500: 스위칭부

도면

도면1



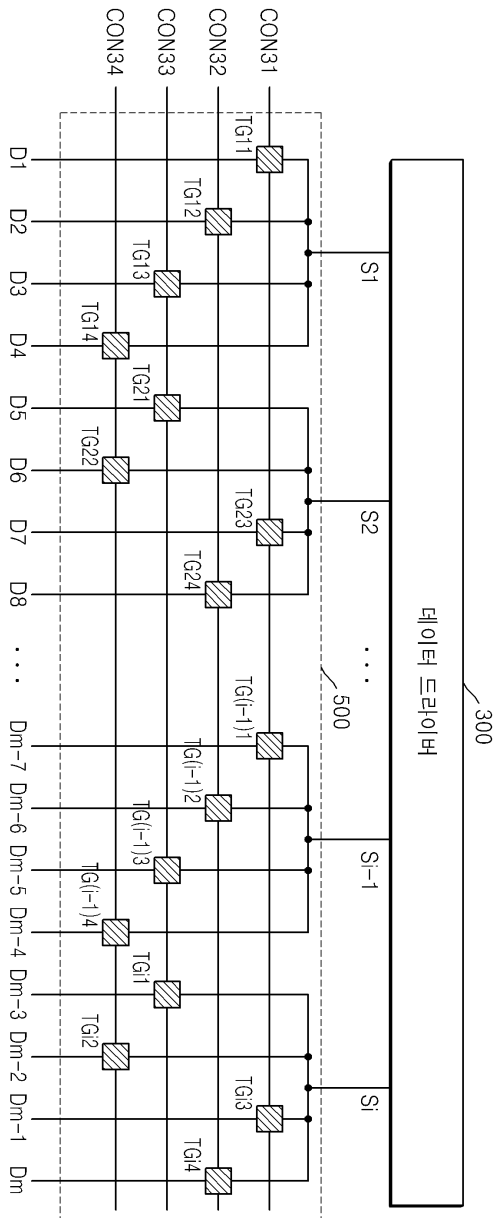
도면2



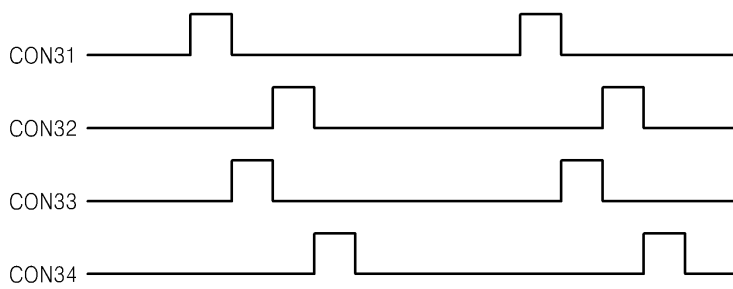
도면3

R	G	B	W	R	G	B	W
B	W	R	G	B	W	R	G
R	G	B	W	R	G	B	W
B	W	R	G	B	W	R	G

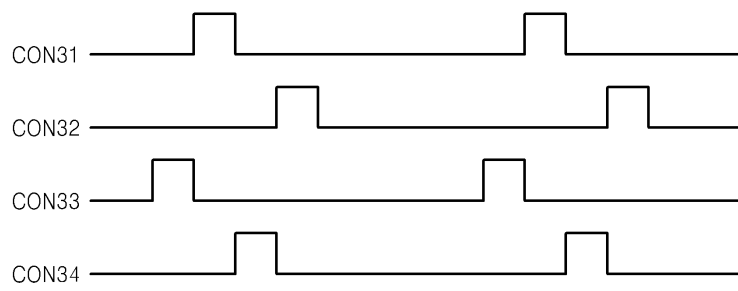
도면4



도면5



도면6



도면7

[illegible]

专利名称(译)	液晶显示器		
公开(公告)号	KR1020110112649A	公开(公告)日	2011-10-13
申请号	KR1020100031876	申请日	2010-04-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	LEE SEUNG KYU 이승규 LEE DONG HOON 이동훈 KIM CHUL HO 김철호		
发明人	이승규 이동훈 김철호		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G2320/0247 G09G2300/0452 G09G2320/0233 G09G3/3614 G09G2310/0297 G09G3/3688		
其他公开文献	KR101127593B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器。本发明首先驱动红色 (R) 或蓝色 (B) 像素而不是绿色 (G) 或白色 (W) 像素, 并且像素的极性在数据线2处反转。这样, 图像质量特性可以改善左右不均匀和闪烁, 并且可以降低功耗。

[illegible]