



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0034870
(43) 공개일자 2011년04월06일

(51) Int. Cl.

G02F 1/1345 (2006.01) G02F 1/1343 (2006.01)

(21) 출원번호 10-2009-0092339

(22) 출원일자 2009년09월29일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

정대성

서울 강북구 수유5동 441-64 9/2 대광쉐르빌 502호

(74) 대리인

허용록

전체 청구항 수 : 총 9 항

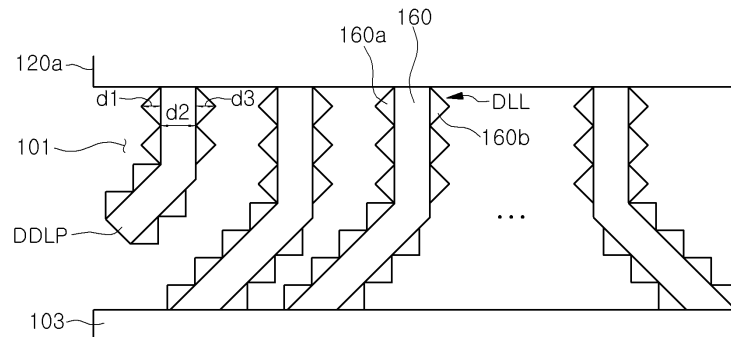
(54) 액정표시장치

(57) 요약

액정표시장치가 개시된다.

본 발명에 따른 액정표시장치는 다수의 데이터라인과 다수의 게이트라인이 배열되어 화상을 표시하는 액티브 영역과 상기 액티브 영역의 가장자리에 위치하며 화상을 표시하지 않는 비표시영역으로 구분되는 액정표시패널과, 상기 액정표시패널의 비표시영역의 일측 상단부에 실장되어 상기 다수의 데이터라인을 구동하기 위한 다수의 데이터 드라이버 집적회로와, 상기 액정표시패널의 비표시영역의 일측 측면부에 실장되어 상기 다수의 게이트라인을 구동하기 위한 다수의 게이트 드라이버 집적회로와, 상기 액정표시패널의 비표시영역 상에 형성되어 상기 다수의 데이터라인 및 다수의 게이트라인 각각을 대응하는 다수의 데이터 드라이버 집적회로 및 다수의 게이트 드라이버 집적회로와 전기적으로 연결시키는 다수의 링크라인을 구비한 링크부를 포함하고, 상기 링크부는 상기 다수의 링크라인들 중 최외곽에 위치한 제1 및 마지막 링크라인에 인접하는 더미 링크 라인 패턴을 포함한다.

대표도 - 도4a



특허청구의 범위

청구항 1

다수의 데이터라인과 다수의 게이트라인이 배열되어 화상을 표시하는 액티브 영역과 상기 액티브 영역의 가장자리에 위치하며 화상을 표시하지 않는 비표시영역으로 구분되는 액정표시패널;

상기 액정표시패널의 비표시영역의 일측 상단부에 실장되어 상기 다수의 데이터라인을 구동하기 위한 다수의 데이터 드라이버 집적회로;

상기 액정표시패널의 비표시영역의 일측 측면부에 실장되어 상기 다수의 게이트라인을 구동하기 위한 다수의 게이트 드라이버 집적회로;

상기 액정표시패널의 비표시영역 상에 형성되어 상기 다수의 데이터라인 및 다수의 게이트라인 각각을 대응하는 다수의 데이터 드라이버 집적회로 및 다수의 게이트 드라이버 집적회로와 전기적으로 연결시키는 다수의 링크라인을 구비한 링크부;를 포함하고,

상기 링크부는 상기 다수의 링크라인들 중 최외곽에 위치한 제1 및 마지막 링크라인에 인접하는 더미 링크 라인 패턴을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2

제1 항에 있어서,

상기 다수의 링크라인은,

상기 액티브 영역에 배열된 다수의 데이터라인과 전기적으로 접속되어 상기 데이터 드라이버 집적회로로부터 제공된 데이터 신호를 상기 데이터라인으로 공급하는 다수의 데이터 링크라인;

상기 액티브 영역에 배열된 다수의 게이트라인과 전기적으로 접속되어 상기 게이트 드라이버 집적회로로부터 제공된 스캔신호를 상기 게이트라인으로 공급하는 다수의 게이트 링크라인을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제1 항에 있어서,

상기 다수의 링크라인과 더미 링크 라인 패턴은 직사각형 형상의 몸체부와, 상기 몸체부의 좌/우측에 형성된 삼각형 모양의 제1 및 제2 날개(wing) 패턴으로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 4

제3 항에 있어서,

상기 몸체부와 상기 몸체부의 좌/우측에 형성된 제1 및 제2 날개(wing) 패턴은 동일한 폭을 갖는 것을 특징으로 하는 액정표시장치.

청구항 5

제1 항에 있어서,

상기 더미 링크 라인 패턴은 상기 액정표시패널의 액티브 영역에 배열된 다수의 데이터라인 및 다수의 게이트라인과 전기적으로 접속되지 않는 형태인 것을 특징으로 하는 액정표시장치.

청구항 6

제1 항에 있어서,

상기 액정표시패널의 일측에 부착되어 상기 데이터 및 게이트 드라이버 집적회로를 제어하는 제어부와, 상기 데이터 및 게이트 드라이버 집적회로를 구동하기 위한 구동전압들을 생성하는 전압 생성부를 포함하는 인쇄회로기판; 및

상기 액정표시패널의 비표시영역 상에 형성되어 상기 제어부 및 전압 생성부로부터의 제어신호들 및 구동전압들을 상기 게이트 드라이버 집적회로로 공급하는 다수의 LOG 신호라인들;을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7

제6 항에 있어서,

상기 다수의 LOG 신호라인들 중 최외곽에 위치하는 제1 및 마지막 LOG 신호라인들에 인접하게 더미 LOG 신호라인 패턴을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 8

제7 항에 있어서,

상기 다수의 LOG 신호라인들과 더미 LOG 신호라인 패턴은 직사각형 형상의 몸체부와, 상기 몸체부의 좌/우측에 형성된 삼각형 모양의 제1 및 제2 날개(wing) 패턴으로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 9

제8 항에 있어서,

상기 몸체부와 상기 몸체부의 좌/우측에 형성된 제1 및 제2 날개(wing) 패턴은 동일한 폭을 갖는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 비표시영역 상에 연속적으로 배열된 신호라인들 중에 연속성이 깨지는 부분인 최외곽에 위치하는 신호라인들에 인접하도록 더미 패턴을 형성하여, 상기 더미 패턴을 제외한 모든 신호라인들의 패턴의 폭을 동일하게 하는 액정표시장치에 관한 것이다.

배경기술

[0002] 일반적으로, 액정표시장치는 서로 대향하는 박막트랜지스터 어레이(thin film transistor array) 기판 및 컬러필터(color filter) 기판이 일정한 셀-갭이 유지되도록 합착되고, 상기 박막트랜지스터 어레이 기판 및 컬러필터 기판의 일정한 셀-갭에 액정층이 형성되는 액정표시패널과, 상기 액정표시패널을 구동하기 위한 구동회로로 구성된다.

[0003] 상기 구동회로는 상기 액정표시패널의 게이트라인들에 스캔 신호를 순차적으로 인가하는 게이트 구동부와, 상기 게이트 구동부의 스캔 신호에 대응하여 상기 액정표시패널의 데이터라인들을 통해 화상 정보를 화소들에 인가하는 데이터 구동부와, 상기 게이트 및 데이터 구동부를 제어하기 위한 타이밍 컨트롤러와, 상기 액정표시장치의 구동에 요구되는 여러가지 구동전압들을 공급하는 전원공급부를 구비한다.

[0004] 상기 액정표시패널과 집적 접속되는 데이터 구동부와 게이트 구동부는 다수의 집적회로(integrated circuit:IC)들로 제작된다. 상기 데이터 구동 집적회로들과 게이트 구동 집적회로들은 테이프 캐리어 패키지(tape carrier package:TCP) 상에 실장되어 탭(tape automated bonding:TAB) 방식으로 액정표시패널에 접속되거나 액정표시패널 상에 직접 실장된다.

[0005] 상기 액정표시패널은 화상을 표시하는 액티브 영역(Active Area:A/A)과 상기 액티브 영역(A/A) 가장자리에 위치하며 화상을 표시하지 않는 비표시영역으로 구분된다.

[0006] 상기 비표시영역에는 상기 액티브 영역(A/A)에 배열된 게이트라인 및 데이터라인과 전기적으로 접속되며 상기 게이트 구동부 및 데이터 구동부로부터 각각 스캔신호 및 데이터 신호를 제공받아 상기 게이트라인 및 데이터라인으로 제공하는 게이트 링크연결라인 및 데이터 링크연결라인 등을 포함하는 다수의 신호라인들이 형성된다.

- [0007] 상기 다수의 신호라인들 또한 상기 게이트라인 및 데이터라인과 마찬가지로 마스크 공정을 통해 직사각형의 패턴으로 형성된다.
- [0008] 상기 비표시영역 상에 형성된 직사각형의 패턴을 갖는 각 신호라인들 간의 간격(pitch)이 감소하게 되면, 마스크 공정 중에 상기 직사각형의 패턴 간에 발생하는 광의 회절로 인해서 직사각형 패턴 형성이 어려워지게 되고 패턴 형성을 위해 과하게 노광을 하게 되면 패턴의 일부가 유실되는 문제가 발생한다.
- [0009] 이를 해결하기 위해, 마스크 공정 중에 상기 비표시영역 상에 형성된 다수의 신호라인들을 직사각형 패턴의 양 측면에 날개(wing) 형상을 갖는 윙 패턴이 되도록 패턴닝하였다. 상기 윙 패턴으로 형성된 다수의 신호라인들 간의 간격(pitch)은 특정 간격(pitch) 이하로 줄일 수 없지만, 패턴 간의 공간을 넓혀서 광의 회절 효과를 날개(wing) 형상 부분에서 최소화시켜 위에서 언급한 문제를 해결할 수 있었다.
- [0010] 그러나, 이러한 윙 패턴을 갖는 다수의 신호라인들이 연속적으로 비표시영역 상에 형성될 때 연속성이 깨지는 최외곽부의 신호라인의 폭은 연속적으로 배열되는 신호라인의 폭과 상이해진다. 이는 마스크 공정시에 최외곽부의 신호라인의 윙 패턴이 연속적으로 배열된 신호라인의 윙 패턴에 비해 빛의 회절량이 달라져서 포토 레지스트의 폭이 다르게 형성되기 때문에 발생한다.
- [0011] 이로 인해, 연속적으로 배열된 신호라인과 최외곽부에 배치된 신호라인의 배선 저항이 상이해진다. 그 결과, 액정표시패널의 화면을 통해 상기 최외곽부에 배치된 신호라인과 접속된 부분과 연속적으로 배열된 신호라인과 접속된 부분에서의 밝기 차이가 발생하는 문제가 발생한다.

발명의 내용

해결 하고자하는 과제

- [0012] 본 발명은 비표시영역 상에 연속적으로 배열된 신호라인들 중에 연속성이 깨지는 부분인 최외곽에 위치하는 신호라인들에 인접하게 더미 패턴을 형성하여, 상기 더미 패턴을 제외한 모든 신호라인들의 패턴의 폭을 동일하게 함으로써 액티브 영역과 연결되는 링크부의 신호라인들의 균일성(uniformity)를 향상시킬 수 있는 액정표시장치를 제공함에 그 목적이 있다.

과제 해결수단

- [0013] 본 발명의 실시예에 따른 액정표시장치는 다수의 데이터라인과 다수의 게이트라인이 배열되어 화상을 표시하는 액티브 영역과 상기 액티브 영역의 가장자리에 위치하며 화상을 표시하지 않는 비표시영역으로 구분되는 액정표시패널과, 상기 액정표시패널의 비표시영역의 일측 상단부에 실장되어 상기 다수의 데이터라인을 구동하기 위한 다수의 데이터 드라이버 집적회로와, 상기 액정표시패널의 비표시영역의 일측 측면부에 실장되어 상기 다수의 게이트라인을 구동하기 위한 다수의 게이트 드라이버 집적회로와, 상기 액정표시패널의 비표시영역 상에 형성되어 상기 다수의 데이터라인 및 다수의 게이트라인 각각을 대응하는 다수의 데이터 드라이버 집적회로 및 다수의 게이트 드라이버 집적회로와 전기적으로 연결시키는 다수의 링크라인을 구비한 링크부를 포함하고, 상기 링크부는 상기 다수의 링크라인들 중 최외곽에 위치한 제1 및 마지막 링크라인에 인접하는 더미 링크 라인 패턴을 포함한다.

효 과

- [0014] 본 발명에 따른 액정표시장치는 비표시영역 상에 연속적으로 배열된 신호라인들 중 연속성이 깨지는 부분인 최외곽에 위치한 신호라인들에 인접하는 더미 패턴을 형성하여 상기 더미 패턴을 제외한 모든 신호라인들의 패턴의 폭을 동일하게 함으로써 액티브 영역과 연결되는 신호라인들의 균일성(uniformity)를 향상시킬 수 있다.
- [0015] 또한, 본 발명에 따른 액정표시장치는 비표시영역 상에 형성된 신호라인들이 동일한 폭을 가져 라인 저항에 따른 화질 불량을 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0016] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 설명하기로 한다.
- [0017] 도 1은 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면이다.

- [0018] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 액정표시장치는 다수의 게이트라인(GL1 ~ GLn)과 다수의 데이터라인(DL1 ~ DLm)이 교차되며 그 교차부에 액정셀(C1c)을 구동하기 위한 박막트랜지스터(TFT)가 형성된 액정표시패널(100)과, 상기 게이트라인(GL1 ~ GLn)에 스캔신호를 공급하기 위한 게이트 드라이버(110)와, 상기 데이터라인(DL1 ~ DLm)에 데이터를 공급하기 위한 데이터 드라이버(120)와, 상기 게이트 드라이버(110) 및 데이터 드라이버(120)를 제어하는 타이밍 컨트롤러(130)를 포함한다.
- [0019] 상기 액정표시패널(100)은 다수의 게이트라인(GL1 ~ GLn)과 다수의 데이터라인(DL1 ~ DLm)이 상호 교차하도록 형성된다. 상기 다수의 게이트라인(GL1 ~ GLn)과 다수의 데이터라인(DL1 ~ DLm)의 교차부에 형성된 박막트랜지스터(TFT)는 게이트라인(GL1 ~ GLn)으로부터의 스캔신호에 응답하여 데이터라인(DL1 ~ DLm)으로부터의 데이터를 액정셀(C1c)에 공급하게 된다. 이를 위하여, 상기 박막트랜지스터(TFT)의 게이트 전극은 게이트라인(GL1 ~ GLn)에 접속되며, 소스 전극은 데이터라인(DL1 ~ DLm)에 접속된다. 상기 박막트랜지스터(TFT)의 드레인 전극은 액정셀(C1c)의 화소전극에 접속된다.
- [0020] 또한, 상기 액정표시패널(100)상에는 액정셀(C1c)의 전압을 유지시키기 위한 스토리지 캐패시터(Cst)가 형성된다. 상기 스토리지 캐패시터(Cst)는 액정셀(C1c)과 별도의 공통라인 사이에 형성될 수도 있다.
- [0021] 상기 게이트 드라이버(110)는 상기 타이밍 컨트롤러(130)로부터의 게이트 제어신호(GCS)에 응답하여, 다수의 게이트라인(GL1 ~ GLn)에 스캔 신호들을 대응되게 공급한다. 이들 다수의 스캔 신호들은 다수의 게이트라인(GL1 ~ GLn)이 순차적으로 1 수평동기신호의 기간씩 인에이블 되게 한다. 상기 게이트 드라이버(110)는 다수의 게이트 드라이버 집적회로를 포함할 수 있다.
- [0022] 상기 데이터 드라이버(120)는 상기 타이밍 컨트롤러(130)로부터의 데이터 제어신호(DCS)에 응답하여, 다수의 게이트라인(GL1 ~ GLn) 중 어느 하나가 인에이블 될 때마다 다수의 화소 데이터 전압을 발생하여 상기 액정표시패널(100) 상의 다수의 데이터라인(DL1 ~ DLm)에 각각 공급한다. 상기 데이터 드라이버(120)는 다수의 데이터 드라이버 집적회로를 포함할 수 있다.
- [0023] 상기 타이밍 컨트롤러(130)는 외부의 시스템(예를 들면, 컴퓨터의 시스템의 그래픽 모듈 또는 텔레비전 수신 시스템의 영상 복조 모듈, 도시하지 않음)으로부터 공급된 동기신호들(Vsync, Hsync)과, 데이터 인에이블(DE) 신호 및 클럭신호(CLK)를 이용하여 상기 게이트 드라이버(110)를 제어하는 게이트 제어신호(GCS)와 상기 데이터 드라이버(120)를 제어하는 데이터 제어신호(DCS)를 생성한다. 또한, 상기 타이밍 컨트롤러(130)는 외부의 시스템으로부터 입력된 영상 데이터(Data)를 정렬하여 정렬된 데이터를 상기 데이터 드라이버(120)로 공급한다.
- [0024] 도 2는 도 1의 액정표시장치에서 액정표시패널 상에 실장된 게이트 드라이버 집적회로와 데이터 드라이버 집적회로를 개략적으로 나타낸 도면이고, 도 3은 도 2의 액정표시패널의 일부를 개략적으로 나타낸 도면이다.
- [0025] 도 1 내지 도 3에 도시된 바와 같이, 액정표시패널(100)은 박막트랜지스터 어레이 기판(101)의 상단 비표시영역에 실장된 제1 내지 제3 데이터 드라이버 집적회로(120a ~ 120c)와, 상기 박막트랜지스터 어레이 기판(101)의 좌측단 비표시영역에 실장된 제1 및 제2 게이트 드라이버 집적회로(110a, 110b)를 포함한다.
- [0026] 상기 박막트랜지스터 어레이 기판(101) 상에는 다수의 데이터라인(DL)과 게이트라인(GL)이 상호 직교되도록 형성되고, 상기 데이터라인(DL)과 게이트라인(GL)에 의해 정의된 셀 영역들에 액정셀들(C1c)이 매트릭스 형태로 배치된다.
- [0027] 상기 액정표시패널(100)은 상기 박막트랜지스터 어레이 기판(101)과 대향하고 있는 컬러필터 기판(103)을 포함한다. 상기 컬러필터 기판(103)은 이웃한 액정 셀들 사이에 형성되어 셀 영역을 정의하는 블랙매트릭스와, 컬러를 구현하기 위한 R, G, B 컬러필터를 포함한다.
- [0028] 상기 제1 내지 제3 데이터 드라이버 집적회로(120a ~ 120c)는 가요성 인쇄회로기판(Flexible Printed Circuit:FPC)(122)를 경유하여 인쇄회로기판(도시하지 않음)에 실장된 타이밍 컨트롤러(도 1의 130)로부터의 데이터 제어신호(DCS)에 따라 입력된 비디오 데이터를 아날로그 데이터 전압으로 변환하여 대응하는 데이터라인(DL)으로 공급한다.
- [0029] 상기 제1 내지 제3 데이터 드라이버 집적회로(120a ~ 120c)는 다수의 출력패드 및 입력패드를 포함한다. 상기 다수의 출력패드는 상기 다수의 데이터 링크 라인(DLL)과 접속되고, 상기 다수의 입력패드는 비디오 데이터를 제공하는 타이밍 컨트롤러(130)와 전기적으로 접속될 수 있다.
- [0030] 상기 박막트랜지스터 어레이 기판(101) 상에는 상기 데이터라인(DL)과 제1 내지 제3 데이터 드라이버 집적회로(120a ~ 120c) 사이에 형성되어 상기 데이터라인(DL)과 상기 제1 내지 제3 데이터 드라이버 집적회로(120a ~

120c)를 전기적으로 연결하는 다수의 데이터 링크 라인(DLL)이 형성된다.

- [0031] 또한, 상기 박막트랜지스터 어레이 기판(101) 상에는 상기 게이트라인(GL)과 제1 및 제2 게이트 드라이버 집적 회로(110a, 110b) 사이에 형성되어 상기 게이트라인(GL)과 상기 제1 및 제2 게이트 드라이버 집적회로(110a, 110b)를 전기적으로 연결하는 다수의 게이트 링크 라인(GLL)이 형성된다.
- [0032] 이때, 상기 다수의 데이터 링크 라인(DLL) 및 다수의 게이트 링크 라인(GLL)은 액정표시패널(100)의 액티브 영역에 배열된 데이터라인(DL)과 게이트라인(GL)과 각각 전기적으로 연결된다.
- [0033] 상기 박막트랜지스터 어레이 기판(101) 상에는 상기 제1 데이터 드라이버 집적회로(120a)의 출력패드와 전기적으로 접속되지만 상기 액티브 영역에 배열된 데이터라인(DL)과는 접속되지 않는 더미 데이터 링크 패턴(DDL)이 더 형성된다.
- [0034] 상기 더미 데이터 링크 패턴(DDL)은 연속하는 다수의 데이터 링크 라인(DLL)들 중 제1 데이터 링크 라인(DLL)의 좌측에 위치한다. 또한, 도면에 도시하지 않았지만, 상기 더미 데이터 링크 패턴(DDL)은 상기 제1 데이터 링크 라인(DLL)의 좌측뿐만 아니라 마지막 데이터 링크 라인(DLL)의 우측에 위치할 수 있다.
- [0035] 마찬가지로, 상기 박막트랜지스터 어레이 기판(101) 상에는 상기 제1 게이트 드라이버 집적회로(110a)의 출력패드와 전기적으로 접속되지만 상기 액티브 영역에 배열된 게이트라인(GL)과는 접속되지 않는 더미 게이트 링크 패턴(DGL)이 더 형성된다.
- [0036] 상기 더미 게이트 링크 패턴(DGL)은 연속하는 다수의 게이트 링크 라인(GLL)들 중 제1 게이트 링크 라인(GLL)의 상측에 위치한다. 또한, 도면에 도시하지 않았지만, 상기 더미 게이트 링크 패턴(DGL)은 상기 제1 게이트 링크 라인(GLL)의 상측뿐만 아니라 마지막 게이트 링크 라인(GLL)의 하측에 위치할 수 있다.
- [0037] 도 4a는 도 3의 A 부분을 상세히 확대한 도면이다.
- [0038] 도 3 및 도 4a에 도시된 바와 같이, 다수의 데이터 링크 라인(DLL)은 박막트랜지스터 어레이 기판(101) 상에서 상기 제1 데이터 드라이버 집적회로(120a)와 컬러필터 기판(103) 사이에 위치한다. 다시 말하면, 상기 다수의 데이터 링크 라인(DLL)은 액정표시패널(도 3의 100)의 액티브 영역에 배열된 데이터라인(DL)과 전기적으로 연결된다.
- [0039] 이때, 상기 다수의 데이터 링크 라인(DLL)은 서로 동일한 선폭을 가지며 각 데이터 링크 라인(DLL) 사이의 간격(Pitch)은 서로 동일하다.
- [0040] 상기 다수의 데이터 링크 라인(DLL) 중 제1 데이터 링크 라인(DLL)의 좌측에는 상기 제1 데이터 드라이버 집적 회로(120a)와 접속되고 액정표시패널과 접속되지 않고 일부가 단선된 형태로 이루어진 더미 데이터 링크 패턴(DDL)이 형성된다.
- [0041] 상기 더미 데이터 링크 패턴(DDL)은 액정표시패널(100)의 구동과는 상관이 없으며 상기 액티브 영역에 배열된 데이터라인(DL)과 전기적으로 연결되지 않고 상기 다수의 데이터 링크 라인(DLL)들 중 최외곽에 위치한 제1 데이터 링크 라인(DLL)의 좌측에 형성된다.
- [0042] 상기 다수의 데이터 링크 라인(DLL)은 직사각형 형상의 몸체부(160)와, 상기 몸체부(160)의 좌/우측에 형성된 삼각형 모양의 제1 및 제2 날개(wing) 패턴(160a, 160b)을 갖는다. 마찬가지로, 상기 더미 데이터 링크 패턴(DDL)은 직사각형 형상의 몸체부(160)와, 상기 몸체부(160)의 좌/우측에 형성된 삼각형 모양의 제1 및 제2 날개(wing) 패턴(160a, 160b)을 갖는다.
- [0043] 상기 다수의 데이터 링크 라인(DLL)의 제1 날개(wing) 패턴(160a)의 폭(d1)과 몸체부(160)의 폭(d2) 및 제2 날개(wing) 패턴(160b)의 폭(d3)은 서로 동일하다. 일례로, 상기 제1 날개(wing) 패턴(160a)의 폭(d1)과 몸체부(160)의 폭(d2) 및 제2 날개(wing) 패턴(160b)의 폭(d3)은 1 μ m정도일 수 있다.
- [0044] 마찬가지로 상기 더미 데이터 링크 패턴(DDL)의 제1 날개(wing) 패턴(160a)의 폭(d1)과 몸체부(160)의 폭(d2) 및 제2 날개(wing) 패턴(160b)의 폭(d3)은 서로 동일하다.
- [0045] 상기 다수의 데이터 링크 라인(DLL) 및 더미 데이터 링크 패턴(DDL)은 마스크 공정을 통해 직사각형의 몸체부(160)와 제1 및 제2 날개(wing) 패턴(160a, 160b)을 갖도록 패터닝 된다.
- [0046] 상기 액티브 영역의 데이터라인(DL)과 전기적으로 연결된 다수의 데이터 링크 라인(DLL)은 상기 더미 데이터 링크 패턴(DDL)으로 인해 연속적으로 직사각형의 몸체부(160)와 상기 몸체부(160)의 좌/우측에 위치한 제1 및 제

2 날개(wing) 패턴(160a, 160b)을 갖는다.

- [0047] 상기 다수의 데이터 링크 라인(DLL) 중 최외곽에 위치한 제1 데이터 링크 라인(DLL)도 좌측에 인접한 더미 데이터 링크 패턴(DDL)으로 인해 마스크 공정에서 상기 제1 데이터 링크 라인(DLL)을 제외한 나머지 데이터 링크 라인(DLL)들과 동일한 폭을 갖게 형성될 수 있다.
- [0048] 직사각형의 몸체부(160)와 제1 및 제2 날개(wing) 패턴(160a, 160b)을 갖는 다수의 데이터 링크 라인(DLL) 중 제1 데이터 링크 라인(DLL)은 상기 더미 데이터 링크 패턴(DDL)으로 인해 나머지 데이터 링크 라인(DLL)과 같이 연속성을 갖게 된다. 이로 인해, 상기 제1 데이터 링크 라인(DLL)을 포함한 다수의 데이터 링크 라인(DLL)은 모두 동일한 폭을 갖도록 형성되기 때문에 모두 동일한 라인 저항을 가질 수 있다.
- [0049] 이러한 제1 데이터 링크 라인(DLL)의 연속성에 의해 본 발명은 마스크 공정 중에 회절하는 빛의 양이 달라져 연속성이 깨지는 최외곽에 위치한 제1 데이터 링크 라인(DLL)의 폭이 나머지 데이터 링크 라인(DLL)의 폭과 상이해져서 화질 불량이 발생한 종래에 비해 화질 불량을 방지할 수 있다. 결과적으로, 상기 액정표시패널(100) 상에서 최외곽에 위치한 제1 데이터 링크 라인이 위치하는 부분과 나머지 데이터 링크 라인(DLL)이 위치하는 부분에서의 밝기 차이가 최소화될 수 있다.
- [0050] 도 4b는 도 3의 B 부분을 상세히 확대한 도면이다.
- [0051] 도 3 및 도 4b에 도시된 바와 같이, 다수의 게이트 링크 라인(GL)은 박막트랜지스터 어레이 기판(101) 상에서 상기 제1 게이트 드라이버 집적회로(110a)와 컬러필터 기판(103) 사이에 위치한다. 다시 말하면, 상기 다수의 게이트 링크 라인(GL)은 액정표시패널(도 3의 100)의 액티브 영역에 배열된 게이트라인(GL)과 전기적으로 연결된다.
- [0052] 이때, 상기 다수의 게이트 링크 라인(GL)은 서로 동일한 선폭을 가지며 각 게이트 링크 라인(GL) 사이의 간격(Pitch)은 서로 동일하다.
- [0053] 상기 다수의 게이트 링크 라인(GL)의 상측에는 상기 제1 게이트 드라이버 집적회로(110a)와 접속되고 액정표시패널(100)과 접속되지 않고 일부가 단선된 형태로 이루어진 더미 게이트 링크 패턴(DGLP)이 형성된다. 상기 더미 게이트 링크 패턴(DGLP)은 액정표시패널(100)의 구동과는 상관이 없으며 상기 액티브 영역에 배열된 게이트라인(GL)과 전기적으로 연결되지 않고 상기 다수의 게이트 링크 라인(GL)들 중 최외곽에 위치한 제1 게이트 링크 라인(GL)의 상측에 형성된다.
- [0054] 상기 다수의 게이트 링크 라인(GL) 및 더미 게이트 링크 패턴(DGLP)은 직사각형 형상의 몸체부(170)와, 상기 몸체부(170)의 좌/우측에 형성된 삼각형 모양의 제1 및 제2 날개(wing) 패턴(170a, 170b)을 갖는다.
- [0055] 상기 다수의 게이트 링크 라인(GL)의 제1 날개(wing) 패턴(170a)의 폭(d1)과 몸체부(170)의 폭(d2) 및 제2 날개(wing) 패턴(170b)의 폭(d3)은 서로 동일하다. 일례로, 상기 제1 날개(wing) 패턴(170a)의 폭(d1)과 몸체부(170)의 폭(d2) 및 제2 날개(wing) 패턴(170b)의 폭(d3)은 1 μ m 정도일 수 있다.
- [0056] 마찬가지로 상기 더미 게이트 링크 패턴(DGLP)의 제1 날개(wing) 패턴(170a)의 폭(d1)과 몸체부(170)의 폭(d2) 및 제2 날개(wing) 패턴(170b)의 폭(d3)은 서로 동일하다.
- [0057] 상기 다수의 게이트 링크 라인(GL) 및 더미 게이트 링크 패턴(DGLP)은 마스크 공정을 통해 직사각형의 몸체부(170)와 제1 및 제2 날개(wing) 패턴(170a, 170b)을 갖도록 패터닝 된다.
- [0058] 상기 액티브 영역의 게이트라인(GL)과 전기적으로 연결된 다수의 게이트 링크 라인(GL)은 상기 더미 게이트 링크 패턴(DGLP)으로 인해 연속적으로 직사각형의 몸체부(170)와 상기 몸체부(170)의 좌/우측에 위치한 제1 및 제2 날개(wing) 패턴(170a, 170b)을 갖는다.
- [0059] 상기 다수의 게이트 링크 라인(GL) 중 최외곽에 위치한 제1 게이트 링크 라인(GL)도 상측에 인접한 더미 게이트 링크 패턴(DGLP)으로 인해 마스크 공정에서 나머지 게이트 링크 라인(GL)들과 동일한 폭을 갖게 형성될 수 있다.
- [0060] 직사각형의 몸체부(160)와 제1 및 제2 날개(wing) 패턴(160a, 160b)을 갖는 다수의 데이터 링크 라인(DLL) 중 제1 데이터 링크 라인(DLL)은 상기 더미 데이터 링크 패턴(DDL)으로 인해 나머지 데이터 링크 라인(DLL)과 같이 연속성을 갖게 된다.
- [0061] 이러한 제1 게이트 링크 라인(GL)의 연속성에 의해 본 발명은 마스크 공정 중에 회절하는 빛의 양이 달라져 연

속성이 깨지는 최외곽에 위치한 제1 게이트 링크 라인(GLL)의 폭이 나머지 게이트 링크 라인(GLL)의 폭과 상이해져서 화질 불량이 발생한 종래에 비해 화질 불량을 방지할 수 있다. 결과적으로, 상기 액정표시패널(100) 상에서 최외곽에 위치한 제1 게이트 링크 라인(GLL)이 위치하는 부분과 나머지 게이트 링크 라인(GLL)이 위치하는 부분에서의 밝기 차이가 최소화될 수 있다.

[0062] 상기 더미 게이트 링크 패턴(DGLP) 및 더미 데이터 링크 패턴(DDL)은 액정표시패널(도 3의 100)의 비표시영역에서 연속성이 깨지는 최외곽에 위치한 신호라인을 포함하는 어느 영역에 모두 형성될 수 있다.

[0063] 예를 들어, 액정표시패널(도 3의 100)의 비표시영역 상에 형성되어 타이밍 컨트롤러(도 1의 130)로부터의 제어 신호 및 전원 공급부(도시하지 않음)로부터의 구동전압을 다수의 게이트 드라이버 집적회로로 공급하는 LOG 신호라인들 중 연속성이 깨지는 최외곽에 위치한 LOG 신호라인들에 인접하도록 더미 링크 패턴이 형성될 수 있다.

[0064] 또한, 도면상에는 상기 더미 게이트 링크 패턴(DGLP) 및 더미 데이터 링크 패턴(DDL)을 한 개로 도시하였지만, 상기 더미 게이트 링크 패턴(DGLP) 및 더미 데이터 링크 패턴(DDL)은 다수개로 형성될 수 있다.

도면의 간단한 설명

[0065] 도 1은 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면.

[0066] 도 2는 도 1의 액정표시장치에서 액정표시패널 상에 실장된 게이트 드라이버 집적회로와 데이터 드라이버 집적회로를 개략적으로 나타낸 도면.

[0067] 도 3은 도 2의 액정표시패널의 일부를 개략적으로 나타낸 도면.

[0068] 도 4a는 도 3의 A 부분을 상세히 확대한 도면.

[0069] 도 4b는 도 3의 B 부분을 상세히 확대한 도면.

[0070] <도면의 주요부분에 대한 간단한 설명>

[0071] 100:액정표시패널 101:박막트랜지스터 어레이 기판

[0072] 103:컬러필터 기판 110:게이트 드라이버

[0073] 110a, 110b:제1 및 제2 게이트 드라이버 집적회로

[0074] 120:데이터 드라이버

[0075] 120a ~ 120c:제1 내지 제3 데이터 드라이버 집적회로

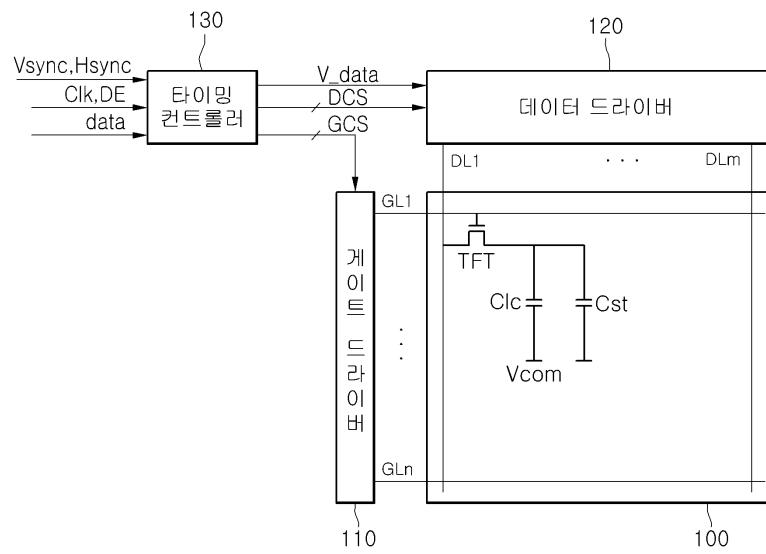
[0076] 122:가요성 인쇄회로기판 130:타이밍 컨트롤러

[0077] 160, 170:몸체부 160a, 170a:제1 날개(wing) 패턴

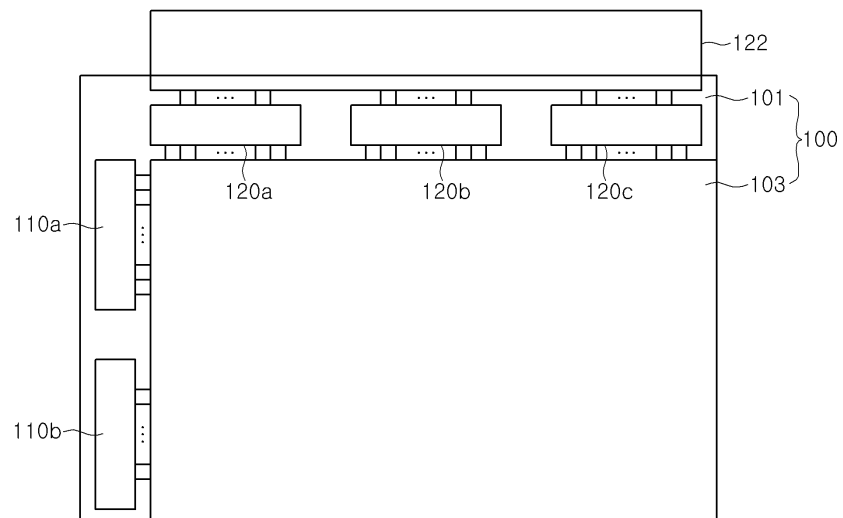
[0078] 160b, 170b:제2 날개(wing) 패턴

도면

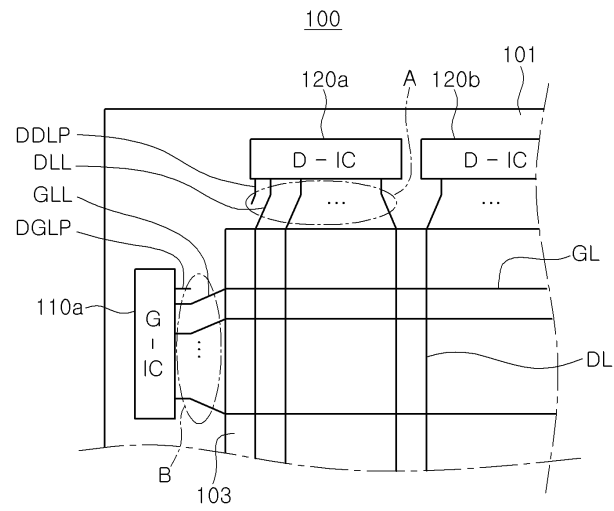
도면1



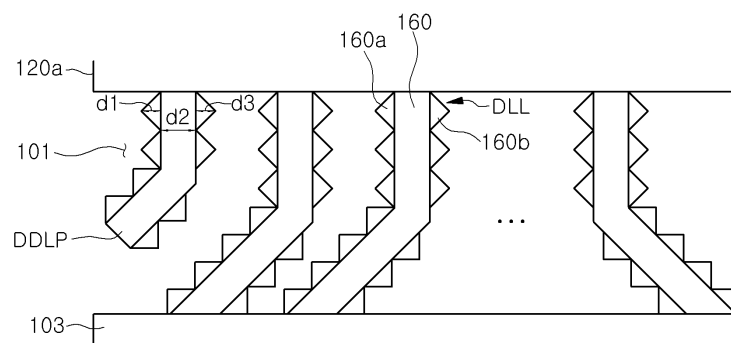
도면2



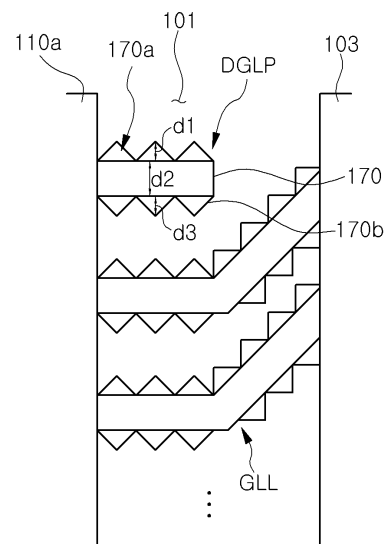
도면3



도면4a



도면4b



专利名称(译)	液晶显示器		
公开(公告)号	KR1020110034870A	公开(公告)日	2011-04-06
申请号	KR1020090092339	申请日	2009-09-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG DAE SUNG 정대성		
发明人	정대성		
IPC分类号	G02F1/1345 G02F1/1343		
CPC分类号	G02F1/13306 G02F1/13452 G02F1/136286 G09G2300/0426		
其他公开文献	KR101649902B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置，通过形成与信号线相邻的虚设图案来改善信号线的均匀性。

