



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0012112
(43) 공개일자 2011년02월09일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2009-0069675

(22) 출원일자 2009년07월29일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

곽희영

서울특별시 강서구 화곡6동 978-25 성일빌라 401호

(74) 대리인

박장원

전체 청구항 수 : 총 12 항

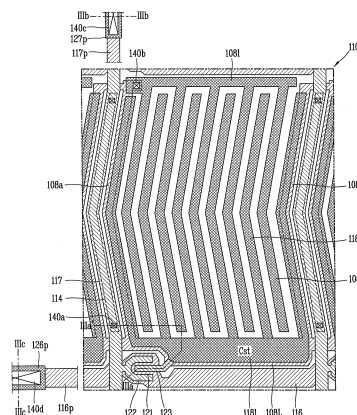
(54) 횡전계방식 액정표시장치 및 그 제조방법

(57) 요약

본 발명의 횡전계방식 액정표시장치 및 그 제조방법은 하프-톤 마스크(half tone mask)와 리프트-오프(lift off)를 이용하여 데이터 배선과 화소전극을 동시에 패터닝함으로써 마스크수를 감소시켜 생산성을 향상시키는 동시에 제조비용을 절감하며, 데이터라인 하부에 더미패턴을 형성하여 홀을 통해 데이터라인과 연결되도록 함으로써 데이터라인의 단선(disconnection)불량을 셀프 리페어(self repair)하기 위한 것으로, 화소부와 패드부로 구분되는 제 1 기판을 제공하는 단계; 제 1 마스크공정을 통해 상기 제 1 기판의 화소부에 제 1 도전막으로 이루어진 게이트전극과 게이트라인 및 더미패턴을 형성하는 단계; 상기 제 1 기판 위에 게이트절연막을 형성하는 단계; 제 2 마스크공정을 통해 상기 게이트전극 상부에 비정질 실리콘 박막으로 이루어진 액티브패턴을 형성하는 단계; 상기 제 2 마스크공정을 이용하여 상기 게이트절연막을 선택적으로 패터닝하여 상기 더미패턴의 일부를 노출시키는 제 1 콘택홀을 형성하는 단계; 제 3 마스크공정을 통해 상기 게이트전극 상부에 제 3 도전막으로 이루어지며, 상기 액티브패턴의 소오스/드레인영역에 전기적으로 접속하는 소오스/드레인전극을 형성하는 단계; 상기 제 3 마스크공정을 이용하여 상기 더미패턴 상부에 상기 제 3 도전막으로 이루어지며, 상기 게이트라인과 교차하여 화소영역을 정의하는 한편, 상기 제 1 콘택홀을 통해 그 하부의 더미패턴과 전기적으로 접속하는 데이터라인을 형성하는 단계; 상기 제 3 마스크공정을 이용하여 상기 화소영역에 제 2 도전막으로 이루어지며, 교대로 배치되어 횡전계를 발생시키는 공통전극 및 화소전극을 형성하는 단계; 및 상기 제 1 기판과 제 2 기판을 합착하는 단계를 포함한다.

이와 같이 구성된 본 발명의 횡전계방식 액정표시장치 및 그 제조방법은 액티브패턴이 게이트전극 상부에 아일랜드 형태로 형성되고 데이터라인 하부에는 액티브 테일(tail)이 존재하지 않게 됨으로써 화소부의 개구영역을 증가시킬 수 있으며, 또한 빛에 의해 노출되지 않기 때문에 빛에 노출되었을 때 발생하였던 웨이비 노이즈(wavy noise) 현상을 방지할 수 있는 것을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

화소부와 패드부로 구분되는 제 1 기판을 제공하는 단계;

제 1 마스크공정을 통해 상기 제 1 기판의 화소부에 제 1 도전막으로 이루어진 게이트전극과 게이트라인 및 더미패턴을 형성하는 단계;

상기 제 1 기판 위에 게이트절연막을 형성하는 단계;

제 2 마스크공정을 통해 상기 게이트전극 상부에 비정질 실리콘 박막으로 이루어진 액티브패턴을 형성하는 단계;

상기 제 2 마스크공정을 이용하여 상기 게이트절연막을 선택적으로 패터닝하여 상기 더미패턴의 일부를 노출시키는 제 1 콘택홀을 형성하는 단계;

제 3 마스크공정을 통해 상기 게이트전극 상부에 제 3 도전막으로 이루어지며, 상기 액티브패턴의 소오스/드레인영역에 전기적으로 접속하는 소오스/드레인전극을 형성하는 단계;

상기 제 3 마스크공정을 이용하여 상기 더미패턴 상부에 상기 제 3 도전막으로 이루어지며, 상기 게이트라인과 교차하여 화소영역을 정의하는 한편, 상기 제 1 콘택홀을 통해 그 하부의 더미패턴과 전기적으로 접속하는 데이터라인을 형성하는 단계;

상기 제 3 마스크공정을 이용하여 상기 화소영역에 제 2 도전막으로 이루어지며, 교대로 배치되어 횡전계를 발생시키는 공통전극 및 화소전극을 형성하는 단계; 및

상기 제 1 기판과 제 2 기판을 합착하는 단계를 포함하는 횡전계방식 액정표시장치의 제조방법.

청구항 2

제 1 항에 있어서, 상기 제 1 기판의 패드부에 상기 제 1 도전막으로 이루어진 데이터패드라인과 게이트패드라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 3

제 2 항에 있어서, 상기 제 1 기판의 화소영역의 가장자리에 상기 제 1 도전막으로 이루어진 제 1 라인을 형성하며, 상기 화소영역의 하단에 상기 제 1 도전막으로 이루어진 공통라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 4

제 3 항에 있어서, 상기 제 2 마스크공정을 이용하여 상기 제 1 라인의 일부를 노출시키는 제 2 콘택홀을 형성하며, 상기 데이터패드라인 및 게이트패드라인의 일부를 각각 노출시키는 제 3 콘택홀 및 제 4 콘택홀을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 5

제 1 항에 있어서, 상기 제 1 콘택홀은 상기 더미패턴의 상, 하단에 하나씩 위치하도록 형성하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 6

제 4 항에 있어서, 상기 제 3 마스크공정을 이용하여 상기 패드부에 상기 제 2 도전막으로 이루어지며, 상기 제 3 콘택홀 및 제 4 콘택홀을 통해 각각 상기 데이터패드라인 및 게이트패드라인과 전기적으로 접속하는 데이터패드전극 및 게이트패드전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 7

제 4 항에 있어서, 상기 제 3 마스크공정은

상기 액티브패턴이 형성된 제 1 기판 전면에 제 2 도전막 및 제 3 도전막을 형성하는 단계;

상기 제 1 기판 위에 제 1 두께의 제 1 감광막패턴 내지 제 4 감광막패턴 및 제 2 두께의 제 5 감광막패턴 내지 제 7 감광막패턴을 형성하는 단계;

상기 제 1 감광막패턴 내지 제 7 감광막패턴을 마스크로 그 하부에 형성된 제 2 도전막과 제 3 도전막을 선택적으로 제거하여, 상기 게이트전극 상부에 상기 제 3 도전막으로 이루어지며 상기 액티브패턴의 소오스/드레인영역에 전기적으로 접속하는 소오스/드레인전극을 형성하며, 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인을 형성하는 단계;

상기 제 1 감광막패턴 내지 제 7 감광막패턴을 마스크로 그 하부에 형성된 제 2 도전막과 제 3 도전막을 선택적으로 제거하여, 상기 화소영역에 상기 제 2 도전막으로 이루어지며, 교대로 배치되어 횡전계를 발생시키는 공통전극 및 화소전극을 형성하는 단계;

상기 제 1 감광막패턴 내지 제 7 감광막패턴을 마스크로 그 하부에 형성된 제 2 도전막과 제 3 도전막을 선택적으로 제거하여, 상기 패드부에 상기 제 2 도전막으로 이루어지며, 상기 제 3 콘택홀 및 제 4 콘택홀을 통해 각각 상기 데이터패드라인 및 게이트패드라인과 전기적으로 접속하는 데이터패드전극 및 게이트패드전극을 형성하는 단계;

애싱공정을 통해 상기 제 5 감광막패턴 내지 제 7 감광막패턴을 제거하는 동시에 상기 제 1 감광막패턴 내지 제 4 감광막패턴의 두께 일부를 제거하여 제 3 두께의 제 8 감광막패턴 내지 제 11 감광막패턴을 형성하는 단계;

상기 제 8 감광막패턴 내지 제 11 감광막패턴이 남아있는 상기 제 1 기판 전면에 소정의 절연물질로 이루어진 보호막을 형성하는 단계;

리프트-오프공정을 통해 상기 제 8 감광막패턴 내지 제 11 감광막패턴과 함께 상기 제 8 감광막패턴 내지 제 11 감광막패턴 상부에 증착된 보호막을 제거하는 단계; 및

상기 제 3 도전막을 식각하여 상기 공통전극, 화소전극, 데이터패드전극 및 게이트패드전극 위에 상기 제 3 도전막으로 형성된 공통전극패턴, 화소전극패턴, 데이터패드전극패턴 게이트패드전극패턴을 제거하여 상기 공통전극, 화소전극, 데이터패드전극 및 게이트패드전극 표면을 노출시키는 단계를 포함하며, 상기 보호막은 상기 제 8 감광막패턴 내지 제 11 감광막패턴 이외 영역에 해당하는 제 1 기판 상부에 남아있는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 8

제 1 항에 있어서, 상기 제 3 도전막으로 이루어진 상기 소오스전극과 드레인전극 및 데이터라인 하부에 상기 제 2 도전막으로 이루어지며 각각 상기 소오스전극과 드레인전극 및 데이터라인과 동일한 형태로 패터닝된 소오스전극패턴과 드레인전극패턴 및 데이터라인패턴을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 9

제 1 항에 있어서, 상기 제 3 도전막은 구리와 같은 저저항 불투명 도전물질로 이루어지며, 상기 제 2 도전막은 상기 구리의 확산을 방지하고 부착특성을 향상시키기 위해 몰리브덴 티타늄(MoTi)과 같은 도전물질로 이루어지는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 10

제 1 항에 있어서, 상기 데이터라인의 일부가 오픈(open)되는 단선불량이 발생하는 경우에도 상기 제 1 콘택홀을 통해 그 하부의 더미패턴과 상기 데이터라인이 전기적으로 접속됨으로써 상기 데이터라인의 단선불량이 셀프리페어 되는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 11

화소부와 패드부로 구분되는 제 1 기판;

상기 제 1 기판의 화소부에 형성되며, 제 1 도전막으로 이루어진 게이트전극, 게이트라인, 제 1 라인 및 더미패턴;

상기 제 1 기관의 패드부에 형성되며, 상기 제 1 도전막으로 이루어진 데이터패드라인 및 게이트패드라인;

상기 제 1 기관 위에 형성된 게이트절연막;

상기 게이트전극 상부에 형성되며, 비정질 실리콘 박막으로 이루어진 액티브패턴;

상기 게이트절연막의 일부영역이 제거되어 상기 더미패턴의 일부를 노출시키는 제 1 콘택홀;

상기 게이트절연막의 일부영역이 제거되어 상기 제 1 라인의 일부를 노출시키는 제 2 콘택홀;

상기 게이트절연막의 일부영역이 제거되어 각각 상기 데이터패드라인 및 게이트패드라인의 일부를 노출시키는 제 3 콘택홀 및 제 4 콘택홀;

상기 게이트전극 상부에 제 3 도전막으로 이루어지며, 상기 액티브패턴의 소오스/드레인영역에 전기적으로 접속하는 소오스/드레인전극;

상기 더미패턴 상부에 상기 제 3 도전막으로 이루어지며, 상기 게이트라인과 교차하여 화소영역을 정의하는 한편, 상기 제 1 콘택홀을 통해 그 하부의 더미패턴과 전기적으로 접속하는 데이터라인;

상기 화소영역에 제 2 도전막으로 이루어지며, 교대로 배치되어 횡전계를 발생시키는 공통전극 및 화소전극;

상기 제 2 도전막으로 이루어지며, 상기 화소전극의 일측과 연결되어 상기 드레인전극과 화소전극을 전기적으로 접속시키는 화소전극라인;

상기 제 2 도전막으로 이루어지며, 상기 제 2 콘택홀을 통해 상기 제 1 라인과 전기적으로 접속하는 한편, 상기 공통전극의 일측과 연결되는 공통전극라인;

상기 제 2 도전막으로 이루어지며, 상기 제 3 콘택홀을 통해 상기 데이터패드라인과 전기적으로 접속하는 데이터패드전극 및 상기 제 4 콘택홀을 통해 상기 게이트패드라인과 전기적으로 접속하는 게이트패드전극;

상기 공통전극, 화소전극, 공통전극라인, 화소전극라인, 게이트패드전극 및 데이터패드전극을 제외한 상기 제 1 기관 전면에 형성된 보호막; 및

상기 제 1 기관과 대향하여 합착하는 제 2 기관을 포함하는 횡전계방식 액정표시장치.

청구항 12

제 11 항에 있어서, 상기 제 3 도전막으로 이루어진 소오스전극과 드레인전극 및 데이터라인 하부에 상기 제 2 도전막으로 형성되며, 상기 소오스전극과 드레인전극 및 데이터라인과 동일한 형태로 패터닝된 소오스전극패턴과 드레인전극패턴 및 데이터라인패턴을 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 횡전계방식 액정표시장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 마스크수를 감소시켜 제조공정을 단순화하고 수율을 향상시키는 동시에 데이터라인의 단선불량을 셀프 리페어 할 수 있는 횡전계방식 액정표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 이러한 평판표시장치 중 액정표시장치(Liquid Crystal Display; LCD)는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.

[0003] 상기 액정표시장치는 크게 컬러필터(color filter) 기관과 어레이(array) 기관 및 상기 컬러필터 기관과 어레이 기관 사이에 형성된 액정층(liquid crystal layer)으로 구성된다.

- [0004] 상기 액정표시장치에 주로 사용되는 구동 방식인 능동 매트릭스(Active Matrix; AM) 방식은 비정질 실리콘 박막 트랜지스터(Amorphous Silicon Thin Film Transistor; a-Si TFT)를 스위칭소자로 사용하여 화소부의 액정을 구동하는 방식이다.
- [0005] 상기 액정표시장치의 제조공정은 기본적으로 박막 트랜지스터를 포함하는 어레이 기판의 제작에 다수의 마스크 공정(즉, 포토리소그래피(photolithography)공정)를 필요로 하므로 생산성 면에서 상기 마스크수를 줄이는 방법이 요구되어지고 있다.
- [0006] 이하, 도 1을 참조하여 일반적인 액정표시장치의 구조에 대해서 상세히 설명한다.
- [0007] 도 1은 일반적인 액정표시장치를 개략적으로 나타내는 분해사시도이다.
- [0008] 도면에 도시된 바와 같이, 상기 액정표시장치는 크게 컬러필터 기판(5)과 어레이 기판(10) 및 상기 컬러필터 기판(5)과 어레이 기판(10) 사이에 형성된 액정층(liquid crystal layer)(30)으로 구성된다.
- [0009] 상기 컬러필터 기판(5)은 적(Red; R), 녹(Green; G) 및 청(Blue; B)의 색상을 구현하는 다수의 서브-컬러필터(7)로 구성된 컬러필터(C)와 상기 서브-컬러필터(7) 사이를 구분하고 액정층(30)을 투과하는 광을 차단하는 블랙매트릭스(black matrix)(6), 그리고 상기 액정층(30)에 전압을 인가하는 투명한 공통전극(8)으로 이루어져 있다.
- [0010] 또한, 상기 어레이 기판(10)은 종횡으로 배열되어 복수개의 화소영역(P)을 정의하는 복수개의 게이트라인(16)과 데이터라인(17), 상기 게이트라인(16)과 데이터라인(17)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터(T) 및 상기 화소영역(P) 위에 형성된 화소전극(18)으로 이루어져 있다.
- [0011] 이와 같이 구성된 상기 컬러필터 기판(5)과 어레이 기판(10)은 화상표시 영역의 외곽에 형성된 실런트(sealant)(미도시)에 의해 대향하도록 합착되어 액정표시패널을 구성하며, 상기 컬러필터 기판(5)과 어레이 기판(10)의 합착은 상기 컬러필터 기판(5) 또는 어레이 기판(10)에 형성된 합착키(미도시)를 통해 이루어진다.
- [0012] 이때, 상기 액정표시장치에 일반적으로 사용되는 구동방식으로 네마틱상의 액정분자를 기판에 대해 수직 방향으로 구동시키는 트위스티드 네마틱(Twisted Nematic; TN)방식이 있으나, 상기 트위스티드 네마틱방식의 액정표시장치는 시야각이 좁다는 단점을 가지고 있다. 이것은 액정분자의 굴절률 이방성(refractive anisotropy)에 기인하는 것으로 기판과 수평하게 배향된 액정분자가 액정표시패널에 전압이 인가될 때 기판과 거의 수직한 방향으로 배향되기 때문이다.
- [0013] 이에 액정분자를 기판에 대해 수평한 방향으로 구동시켜 시야각을 향상시킨 횡전계방식 액정표시장치가 개발되었으며, 이를 도 2를 참조하여 상세히 설명한다.
- [0014] 도 2는 일반적인 횡전계방식 액정표시장치의 어레이 기판 일부를 개략적으로 나타내는 평면도이다.
- [0015] 도면에 도시된 바와 같이, 일반적인 횡전계방식 액정표시장치의 어레이 기판(10)에는 상기 어레이 기판(10) 위에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(16)과 데이터라인(17)이 형성되어 있다. 또한, 상기 게이트라인(16)과 데이터라인(17)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있으며, 상기 화소영역 내에는 횡전계를 발생시켜 액정(미도시)을 구동시키는 공통전극(8)과 화소전극(18)이 교대로 형성되어 있다.
- [0016] 상기 박막 트랜지스터는 상기 게이트라인(16)의 일부를 구성하는 게이트전극(21), 상기 데이터라인(17)에 연결된 소오스전극(22) 및 화소전극라인(181)을 통해 상기 화소전극(18)에 전기적으로 접속된 드레인전극(23)으로 구성되어 있다. 또한, 상기 박막 트랜지스터는 상기 게이트전극(21)에 공급되는 게이트 전압에 의해 상기 소오스전극(22)과 드레인전극(23) 간에 전도채널을 형성하는 액티브패턴(미도시)을 포함한다.
- [0017] 상기 소오스전극(22)의 일부는 일방향으로 연장되어 상기 데이터라인(17)의 일부를 구성하며, 상기 드레인전극(23)의 일부는 화소영역 쪽으로 연장되어 보호막(미도시)에 형성된 제 1 콘택홀(40a)을 통해 상기 화소전극라인(181)과 화소전극(18)에 전기적으로 접속하게 된다.
- [0018] 전술한 바와 같이 상기 화소영역 내에는 횡전계를 발생시키기 위한 다수개의 공통전극(8)과 화소전극(18)이 교대로 배치되어 있다.
- [0019] 이때, 상기 화소영역의 하단에는 상기 게이트라인(16)에 대해 실질적으로 평행하게 공통라인(8L)이 형성되어 있으며, 상기 화소영역의 좌우 가장자리에는 상기 공통라인(8L)과 연결된 한 쌍의 제 1 라인(8a, 8a')이 형성되어 있다.

- [0020] 이때, 상기 다수개의 공통전극(8)은 그 일측이 상기 게이트라인(16)에 대해 실질적으로 평행하게 배치된 상단의 공통전극라인(81)에 의해 서로 연결되며, 상기 공통전극라인(81)은 상기 보호막에 형성된 제 2 콘택홀(40b)을 통해 상기 제 1 라인(8a, 8a')에 전기적으로 접속하게 된다.
- [0021] 이때, 상기 화소전극라인(181)의 일부는 게이트절연막(미도시)과 보호막을 사이에 두고 그 하부의 공통라인(8L)의 일부와 오버랩되어 스토리지 커패시터(storage capacitor)(Cst)를 형성하게 된다.
- [0022] 이와 같이 구성되는 상기 박막 트랜지스터를 포함하는 어레이 기판의 제조에는 게이트전극, 액티브패턴, 소오스/드레인전극, 콘택홀 및 화소전극 등을 패터닝하는데 일반적으로 총 5번의 포토리소그래피공정을 필요로 한다.
- [0023] 상기 포토리소그래피공정은 마스크에 그려진 패턴을 박막이 증착된 기판 위에 전사시켜 원하는 패턴을 형성하는 일련의 공정으로 감광액 도포, 노광, 현상공정 등 다수의 공정으로 이루어지며, 다수의 포토리소그래피공정은 생산 수율을 떨어뜨리는 단점이 있다.
- [0024] 특히, 패턴을 형성하기 위하여 설계된 마스크는 매우 고가이어서, 공정에 적용되는 마스크수가 증가하면 액정표시장치의 제조비용이 이에 비례하여 상승하게 된다.
- [0025] 이때, 회절마스크를 이용하여 액티브패턴과 소오스/드레인전극을 한번의 마스크공정으로 형성함으로써 총 4번의 마스크공정으로 어레이 기판을 제작할 수 있는 기술이 개발되었다.
- [0026] 그러나, 상기 구조의 액정표시장치는 회절마스크를 이용함으로써 두 번의 식각공정을 거쳐 액티브패턴과 소오스/드레인전극을 패터닝하게 됨에 따라 상기 소오스전극과 드레인전극 및 데이터라인, 즉 데이터 배선의 하부 주변으로 액티브패턴이 돌출한 액티브 테일이 남아있게 된다.
- [0027] 상기 액티브 테일은 순수한 비정질 실리콘 박막으로 이루어지며, 상기 돌출된 액티브 테일은 하부의 백라이트 광에 노출됨으로써 상기 백라이트 광에 의해 광전류가 발생하게 된다. 이때, 상기 백라이트 광의 미세한 깜빡임으로 인해 상기 비정질 실리콘 박막은 미세하게 반응하여 활성화와 비활성화 상태가 반복되게 되며, 이로 인해 광전류에 변화가 발생하게 된다. 이와 같은 광전류 성분은 이웃하는 화소전극에 흐르는 신호와 함께 커플링(coupling)되어 상기 화소전극에 위치한 액정의 움직임을 왜곡시키게 한다. 그 결과 액정표시장치의 화면에는 물결무늬의 가는 선이 나타나는 웨이비 노이즈(wavy noise)가 발생하게 된다.
- [0028] 또한, 상기 데이터라인의 하부에 위치한 액티브 테일은 상기 데이터라인의 양측으로 소정거리 돌출됨으로써 하소부의 개구영역이 상기 돌출된 거리만큼 잠식됨에 따라 액정표시장치의 개구율이 감소하는 문제가 있다.
- [0029] 한편, 이와 같이 제조되는 어레이 기판은 컬러필터 기판과 합착되어 액정표시장치를 구성하게 되는데, 상기 액정표시장치의 제조방법은 크게 어레이 기판에 스위칭소자를 형성하는 어레이공정과 컬러필터 기판에 컬러필터를 형성하는 컬러필터공정으로 구분될 수 있으며, 상기 각각의 어레이공정과 컬러필터공정을 통해 제작된 어레이 기판과 컬러필터 기판은 마지막으로 셀(cell)공정을 거쳐 서로 합착되어 액정표시패널이 완성되게 된다.
- [0030] 상기 셀공정은 어레이공정이나 컬러필터공정에 비해 상대적으로 반복되는 공정이 거의 없으며, 크게 액정분자의 배향을 위한 배향막 형성공정, 셀갭(cell gap) 형성공정, 셀 절단(cutting)공정 및 액정주입공정으로 나눌 수 있다. 한편, 이러한 공정을 거쳐 제작된 액정표시패널은 품질검사를 통해 선별되며, 양품으로 선별된 액정표시패널의 외측에 각각 편광판을 부착한 후, 구동회로를 연결하면 액정표시장치가 완성되게 된다.
- [0031] 이때, 전술한 액정표시장치의 검사 과정에서 불량화소가 발견되었을 때에는 이에 대한 리페어공정을 실시하게 된다.
- [0032] 상기 액정표시장치의 불량에는 화소별 색상불량, 휘점(輝點)(항상 켜져 있는 상태), 암점(暗點)(항상 꺼져 있는 상태) 등의 점결함(point defect)과 인접한 배선간의 단락(short), 오픈(open), 정전기에 의한 스위칭소자의 파괴로 인해 발생하는 라인결함(line defect) 등이 있다.
- [0033] 특히, 상기 오픈과 같은 단선(disconnection)불량을 리페어하기 위해 레이저를 이용한 레이저 리페어공정이 일반적으로 이용되고 있으나, 상기 레이저 리페어공정은 고가의 레이저 리페어장비를 요구하며 상기 레이저 리페어를 검사자가 직접 실시하여야하기 때문에 리페어공정의 추가에 따른 생산 손실(loss)이 발생하는 단점이 있다.

발명의 내용

해결 하고자하는 과제

- [0034] 본 발명은 상기한 문제를 해결하기 위한 것으로, 3번의 마스크공정으로 액티브 테일이 없는 어레이 기판을 제작하도록 한 횡전계방식 액정표시장치 및 그 제조방법을 제공하는데 목적이 있다.
- [0035] 본 발명의 다른 목적은 개구영역을 확대하여 고휘도를 구현할 수 있는 동시에 웨이비 노이즈가 발생하지 않아 고화질을 구현할 수 있는 횡전계방식 액정표시장치 및 그 제조방법을 제공하는데 있다.
- [0036] 본 발명의 다른 목적은 리페어공정의 추가 없이 데이터라인의 단선의 셀프 리페어가 가능한 횡전계방식 액정표시장치 및 그 제조방법을 제공하는데 있다.
- [0037] 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

과제 해결수단

- [0038] 상기한 목적을 달성하기 위하여, 본 발명의 횡전계방식 액정표시장치는 화소부와 패드부로 구분되는 제 1 기판; 상기 제 1 기판의 화소부에 형성되며, 제 1 도전막으로 이루어진 게이트전극, 게이트라인, 제 1 라인 및 더미패턴; 상기 제 1 기판의 패드부에 형성되며, 상기 제 1 도전막으로 이루어진 데이터패드라인 및 게이트패드라인; 상기 제 1 기판 위에 형성된 게이트절연막; 상기 게이트전극 상부에 형성되며, 비정질 실리콘 박막으로 이루어진 액티브패턴; 상기 게이트절연막의 일부영역이 제거되어 상기 더미패턴의 일부를 노출시키는 제 1 콘택홀; 상기 게이트절연막의 일부영역이 제거되어 상기 제 1 라인의 일부를 노출시키는 제 2 콘택홀; 상기 게이트절연막의 일부영역이 제거되어 각각 상기 데이터패드라인 및 게이트패드라인의 일부를 노출시키는 제 3 콘택홀 및 제 4 콘택홀; 상기 게이트전극 상부에 제 3 도전막으로 이루어지며, 상기 액티브패턴의 소오스/드레인영역에 전기적으로 접속하는 소오스/드레인전극; 상기 더미패턴 상부에 상기 제 3 도전막으로 이루어지며, 상기 게이트라인과 교차하여 화소영역을 정의하는 한편, 상기 제 1 콘택홀을 통해 그 하부의 더미패턴과 전기적으로 접속하는 데이터라인; 상기 화소영역에 제 2 도전막으로 이루어지며, 교대로 배치되어 횡전계를 발생시키는 공통전극 및 화소전극; 상기 제 2 도전막으로 이루어지며, 상기 화소전극의 일측과 연결되어 상기 드레인전극과 화소전극을 전기적으로 접속시키는 화소전극라인; 상기 제 2 도전막으로 이루어지며, 상기 제 2 콘택홀을 통해 상기 제 1 라인과 전기적으로 접속하는 한편, 상기 공통전극의 일측과 연결되는 공통전극라인; 상기 제 2 도전막으로 이루어지며, 상기 제 3 콘택홀을 통해 상기 데이터패드라인과 전기적으로 접속하는 데이터패드전극 및 상기 제 4 콘택홀을 통해 상기 게이트패드라인과 전기적으로 접속하는 게이트패드전극; 상기 공통전극, 화소전극, 공통전극라인, 화소전극라인, 게이트패드전극 및 데이터패드전극을 제외한 상기 제 1 기판 전면에 형성된 보호막; 및 상기 제 1 기판과 대향하여 합착하는 제 2 기판을 포함한다.
- [0039] 또한, 본 발명의 횡전계방식 액정표시장치의 제조방법은 화소부와 패드부로 구분되는 제 1 기판을 제공하는 단계; 제 1 마스크공정을 통해 상기 제 1 기판의 화소부에 제 1 도전막으로 이루어진 게이트전극과 게이트라인 및 더미패턴을 형성하는 단계; 상기 제 1 기판 위에 게이트절연막을 형성하는 단계; 제 2 마스크공정을 통해 상기 게이트전극 상부에 비정질 실리콘 박막으로 이루어진 액티브패턴을 형성하는 단계; 상기 제 2 마스크공정을 이용하여 상기 게이트절연막을 선택적으로 패터닝하여 상기 더미패턴의 일부를 노출시키는 제 1 콘택홀을 형성하는 단계; 제 3 마스크공정을 통해 상기 게이트전극 상부에 제 3 도전막으로 이루어지며, 상기 액티브패턴의 소오스/드레인영역에 전기적으로 접속하는 소오스/드레인전극을 형성하는 단계; 상기 제 3 마스크공정을 이용하여 상기 더미패턴 상부에 상기 제 3 도전막으로 이루어지며, 상기 게이트라인과 교차하여 화소영역을 정의하는 한편, 상기 제 1 콘택홀을 통해 그 하부의 더미패턴과 전기적으로 접속하는 데이터라인을 형성하는 단계; 상기 제 3 마스크공정을 이용하여 상기 화소영역에 제 2 도전막으로 이루어지며, 교대로 배치되어 횡전계를 발생시키는 공통전극 및 화소전극을 형성하는 단계; 및 상기 제 1 기판과 제 2 기판을 합착하는 단계를 포함한다.

효과

- [0040] 상술한 바와 같이, 본 발명에 따른 횡전계방식 액정표시장치 및 그 제조방법은 박막 트랜지스터 제조에 사용되는 마스크수를 줄여 제조공정 및 비용을 절감시키는 효과를 제공한다.
- [0041] 또한, 본 발명에 따른 횡전계방식 액정표시장치 및 그 제조방법은 액티브 테일이 존재하지 않아 데이터라인의 신호간섭이 없으며 상기 액티브 테일 폭만큼 개구율이 증가하게 된다.
- [0042] 또한, 본 발명에 따른 횡전계방식 액정표시장치 및 그 제조방법은 웨이브 노이즈가 발생하지 않아 고화질의 액정표시장치를 제작 할 수 있는 효과를 제공한다.

[0043] 또한, 본 발명에 따른 횡전계방식 액정표시장치 및 그 제조방법은 데이터라인 하부에 더미패턴을 형성하여 홀을 통해 데이터라인과 연결되도록 함으로써 2번에 걸친 식각에 의해 발생하는 데이터라인의 단선불량을 셀프 리페어 할 수 있는 효과를 제공한다.

발명의 실시를 위한 구체적인 내용

[0044] 이하, 첨부한 도면을 참조하여 본 발명에 따른 횡전계방식 액정표시장치 및 그 제조방법의 바람직한 실시예를 상세히 설명한다.

[0045] 도 3은 본 발명의 실시예에 따른 횡전계방식(In Plane Switching; IPS) 액정표시장치의 어레이 기판 일부를 개략적으로 나타내는 평면도로서, 설명의 편의를 위해 게이트패드부와 데이터패드부 및 화소부의 박막 트랜지스터를 포함하는 하나의 화소를 나타내고 있다.

[0046] 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 하나의 화소를 나타내고 있다.

[0047] 이때, 본 실시예는 횡전계방식의 액정표시장치를 예를 들어 설명하고 있으나 본 발명이 이에 한정되는 것은 아니며, 본 발명은 트위스티드 네마틱방식의 액정표시장치에도 적용될 수 있다.

[0048] 전술한 바와 같이 상기 트위스티드 네마틱방식의 액정표시장치는 시야각이 좁다는 단점을 가지고 있다. 이것은 액정분자의 굴절률 이방성에 기인하는 것으로 기판과 수평하게 배향된 액정분자가 액정표시패널에 전압이 인가될 때 기판과 거의 수직인 방향으로 배향되기 때문이다.

[0049] 이에 액정분자를 기판에 대해 수평한 방향으로 구동시켜 시야각을 향상시킨 횡전계방식 액정표시장치가 개발되었으며, 본 발명은 상기 횡전계방식 액정표시장치를 예를 들어 나타내고 있다.

[0050] 도면에 도시된 바와 같이, 본 발명의 실시예에 따른 어레이 기판(110)에는 상기 어레이 기판(110) 위에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(116)과 데이터라인(117)이 형성되어 있다. 또한, 상기 게이트라인(116)과 데이터라인(117)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있으며, 상기 화소영역 내에는 횡전계를 발생시켜 액정(미도시)을 구동시키는 공통전극(108)과 화소전극(118)이 교대로 형성되어 있다.

[0051] 상기 박막 트랜지스터는 상기 게이트라인(116)의 일부를 구성하는 게이트전극(121), 상기 데이터라인(117)에 연결된 소오스전극(122) 및 화소전극라인(1181)을 통해 상기 화소전극(118)에 전기적으로 접속된 드레인전극(123)으로 구성되어 있다. 또한, 상기 박막 트랜지스터는 상기 게이트전극(121)에 공급되는 게이트 전압에 의해 상기 소오스전극(122)과 드레인전극(123) 간에 전도채널을 형성하는 액티브패턴(미도시)을 포함한다. 이때, 도면에는 소오스전극(122)의 형태가 "U"자형으로 되어 있어 채널의 형태가 "U"자형인 박막 트랜지스터를 예를 들어 나타내고 있으나, 본 발명이 이에 한정되는 것은 아니며 본 발명은 상기 박막 트랜지스터의 채널 형태에 관계없이 적용 가능하다.

[0052] 상기 소오스전극(122)의 일부는 일방향으로 연장되어 상기 데이터라인(117)의 일부를 구성하며, 상기 드레인전극(123)의 일부는 화소영역 쪽으로 연장되어 상기 화소전극라인(1181)을 통해 상기 화소전극(118)에 전기적으로 접속하게 된다.

[0053] 이때, 본 발명의 실시예에 따른 상기 소오스전극(122)과 드레인전극(123) 및 데이터라인(117)은 구리와 같은 저저항 도전물질로 이루어질 수 있으며, 그 하부에 상기 구리의 확산을 방지하고 부착특성을 향상시키기 위해 폴리브덴 티타늄(MoTi)과 같은 도전물질로 이루어지며 상기 소오스전극(122)과 드레인전극(123) 및 데이터라인(117)과 실질적으로 동일한 형태로 패터닝된 소오스전극패턴(미도시)과 드레인전극패턴(미도시) 및 데이터라인패턴(미도시)이 각각 형성되어 있는 것을 특징으로 한다.

[0054] 또한, 본 발명의 실시예에 따른 상기 횡전계방식 액정표시장치는 상기 데이터라인(117) 하부에 상기 게이트전극(121)과 게이트라인(116)을 구성하는 도전물질로 이루어진 더미패턴(114)이 형성되어 있는 것을 특징으로 하며, 상기 더미패턴(114)은 게이트절연막(미도시)에 형성된 제 1 콘택홀(140a)을 통해 그 상부의 데이터라인(117)과 연결되게 된다. 이때, 도면에는 상기 제 1 콘택홀(140a)이 상기 더미패턴(114)의 상, 하단에 하나씩 위치하도록 형성된 경우를 예를 들어 나타내고 있으나, 본 발명이 이에 한정되는 것은 아니며, 상기 제 1 콘택홀(140a)은 2번에 걸친 식각에 의해 상기 데이터라인(117)의 일부영역이 오픈(open)되는 단선불량이 발생하더라도 하부의 더미패턴(114)과 연결되어 셀프 리페어 되도록 2개 이상으로 구성할 수 있다.

[0055] 전술한 바와 같이 상기 화소영역 내에는 횡전계를 발생시키기 위한 다수개의 공통전극(108)과 화소전극(118)이

교대로 배치되어 있다.

- [0056] 이때, 상기 화소영역의 하단에는 상기 게이트라인(116)에 대해 실질적으로 평행하게 공통라인(108L)이 형성되어 있으며, 상기 화소영역의 좌우 가장자리에는 상기 공통라인(108L)과 연결된 한 쌍의 제 1 라인(108a, 108a')이 형성되어 있다.
- [0057] 이때, 상기 다수개의 화소전극(118)들 중에 상기 데이터라인(117)에 인접한 한 쌍의 최외곽 화소전극(118)은 각각 상기 한 쌍의 제 1 라인(108a, 108a')의 일부와 오버랩하는 한편, 상기 다수개의 공통전극(108)은 그 일측이 상기 게이트라인(116)에 대해 실질적으로 평행하게 배치된 상단의 공통전극라인(1081)에 의해 서로 연결되게 된다. 그리고, 상기 공통전극라인(1081)은 보호막(미도시)에 형성된 제 2 콘택홀(140b)을 통해 상기 제 1 라인(108a, 108a')에 전기적으로 접속하게 되어, 상기 공통라인(108L)을 통해 공통전압을 인가 받아 상기 다수개의 공통전극(108)에 전달하게 된다.
- [0058] 상기 제 1 라인(108a, 108a')은 상기 공통라인(108L)과 게이트전극(121) 및 게이트라인(116)과 동일한 불투명한 도전물질로 이루어지며, 상기 공통전극(108)과 화소전극(118)과 공통전극라인(1081)과 화소전극라인(1181)은 상기 소오스전극패턴과 드레인전극패턴 및 데이터라인패턴과 동일한 도전물질로 이루어질 수 있다.
- [0059] 이때, 상기 화소전극라인(1181)의 일부는 상기 게이트절연막을 사이에 두고 그 하부의 공통라인(108L)의 일부와 오버랩되어 스토리지 커패시터(Cst)를 형성하게 된다. 상기 스토리지 커패시터(Cst)는 액정 커패시터에 인가된 전압을 다음 신호가 들어올 때까지 일정하게 유지시키는 역할을 한다. 이러한 스토리지 커패시터는 신호 유지 이외에도 계조(gray scale) 표시의 안정과 플리커(flicker) 및 잔상(afterimage) 감소 등의 효과를 가진다.
- [0060] 이와 같이 구성된 상기 어레이 기판(110)의 가장자리 영역에는 상기 게이트라인(116)과 데이터라인(117)에 각각 전기적으로 접속하는 게이트패드전극(126p)과 데이터패드전극(127p)이 형성되어 있으며, 외부의 구동회로부(미도시)로부터 인가 받은 주사신호와 데이터신호를 각각 상기 게이트라인(116)과 데이터라인(117)에 전달하게 된다.
- [0061] 즉, 상기 게이트라인(116)과 데이터라인(117)은 구동회로부 쪽으로 연장되어 각각 해당하는 게이트패드라인(116p)과 데이터패드라인(117p)에 연결되며, 상기 게이트패드라인(116p)과 데이터패드라인(117p)은 각각 상기 게이트패드라인(116p)과 데이터패드라인(117p)에 전기적으로 접속된 게이트패드전극(126p)과 데이터패드전극(127p)을 통해 구동회로로부터 주사신호를 인가 받거나 데이터신호를 인가 받게 된다.
- [0062] 참고로, 도면부호 140c 및 140d는 상기 게이트절연막에 형성된 제 3 콘택홀 및 제 4 콘택홀을 나타내며, 이때 상기 데이터패드전극(127p)은 상기 제 3 콘택홀(140c)을 통해 상기 데이터패드라인(117p)과 전기적으로 접속하게 된다. 또한, 상기 게이트패드전극(126p)은 상기 제 4 콘택홀(140d)을 통해 상기 게이트패드라인(116p)과 전기적으로 접속하게 된다.
- [0063] 이때, 상기 도 3에 도시된 바와 같이, 본 발명의 실시예에 따른 공통전극(108)과 화소전극(118) 및 데이터라인(117)이 꺾임 구조를 가지는 경우에는 액정분자가 2방향으로 배열되어 2-도메인(domain)을 형성함으로써 모노-도메인에 비해 시야각이 더욱 향상되게 된다. 다만, 본 발명이 상기 2-도메인 구조의 횡전계방식 액정표시장치에 한정되는 것은 아니며 본 발명은 2-도메인 이상의 멀티-도메인(multi-domain) 구조의 횡전계방식 액정표시장치에 적용 가능하다. 참고로, 상기 2-도메인 이상의 멀티-도메인을 형성하는 IPS 구조를 S-IPS(Super-IPS) 구조라 한다.
- [0064] 또한, 이와 같이 상기 공통전극(108)과 화소전극(118) 및 데이터라인(117)을 꺾임 구조로 형성하여 액정분자의 구동방향이 대칭성을 가지는 멀티-도메인 구조를 형성하게 되면 액정의 복굴절(birefringence) 특성에 의한 이상 광을 서로 상쇄시켜 줌으로써 색전이(color shift) 현상을 최소화할 수 있다.
- [0065] 또한, 본 발명의 실시예에 따른 상기 액티브패턴은 비정질 실리콘 박막으로 이루어지며, 상기 게이트전극(121) 상부에만 아일랜드 형태로 형성됨에 따라 박막 트랜지스터의 오프전류(off current)를 감소시킬 수 있게 된다.
- [0066] 여기서, 본 발명의 실시예에 따른 횡전계방식 액정표시장치는 하프-톤 마스크 또는 회절마스크(이하, 하프-톤 마스크를 지칭하는 경우에는 회절마스크를 포함하는 것으로 한다)와 리프트-오프를 이용하여 데이터 배선과 화소/공통전극 및 보호막을 동시에 패터닝함으로써 총 3번의 마스크공정으로 어레이 기판을 제작할 수 있게 되는 데, 이를 다음의 횡전계방식 액정표시장치의 제조방법을 통해 상세히 설명한다.
- [0067] 도 4a 내지 도 4c는 상기 도 3에 도시된 어레이 기판의 IIIa-IIIa'선, IIIb-IIIb'선 및 IIIc-IIIc'선에 따른 제조공정을 순차적으로 나타내는 단면도로서, 좌측에는 화소부의 어레이 기판을 제조하는 공정을 나타내며 우측에

는 데이터패드부와 게이트패드부로 구성되는 패드부의 어레이 기판을 제조하는 공정을 나타내고 있다.

- [0068] 또한, 도 5a 내지 도 5c는 상기 도 3에 도시된 어레이 기판의 제조공정을 순차적으로 나타내는 평면도이다.
- [0069] 도 4a 및 도 5a에 도시된 바와 같이, 유리와 같은 투명한 절연물질로 이루어진 어레이 기판(110)의 화소부에 게이트전극(121), 게이트라인(116), 제 1 라인(108a, 108a'), 공통라인(108L) 및 더미패턴(114)을 형성하며, 패드부에 게이트패드라인(116p)과 데이터패드라인(117p)을 형성한다.
- [0070] 이때, 상기 공통라인(108L)은 상기 게이트라인(116)에 대해 실질적으로 평행한 방향으로 화소영역의 하부에 형성되게 되며, 상기 제 1 라인(108a, 108a')은 상기 화소영역의 가장자리 좌우에 형성되어 상기 공통라인(108L)에 연결되게 된다.
- [0071] 또한, 상기 더미패턴(114)은 데이터라인이 형성될 데이터라인영역에 형성되되, 상기 제 1 라인(108a, 108a') 및 공통라인(108L)과 겹치지 않게 형성하는 것을 특징으로 한다.
- [0072] 이때, 상기 게이트전극(121), 게이트라인(116), 제 1 라인(108a, 108a'), 공통라인(108L), 더미패턴(114), 게이트패드라인(116p) 및 데이터패드라인(117p)은 제 1 도전막을 상기 어레이 기판(110) 전면에서 증착한 후 포토리소그래피공정(제 1 마스크공정)을 통해 선택적으로 패터닝하여 형성하게 된다.
- [0073] 상기 제 1 도전막으로 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질을 사용할 수 있다. 또한, 상기 제 1 도전막은 상기 저저항 도전물질이 두 가지 이상 적층된 다층구조로 형성할 수 있다.
- [0074] 다음으로, 도 4b 및 도 5b에 도시된 바와 같이, 상기 게이트전극(121), 게이트라인(116), 제 1 라인(108a, 108a'), 공통라인(108L), 더미패턴(114), 게이트패드라인(116p) 및 데이터패드라인(117p)이 형성된 어레이 기판(110) 전면에서 게이트절연막(115a)과 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막을 형성한 후, 포토리소그래피공정(제 2 마스크공정)을 통해 선택적으로 제거함으로써 상기 어레이 기판(110)의 화소부에 상기 비정질 실리콘 박막으로 이루어진 액티브패턴(124)을 형성한다.
- [0075] 이때, 상기 제 2 마스크공정을 통해 상기 게이트절연막(115a)의 일부영역을 선택적으로 제거함으로써 상기 어레이 기판(110)의 화소부에 상기 더미패턴(114)의 일부를 노출시키는 제 1 콘택홀(140a) 및 상기 제 1 라인(108a, 108a')의 일부를 노출시키는 제 2 콘택홀(140b)을 형성하게 된다.
- [0076] 또한, 상기 제 2 마스크공정을 통해 상기 게이트절연막(115a)의 일부영역을 선택적으로 제거함으로써 상기 어레이 기판(110)의 패드부에 상기 데이터패드라인(117p)의 일부를 노출시키는 제 3 콘택홀(140c) 및 상기 게이트패드라인(116p)의 일부를 노출시키는 제 4 콘택홀(140d)을 형성하게 된다.
- [0077] 이때, 상기 액티브패턴(124) 상부에는 상기 n+ 비정질 실리콘 박막으로 이루어지며 상기 액티브패턴(124)과 실질적으로 동일한 형태로 패터닝된 n+ 비정질 실리콘 박막패턴(125')이 형성되게 된다.
- [0078] 여기서, 본 발명의 실시예에 따른 상기 액티브패턴(124) 및 제 1 콘택홀(140a) 내지 제 4 콘택홀(140d)은 하프-톤 마스크를 이용하여 한번의 마스크공정(제 2 마스크공정)으로 동시에 형성하게 되는데, 이하 도면을 참조하여 상기 제 2 마스크공정을 상세히 설명한다.
- [0079] 도 6a 내지 도 6f는 상기 도 4b 및 도 5b에 도시된 어레이 기판에 있어서, 본 발명의 실시예에 따른 제 2 마스크공정을 구체적으로 나타내는 단면도이다.
- [0080] 도 6a에 도시된 바와 같이, 상기 게이트전극(121), 게이트라인(116), 제 1 라인(108a, 108a'), 공통라인(108L), 더미패턴(114), 게이트패드라인(116p) 및 데이터패드라인(117p)이 형성된 어레이 기판(110) 전면에서 게이트절연막(115a)과 비정질 실리콘 박막(120) 및 n+ 비정질 실리콘 박막(125)을 형성한다.
- [0081] 그리고, 도 6b에 도시된 바와 같이, 상기 어레이 기판(110) 전면에서 포토레지스트와 같은 감광성물질로 이루어진 제 1 감광막(170)을 형성한 후, 본 발명의 실시예에 따른 제 1 하프-톤 마스크(180)를 통해 상기 제 1 감광막(170)에 선택적으로 광을 조사한다.
- [0082] 이때, 상기 제 1 하프-톤 마스크(180)에는 조사된 광을 모두 투과시키는 제 1 투과영역(I)과 광의 일부만 투과시키고 일부는 차단하는 제 2 투과영역(II) 및 조사된 모든 광을 차단하는 차단영역(III)이 마련되어 있으며, 상기 하프-톤 마스크(180)를 투과한 광만이 상기 제 1 감광막(170)에 조사되게 된다.

- [0083] 이어서, 상기 제 1 하프-톤 마스크(180)를 통해 노광된 상기 제 1 감광막(170)을 현상하고 나면, 도 6c에 도시된 바와 같이, 상기 차단영역(III)과 제 2 투과영역(II)을 통해 광이 모두 차단되거나 일부만 차단된 영역에는 소정 두께의 제 1 감광막패턴(170a)과 제 2 감광막패턴(170b)이 남아있게 되고, 모든 광이 투과된 제 1 투과영역(I)에는 상기 제 1 감광막이 완전히 제거되어 상기 n+ 비정질 실리콘 박막(125) 표면이 노출되게 된다.
- [0084] 이때, 상기 차단영역(III)에 형성된 제 1 감광막패턴(170a)은 제 2 투과영역(II)을 통해 형성된 제 2 감광막패턴(170b)보다 두껍게 형성된다. 또한, 상기 제 1 투과영역(I)을 통해 광이 모두 투과된 영역에는 상기 감광막이 완전히 제거되는데, 이것은 포지티브 타입의 포토레지스트를 사용했기 때문이며, 본 발명이 이에 한정되는 것은 아니며 네거티브 타입의 포토레지스트를 사용하여도 무방하다.
- [0085] 다음으로, 도 6d에 도시된 바와 같이, 상기와 같이 형성된 제 1 감광막패턴(170a)과 제 2 감광막패턴(170b)을 마스크로 하여, 그 하부에 형성된 게이트절연막(115a)과 비정질 실리콘 박막(120) 및 n+ 비정질 실리콘 박막(125)을 선택적으로 제거한다.
- [0086] 이때, 도 6d는 더미패턴(114)과 공통전극라인(미도시) 및 패드부 라인(116p, 117p) 상부의 게이트절연막(115a)이 일부 남도록 패터닝된 경우를 예를 들어 설명하고 있는데, 이는 후술할 감광막의 애싱(ashing)시 플라스마에 의해 상기 더미패턴(114)과 공통전극라인 및 패드부 라인(116p, 117p)이 손상 받는 것을 방지하기 위한 것이나, 본 발명이 이에 한정되는 것은 아니며 상기 더미패턴(114)과 공통전극라인 및 패드부 라인(116p, 117p) 상부의 게이트절연막(115a)을 제거하여 상기 더미패턴(114)과 공통전극라인 및 패드부 라인(116p, 117p)의 일부가 노출되도록 할 수 있다.
- [0087] 이후, 상기 제 1 감광막패턴(170a)과 제 2 감광막패턴(170b)의 일부를 제거하는 애싱공정을 진행하게 되면, 도 6e에 도시된 바와 같이, 상기 제 2 투과영역(II)의 제 2 감광막패턴이 완전히 제거되게 된다.
- [0088] 이때, 상기 제 1 감광막패턴은 상기 제 2 감광막패턴의 두께만큼이 제거된 제 3 감광막패턴(170a')으로 상기 차단영역(III)에 대응하는 액티브패턴 영역에만 남아있게 된다.
- [0089] 이후, 도 6f에 도시된 바와 같이, 상기 남아있는 제 3 감광막패턴(170a')을 마스크로 하여 상기 게이트절연막(115a)과 n+ 비정질 실리콘 박막 및 비정질 실리콘 박막을 선택적으로 제거함으로써 상기 어레이 기관(110)의 화소부에 상기 비정질 실리콘 박막으로 이루어진 액티브패턴(124)을 형성한다.
- [0090] 이때, 상기 액티브패턴(124) 상부에는 상기 n+ 비정질 실리콘 박막으로 이루어지며 상기 액티브패턴(124)과 실질적으로 동일한 형태로 패터닝된 n+ 비정질 실리콘 박막패턴(125')이 형성되게 된다.
- [0091] 이때, 상기 더미패턴(114)과 공통전극라인 및 패드부 라인(116p, 117p) 상부의 게이트절연막(115a)이 제거됨에 따라 상기 더미패턴(114)과 공통전극라인 및 패드부 라인(116p, 117p)의 일부를 노출시키는 제 1 콘택홀(140a)과 제 2 콘택홀(미도시) 및 제 3, 제 4 콘택홀(140c, 140d)이 형성되게 된다.
- [0092] 다음으로, 도 4c 및 도 5c에 도시된 바와 같이, 상기 액티브패턴(124)이 형성된 어레이 기관(110) 전면에서 제 2 도전막과 제 3 도전막을 형성한 후, 포토리소그래피공정(제 3 마스크공정)과 리프트-오프(lift off)공정을 적용함으로써 한번의 마스크공정으로 상기 어레이 기관(110)의 화소부에 상기 제 3 도전막으로 이루어진 소오스전극(122)과 드레인전극(123) 및 데이터라인(117)을 형성하는 한편, 상기 어레이 기관(110)의 화소부에 상기 제 2 도전막으로 이루어진 공통전극(108), 화소전극(118), 공통전극라인(108L) 및 화소전극라인(118L)을 형성하게 된다.
- [0093] 이때, 상기 데이터라인(117)은 상기 게이트라인(116)과 교차하여 화소영역을 정의하는 동시에 상기 제 1 콘택홀(140a)을 통해 그 하부의 더미패턴(114)과 전기적으로 접속하며, 상기 공통전극라인(108L)은 상기 제 2 콘택홀(140b)을 통해 상기 제 1 라인(108a)에 전기적으로 접속하게 된다.
- [0094] 또한, 상기 제 3 마스크공정을 통해 상기 어레이 기관(110)의 패드부에 상기 제 2 도전막으로 이루어진 데이터패드전극(127p) 및 게이트패드전극(126p)을 형성하게 된다.
- [0095] 이때, 상기 데이터패드전극(127p) 및 게이트패드전극(126p)은 각각 상기 제 3 콘택홀(140c) 및 제 4 콘택홀(140d)을 통해 그 하부의 데이터패드라인(117p) 및 게이트패드라인(116p)에 전기적으로 접속하게 된다.
- [0096] 이때, 상기 제 3 도전막으로 이루어진 상기 소오스전극(122)과 드레인전극(123) 및 데이터라인(117) 하부에는 상기 제 2 도전막으로 이루어진 소오스전극패턴(122')과 드레인전극패턴(123') 및 데이터라인패턴(117')이 각각 형성되어 있다.

- [0097] 또한, 전술한 바와 같이 상기 데이터라인(117), 구체적으로 상기 데이터라인패턴(117') 하부에는 상기 제 1 도전막으로 이루어진 더미패턴(114)이 형성되어 있으며, 상기 더미패턴(114)은 게이트절연막(115a)에 형성된 제 1 콘택홀(140a)을 통해 상기 데이터라인(117)과 전기적으로 접속하게 된다. 이때, 본 발명의 실시예는 상기 제 1 콘택홀(140a)이 상기 더미패턴(114)의 상, 하단에 하나씩 위치하도록 형성된 경우를 예를 들어 나타내고 있으나, 본 발명이 이에 한정되는 것은 아니며, 상기 제 1 콘택홀(140a)은 2번에 걸친 식각에 의해 상기 데이터라인(117)의 일부영역이 오픈(open)되는 단선불량이 발생하더라도 하부의 더미패턴(114)과 연결되어 셀프 리페어 되도록 2개 이상으로 구성할 수 있다.
- [0098] 그리고, 상기 공통전극(108), 화소전극(118), 공통전극라인(108L), 화소전극라인(118L), 게이트패드전극(126p) 및 데이터패드전극(127p)을 제외한 어레이 기관(110) 전면에는 소정의 절연물질로 이루어진 보호막(115b)이 형성되게 된다.
- [0099] 이와 같이 본 발명의 실시예에 따른 횡전계방식 액정표시장치는 액티브 테일이 존재하지 않아 데이터라인(117)의 신호간섭이 없으며 상기 액티브 테일 폭만큼 개구율이 증가하게 된다.
- [0100] 또한, 본 발명의 실시예에 따른 횡전계방식 액정표시장치는 웨이브 노이즈가 발생하지 않아 고화질의 액정표시장치를 제작 할 수 있는 효과를 제공한다.
- [0101] 또한, 본 발명의 실시예에 따른 횡전계방식 액정표시장치는 데이터라인(117) 하부에 더미패턴(114)을 형성하여 제 1 콘택홀(140a)을 통해 데이터라인(117)과 연결되도록 함으로써 2번에 걸친 식각에 의해 발생하는 데이터라인(117)의 단선불량을 셀프 리페어 할 수 있는 효과를 제공한다.
- [0102] 여기서, 상기 제 3 마스크공정은 하프-톤 마스크 및 리프트-오프공정을 이용함으로써 한번의 마스크공정을 통해 상기 소오스전극(122), 드레인전극(123), 데이터라인(117), 공통전극(108), 화소전극(118), 공통전극라인(108L), 화소전극라인(118L), 게이트패드전극(126p), 데이터패드전극(127p) 및 보호막(115b)을 형성할 수 있게 되는데, 이하 도면을 참조하여 상기 제 3 마스크공정을 상세히 설명한다.
- [0103] 도 7a 내지 도 7h는 도 4d 및 도 4c 및 도 5c에 도시된 어레이 기관에 있어서, 본 발명의 실시예에 따른 제 3 마스크공정을 구체적으로 나타내는 단면도이다.
- [0104] 도 7a에 도시된 바와 같이, 상기 액티브패턴(124)이 형성된 어레이 기관(110) 전면에는 제 2 도전막(130)과 제 3 도전막(150)을 형성한다.
- [0105] 이때, 상기 제 3 도전막(150)은 소오스전극과 드레인전극 및 데이터라인을 구성하기 위해 구리와 같은 저저항 불투명 도전물질로 이루어질 수 있으며, 상기 제 2 도전막(130)은 상기 구리의 확산을 방지하고 부착(adhesion)특성을 향상시키기 위해 몰리브덴 티타늄(MoTi)과 같은 도전물질로 이루어질 수 있다.
- [0106] 이후, 도 7b에 도시된 바와 같이, 상기 어레이 기관(110) 전면에는 포토레지스트와 같은 감광성물질로 이루어진 제 2 감광막(270)을 형성한 후 본 발명의 실시예에 따른 제 2 하프-톤 마스크(280)를 통해 상기 제 2 감광막(270)에 선택적으로 광을 조사한다.
- [0107] 이때, 본 발명의 실시예에 사용한 상기 제 2 하프-톤 마스크(280)에는 조사된 광을 모두 투과시키는 제 1 투과영역(I)과 광의 일부만 투과시키고 일부는 차단하는 제 2 투과영역(II) 및 조사된 모든 광을 차단하는 차단영역(III)이 마련되어 있으며, 상기 제 2 하프-톤 마스크(280)를 투과한 광만이 상기 제 2 감광막(270)에 조사되게 된다.
- [0108] 이어서, 상기 제 2 하프-톤 마스크(280)를 통해 노광된 제 2 감광막(270)을 현상하고 나면, 도 7c에 도시된 바와 같이, 상기 차단영역(III)과 제 2 투과영역(II)을 통해 광이 모두 차단되거나 일부만 차단된 영역에는 소정 두께의 제 1 감광막패턴(270a) 내지 제 7 감광막패턴(270g)이 남아있게 되고, 모든 광이 투과된 제 1 투과영역(I)에는 상기 제 2 감광막이 완전히 제거되어 상기 제 3 도전막(150) 표면이 노출되게 된다.
- [0109] 이때, 상기 차단영역(III)에 형성된 제 1 감광막패턴(270a) 내지 제 4 감광막패턴(270d)은 제 2 투과영역(II)을 통해 형성된 제 5 감광막패턴(270e) 내지 제 7 감광막패턴(270g)보다 두껍게 형성된다. 또한, 상기 제 1 투과영역(I)을 통해 광이 모두 투과된 영역에는 제 2 감광막이 완전히 제거되는데, 이것은 포지티브 타입의 포토레지스트를 사용했기 때문이며, 본 발명이 이에 한정되는 것은 아니며 네거티브 타입의 포토레지스트를 사용하여도 무방하다.
- [0110] 다음으로, 도 7d에 도시된 바와 같이, 상기와 같이 형성된 제 1 감광막패턴(270a) 내지 제 7 감광막패턴(270g)

을 마스크로 하여, 그 하부에 형성된 제 2 도전막과 제 3 도전막을 선택적으로 제거하게 되면, 상기 게이트전극(121) 상부에 상기 제 3 도전막으로 이루어지며 각각 상기 액티브패턴(124)의 소오스영역과 드레인영역에 전기적으로 접속하는 소오스전극(122)과 드레인전극(123)이 형성되게 된다.

[0111] 또한, 상기 어레이 기관(110)의 화소부에 상기 제 3 도전막으로 이루어지며 상기 게이트라인(116)과 교차하여 화소영역을 정의하는 한편, 상기 제 1 콘택홀을 통해 그 하부의 더미패턴(114)과 전기적으로 접속하는 데이터라인(117)이 형성되게 된다.

[0112] 이때, 상기 화소영역에는 상기 제 2 도전막으로 이루어지며 교대로 배치되어 횡전계를 발생하는 공통전극(108)과 화소전극(118)이 형성되는 한편, 상기 제 2 도전막으로 이루어지며 상기 게이트라인(116)과 실질적으로 동일한 방향으로 배치되어 각각 상기 공통전극(108) 및 화소전극(118)의 일측과 연결되는 공통전극라인(미도시) 및 화소전극라인(118L)이 형성되게 된다.

[0113] 또한, 패드부의 어레이 기관(110)에는 상기 제 2 도전막으로 이루어지며 각각 상기 제 3 콘택홀 및 제 4 콘택홀을 통해 하부의 데이터패드라인(117p) 및 게이트패드라인(116p)과 전기적으로 접속하는 데이터패드전극(127p) 및 게이트패드전극(126p)이 형성되게 된다.

[0114] 이때, 상기 제 3 도전막으로 이루어진 소오스전극(122)과 드레인전극(123) 및 데이터라인(117) 하부에는 상기 제 2 도전막으로 이루어지며 상기 소오스전극(122)과 드레인전극(123) 및 데이터라인(117)과 실질적으로 동일한 형태로 패터닝된 소오스전극패턴(122')과 드레인전극패턴(123') 및 데이터라인패턴(117')이 각각 형성되게 된다.

[0115] 또한, 상기 제 2 도전막으로 이루어진 공통전극(108), 화소전극(118), 공통전극라인, 화소전극라인(118L), 게이트패드전극(126p) 및 데이터패드전극(127p) 상부에는 상기 제 3 도전막으로 이루어지며 상기 공통전극(108), 화소전극(118), 공통전극라인, 화소전극라인(118L), 게이트패드전극(126p) 및 데이터패드전극(127p)과 실질적으로 동일한 형태로 패터닝된 공통전극패턴(108'), 화소전극패턴(118'), 공통전극라인패턴(미도시), 화소전극라인패턴(118L'), 게이트패드전극패턴(126p') 및 데이터패드전극패턴(127p')이 형성되게 된다.

[0116] 그리고, 계속하여 상기 제 3 마스크공정을 이용하여 상기 n+ 비정질 실리콘 박막패턴을 선택적으로 제거함으로써 상기 n+ 비정질 실리콘 박막으로 이루어지며, 상기 액티브패턴(124)의 소오스/드레인영역과 상기 소오스/드레인전극(122, 123) 사이를 옴릭-콘택(ohmic contact)시키는 옴릭-콘택층(125n)을 형성하게 된다.

[0117] 이후, 상기 제 1 감광막패턴(270a) 내지 제 7 감광막패턴(270g)의 일부를 제거하는 애싱공정을 진행하게 되면, 도 7e에 도시된 바와 같이, 상기 제 2 투과영역(II)의 제 5 감광막패턴 내지 제 7 감광막패턴이 완전히 제거되게 된다.

[0118] 이때, 상기 제 1 감광막패턴 내지 제 4 감광막패턴은 상기 제 5 감광막패턴 내지 제 7 감광막패턴의 두께만큼이 제거된 제 8 감광막패턴(270a') 내지 제 11 감광막패턴(270d')으로 상기 차단영역(III)에 대응하는 소정영역에만 남아있게 된다.

[0119] 그리고, 도 7f에 도시된 바와 같이, 상기 제 8 감광막패턴(270a') 내지 제 11 감광막패턴(270d')이 남아있는 상기 어레이 기관(110) 전면에 소정의 절연물질로 이루어진 보호막(115b)을 형성한다.

[0120] 이후, 도 7g에 도시된 바와 같이, 리프트-오프공정을 통해 상기 제 8 감광막패턴 내지 제 11 감광막패턴을 제거하게 되는데, 이때 상기 차단영역(III)의 제 8 감광막패턴 내지 제 11 감광막패턴 상부에 증착된 보호막은 상기 제 8 감광막패턴 내지 제 11 감광막패턴과 함께 제거되게 된다.

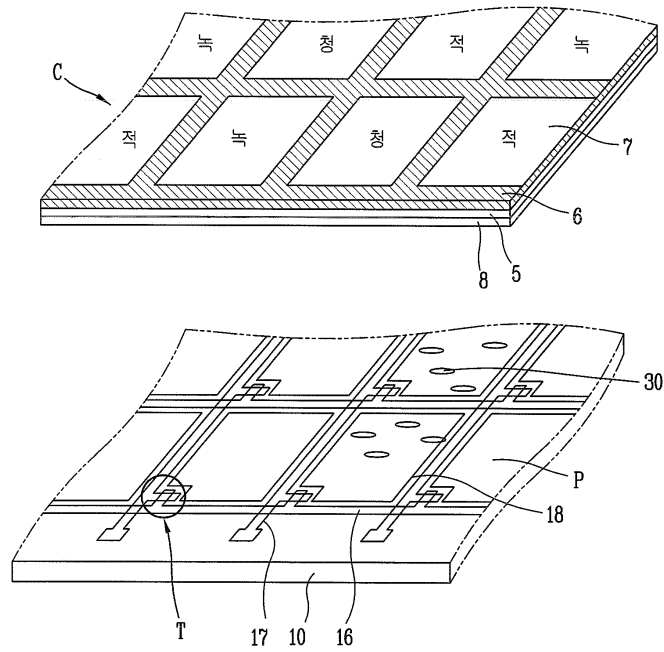
[0121] 다음으로, 도 7h에 도시된 바와 같이, 상기 제 3 도전막을 식각하여 상기 공통전극패턴, 화소전극패턴, 공통전극라인패턴, 화소전극라인패턴, 게이트패드전극패턴 및 데이터패드전극패턴을 선택적으로 제거함으로써 상기 공통전극(108), 화소전극(118), 공통전극라인, 화소전극라인(118L), 게이트패드전극(126p) 및 데이터패드전극(127p) 표면을 외부로 노출시키게 된다.

[0122] 이와 같이 구성된 상기 본 발명의 실시예의 어레이 기관은 화상표시 영역의 외곽에 형성된 실런트에 의해 컬러필터 기관과 대향하여 합착되게 되는데, 이때 상기 컬러필터 기관에는 상기 박막 트랜지스터와 게이트라인 및 데이터라인으로 빛이 새는 것을 방지하는 블랙매트릭스와 적, 녹 및 청색의 컬러를 구현하기 위한 컬러필터가 형성되어 있다.

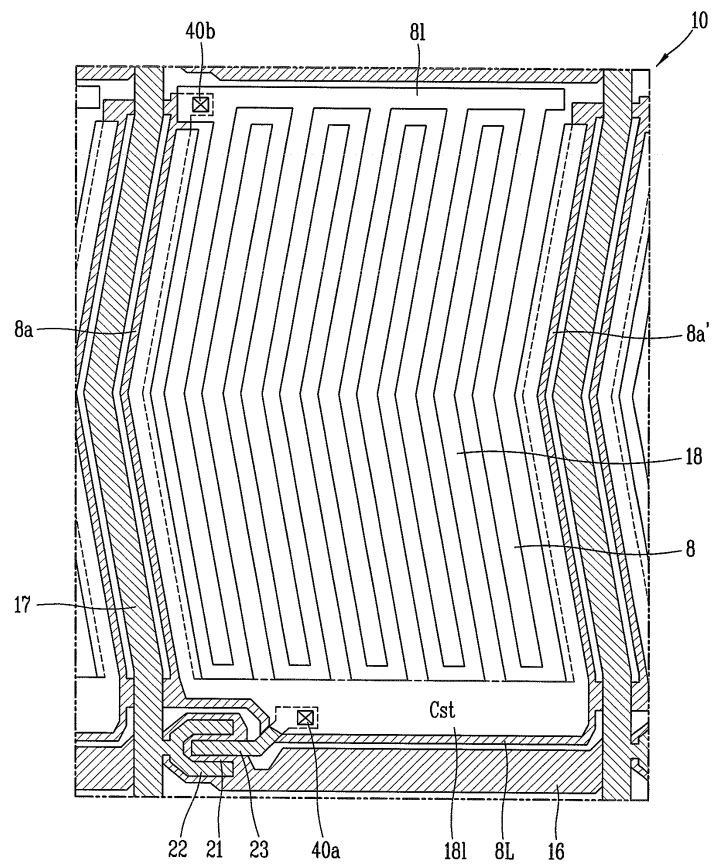
[0123] 이때, 상기 컬러필터 기관과 어레이 기관의 합착은 상기 컬러필터 기관 또는 어레이 기관에 형성된 합착키를 통

도면

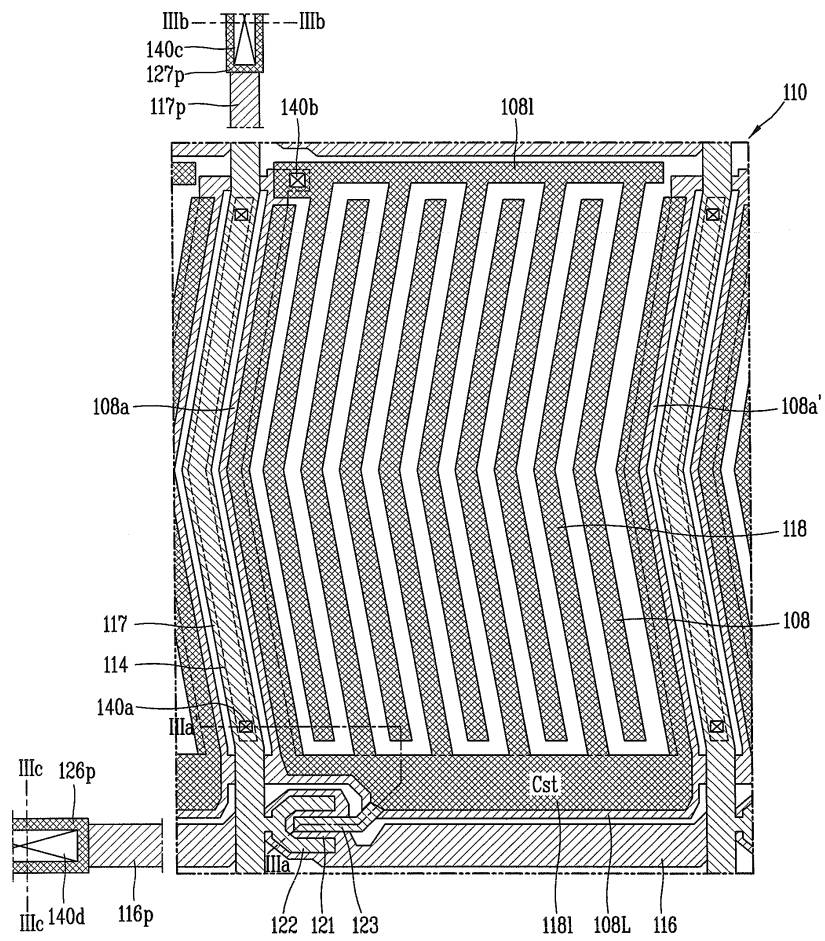
도면1



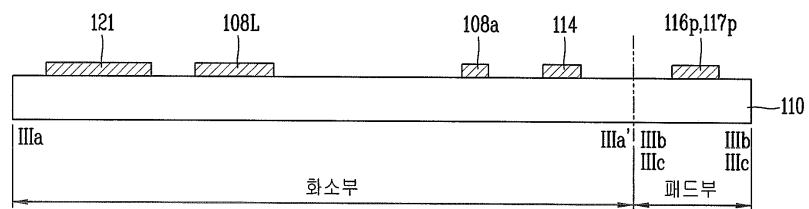
도면2



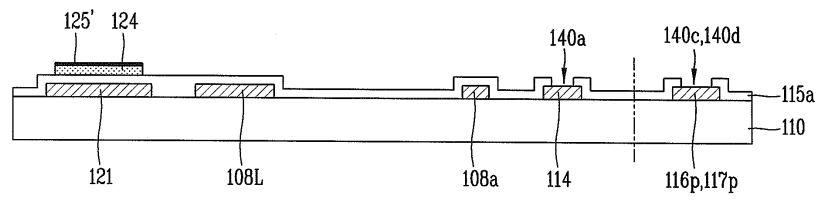
도면3



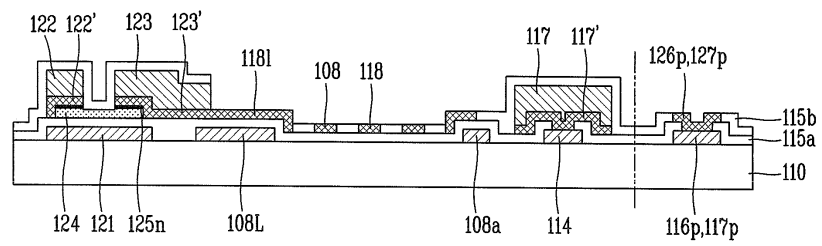
도면4a



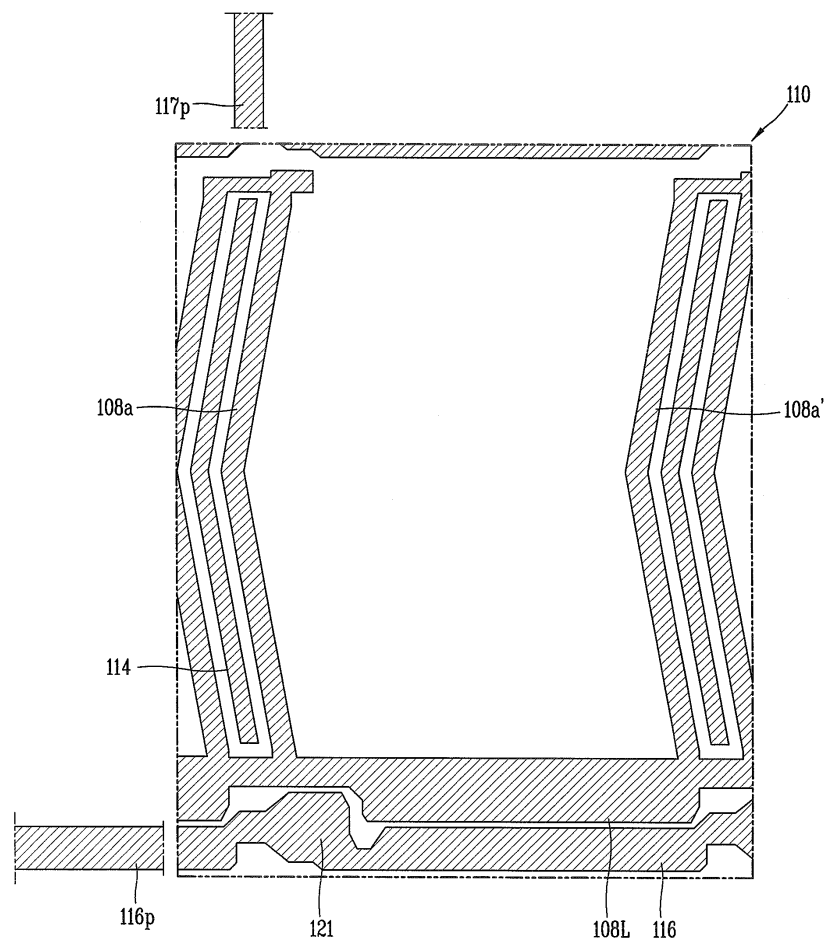
도면4b



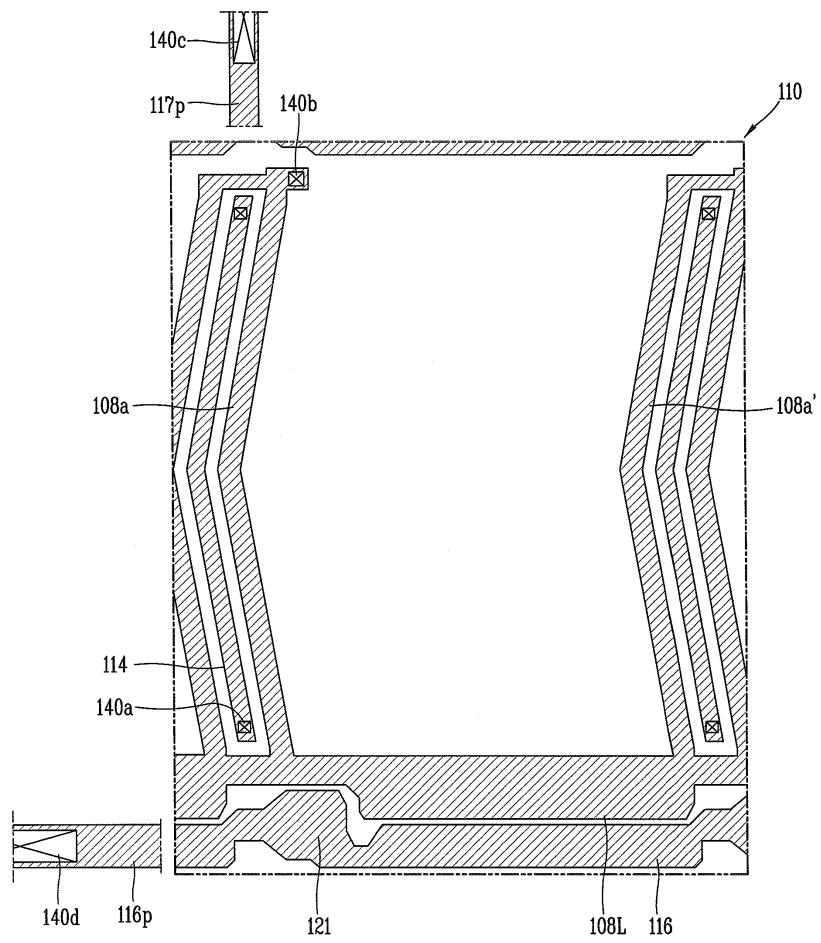
도면4c



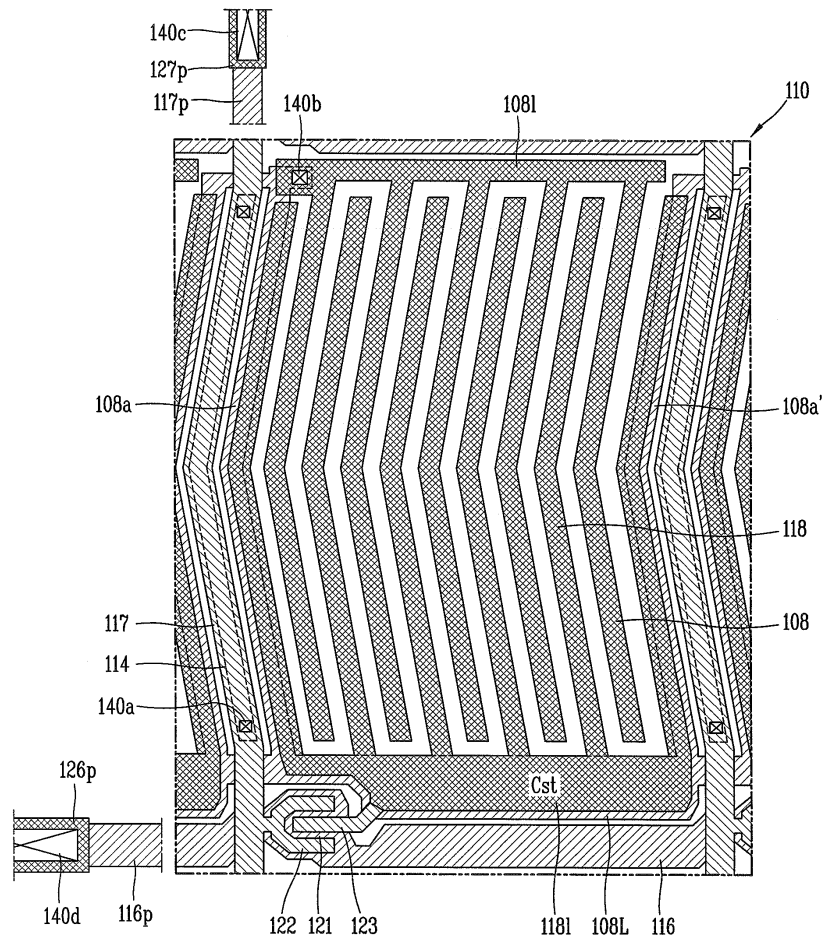
도면5a



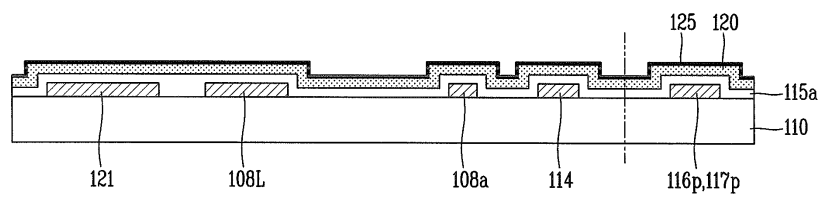
도면5b



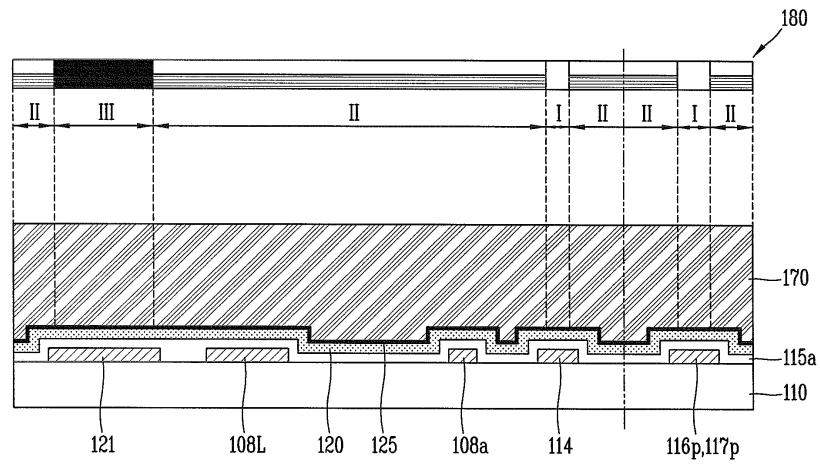
도면5c



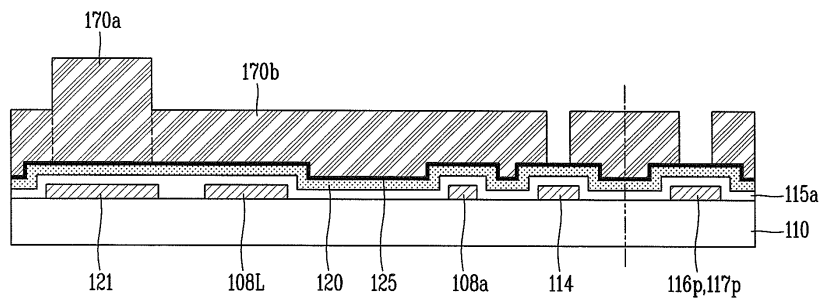
도면6a



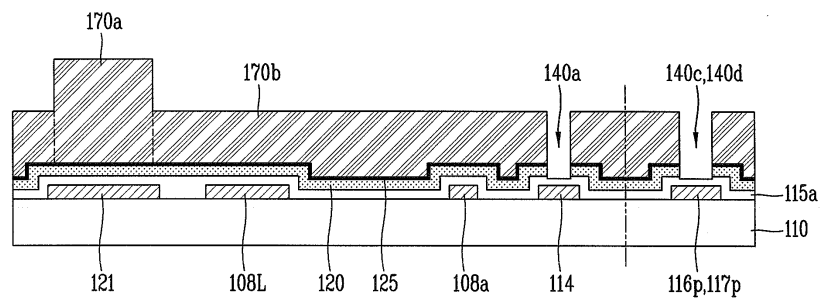
도면6b



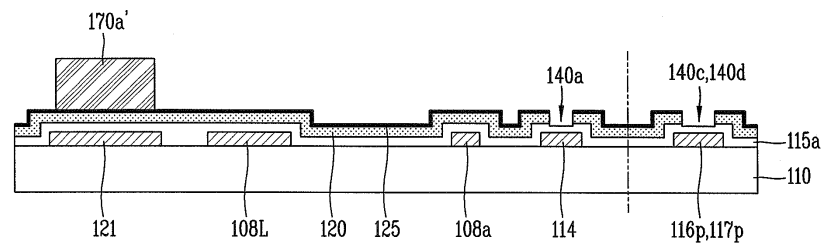
도면6c



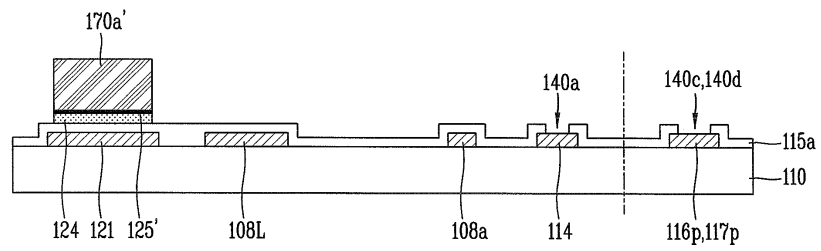
도면6d



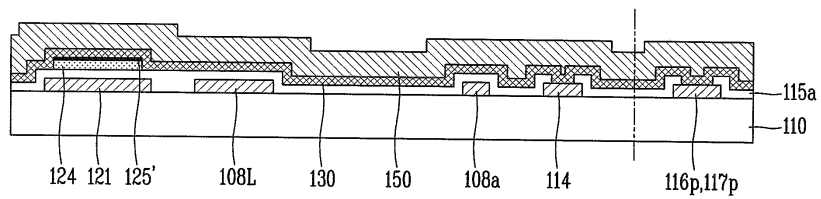
도면6e



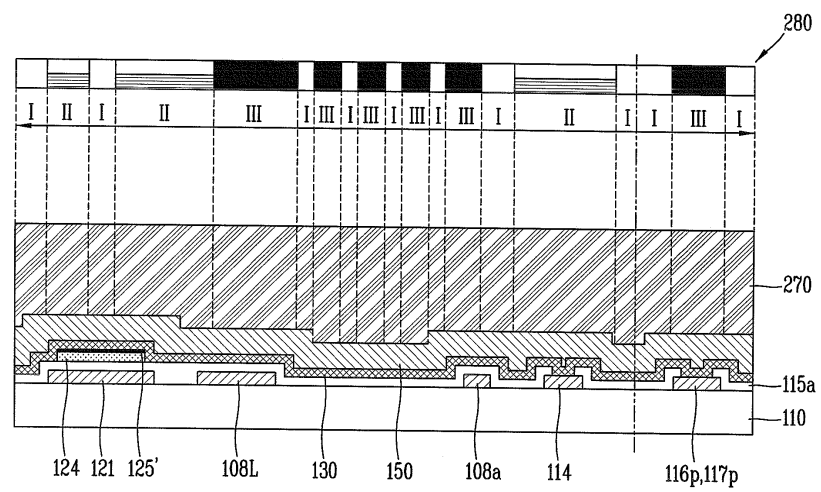
도면6f



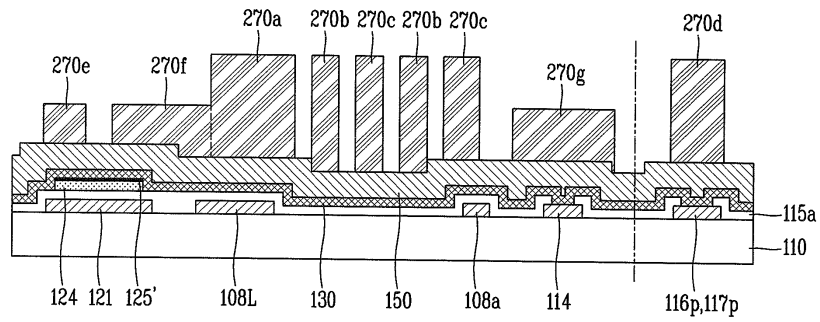
도면7a



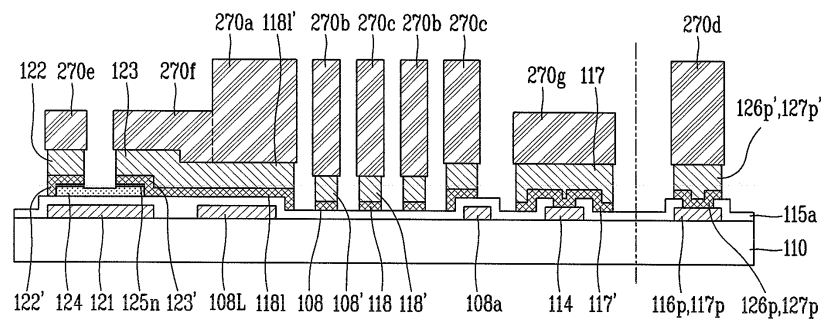
도면7b



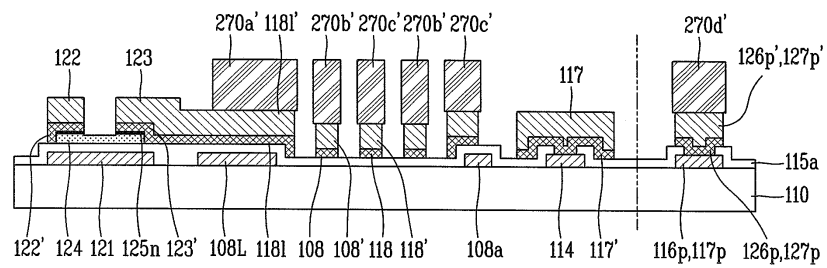
도면7c



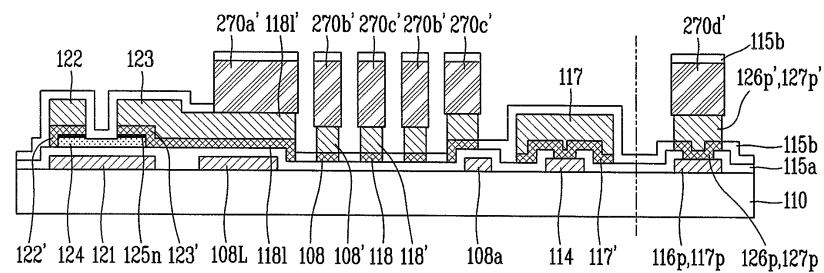
도면7d



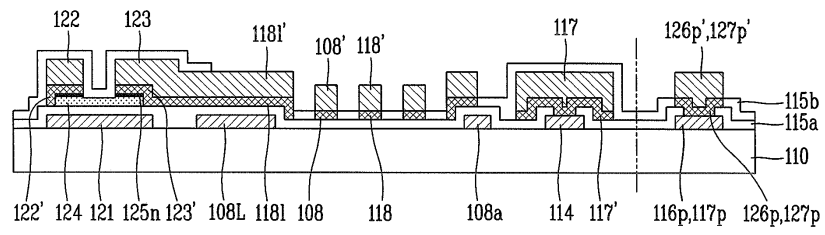
도면7e



도면7f



도면7g



도면7h

