



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0129200
(43) 공개일자 2010년12월08일

(51) Int. Cl.

G02F 1/136 (2006.01) G02F 1/1343 (2006.01)

(21) 출원번호 10-2010-0049490

(22) 출원일자 2010년05월27일

심사청구일자 없음

(30) 우선권주장

JP-P-2009-131384 2009년05월29일 일본(JP)

(71) 출원인

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

구보타 다이ске

일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

야마시타 아키오

일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(뒷면에 계속)

(74) 대리인

장훈

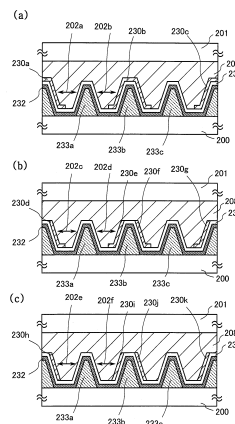
전체 청구항 수 : 총 18 항

(54) 액정 표시장치 및 그 제작 방법

(57) 요약

동일 기관 위에 복수의 구조체(리브, 돌기, 블록부라고도 함)를 형성하고, 그 위에 화소 전극과 그 화소 전극에 대응하는 전극(고정 전위의 공통 전극)을 형성한다. 화소 전극에 경사를 만들고, 그 화소 전극에 대응하는 전극에도 경사를 만듦으로써, 블루상을 나타내는 액정층에 전계를 가하는 구조로 한다. 이웃하는 구조체의 간격을 좁게 함으로써, 액정층에 강한 전계를 인가할 수 있고, 액정을 구동시키기 위한 소비전력을 줄일 수 있다.

대표도 - 도1



(72) 발명자

이시타니 테츠지

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

다무라 토모히로

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

특허청구의 범위

청구항 1

제 1 기관 및 제 2 기관;

상기 제 1 기관과 상기 제 2 기관 사이에서 블루상(blue phase)을 나타내는 액정 재료를 함유하는 액정층;

상기 제 1 기관 위 및 상기 제 1 기관과 상기 제 2 기관 사이의 복수의 구조체들;

상기 복수의 구조체들 위의 제 1 전극층;

상기 제 1 전극층 위의 절연층; 및

상기 절연층을 개재하여 상기 제 1 전극층과 중첩하는 제 2 전극층을 포함하고,

상기 복수의 구조체들은 일정한 간격으로 배치되고,

상기 복수의 구조체들의 각각의 측면과 상기 제 1 기관의 평면 사이의 각은 90° 미만이고,

상기 제 2 전극층은 상기 제 1 전극층 및 상기 절연층을 개재하여 상기 제 1 전극층의 상기 복수의 구조체들의 측면들 중 적어도 하나와 중첩하고,

상기 제 2 전극층은 복수의 개구들을 포함하는, 액정 표시 장치.

청구항 2

제 1 항에 있어서,

상기 복수의 구조체들은 유기 수지 재료를 포함하는, 액정 표시 장치.

청구항 3

제 1 항에 있어서,

상기 제 1 전극층은 고정 전위이고 상기 제 2 전극층은 박막 트랜지스터에 전기적으로 접속되는, 액정 표시 장치.

청구항 4

제 1 항에 있어서,

상기 제 2 기관 상에 제 3 전극층이 형성되고, 상기 제 3 전극층은 고정 전위이고, 상기 액정층을 개재하여 상기 제 1 전극층과 중첩하는, 액정 표시 장치.

청구항 5

제 1 항에 있어서,

상기 제 1 전극층은 박막 트랜지스터에 전기적으로 접속되고 상기 제 2 전극층은 고정 전위인, 액정 표시 장치.

청구항 6

제 1 항에 있어서,

상기 제 2 기관 상 및 상기 제 1 기관과 상기 제 2 기관 사이에 제 3 전극층이 형성되고, 상기 제 3 전극층은 고정 전위이고, 상기 제 3 전극층은 상기 액정층을 개재하여 상기 제 2 전극층과 중첩하는, 액정 표시 장치.

청구항 7

제 1 항에 있어서,

상기 절연층은 무기 절연 재료를 포함하는, 액정 표시 장치.

청구항 8

제 1 기관 및 제 2 기관;

상기 제 1 기관과 상기 제 2 기관 사이에서 블루상을 나타내는 액정 재료를 함유하는 액정층;

상기 제 1 기관 위 및 상기 제 1 기관과 상기 제 2 기관 사이의 제 1 구조체, 제 2 구조체, 및 제 3 구조체;

상기 제 1 구조체, 상기 제 2 구조체, 및 상기 제 3 구조체 위의 제 1 전극층;

상기 제 1 전극층 위의 절연층; 및

상기 절연층을 개재하여 상기 제 1 구조체의 측면 및 상기 제 3 구조체의 측면과 중첩하는 제 2 전극층을 포함하고,

상기 제 2 전극층은 개구를 포함하고,

상기 제 1 구조체, 상기 제 2 구조체, 및 상기 제 3 구조체는 일정한 간격으로 배치되고,

상기 제 2 구조체는 상기 제 1 구조체와 상기 제 3 구조체 사이에 설치되고,

상기 제 2 전극층의 상기 개구는 상기 제 2 구조체와 중첩하는, 액정 표시 장치.

청구항 9

제 8 항에 있어서,

상기 제 1 구조체, 상기 제 2 구조체, 및 상기 제 3 구조체는 유기 수지 재료를 포함하는, 액정 표시 장치.

청구항 10

제 8 항에 있어서,

상기 제 1 전극층은 고정 전위이고 상기 제 2 전극층은 박막 트랜지스터에 전기적으로 접속되는, 액정 표시 장치.

청구항 11

제 8 항에 있어서,

상기 제 2 기관 상에 제 3 전극층이 형성되고, 상기 제 3 전극층은 고정 전위이고, 상기 제 3 전극층은 상기 액정층을 개재하여 상기 제 1 전극층과 중첩하는, 액정 표시 장치.

청구항 12

제 8 항에 있어서,

상기 제 1 전극층은 박막 트랜지스터에 전기적으로 접속되고 상기 제 2 전극층은 고정 전위인, 액정 표시 장치.

청구항 13

제 8 항에 있어서,

상기 제 2 기관 상 및 상기 제 1 기관과 상기 제 2 기관 사이에 제 3 전극층이 형성되고, 상기 제 3 전극층은 고정 전위이고, 상기 제 3 전극층은 상기 액정층을 개재하여 상기 제 2 전극층과 중첩하는, 액정 표시 장치.

청구항 14

제 8 항에 있어서,

상기 절연층은 무기 절연 재료를 포함하는, 액정 표시 장치.

청구항 15

제 1 기관 위에 게이트 전극층을 형성하는 단계;

상기 제 1 기관 위에 복수의 구조체들을 형성하는 단계;
 상기 복수의 구조체들 위에 제 1 전극층을 형성하는 단계;
 상기 게이트 전극층 및 상기 제 1 전극층을 덮도록 절연층을 형성하는 단계;
 상기 절연층 위에, 상기 게이트 전극층과 중첩하는 반도체층을 형성하는 단계;
 상기 반도체층 위에 도전층을 형성하는 단계;
 상기 도전층 위에, 상기 반도체층에 전기적으로 접속되는 제 2 전극층을 형성하는 단계; 및
 액정층을 개재하여 상기 제 1 기관에 제 2 기관을 고정하는 단계를 포함하고,
 상기 제 2 전극층은 상기 복수의 구조체들, 상기 제 1 전극층, 및 상기 절연층과 부분적으로 중첩하는, 액정 표시 장치 제작 방법.

청구항 16

제 15 항에 있어서,
 블루상을 나타내는 액정 재료가 상기 액정층에 사용되는, 액정 표시 장치 제작 방법.

청구항 17

제 15 항에 있어서,
 상기 액정층은 카이랄제(chiral agent)를 포함하는, 액정 표시 장치 제작 방법.

청구항 18

제 15 항에 있어서,
 상기 액정층은 광경화 수지 및 광중합 개시제를 포함하는, 액정 표시 장치 제작 방법.

명세서

기술 분야

- [0001] 박막 트랜지스터(이하, TFT라고 함)로 구성된 회로를 가지는 반도체장치 및 그 제작 방법에 관한 것이다. 예를 들면, 액정 표시 패널로 대표되는 전기광학장치를 부품으로서 탑재한 전자기기에 관한 것이다.
- [0002] 또, 본 명세서 중에 있어서 반도체장치란 반도체 특성을 이용하는 것으로 기능할 수 있는 장치 전반을 가리키고, 전기광학장치, 반도체회로 및 전자기기는 모두 반도체장치이다.

배경 기술

- [0003] 최근, 절연 표면을 가지는 기관 위에 형성된 반도체 박막(두께 수 내지 수백nm 정도)을 사용하여 박막 트랜지스터(TFT)를 구성하는 기술이 주목을 받고 있다. 박막 트랜지스터는 IC나 전기광학장치와 같은 전자 디바이스에 널리 응용되고, 특히 화상 표시장치의 스위칭 소자로서 개발을 서두르고 있다.
- [0004] 화상 표시장치의 대표적인 것으로서 액정 표시장치를 들 수 있다. 액정 표시장치는 대표적인 TN 표시 모드 외에, IPS(In Plane Switching) 모드나, FFS(Fringe Field Switching) 모드 등의 방식이 제안되어 있다.
- [0005] 또, 액정 표시장치에 있어서 블루상(blue phase)을 나타내는 액정이 주목을 받고 있다. 기쿠치 등에 의해 고분자 안정화 처리를 행함으로써 블루상의 온도 범위를 넓히는 것이 가능해지고, 실용화의 길이 열리고 있다(특허 문헌 1 참조).

선행기술문헌

특허문헌

[0006] (특허문헌 0001) W02005/090520

발명의 내용

해결하려는 과제

- [0007] 블루상을 나타내는 액정재료는 전압 무인가 상태에서부터 전압 인가 상태에 있어서는 응답 속도가 1msec 이하로 짧고, 고속응답이 가능하다.
- [0008] 블루상을 나타내는 액정을 사용하는 경우, 기관과 평행한 전계에 의해 구동을 행한다. 한쪽의 기관에 형성된 한 쌍의 전극에 의해 기관과 평행한 전계를 형성해 액정의 광학 변조를 얻는 방식이 되지만, 일반적으로 블루상을 나타내는 액정은 점성이 높기 때문에, 한 쌍의 전극간에 전압(인가 전압)을 인가했을 때에 가해지는 실효 전압이 가해지기 어려운 영역이 생길 우려가 있다.
- [0009] 본 발명의 일 형태는 블루상을 나타내는 액정을 사용하여, 신규의 구성을 가지는 액정 표시장치 및 그 제작 방법을 제공한다.

과제의 해결 수단

- [0010] 액정 표시장치는 한 쌍의 기관과, 그들의 기관의 사이에 봉입된 블루상을 나타내는 액정층과, 액정층에 전압을 인가하는 한 쌍의 전극을 가진다. 한 쌍의 전극의 한쪽은 화소 전극이라고도 불린다. 한 쌍의 기관의 적어도 한쪽은 가시광을 투과하는 기관, 대표적으로는 유리 기관을 사용한다. 또한, 표시 영역에는 서로 평행하게 배치된 복수의 게이트 배선이 복수의 소스 신호선과 교차하여 형성된다. 복수의 게이트 배선 및 복수의 소스 신호선으로 구획된 영역에 화소 전극을 포함하는 한 쌍의 전극을 형성한다. 화소 전극에 경사를 만들고, 그 화소 전극에 대응하는 전극(고정 전위의 공통 전극)에도 경사를 만듦으로써, 블루상을 나타내는 액정층에 전계를 가하는 구조로 한다.
- [0011] 액티브 매트릭스형의 액정 표시장치의 경우, 화소 전극과 전기적으로 접속하는 스위칭 소자, 대표적으로는 박막 트랜지스터(TFT라고도 함)를 표시 영역에 배치한다. 매트릭스형으로 배치된 화소 전극을 구동함으로써, 화면 위에 표시 패턴이 형성된다. 자세하게는 선택된 화소 전극과 상기 화소 전극에 대응하는 또 한쪽의 전극과의 사이에 전압이 인가됨으로써, 화소 전극과 또 한쪽의 전극의 사이에 배치된 액정층의 광학 변조가 행하여지고, 이 광학 변조가 표시 패턴으로서 관찰자에게 인식된다.
- [0012] 본 명세서에서 개시하는 본 발명의 일 형태는 블루상을 나타내는 액정재료를 포함하는 액정층을 협지하는 제 1 기관 및 제 2 기관과, 제 1 기관 위에 복수의 구조체와, 상기 복수의 구조체 위에 제 1 전극층과, 제 1 전극층 위에 절연층과, 절연층 위에 절연층을 개재하여 상기 제 1 전극층과 겹치는 제 2 전극층을 가지고, 복수의 구조체는 각각 등간격으로 배치되고, 복수의 구조체의 각각의 측면이, 제 1 기관의 평면과 이루는 각은 90° 미만이며, 제 2 전극층은 제 1 전극층 및 절연층을 개재하여 구조체의 측면과 겹치고, 제 2 전극층은 복수의 개구를 가지는 액정 표시장치이다.
- [0013] 상기 구성에 있어서, 복수의 구조체(리브, 돌기, 볼록부라고도 함)의 단면 형상은 사다리꼴, 반타원형, 반원형, 삼각 형상, 또는 단면 형상이 상단부 또는 하단부에 곡률 반경을 가지는 곡면을 구비한 형상으로 한다. 또한, 복수의 구조체의 각각의 측면은 경사면(90° 미만)을 가지고 있고, 구조체의 높이를 셀 갭 미만으로 하는 경우에 있어서, 구조체의 상방에 형성하는 절연층 및 제 2 전극층의 피복 불량을 저감할 수 있다. 또, 셀 갭이란 한 쌍의 기관에 끼워진 액정층의 두께의 최대치를 가리킨다. 구조체의 측면과 제 1 기관 평면이 이루는 경사 각도(테이퍼 각이라고도 함)가 90° 이상으로 클 경우에는 절연층이 구조체의 측면에 성막되지 않고, 제 1 전극과 제 2 전극이 단락할 우려가 있다. 또, 구조체의 경사 각도가 10° 미만으로 작을 경우에는 이웃하는 구조체의 간격을 좁게 하는 것이 곤란해지고, 결과적으로 상대하는 사면 위에 형성된 전극간 거리가 멀어져 충분한 효과를 얻는 것이 곤란해진다. 또 이웃하는 구조체의 중심 위치의 간격은 20 μ m 이하, 또 바람직하게는 10 μ m 이하이다. 이웃하는 구조체의 간격을 좁게 함으로써, 액정층에 강한 전계를 인가할 수 있고, 액정을 구동시키기 위한 소비 전력을 줄일 수 있다. 구조체의 경사 각도가 작고, 이웃하는 구조체의 간격이 지나치게 넓으면, 액정층에 강한 전계를 인가하는 것이 곤란해진다.
- [0014] 또, 구조체의 상면 형상은 특히 한정되지 않고, 직사각 형상, 타원 형상, 원형, 파도형, 지그재그 형상 등으로 할 수 있다. 구조체의 높이는 사용하는 액정의 전압-투과율 특성으로 의해 결정하는 것이 바람직하지만 일반적

으로 블루상에 의해 얻어지는 전기광학 효과가 (위상차)는 작기 때문에, 충분한 전기광학 효과를 얻기 위해서 100nm 이상 셀 갭 이하의 범위가 되고, 블루상의 전기광학 효과를 고려하면 구조체의 높이는 10 μ m 이하의 범위로 형성되기 때문에, 구조체의 재료는 도포법 등으로 얻어지는 유기 수지 재료를 사용하는 것이 바람직하다.

[0015] 또, 상기 구성에 있어서, 유지 용량은 절연층을 유전체로 하여, 그 절연층을 끼우는 한 쌍의 전극으로 형성할 수 있다. 절연층을 끼우는 한 쌍의 전극(제 1 전극층 및 제 2 전극층)은 전기적으로 접속되지 않았다. 유지 용량은 유지 시간과 화소부에 배치되는 박막 트랜지스터의 리크 전류 등으로부터 결정되는 적절한 크기를 요한다. 또한, 신호선 용량에 비해 적당히 작은 것이 필요하다.

[0016] 상기 구성에 있어서, 한 쌍의 전극의 한쪽은 화소 전극이며 액티브 매트릭스형의 액정 표시장치이면 박막 트랜지스터와 전기적으로 접속되고, 또 한쪽은 고정 전위(예를 들면 그라운드 전위)의 공통 전극이다. 공통 전극 또는 화소 전극의 한쪽은 복수의 개구(슬릿이라고도 함)를 가지는 상면 형상으로 한다.

[0017] 또, 상기 구성에 따르면, 화소 전극과 공통 전극의 사이에서 형성되는 유지 용량이 커지기 때문에, 더욱 안정된 구동 특성을 얻을 수 있게 된다. 또, 유지 용량은 절연층을 유전체로 하여 화소 전극과, 공통 전극으로 형성되고, 그들의 겹치는 부분으로 형성된다. 유지 용량을 크게 하는 경우에는 절연층의 두께는 얇은 것이 바람직하고, 절연층은 PCVD법이나 스퍼터법으로 얻어지는 무기 절연 재료를 사용하는 것이 바람직하다. 절연층의 두께는 10nm 이상 600nm 이하, 더욱 바람직하게는 50nm 이상 300nm 이하로 한다.

[0018] 또, 적어도 3개 나열한 구조체의 배치와, 제 1 전극층 및 제 2 전극층의 위치 관계도 특징을 가지고 있고, 그 구성은 블루상을 나타내는 액정재료를 포함하는 액정층을 협지하는 제 1 기판 및 제 2 기판과, 제 1 기판 위에 제 1 구조체, 제 2 구조체, 및 제 3 구조체와, 제 1 구조체, 제 2 구조체, 및 제 3 구조체 위에 제 1 전극층과, 제 1 전극층 위에 절연층과, 절연층을 개재하여 제 1 구조체의 측면 및 제 3 구조체의 측면과 겹치는 제 2 전극층과, 제 2 전극층은 개구를 가지고, 제 1 구조체, 제 2 구조체, 및 제 3 구조체는 각각 등간격으로 배치되고, 제 1 구조체와 제 3 구조체의 사이에 제 2 구조체가 배치되고, 제 2 전극층의 개구는 제 2 구조체와 겹치는 액정 표시장치이다.

[0019] 적어도 하나의 구조체의 측면에 제 1 전극층, 절연층, 및 제 2 전극층의 적층을 형성함으로써, 1개의 구조체의 측면에 형성된 제 2 전극층과, 그 구조체와 이웃하는 구조체의 측면에 형성한 제 1 전극층의 사이에 제 1 기판면(제 1 기판 평면)과 평행한 방향을 포함하는 전계를 발생시키고, 제 1 기판면과 평행한 면 내에서 액정분자를 움직여 계조를 제어한다.

[0020] 상기 각 구성은 제 1 기판에 대략 평행(즉 수평의 방향)한 방향을 포함하는 전계를 발생시키고, 넓은 시야각을 실현할 수 있다.

[0021] 또, 상기 각 구성에 있어서, 제 1 전극층을 고정 전위로 하는 공통 전극으로 하는 경우, 제 2 전극층은 박막 트랜지스터와 전기적으로 접속하는 화소 전극으로 한다. 또한, 그 경우의 제작 공정도 특징을 가지고 있고, 그 구성은 제 1 기판 위에 게이트 전극과, 복수의 구조체를 형성하고, 구조체 위에 제 1 전극층을 형성하고, 게이트 전극 및 상기 제 1 전극층을 덮는 절연층을 형성하고, 절연층 위에 게이트 전극과 겹치는 반도체층을 형성하고, 반도체층 위에 도전층을 형성하고, 도전층 위에 반도체층과 전기적으로 접속하는 제 2 전극층을 형성하고, 제 2 기판을 제 1 기판과 액정층을 사이에 끼워서 고정하고, 제 2 전극층은 구조체, 제 1 전극층, 및 절연층과 일부 겹치는 액정 표시장치의 제작 방법이다. 이 제작 방법에 의해 얻어지는 구조는 절연층의 일부가 박막 트랜지스터의 게이트 절연막으로서 기능하고, 절연층의 다른 일부가, 제 1 전극층과 제 2 전극층을 절연하고, 겹치는 부분으로 유지 용량을 형성한다.

[0022] 또, 제 2 기판에 제 3 전극층을 형성하는 구성으로 하고, 제 3 전극층은 제 1 전극층과 같은 전위(고정 전위)이며, 제 3 전극층은 액정층을 개재하여 제 1 전극층과 겹친다. 제 3 전극층을 형성함으로써, 액정층에 인가하는 전계의 영역을 넓힐 수 있다. 또한, 제 3 전극층을 형성함으로써, 액정층에 강한 전계를 인가할 수 있고, 액정을 구동시키기 위한 소비 전력을 줄일 수 있다. 또한, 제 3 전극층은 액정층을 개재하여 제 2 전극층과는 겹치지 않는 위치에 배치한다.

[0023] 또는, 상기 각 구성에 있어서, 제 1 전극층을 박막 트랜지스터와 전기적으로 접속하는 화소 전극으로 하는 경우, 제 2 전극층은 고정 전위로 하는 공통 전극으로 한다. 제 2 전극층을 고정 전위로 하는 경우, 또 제 2 기판에 제 3 전극층을 형성하는 구성에 있어서는 제 3 전극층은 제 2 전극층과 같은 전위(고정 전위)로 한다. 또한, 제 3 전극층을 형성함으로써, 액정층에 강한 전계를 인가할 수 있고, 액정을 구동시키기 위한 소비 전력을 줄일 수 있다. 또한, 제 3 전극층은 액정층을 개재하여 제 2 전극층과 겹치는 위치에 배치한다.

- [0024] 상기 각 구성에 있어서, 블루상을 나타내는 액정재료를 액정층에 사용하기 때문에, 1필드당 1색의 표시를 행하기 위한 색의 전환을 1/180초 이하, 즉 약 5.6ms 이하로 행할 수 있다. 블루상을 나타내는 액정재료는 응답 속도가 1msec 이하로 짧고 고속응답이 가능하기 때문에, 액정 표시장치의 고성능화가 가능하게 된다. 블루상을 나타내는 액정재료로서 액정 및 카이랄제(chiral agent)를 포함한다. 카이랄제는 액정을 나선 구조로 배향시키고, 블루상을 발현되게 하기 위해서 사용한다. 예를 들면, 5중량% 이상의 카이랄제를 혼합시킨 액정재료를 액정층에 사용하면 좋다. 액정은 서모트로픽 액정, 저분자 액정, 고분자 액정, 강유전성 액정, 반강유전성 액정 등을 사용한다. 이들의 액정재료는 조건에 의해, 콜레스테릭상, 콜레스테릭 블루상, 스멕틱상, 스멕틱 블루상, 큐빅상, 키랄 네마틱상, 등방상 등을 나타낸다. 카이랄제는 액정에 대한 상용성이 좋고, 또한 비틀림력이 강한 재료를 사용한다. 또한, R체, S체의 어느 한 쪽의 재료가 좋고, R체와 S체의 비율이 50:50의 라세미체(racemic mixture)는 사용하지 않는다.
- [0025] 블루상인 콜레스테릭 블루상 및 스멕틱 블루상은 나선 피치가 500nm 이하로 피치의 비교적 짧은 콜레스테릭상 또는 스멕틱상을 가지는 액정재료에 보인다. 액정재료의 배향은 2중 비틀림 구조를 가진다. 가시광의 파장 이하의 질서를 가지고 있기 때문에, 투명하고, 전압 인가에 의해 배향 질서가 변화되어 광학적 변조 작용이 생긴다. 블루상은 광학적으로 등방이기 때문에 시야각 의존성이 없고, 배향막을 형성하지 않아도 되기 때문에, 표시 화상의 질의 향상 및 가격 삭감이 가능하다.
- [0026] 또, 블루상은 좁은 온도 범위에서밖에 발현이 어렵고, 온도 범위를 넓게 개선하기 위해서 액정재료에, 광 경화 수지 및 광중합 개시제를 첨가하여, 고분자 안정화 처리를 행하는 것이 바람직하다. 고분자 안정화 처리는 액정, 카이랄제, 광 경화 수지, 및 광중합 개시제를 포함하는 액정재료에, 광 경화 수지, 및 광중합 개시제가 반응하는 파장의 광을 조사하여 행한다. 이 고분자 안정화 처리는 온도 제어를 행하여 등방상을 나타낸 상태로 광 조사해도 좋고, 블루상을 발현한 상태로 광 조사하여 행하여도 좋다. 예를 들면, 액정층의 온도를 제어하고, 블루상을 발현한 상태로 액정층에 광을 조사함으로써 고분자 안정화 처리를 행한다. 단, 이것에 한정되지 않고, 블루상과 등방상간의 상전이 온도로부터 +10℃ 이내, 바람직하게는 +5℃ 이내의 등방상을 발현한 상태로 액정층에 광을 조사함으로써 고분자 안정화 처리를 행하여도 좋다. 블루상과 등방상간의 상전이 온도란 승온시에 블루상으로부터 등방상으로 전이하는 온도 또는 강온시(降溫時)에 등방상으로부터 블루상으로 상전이하는 온도를 말한다. 고분자 안정화 처리의 일 예로서는 액정층을 등방상까지 가열한 후, 서서히 강온시켜 블루상까지 상전이시키고, 블루상이 발현하는 온도를 보유한 상태로 광을 조사할 수 있다. 그 외에도, 액정층을 서서히 가열하여 등방상으로 상전이시킨 후, 블루상과 등방상간의 상전이 온도로부터 +10℃ 이내, 바람직하게는 +5℃ 이내 상태(등방상을 발현한 상태)로 광을 조사할 수 있다. 또한, 액정재료에 포함되는 광 경화 수지로서, 자외선 경화 수지(UV 경화 수지)를 사용하는 경우, 액정층에 자외선을 조사하면 좋다. 또, 블루상을 발현시키지 않아도, 블루상과 등방상간의 상전이 온도로부터 +10℃ 이내, 바람직하게는 +5℃ 이내 상태(등방상을 발현한 상태)로 광을 조사하여 고분자 안정화 처리를 행하면, 응답 속도가 1msec 이하로 짧게 고속응답이 가능하다.
- [0027] 또, 본 명세서에 있어서, 게이트 전극층이란 반도체층과 게이트 절연막을 개재하여 겹치고, 박막 트랜지스터의 채널을 형성하는 부분과 겹치는 부분을 가리키고, 게이트 배선층이란 그 이외의 부분을 가리킨다. 또, 같은 도전재료로 이루어지는 하나의 패턴의 일부가 게이트 전극층이며, 그 외의 부분이 게이트 배선층이 된다.
- [0028] 또, 본 명세서에 있어서, 박막 트랜지스터의 반도체층은 규소를 주성분으로 하는 반도체막, 또는 금속산화물을 주성분으로 하는 반도체막을 사용할 수 있다. 규소를 주성분으로 하는 반도체막으로서는 비정질 반도체막, 결정 구조를 포함하는 반도체막, 비정질 구조를 포함하는 화합물 반도체막 등을 사용할 수 있고, 구체적으로는 아모퍼스 실리콘, 미결정 실리콘, 다결정 실리콘, 단결정 실리콘 등을 사용할 수 있다. 또한, 금속산화물을 주성분으로 하는 반도체막으로서는 산화아연(ZnO)이나 아연과 갈륨과 인듐의 산화물(In-Ga-Zn-O) 등을 사용할 수 있다.
- [0029] 또, 본 명세서에 있어서, 박막 트랜지스터는 여러가지 TFT 구조를 사용할 수 있고, 예를 들면, 톱 게이트형 TFT나, 보텀 게이트형 TFT나, 보텀 콘택트형 TFT나, 순스태거형 TFT를 사용하는 것이 가능하다. 또한, 싱글 게이트 구조의 트랜지스터에 한정되지 않고, 복수의 채널 형성 영역을 가지는 멀티 게이트형 트랜지스터, 예를 들면 더블 게이트형 트랜지스터로 하여도 좋다. 또한, 반도체층의 상하에 게이트 전극을 형성하는 듀얼 게이트형 트랜지스터로 하여도 좋다.
- [0030] 본 명세서에 있어서, 상, 하, 측, 수평, 수직 등의 방향을 나타내는 문언은 제 1 기판 표면 위에 디바이스를 배치한 경우를 기준으로 하는 방향을 가리킨다.

발명의 효과

[0031] 화소 전극에 경사를 만들고, 그 화소 전극에 대응하는 전극(고정 전위의 공통 전극)에도 경사를 만듦으로써, 높은 응답 속도, 높은 투과율, 또는 넓은 시야각을 가지는 액정 표시장치를 실현할 수 있다.

도면의 간단한 설명

[0032] 도 1은 본 발명의 일 형태를 도시하는 단면도.
 도 2는 본 발명의 일 형태를 도시하는 상면도 및 단면도.
 도 3은 본 발명의 일 형태를 도시하는 상면도.
 도 4는 본 발명의 일 형태를 도시하는 단면도.
 도 5는 본 발명의 일 형태를 도시하는 단면도.
 도 6은 액정 표시장치를 전계 모드의 계산 결과를 설명하는 도면.
 도 7은 액정 표시장치를 전계 모드의 계산 결과를 설명하는 도면.
 도 8은 액정 표시장치를 전계 모드의 계산 결과를 설명하는 도면.
 도 9는 액정 표시장치를 전계 모드의 계산 결과를 설명하는 도면.
 도 10은 액정 표시장치를 전계 모드의 계산 결과를 설명하는 도면.
 도 11은 액정 표시장치를 전계 모드의 계산 결과를 설명하는 도면.
 도 12는 표시장치의 블록도의 구성을 도시하는 도면.
 도 13은 타이밍 차트를 도시하는 도면.
 도 14는 박막 트랜지스터의 단면도.
 도 15는 반도체층을 도시하는 단면도.
 도 16은 액정 모듈을 도시하는 상면도 및 단면도.
 도 17은 액정 표시장치의 단면도.
 도 18은 전자기기를 도시하는 사시도.
 도 19는 전자기기를 도시하는 사시도.
 도 20은 액정 표시장치의 전계 모드의 계산 결과를 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

[0033] 이하에서는 본 발명의 실시형태에 대해서 도면을 사용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 그 형태 및 상세한 것을 다양하게 변경할 수 있다는 것은 당업자이면 용이하게 이해된다. 따라서, 본 발명은 이하에 개시하는 실시형태의 기재 내용에 한정하지 않는다.

[0034] (실시형태 1)

[0035] 본 실시형태의 하나에서는 액정 표시장치에 있어서의 제 1 전극층과 제 2 전극층의 위치 관계의 일 예를 도 1a에 도시한다.

[0036] 도 1a는 액정 셀의 단면 모식도의 일 예이다.

[0037] 도 1a는 제 1 기판(200)과 제 2 기판(201)이 블루상을 나타내는 액정재료를 사용한 액정층(208)을 사이에 협지하여 대향하도록 배치된 액정 표시장치이다. 제 1 기판(200)과 액정층(208)의 사이에는 구조체(233a, 233b, 233c), 공통 전극인 제 1 전극층(232), 절연층(234), 및 화소 전극인 제 2 전극층(230a, 230b, 230c)이 형성되어 있다. 또, 화소 전극인 제 2 전극층(230a, 230b, 230c)은 서로 전기적으로 접속되어 있고, 구조체(233a, 233c)와 겹치는 개구(슬릿)가 형성된 상면 형상을 가진다. 구조체(233a, 233b, 233c)는 제 1 기판(200)의 액정

층(208)측의 면으로부터 액정층(208) 중으로 돌출하여 형성되어 있다.

- [0038] 공통 전극인 제 1 전극층(232)은 제 1 기판(200) 위에 형성된 구조체(233a, 233b, 233c) 위에 형성된다. 또한, 절연층(234)은 공통 전극인 제 1 전극층(232)을 덮어 형성된다. 또한, 화소 전극인 제 2 전극층(230b)은 구조체(233b)와 겹치고, 절연층(234) 위에 형성된다.
- [0039] 도 1a의 액정 표시장치에 있어서, 개구 패턴을 가지고, 또한 액정을 협지하도록 형성된 화소 전극인 제 2 전극층(230a, 230b, 230c)과, 공통 전극인 제 1 전극층(232)의 사이에 전계를 가하는 것으로, 액정층(208)에는 수평 방향(제 1 기판에 대하여 수평 방향)의 전계가 가해지기 때문에, 그 전계를 사용하여 액정분자를 제어할 수 있다.
- [0040] 예를 들면, 화소 전극과 공통 전극에 전위차가 생기도록 전압을 인가하면, 도 1a에 있어서는 화소 전극인 제 2 전극층(230a)과 공통 전극인 제 1 전극층(232)의 사이에 화살표(202a)로 나타내는 수평 방향의 전계가 가해진다. 또한, 제 2 전극층(230b)과 제 1 전극층(232)의 사이에 화살표(202b)로 나타내는 수평 방향의 전계가 가해진다. 또, 구조체(233b)와 겹쳐 형성된 제 1 전극층(232)의 영역은 제 2 전극층(230b)과 절연층(234)을 개재하여 겹쳐 유지 용량을 형성한다. 화살표(202b)로 나타내는 수평 방향의 전계는 구조체(233a)의 한쪽의 사면에 형성된 제 1 전극층(232)의 일부와, 구조체(233a)와 이웃하는 구조체(233b)의 한쪽의 사면에 형성된 제 2 전극층(230b)의 일부의 사이에서 생긴다.
- [0041] 구조체(233a, 233b, 233c)는 절연성 재료(유기 절연 재료 및 무기 절연 재료)를 사용한 절연체, 및 도전성 재료(유기재료 및 무기재료)를 사용한 도전체로 형성할 수 있다. 대표적으로는 가시광 경화성, 자외선 경화성 또는 열화 변성의 수지를 사용하는 것이 바람직하다. 예를 들면, 아크릴 수지, 에폭시 수지, 아민 수지 등을 사용할 수 있다. 또한, 도전성 수지나 금속재료로 형성하여도 좋다. 또, 구조체는 복수의 박막의 적층 구조이어도 좋다. 구조체의 형상은 송곳형의 선단이 평면인 단면이 사다리꼴의 형상, 송곳형의 선단이 둥근 돔형 등을 사용할 수 있다. 또한, 구조체(233a, 233b, 233c)는 단면 형상의 측면에 사면을 가지면 좋다. 또한, 구조체(233a, 233b, 233c)는 단면 형상을 한쪽의 측면에 단차를 2개 이상 가지는 계단형으로 할 수도 있다.
- [0042] 도 1a에 있어서는 구조체(233a, 233b, 233c)의 단면 형상을 사다리꼴로 하고 있다. 단면 형상을 직사각형이 아니라, 사다리꼴로 하는 것으로 구조체(233b)의 측면에 경사를 가지는 제 2 전극층(230b)을 형성할 수 있다. 화소 전극에 경사를 만들고, 그 화소 전극에 대응하는 제 1 전극층(232; 공통 전극)에도 경사를 만듦으로써, 높은 응답 속도, 높은 투과율, 또는 넓은 시야각을 가지는 액정 표시장치를 실현할 수 있다.
- [0043] 또, 도 1b는 도 1a와 화소 전극인 제 2 전극층의 배치가 다른 일 예를 도시하고 있다. 화소 전극인 제 2 전극층(230d, 230e, 230f, 230g)은 적어도 구조체(233b)의 상측 평면과 겹치는 절연층(234) 위에는 형성하지 않는 구조이다. 도 1b에 있어서는 화소 전극인 제 2 전극층(230d)과 공통 전극인 제 1 전극층(232)의 사이에 화살표(202c)로 나타내는 수평 방향의 전계가, 제 2 전극층(230e)과 제 1 전극층(232)의 사이에 화살표(202d)로 나타내는 수평 방향의 전계가 각각 가해진다. 이렇게, 도 1b의 구조에 있어서도 도 1a로 같은 효과를 얻을 수 있다. 단, 도 1a와 비교하여 도 1b쪽이, 제 1 전극층(232)이 절연층(234)을 개재하여 화소 전극과 겹치는 면적이 작아지기 때문에, 유지 용량을 크게 하는 경우에는 도 1a의 구조로 하는 것이 바람직하다.
- [0044] 또, 도 1c는 도 1b보다도 화소 전극의 면적이 더욱 작은 일 예를 도시하고 있다. 화소 전극인 제 2 전극층(230h, 230i, 230j, 230k)은 구조체(233b)의 사면에만 형성하는 구조이다. 도 1c에 있어서는 화소 전극인 제 2 전극층(230h)과 공통 전극인 제 1 전극층(232)의 사이에 화살표(202e)로 나타내는 수평 방향의 전계가, 제 2 전극층(230i)과 제 1 전극층(232)의 사이에 화살표(202f)로 나타내는 수평 방향의 전계가 각각 가해진다. 이렇게, 도 1c의 구조에 있어서도 도 1b와 같은 효과를 얻을 수 있다. 단, 도 1b에 비해 도 1c가 제 1 전극층(232)이 절연층(234)을 개재하여 화소 전극과 겹치는 면적이 작아지기 때문에, 유지 용량을 크게 하는 경우에는 도 1b의 구조로 하는 것이 바람직하다.
- [0045] 적어도 구조체의 측면에 화소 전극 및 공통 전극을 형성하고, 각각 경사를 가지게 함으로써, 액정층에 강한 전계를 인가할 수 있고, 액정을 구동시키기 위한 소비 전력을 줄일 수 있다.
- [0046] 또, 화소 전극의 패터닝에 있어서, 위치 차이가 생긴 경우에 있어서도 적어도 구조체의 측면에 겹치도록 화소 전극이 형성되면, 거의 같은 전계를 액정층에 인가할 수 있고, 위치가 멀어져도 화소 전극과 공통 전극이 겹치는 면적은 거의 같기 때문에, 유지 용량도 거의 같은 용량으로 할 수 있다. 따라서 화소 전극의 패터닝에 있어서 마진이 넓고, 높은 제조 수율을 실현할 수 있다.
- [0047] 액정 표시장치에 있어서의 전계의 인가 상태를 계산한 결과를, 도 6b, 도 7b, 도 8b, 및 도 20b에 도시한다.

도 6a, 도 7a, 도 8a, 및 도 20a는 계산한 액정 표시장치의 구성을 도시하는 도면이다.

- [0048] 계산은 신테크사 제조, LCD Master, 2s Bench를 사용하여 행하고, 구조체(233a, 233b, 233c)로서는 유전율 4의 절연체를 사용했다. 또, 구조체(233a, 233b, 233c)의 두께(높이)는 $5\mu\text{m}$ 이다. 또한, 단면에 있어서 화소 전극인 제 2 전극층(230a, 802), 공통 전극인 제 1 전극층(232, 803a, 803b), 및 절연층(234)의 두께는 $0.25\mu\text{m}$, 또 802, 803a, 803b의 폭은 $4\mu\text{m}$ 이다. 또 도 6에 있어서의 제 2 전극층은 높이 $5\mu\text{m}$, 폭이 $8\mu\text{m}$ 의 공기형상(bowl shape), 도 7에 있어서의 제 2 전극층은 높이 $4.75\mu\text{m}$, 폭이 $3.4\mu\text{m}$ 의 한 쌍의 V자 형상, 도 8에 있어서의 제 2 전극층은 높이 $4.75\mu\text{m}$ 폭이 $2\mu\text{m}$ 의 한 쌍의 슬로프 형상으로 되어 있다. 도 20에 있어서의 기관과 수평 방향의 제 2 전극층(802)과 제 1 전극층(803a, 803b)의 사이의 거리는 $6\mu\text{m}$, 액정층의 두께는 $10\mu\text{m}$ 이다. 또, 공통 전극인 제 1 전극층은 0V, 화소 전극인 제 2 전극층은 10V의 설정으로 한다.
- [0049] 도 6은 도 1a에, 도 7은 도 1b에, 도 8은 도 1c에 각각 대응한 계산 결과이다.
- [0050] 또 도 20은 비교예이며, 제 1 기관(800)과 액정층(808)의 사이에 번갈아 공통 전극인 제 1 전극층(803a, 803b)과 화소 전극인 제 2 전극층(802)이 형성되어, 제 2 기관(801)에 의해 밀봉되는 예이다.
- [0051] 도 6b, 도 7b, 도 8b, 및 도 20b에 있어서, 실선은 0.5V 간격의 등전위선을 도시하고 있고, 화소 전극 또는 공통 전극의 배치는 각각 도 6a, 도 7a, 도 8a, 및 도 20a의 위치와 일치하고 있다.
- [0052] 전계는 등전위선과 수직으로 발현되므로, 도 6b, 도 7b, 및 도 8b에 도시하는 바와 같이, 화소 전극과 공통 전극의 사이에 각각 수평 방향의 전계가 가해지고 있는 것을 확인할 수 있다. 또한, 도 8a와 같이, 화소 전극을 사면에만 형성하는 구성이어도, 등전위선이 도 8b 중 거의 수직으로 발현되고 있고 액정층의 광 범위에 걸쳐 수평 방향의 전계가 형성되어 있다.
- [0053] 한편, 비교예인 도 20b에 있어서는 번갈아 화소 전극인 제 2 전극층(802), 공통 전극인 제 1 전극층(803a, 803b)이 형성된 제 1 기관(800) 부근의 액정층에는 등전위선이 보여 전계가 형성되어 있지만, 제 2 기관(801)에 가까워짐에 따라 전위선은 분포되지 않고 전위차도 생기지 않았다. 따라서 제 2 기관(801) 가까이의 액정층(808)에는 전계가 형성되지 않고, 도 20의 구성에서는 액정층의 모든 액정분자를 응답시키는 것이 어려운 것을 확인할 수 있다.
- [0054] (실시형태 2)
- [0055] 본 명세서에 개시하는 발명의 일 형태는 패시브 매트릭스형의 액정 표시장치에도, 액티브 매트릭스형의 액정 표시장치에도 적용할 수 있다. 액티브 매트릭스형의 액정 표시장치의 예를, 도 2a 및 도 2b를 사용하여 설명한다.
- [0056] 도 2a는 액정 표시장치의 평면도이며 1화소분의 화소를 도시하고 있다. 도 2b는 도 2a의 선X1-X2에 있어서의 단면도이다.
- [0057] 도 2a에 있어서, 복수의 소스 배선층(배선층(405a)을 포함함)이 서로 평행(도면 중 상하 방향으로 연신)하고 또한 서로 이격한 상태로 배치되어 있다. 복수의 게이트 배선층(게이트 전극층(401)을 포함함)은 소스 배선층에 대략 직교하는 방향(도면 중 좌우 방향)으로 연신하고, 또한 서로 이격하도록 배치되어 있다. 공통 배선층은 복수의 게이트 배선층 각각에 인접하는 위치에 배치되어 있고, 게이트 배선층에 대략 평행한 방향, 즉, 소스 배선층에 대략 직교하는 방향(도면 중 좌우 방향)으로 연신하고 있다. 소스 배선층과, 공통 배선층 및 게이트 배선층에 의해, 대략 직사각형의 공간이 둘러싸여 있지만, 이 공간에 액정 표시장치의 화소 전극층 및 공통 전극층이 배치되어 있다. 화소 전극층을 구동하는 박막 트랜지스터(420)는 도면 중 좌측 위의 코너에 배치되어 있다. 화소 전극층 및 박막 트랜지스터는 매트릭스형으로 복수 배치되어 있다.
- [0058] 도 2a 및 도 2b의 액정 표시장치에 있어서, 박막 트랜지스터(420)에 전기적으로 접속하는 제 2 전극층(446)이 화소 전극층으로서 기능하고, 공통 배선층과 전기적으로 접속하는 제 1 전극층(447)이 공통 전극층으로서 기능한다. 또, 화소 전극층과 공통 전극층에 의해 유지 용량이 형성되어 있다. 공통 전극층은 플로팅 상태(전기적으로 고립한 상태)로서 동작시키는 것도 가능하지만, 고정 전위, 바람직하게는 커먼 전위(데이터로서 보내지는 화상 신호의 중간 전위) 근방에서 플리커가 생기지 않는 레벨로 설정한다.
- [0059] 제 1 전극층(447) 및 제 2 전극층(446)은 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물(이하, ITO라고 함), 인듐아연산화물, 산화규소를 첨가한 인듐주석산화물 등의 투광성을 가지는 도전성 재료를 사용할 수

있다.

- [0060] 또, 제 1 전극층(447) 및 제 2 전극층(446)으로서, 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극은 시트 저항이 $10000\Omega/\square$ 이하, 파장550nm에 있어서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 $0.1\Omega\cdot\text{cm}$ 이하인 것이 바람직하다.
- [0061] 도전성 고분자로서는 소위 π 전자공역계 도전성 고분자를 사용할 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 이들의 2종 이상의 공중합체 등을 들 수 있다.
- [0062] 도 2b에 도시하는 바와 같이 액정층(444)의 하방에는 평판형의 제 1 전극층(447)과, 개구 패턴을 가지는 제 2 전극층(446)이 형성된다. 또한, 절연층(402)을 개재하여 평판형의 제 1 전극층(447)과, 복수의 개구 패턴을 가지는 제 2 전극층(446)은 적어도 일부 겹쳐 있다. 또한, 제 1 전극층(447)의 하방에는 복수의 구조체를 거의 등간격으로 형성한다. 도 2a에서는 구조체의 상면 형상은 양단이 호를 그리는 막대형으로 하고, 구조체의 상면 형상의 장축 방향이, 게이트 배선층에 대하여 비스듬하게 배치한다. 또한, 제 2 전극층(446)에 형성되어 있는 개구(슬릿이라고도 함)도 구조체와 같은 방향, 즉 개구의 상면 형상의 장축 방향이, 게이트 배선층에 대하여 비스듬하게 배치한다.
- [0063] 복수의 구조체의 각각의 단면 형상에 대해서 설명하면, 구조체의 하단부는 구조체의 측면의 외측에 중심을 가지는 타원 또는 원형의 측면을 가지고, 구조체의 상단부는 구조체의 측면의 내측에 중심을 가지는 타원 또는 원형의 측면을 가진다. 또한, 구조체의 하단부는 하단부의 접선의 상방의 곡률 중심 및 제 1 곡률 반경에 의해 결정되는 곡면형의 측면을 가지고, 구조체의 상단부는 상단부의 접선의 하방의 곡률 중심 및 제 2 곡률 반경에 의해 결정되는 곡면형의 측면을 가진다고도 할 수 있다. 상술한 복수의 구조체의 각각의 단면 형상은 감광성의 수지를 사용하는 것으로 얻을 수 있고, 그 위에 형성하는 제 1 전극층(447)이나 절연층(402)이나 제 2 전극층(446)의 커버리지 불량을 저감할 수 있는 형상으로 되어 있다.
- [0064] 도 2a 및 도 2b에 있어서, 제 1 기판(441) 위에 제 1 구조체(433a), 제 2 구조체(433b), 제 3 구조체(433c), 제 4 구조체(433d), 제 5 구조체(433e)가 거의 등간격으로 나란히 배치되고, 그 위에 제 1 전극층(447); 예를 들면 전체 화소에 공통의 전압이 공급되는 공통 전극)을 배치한다. 또, 제 1 전극층(447)은 각각의 구조체의 사이에도 형성된다.
- [0065] 제 1 구조체(433a)의 측면 및 상면에는 제 1 전극층(447)과 절연층(402)과 제 2 전극층(446)이 적층된다. 제 1 구조체(433a)는 제 4 구조체(433d)와 이웃하여 배치되어 있고, 제 4 구조체(433d)의 상면 형상은 제 1 구조체(433a)의 상면 형상보다도 작다. 또한, 제 4 구조체(433d)는 제 5 구조체(433e)와 이웃하여 배치되어 있고, 제 4 구조체(433d)의 상면 형상은 제 5 구조체(433e)의 상면 형상보다도 크다.
- [0066] 또, 제 1 구조체(433a)와 이웃하는 제 2 구조체(433b)의 측면 및 상면에는 제 1 전극층(447)과 절연층(402)이 적층된다. 또한, 제 2 구조체(433b)의 상면 형상은 제 1 구조체(433a)의 상면 형상과 거의 같다. 또, 도 2a에 도시하는 바와 같이 제 2 구조체(433b)는 제 2 전극층(446)의 개구와 겹친다. 또, 도 2a에 있어서 각각의 구조체의 윤곽은 점선으로 도시하고 있다. 제 2 전극층(446)의 개구 면적은 제 2 구조체(433b)의 상면의 면적보다도 넓고, 제 2 구조체(433b)는 제 2 전극층(446)과는 겹치지 않는다.
- [0067] 또, 제 2 구조체(433b)와 이웃하는 제 3 구조체(433c)의 측면 및 상면에는 제 1 전극층(447)과 절연층(402)과 제 2 전극층(446)이 적층된다. 또, 제 3 구조체(433c)의 상면 형상은 제 1 구조체(433a)의 상면 형상과 거의 같다.
- [0068] 제 1 전극층(447)과 제 2 전극층(446)은 전기적으로 접속되지 않고, 제 1 전극층(447)과 제 2 전극층(446)의 사이에 전압을 인가하는 것으로, 제 1 구조체의 한쪽의 사면에 형성된 제 2 전극층(446)의 일부와, 제 1 구조체의 한쪽의 사면과 마주 보는 제 2 구조체(433b)의 한쪽의 사면에 형성된 제 1 전극층(447)의 일부의 사이에서 제 1 기판(441)의 평면에 평행한 방향의 전계를 적어도 포함하는 전계를 형성할 수 있다. 또한, 또한 제 2 구조체(433b)의 또 한쪽의 사면에 형성된 제 1 전극층(447)의 일부와, 제 2 구조체의 또 한쪽의 사면과 마주 보는 제 3 구조체(433c)의 한쪽의 사면에 형성된 제 2 전극층(446)의 일부의 사이에서 제 1 기판(441)의 평면에 평행한 방향의 전계를 적어도 포함하는 전계를 형성할 수 있다.
- [0069] 또, 제 2 전극층(446)은 박막 트랜지스터와 전기적으로 접속되어 있다. 박막 트랜지스터(420)는 보텀 게이트형의 박막 트랜지스터이며, 절연 표면을 가지는 기판인 제 1 기판(441) 위에, 게이트 전극층(401), 게이트 절연층

으로서 기능하는 절연층(402), 반도체층(403), 소스 영역 또는 드레인 영역으로서 기능하는 n^+ 층(404a, 404b), 소스 전극층 또는 드레인 전극층으로서 기능하는 배선층(405a, 405b)을 포함한다. 제 1 전극층(447)은 제 1 기판(441) 위에 게이트 전극층(401)과 같은 레이어에 형성되고, 화소에 있어서 평판형의 전극층이다.

[0070] 본 실시형태에 있어서는 절연층(402)의 일부가 게이트 절연층으로서 기능시키고, 절연층(402)의 다른 일부가, 제 1 전극층과 제 2 전극층의 단락을 막는 절연층으로서 기능시키고 있고, 공정수의 삭감을 도모하고 있다.

[0071] 절연층(402)은 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 산화실리콘층, 질화실리콘층, 산화질화실리콘층 또는 질화산화실리콘층을 단층으로 또는 적층하여 형성할 수 있다. 또한, 게이트 절연층으로서 기능하는 절연층(402)으로서, 유기 실란 가스를 사용한 CVD법에 의해 산화실리콘층을 형성하는 것도 가능하다. 유기 실란 가스로서는 규산 에틸(TEOS : 화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$), 테트라메틸실란(TMS : 화학식 $\text{Si}(\text{CH}_3)_4$), 테트라메틸사이클로테트라실록산(TMCTS), 옥타메틸사이클로테트라실록산(OMCTS), 헥사메틸실라잔(HMDS), 트리에톡시실란($\text{SiH}(\text{OC}_2\text{H}_5)_3$), 트리디메틸아미노실란($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등의 실리콘 함유 화합물을 사용할 수 있다.

[0072] 또, 박막 트랜지스터(420)를 덮고, 반도체층(403)에 접하는 절연막(407)이 보호막으로서 형성되어 있다. 박막 트랜지스터(420)를 덮는 절연막(407)은 건식법이나 습식법으로 형성되는 무기 절연막, 유기 절연막을 사용할 수 있다. 예를 들면, CVD법이나 스퍼터링법 등을 사용하여 얻어지는 질화실리콘막, 산화실리콘막, 산화질화실리콘막 등의 무기 절연 재료를 사용할 수 있다.

[0073] 또, 액정층(444)은 블루상을 나타내는 액정재료를 사용한다. 또한, 액정층(444)은 대향기판인 제 2 기판(442)으로 밀봉되어 있다. 또한, 편광판, 위상차판, 반사 방지막, 컬러 필터, 차광막(블랙 매트릭스라고도 함) 등의 광학 필름 등은 적당히 형성한다. 예를 들면, 편광판 및 위상차판에 의한 원평광을 사용하여도 좋다. 도 2b에 있어서는 광원의 광을 투과함으로써 표시를 행하는 투과형의 액정 표시장치이기 때문에, 제 1 기판(441) 및 제 2 기판(442)은 투광성 기판이며, 각각 외측(액정층(444)과 반대측)에 편광판(443a, 443b)을 형성하는 예를 도시하고 있다. 또한, 광원으로서 백라이트, 사이드라이트 등을 사용하여도 좋다. 백라이트나 사이드라이트로서는 냉음극관 외에 복수의 발광 다이오드(이하, LED라고 함)를 사용하여도 좋다. LED로서는 백색의 LED를 사용하는 방식과, 적색의 LED나, 녹색의 LED나, 청색의 LED 등을 사용하여 컬러 필터를 사용하지 않는 필드 시퀀셜 방식이라고 불리는 방식도 있다. 필드 시퀀셜 방식의 경우, 적어도 3배속 이상에서의 고속 구동이 요구되지만, 본 실시형태에서는 필드 시퀀셜 방식을 이용하여, 블루상을 나타내는 액정재료를 사용하기 때문에, 1필드당 1색의 표시를 행하기 위한 색의 전환을 1/180초 이하, 즉 약 5.6ms 이하로 행할 수 있다.

[0074] 또, 하지막이 되는 절연막을 제 1 기판(441)과, 게이트 전극층(401) 및 제 1 전극층(447)의 사이에 형성해도 좋다. 하지막은 기판(441)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화규소막, 산화규소막, 질화산화규소막, 또는 산화질화규소막으로부터 선택된 1 또는 복수의 막에 의한 적층 구조에 의해 형성할 수 있다. 게이트 전극층(401)의 재료는 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속재료 또는 이들을 주성분으로 하는 합금재료를 사용하여, 단층으로 또는 적층하여 형성할 수 있다. 게이트 전극층(401)에 차광성을 가지는 도전막을 사용하는 것으로, 백라이트로부터의 광(제 1 기판(441)으로부터 입사하는 광)이, 반도체층(403)에 입사하는 것을 방지할 수 있다.

[0075] 예를 들면, 게이트 전극층(401)의 2층의 적층 구조로서는 알루미늄층 위에 몰리브덴층이 적층된 2층의 적층 구조, 또는 구리층 위에 몰리브덴층을 적층한 2층 구조, 또는 구리층 위에 질화티타늄층 또는 질화탄탈을 적층한 2층 구조, 질화티타늄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 3층의 적층 구조로서는 텅스텐층 또는 질화텅스텐층과, 알루미늄과 실리콘의 합금 또는 알루미늄과 티타늄의 합금과, 질화티타늄층 또는 티타늄층을 적층한 적층으로 하는 것이 바람직하다.

[0076] 또, 본 실시형태에서는 반도체층(403)으로서 산화물 반도체막을 사용한다.

[0077] 본 명세서에서는 산화물 반도체로서 $\text{InMO}_3(\text{ZnO})_m(m>0)$ 로 표기되는 박막을 적절하게 사용한다. 박막 트랜지스터(420)는 $\text{InMO}_3(\text{ZnO})_m(m>0)$ 로 표기되는 박막을 형성하고, 그 박막을 반도체층(403)으로서 사용한다. 또, M은 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn) 및 코발트(Co)로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 예를 들면 M으로서, Ga의 경우가 있는 것 외에, Ga와 Ni 또는 Ga와 Fe 등, Ga 이외의 상기 금속 원소가 포함되는 경우가 있다. 또한, 상기 산화물 반도체에 있어서, M으로서 포함되는 금속 원소 이외에, 불순물 원소로서 Fe, Ni 그 외의 전이 금속 원소, 또는 상기 전이 금속의 산화물이 포함되어 있는 경우가 있다. 예를

들면, 산화물 반도체층으로서 In-Ga-Zn-O계 비단결정막을 사용할 수 있다.

[0078] $\text{InMO}_3(\text{ZnO})_m(m>0)$ 막(층)에 있어서, M이 갈륨(Ga)인 경우, 본 명세서에 있어서는 이 박막을 In-Ga-Zn-O계 비단결정막이라고도 부른다. In-Ga-Zn-O계 비단결정막의 결정 구조는 스퍼터법으로 성막한 후, 200℃ 내지 500℃, 대표적으로는 300 내지 400℃에서 10분 내지 100분 열처리를 행하여도, 아모퍼스 구조가 XRD(X선 회절)의 분석에서는 관찰된다. 또한, 박막 트랜지스터의 전기 특성도 게이트 전압 -20V로부터 +20V에 있어서, 온 오프비가 10^9 이상, 이동도가 10 이상의 것을 제작할 수 있다. 또한, $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}=1:1:1$ 로 한 타깃을 사용하여, 스퍼터법으로 성막한 In-Ga-Zn-O계 비단결정막은 파장 450nm 이하로 광감도를 가진다.

[0079] 반도체층(403) 및 소스 영역 또는 드레인 영역으로서 기능하는 n^+ 층(404a, 404b)에는 In-Ga-Zn-O계 비단결정막을 사용할 수 있다. n^+ 층(404a, 404b)은 반도체층(403)보다 저저항의 산화물 반도체층이다. 예를 들면 n^+ 층(404a, 404b)은 n 형태의 도전형을 가지고, 활성화 에너지(ΔE)가 0.01eV 이상 0.1eV 이하이다. n^+ 층(404a, 404b)은 In-Ga-Zn-O계 비단결정막이며, 적어도 아모퍼스 성분을 포함하고 있는 것으로 한다. n^+ 층(404a, 404b)은 비정질 구조 중에 결정립(나노크리스탈)을 포함하는 경우가 있다. 이 n^+ 층(404a, 404b) 중의 결정립(나노크리스탈)은 직경 1nm 내지 10nm, 대표적으로는 2nm 내지 4nm 정도이다.

[0080] n^+ 층(404a, 404b)을 형성함으로써, 금속층인 배선층(405a, 405b)과, 산화물 반도체층인 반도체층(403)의 사이를 양호한 접합으로 하여 쇼트키 접합과 비교하여 열적으로도 안정적인 동작을 가지게 한다. 또, 채널의 캐리어를 공급하거나(소스측), 또는 채널의 캐리어를 안정적으로 흡수하거나(드레인측), 또는 저항 성분을 배선층과의 계면에 만들지 않기 위해서도 적극적으로 n^+ 층을 형성하면 효과적이다. 또 저저항화에 의해, 높은 드레인 전압에서도 양호한 이동도를 보유할 수 있다.

[0081] 반도체층(403)으로서 사용하는 제 1 In-Ga-Zn-O계 비단결정막은 n^+ 층(404a, 404b)으로서 사용하는 제 2 In-Ga-Zn-O계 비단결정막의 성막 조건과 다르게 한다. 예를 들면, 제 2 In-Ga-Zn-O계 비단결정막의 성막 조건에 있어서의 산소 가스 유량과 아르곤 가스 유량의 비교보다도 제 1 In-Ga-Zn-O계 비단결정막의 성막 조건에 있어서의 산소 가스 유량이 차지하는 비율이 많은 조건으로 한다. 구체적으로는 제 2 In-Ga-Zn-O계 비단결정막의 성막 조건은 희가스(아르곤, 또는 헬륨 등) 분위기하(또는 산소 가스 10% 이하, 아르곤 가스 90% 이상)로 하고, 제 1 In-Ga-Zn-O계 비단결정막의 성막 조건은 산소 혼합 분위기하(아르곤 가스 유량보다 산소 가스 유량이 많음)로 한다.

[0082] 예를 들면, 반도체층(403)으로서 사용하는 제 1 In-Ga-Zn-O계 비단결정막은 직경 8인치의 In, Ga, 및 Zn을 포함하는 산화물 반도체 타깃($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}=1:1:1$)을 사용하여, 기판과 타깃의 사이의 거리를 170mm, 압력 0.4Pa, 직류(DC)전원 0.5kW, 아르곤 또는 산소 분위기하에서 성막한다. 또, 펄스 직류(DC)전원을 사용하면, 먼지를 경감할 수 있고, 막 두께 분포도 균일해지기 때문에 바람직하다. 제 1 In-Ga-Zn-O계 비단결정막의 막 두께는 5nm 내지 200nm로 한다.

[0083] 한편, n^+ 층(404a, 404b)으로서 사용하는 제 2 산화물 반도체막은 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}=1:1:1$ 로 한 타깃을 사용하고, 성막 조건은 압력을 0.4Pa로 하고, 전력을 500W로 하고, 성막 온도를 실온으로 하고, 아르곤 가스 유량 40sccm를 도입하여 스퍼터법에 의해 성막한다. 성막 직후에서 크기 1nm 내지 10nm의 결정립을 포함하는 In-Ga-Zn-O계 비단결정막이 형성되는 경우가 있다. 또, 타깃의 성분비, 성막 압력(0.1Pa 내지 2.0Pa), 전력(250W 내지 3000W : 8인치 ϕ), 온도(실온 내지 100℃), 반응성 스퍼터의 성막 조건 등을 적당히 조절하는 것으로 결정립의 유무나, 결정립의 밀도나, 직경 사이즈는 1nm 내지 10nm의 범위로 조절될 수 있다고 할 수 있다. 제 2 In-Ga-Zn-O계 비단결정막의 막 두께는 5nm 내지 20nm로 한다. 물론, 막 중에 결정립이 포함되는 경우, 포함되는 결정립의 사이즈가 막 두께를 초과하는 크기가 되지 않는다. 제 2 In-Ga-Zn-O계 비단결정막의 막 두께는 5nm로 한다.

[0084] 스퍼터법에는 스퍼터용 전원에 고주파 전원을 사용하는 RF 스퍼터법과, DC 스퍼터법이 있고, 또 펄스적으로 바이어스를 부여하는 펄스 DC 스퍼터법도 있다. RF 스퍼터법은 주로 절연막을 성막하는 경우에 사용할 수 있고, DC 스퍼터법은 주로 금속막을 성막하는 경우에 사용할 수 있다.

[0085] 또, 재료의 다른 타깃을 복수 형성할 수 있는 다원 스퍼터 장치도 있다. 다원 스퍼터 장치는 동일 챔버에서 다

른 재료막을 적층 성막하는 것도, 동일 챔버에서 복수 종류의 재료를 또한 방전시켜 성막할 수도 있다.

- [0086] 또, 챔버 내부에 자석기구를 구비한 마그네트론 스퍼터법을 사용하는 스퍼터 장치나, 글로우 방전을 사용하지 않고 마이크로파를 사용하여 발생시킨 플라스마를 사용하는 ECR 스퍼터법을 사용하는 스퍼터장치가 있다.
- [0087] 또, 스퍼터법을 사용하는 성막 방법으로서, 성막 중에 타깃 물질과 스퍼터 가스 성분을 화학반응시켜 이들의 화합물 박막을 형성하는 리액티브 스퍼터법이나, 성막 중에 기관에도 전압을 가하는 바이어스 스퍼터법도 있다.
- [0088] 반도체층, n^+ 층, 배선층의 제작 공정에 있어서, 박막을 원하는 형상으로 가공하기 위해서 에칭 공정을 사용한다. 에칭 공정은 드라이 에칭이나 웨트 에칭을 사용할 수 있다.
- [0089] 드라이 에칭에 사용하는 에칭 가스로서는 염소를 포함하는 가스(염소계 가스, 예를 들면 염소(Cl_2), 염화붕소(BCl_3), 염화규소(SiCl_4), 사염화탄소(CCl_4) 등이 바람직하다.
- [0090] 또, 불소를 포함하는 가스(불소계 가스, 예를 들면 사불화탄소(CF_4), 불화유황(SF_6), 불화질소(NF_3), 트리플루오로메탄(CHF_3) 등), 브롬화수소(HBr), 산소(O_2), 이들의 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 사용할 수 있다.
- [0091] 드라이 에칭에 사용하는 에칭 장치로서는 반응성 이온 에칭법(RIE법)을 사용한 에칭 장치나, ECR(Electron Cyclotron Resonance)이나 ICP(Inductively Coupled Plasma) 등의 고밀도 플라스마원을 사용한 드라이 에칭 장치를 사용할 수 있다. 또한, ICP 에칭 장치와 비교하여 넓은 면적에 걸쳐 똑같은 방전을 얻기 쉬운 드라이 에칭 장치로서는 상부 전극을 접지시키고, 하부 전극에 13.56MHz의 고주파 전원을 접속하고, 또 하부 전극에 3.2MHz의 저주파 전원을 접속한 ECCP(Enhanced Capacitively Coupled Plasma) 모드의 에칭 장치가 있다. 이 ECCP 모드의 에칭 장치이면, 예를 들면 기관으로서, 제10세대의 3m를 초과하는 사이즈의 기관을 사용하는 경우에도 대응할 수 있다.
- [0092] 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기관축의 전극에 인가되는 전력량, 기관축의 전극 온도 등)을 적절하게 조절한다.
- [0093] 웨트 에칭에 사용하는 에칭액으로서 인산과 아세트산과 질산을 섞은 용액, 암모니아과수(과산화수소:암모니아:물=5:2:2) 등을 사용할 수 있다. 또한, IT007N(간토가가쿠사 제조)을 사용하여도 좋다.
- [0094] 또, 웨트 에칭 후의 에칭액은 에칭된 재료와 함께 세정에 의해 제거된다. 그 제거된 재료를 포함하는 에칭액의 폐액을 정제하고, 포함되는 재료를 재이용해도 좋다. 상기 에칭 후의 폐액으로부터 산화물 반도체층에 포함되는 인듐 등의 재료를 회수하여 재이용함으로써, 자원을 유효 활용하여 저가격화할 수 있다.
- [0095] 원하는 가공 형상으로 에칭할 수 있도록, 재료에 맞추어 에칭 조건(에칭액, 에칭 시간, 온도 등)을 적당히 조절한다.
- [0096] 배선층(405a, 405b)의 재료로서는 Al, Cr, Ta, Ti, Mo, W로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나 상술한 원소를 조합한 합금막 등을 들 수 있다. 또한, 200℃ 내지 600℃의 열처리를 행하는 경우에는 이 열처리에 견딜 수 있는 내열성을 도전막에 갖게 하는 것이 바람직하다. Al 단체(單體)에서는 내열성이 떨어지고, 또 부식되기 쉽다는 등의 문제점이 있기 때문에 내열성 도전성 재료로 조합하여 형성한다. Al과 조합하는 내열성 도전성 재료로서는 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴), Sc(스칸듐)으로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막, 또는 상술한 원소를 성분으로 하는 질화물로 형성한다.
- [0097] 절연층(402), 반도체층(403), n^+ 층(404a, 404b), 배선층(405a, 405b)을 대기에 접촉시키지 않고 연속적으로 형성하여도 좋다. 대기에 접촉시키지 않고 연속 성막하는 것으로, 대기 성분이나 대기 중에 부유하는 오염 불순물 원소에 오염되지 않고 각 적층 계면을 형성할 수 있으므로, 박막 트랜지스터 특성의 변동을 저감할 수 있다.
- [0098] 또, 반도체층(403)은 일부만이 에칭되어, 홈부(요부)를 가지는 반도체층이다.
- [0099] 반도체층(403), n^+ 층(404a, 404b)에 200℃ 내지 600℃, 대표적으로는 300℃ 내지 500℃의 열처리를 행하면

좋다. 예를 들면, 질소 분위기하에서 350℃, 1 시간의 열처리를 행한다. 이 열처리에 의해 반도체층(403), n⁺층(404a, 404b)을 구성하는 In-Ga-Zn-O계 산화물 반도체의 원자 레벨의 재배열이 행하여진다. 이 열처리(광 어닐 등도 포함함)는 반도체층(403), n⁺층(404a, 404b) 중에 있어서의 캐리어의 이동을 저해하는 변형을 해방할 수 있는 점에서 중요하다. 또, 상기한 열처리를 행하는 타이밍은 반도체층(403), n⁺층(404a, 404b)의 형성 후이면 특히 한정되지 않는다.

[0100] 또, 노출되어 있는 반도체층(403)의 오목부에 대하여 산소 라디칼 처리를 행하여도 좋다. 라디칼 처리는 O₂, N₂O, 산소를 포함하는 N₂, He, Ar 등의 분위기하에서 행하는 것이 바람직하다. 또한, 상기 분위기에 Cl₂, CF₄을 첨가한 분위기하에서 행하여도 좋다. 또, 라디칼 처리는 제 1 기관(441)측에 바이어스 전압을 인가하지 않고 행하는 것이 바람직하다.

[0101] 또, 액정 표시장치에 형성되는 박막 트랜지스터의 구조는 특히 한정되지 않는다. 박막 트랜지스터는 채널 형성 영역이 하나 형성되는 싱글 게이트 구조이어도 좋고, 두개 형성되는 더블 게이트 구조 또는 세개 형성되는 트리플 게이트 구조이어도 좋다. 또, 주변 구동 회로 영역의 트랜지스터도, 싱글 게이트 구조, 더블 게이트 구조 또는 트리플 게이트 구조이어도 좋다.

[0102] 박막 트랜지스터는 톱 게이트형(예를 들면 순스태거형, 코플래너형), 보텀 게이트형(예를 들면, 역스태거형, 역코플래너형), 또는 채널 영역의 상하에 게이트 절연막을 개재하여 배치된 2개의 게이트 전극층을 가지는, 듀얼 게이트형이나 그 밖의 구조에 있어서도 적용할 수 있다.

[0103] 본 실시형태에서는 응답 속도가 충분히 빠른 블루상을 나타내는 액정층을 사용하고, 또 스위칭 소자로서 In-Ga-Zn-O계 산화물 반도체를 사용한 박막 트랜지스터를 사용함으로써, 동화상 표시에 있어서 고화질을 가지는 필드 시퀀셜 방식의 액정 표시장치를 실현할 수 있다.

[0104] 또, 구조체 위에 형성되는 화소 전극층 및 공통 전극층의 형상은 상기 구조체의 형상이 반영되고, 또 에칭 가공 방법에도 영향을 받는다. 구조체 및 상기 구조체 위에 형성되는 화소 전극의 상면 형상은 도 2a의 형상에 한정되지 않고, 여러가지 형상을 적용할 수 있다.

[0105] 액정 표시장치의 평면도의 다른 일 예를 도 3에 도시한다. 또, 도 2a와 공통되는 부분에는 같은 부호를 사용하여 설명한다.

[0106] 도 3에 있어서는 제 1 구조체(433a), 제 2 구조체(433b), 제 4 구조체(433d), 제 5 구조체(433e)의 형상 및 배치는 도 2a와 같다. 제 2 구조체(433b)와 이웃하는 제 6 구조체(433f)의 상면 형상은 V자형으로 접혀 구부러진 형상으로 되어 있다. 또한, 제 6 구조체(433f)와 이웃하는 제 7 구조체(433g)는 제 1 구조체(433a)와 상면 형상은 같지만, 상면 형상의 장축 방향이 게이트 배선층에 대한 방향이 다르다. 또한, 제 8 구조체(433h)는 제 7 구조체(433g)의 상면 형상의 장축 방향과 같지만, 장축 방향의 길이가 짧다. 또한, 이들의 구조체에 맞추어, 제 2 전극층(456)의 개구 형상을 도 2a의 제 2 전극층(446)의 개구 형상과 다르게 한다.

[0107] 이와 같이, 도 3에 있어서는 제 6 구조체(433f), 제 7 구조체(433g), 제 8 구조체(433h), 및 제 2 전극층(456)에 의해, 도 2a보다도 시야각 향상을 도모하고 있다.

[0108] 또, 도 3에 있어서는 제 1 전극층(457)도 도 2a의 제 1 전극층(447)과 상면 형상이 다르다. 제 1 전극층(457)은 배선층(405a)과 겹치지 않는 상면 형상으로 되어 있고, 이웃하는 화소의 제 1 전극층과는 용량 배선(410)을 통해 전기적으로 접속시키고 있다. 대면적의 표시 영역을 가지는 액정 표시장치에 있어서는 제 1 전극층보다도 저저항의 금속 배선을 용량 배선(410)에 사용하는 것이 배선 저항을 저감할 수 있기 때문에 바람직하다.

[0109] 또, 도 3에 있어서, 박막 트랜지스터(420)와 제 2 전극층(456)은 콘택트 홀(455)을 통해 전기적으로 접속시키고 있다. 여기에서는 도시하지 않지만, 콘택트 홀은 절연막(407)에 형성되어 있고, 절연막(407)은 구조체 및 제 1 전극층(457) 위에 형성되어 있는 예이다. 이 경우, 제 1 전극층(457)과 제 2 전극층(456)은 절연층(402)과 절연막(407)의 적층에 의해 절연되는 구조이다.

[0110] 도 3에 도시하는 바와 같이, 구조체나 제 1 전극층이나 제 2 전극층 등의 형상은 여러가지 형상을 적용할 수 있다.

[0111] (실시형태 3)

[0112] 실시형태 1에서는 도 6a에 있어서 제 1 전극층에 0V, 제 2 전극층에 10V의 설정으로 계산을 행하였지만, 본 실

시형태에서는 도 9a에 있어서, 제 1 전극층에 10V, 제 2 전극층에 0V의 설정으로 계산을 행하고, 액정 표시장치에 있어서의 전계의 인가 상태를 계산한 결과를 도 9b에 도시한다.

- [0113] 도 9b에 있어서, 실선은 0.5V 간격의 등전위선을 도시하고 있고, 화소 전극 또는 공통 전극의 배치는 도 9a의 위치와 일치하고 있다.
- [0114] 전계는 등전위선과 수직으로 발현되므로, 도 9b에 도시하는 바와 같이, 제 1 전극층과 제 2 전극층의 사이에 각각 수평 방향의 전계가 가해지고 있는 것을 확인할 수 있다.
- [0115] 또, 도 9a는 도 6a와 동일하기 때문에, 여기서는 설명을 생략한다.
- [0116] 또, 액티브 매트릭스형의 액정 표시장치에 있어서, 도 9b에 도시하는 전계의 인가 상태로 하는 경우에는 제 2 전극층을 박막 트랜지스터와 전기적으로 접속하게 된다.
- [0117] 그 경우의 단면 구조의 일 예를 도 4에 도시한다. 또, 도 4에 있어서 도 2b와 동일한 개소에는 같은 부호를 사용하여 설명한다.
- [0118] 박막 트랜지스터(420)는 도 2b와 동일한 구조를 사용한다. 박막 트랜지스터(420)의 반도체층(403)과 접하는 제 2 절연층(465) 위에 제 1 구조체(433a), 제 2 구조체(433b), 및 제 3 구조체(433c)를 형성한다. 또, 이들의 구조체와 동일 공정에서, 박막 트랜지스터(420)와 겹치는 층간 절연막(413)을 형성한다.
- [0119] 제 1 구조체(433a), 제 2 구조체(433b), 및 제 3 구조체(433c)를 덮는 제 2 전극층(466)을 형성한다. 제 2 전극층(466)은 제 2 절연층(465)에 형성된 콘택트 홀을 통해 박막 트랜지스터(420)의 배선층(405b)과 전기적으로 접속한다.
- [0120] 제 2 전극층(466)을 덮는 제 3 절연층(468)을 형성한다. 이 제 3 절연층(468)이 도 2b의 절연막(407)에 상당한다.
- [0121] 또, 제 1 전극층(467)이 제 3 절연층(468) 위에 제 1 구조체(433a) 및 제 3 구조체(433c)와 겹치도록 배치한다. 또, 제 1 전극층(467)은 고정 전위이며, 복수의 개구(슬릿)를 가지고 있다.
- [0122] 본 실시형태에 있어서는 층간 절연막(413)의 사면에 형성한 화소 전극의 일부도 제 1 기관(441)의 평면에 수평의 방향의 전계를 액정층(444)에 형성할 수 있다. 층간 절연막(413)의 사면에 형성한 화소 전극의 일부와, 제 1 구조체(433a)의 사면에 형성된 제 1 전극층(467)의 일부의 사이에 전계가 형성된다.
- [0123] 본 실시형태에 있어서는 공정수를 삭감하기 위해서, 층간 절연막(413)과 복수의 구조체를 동일 공정에서 형성하는 예를 도시하였지만 특히 한정되지 않고, 층간 절연막을 형성한 후, 복수의 구조체를 형성하는 공정으로 하여도 좋다.
- [0124] 본 실시형태는 실시형태 1 또는 실시형태 2와 자유롭게 조합할 수 있다.
- [0125] (실시형태 4)
- [0126] 본 실시형태는 실시형태 1의 구성에 더해, 또 제 2 기관에 제 3 전극층을 형성하고, 액정층에 강한 전계를 인가하는 구조를 설명한다.
- [0127] 도 5a는 액정 표시장치에 있어서의 제 1 전극층과 제 2 전극층과 제 3 전극층의 위치 관계의 일 예를 도시하는 도면이다. 또, 도 1a에서 동일한 개소에는 같은 부호를 사용하여 설명한다.
- [0128] 도 5a에 있어서, 제 1 기관(200) 위에 형성하는 구조체나, 제 1 전극층이나, 제 2 전극층의 위치는 도 1a와 동일하다.
- [0129] 제 2 기관(201)에 형성하는 제 3 전극(235a)은 구조체(233a)와 겹치는 위치에 형성한다. 또한, 제 3 전극(235b)은 구조체(233c)와 겹치는 위치에 형성한다.
- [0130] 예를 들면, 화소 전극과 공통 전극에 전위차가 생기도록 전압을 인가하면, 도 5a에 있어서는 화소 전극인 제 2 전극층(230a)과 공통 전극인 제 1 전극층(232)의 사이에 화살표(202g)로 나타내는 수평 방향의 전계가 가해진다. 또, 제 2 전극층(230a)과 공통 전극인 제 3 전극층(235a)의 사이에 화살표(202i)로 나타내는 경사 방향의 전계가 가해진다. 또, 화살표(202i)로 나타내는 경사 방향의 전계에 의해, 막 두께 방향도 포함하여 액정층 전체에 있어서의 액정분자를 응답시킬 수 있다.
- [0131] 또, 제 2 전극층(230b)과 제 1 전극층(232)의 사이에 화살표(202h)로 나타내는 수평 방향의 전계가 가해진다.

또, 제 2 전극층(230b)과 공통 전극인 제 3 전극층(235a)의 사이에 화살표(202j)로 나타내는 경사 방향의 전계가 가해진다. 또, 화살표(202j)로 나타내는 경사 방향의 전계에 의해, 막 두께 방향도 포함하여 액정층 전체에 있어서의 액정분자를 응답시킬 수 있다.

[0132] 제 3 전극층(235a)을 형성한 액정 표시장치에 있어서의 전계의 인가 상태를 계산한 결과를 도 10b에 도시한다. 도 10a는 계산한 액정 표시장치의 구성을 도시하는 도면이다.

[0133] 또, 단면에 있어서의 공통 전극인 제 3 전극층(235a)의 폭은 $1.60\mu\text{m}$, 두께는 $0.25\mu\text{m}$ 이다. 또, 공통 전극인 제 1 전극층(232), 및 제 3 전극층(235a)은 0V, 화소 전극인 제 2 전극층은 10V의 설정으로 한다.

[0134] 또, 도 5a에서는 화소 전극인 제 2 전극층(230a)과, 공통 전극인 제 1 전극층(232)의 예를 나타냈지만, 도 5b에서는 공통 전극인 제 2 전극층(230a)과, 화소 전극인 제 1 전극층(232)의 예를 도시한다.

[0135] 도 5b의 경우, 제 2 기관(201)에 형성되는 제 3 전극층(235c)은 공통 전극인 제 2 전극층(230a)과 겹치는 위치에 형성한다. 또한, 제 3 전극층(235d)은 공통 전극인 제 2 전극층(230b)과 겹치는 위치에 형성한다. 또, 제 3 전극층(235e)은 공통 전극인 제 2 전극층(230c)과 겹치는 위치에 형성한다.

[0136] 예를 들면, 화소 전극과 공통 전극에 전위차가 생기도록 전압을 인가하면, 도 5b에 있어서의 공통 전극인 제 2 전극층(230a)과 화소 전극인 제 1 전극층(232)의 사이에 화살표(202w)로 나타내는 수평 방향의 전계가 가해진다. 또, 제 1 전극층(232)과 공통 전극인 제 3 전극층(235c)의 사이에 화살표(202y)로 나타내는 경사 방향의 전계가 가해진다. 또, 화살표(202y)로 나타내는 경사 방향의 전계에 의해, 막 두께 방향도 포함하여 액정층 전체에 있어서의 액정분자를 응답시킬 수 있다.

[0137] 또, 제 2 전극층(230b)과 제 1 전극층(232)의 사이에 화살표(202x)로 나타내는 수평 방향의 전계가 가해진다. 또, 제 1 전극층(232)과 공통 전극인 제 3 전극층(235d)의 사이에 화살표(202z)로 나타내는 경사 방향의 전계가 가해진다. 또, 화살표(202z)로 나타내는 경사 방향의 전계에 의해, 막 두께 방향도 포함하여 액정층 전체에 있어서의 액정분자를 응답시킬 수 있다.

[0138] 제 3 전극층(235c, 235d)을 형성한 액정 표시장치에 있어서의 전계의 인가 상태를 계산한 결과를 도 11b에 도시한다. 도 11a는 계산한 액정 표시장치의 구성을 도시하는 도면이다. 또, 공통 전극인 제 2 전극층(230a, 230b), 및 제 3 전극층(235c, 235d)은 0V, 화소 전극인 제 1 전극층(232)은 10V의 설정으로 한다.

[0139] 또, 단면에 있어서의 화소 전극인 제 3 전극층(235c, 235d)의 폭은 $2.40\mu\text{m}$, 두께는 $0.25\mu\text{m}$ 이다.

[0140] 본 실시형태는 실시형태 1, 실시형태 2, 또는 실시형태 3과 자유롭게 조합할 수 있다.

[0141] (실시형태 5)

[0142] 여기서는 액정 표시장치의 블록도의 구성에 대해서, 도 12에 도시한다. 도 12a에는 표시부(1301), 및 구동부(1302)의 구성에 대해서 도시하고 있다. 구동부(1302)는 신호선 구동 회로(1303), 주사선 구동 회로(1304) 등으로 구성되어 있다. 표시부(1301)에는 복수의 화소(1305)가 매트릭스형으로 배치되어 있다.

[0143] 도 12a에 있어서, 주사선 구동 회로(1304)는 주사선(1306)에 주사 신호를 공급한다. 또 신호선 구동 회로(1303)는 신호선(1308)에 데이터를 공급한다. 이 주사선(1306)으로부터의 주사 신호에 의해, 화소(1305)가 주사선(1306)의 일행째부터 차례로 선택 상태가 되도록 주사 신호를 공급한다.

[0144] 또 도 12a에 있어서, 주사선 구동 회로(1304)에는 G_1 내지 G_n 의 n 개의 주사선(1306)이 접속된다. 또 신호선 구동 회로(1303)에는 화상의 최소단위를 RGB(R : 적색, G : 녹색, B : 청색)의 3개의 화소로 구성하는 경우를 생각했을 때, R에 대응하는 신호선 S_{R1} 내지 S_{Rm} 의 m 개와, G에 대응하는 신호선 S_{G1} 내지 신호선 S_{Gm} 의 m 개와, B에 대응하는 S_{B1} 내지 S_{Bm} 의 m 개의, 합계 $3m$ 개의 신호선이 접속된다. 즉, 도 12b에 도시하는 바와 같이 화소(1305)는 색 요소마다 신호선을 배치하고, 각 색 요소를 대응한 화소에 신호선으로부터 데이터를 공급하는 것으로 원하는 색을 재현하는 것이 가능하게 된다.

[0145] 또, 도 13에 도시하는 타이밍 차트는 1프레임 기간, 행 선택 기간(표시장치의 화소 1행의 스캔 시간)에 따른 기간에 주사선(1306; 대표적으로, G_1 , G_n)을 선택하기 위한 주사 신호, 및 신호선(1308; 대표적으로, S_{R1})의 데이터 신호에 대해서 도시하고 있다.

[0146] 또, 도 12에 도시하는 회로도에 있어서, 각 화소가 구비하는 트랜지스터로서, n채널형 트랜지스터인 경우에 대

해서 상정하고 있다. 그리고, 도 13에 있어서의 설명에 있어서도 n채널형 트랜지스터의 온 또는 오프를 제어하는 경우의 화소의 구동에 대해서 설명하는 것이다. 또, 도 12에 있어서의 회로도에 있어서 p채널형 트랜지스터를 사용하여 제작한 경우에는 트랜지스터의 온 또는 오프가 같은 동작이 되도록 주사 신호의 전위를 적당히 변경하면 좋다.

[0147] 도 13의 타이밍 차트에 있어서, 1화면분의 화상을 표시하는 기간에 상당하는 1프레임 기간을, 화상을 보는 사람이 동화상 표시시의 잔상감을 느끼지 않도록 적어도 1/120초($\approx 8.3\text{ms}$)로 하고(더욱 바람직하게는 1/240초), 주사선의 개수를 n개로 생각하면, $1/(120 \times n)$ 초가 행 선택 기간에 상당하게 된다. 여기에서, 주사선의 개수를 2000개(4096×2160 화소, 3840×2160 화소 등의 소위 4k2k 영상을 상정)를 가지는 표시장치를 생각하면, 배선에 기인하는 신호의 지연 등을 고려하지 않는 경우에는 $1/240000$ 초($\approx 4.2\mu\text{s}$)가 행 선택 기간에 상당한다.

[0148] 블루상의 액정소자의 전압 인가에 대한 응답 시간(액정분자의 배향을 바꾸는데 걸리는 시간)은 1ms 이하이다. 이것에 대하여, VA 방식의 액정소자의 전압 인가에 대한 응답 시간은 오버드라이브 구동을 사용해도 수ms 정도이다. 그 때문에, VA 방식의 액정소자의 동작에서는 양호한 표시의 유지를 도모하며 또, 응답 시간보다 1프레임 기간의 길이가 짧아지지 않도록 하는 제약이 있다. 한편, 블루상의 액정소자를 사용하고, 또한 Cu 배선 등의 저저항 재료로 배선을 형성하여 배선에 기인하는 신호의 지연 등을 경감할 수 있는 본 실시형태의 표시장치에서는 액정소자의 응답 시간에 충분한 마진을 얻을 수 있는 동시에, 행 선택 기간에 액정소자에 인가한 전압에 따른 원하는 액정소자의 배향을 효율적으로 얻을 수 있다.

[0149] 본 실시형태는 실시형태 1, 실시형태 2, 실시형태 3, 실시형태 4와 자유롭게 조합할 수 있다.

[0150] (실시형태 6)

[0151] 실시형태 1 내지 실시형태 4에 있어서, 액정 표시장치에 적용할 수 있는 박막 트랜지스터의 다른 예를 도시한다. 특히 박막 트랜지스터의 구조 및 반도체층에 사용하는 반도체재료의 예이며, 다른 실시형태 1 내지 4와 같은 것에 관해서는 같은 재료 및 제작 방법을 적용할 수 있고, 동일부분 또는 같은 기능을 가지는 부분의 상세한 설명은 생략한다.

[0152] 도 14에, 본 실시형태에서 개시하는 박막 트랜지스터의 일 형태의 단면도를 도시한다. 도 14에 도시하는 박막 트랜지스터는 기판(501) 위에, 게이트 전극층(503)과, 게이트 절연층(505) 위에 반도체층(515)과, 반도체층(515) 위에 접하는 소스 영역 및 드레인 영역으로서 기능하는 불순물 반도체층(527)과, 불순물 반도체층(527)에 접하는 배선(525)을 가진다. 또한, 반도체층(515)은 미결정 반도체층(515a)과, 혼합 영역(515b)과, 비정질 반도체를 포함하는 층(529c)이, 게이트 절연층(505)측부터 차례로 적층되어 있다.

[0153] 다음에, 반도체층(515)의 구조에 대해서 설명한다. 여기에서는 도 14의 게이트 절연층(505)과, 소스 영역 및 드레인 영역으로서 기능하는 불순물 반도체층(527)의 사이의 확대도를 도 15에 도시한다.

[0154] 반도체층(515)의 일 형태를 도 15에 도시한다. 반도체층(515)은 도 15a에 도시하는 바와 같이, 미결정 반도체층(515a), 혼합 영역(515b), 비정질 반도체를 포함하는 층(529c)이 적층되어 있다.

[0155] 미결정 반도체층(515a)을 구성하는 미결정 반도체란 결정 구조(단결정, 다결정을 포함함)를 가지는 반도체이다. 미결정 반도체는 자유 에너지적으로 안정된 제 3 상태를 가지는 반도체이며, 단거리 질서를 갖고 격자 변형을 가지는 결정질의 반도체이며, 결정 입자 직경이 2nm 이상 200nm 이하, 바람직하게는 10nm 이상 80nm 이하, 또 바람직하게는 20nm 이상 50nm 이하의 주상(柱狀) 결정 또는 침상(針狀) 결정이 기판 표면에 대하여 법선 방향으로 성장하고 있다. 이 때문에, 주상 결정 또는 침상 결정의 계면에는 결정립계가 형성되는 경우도 있다.

[0156] 미결정 반도체의 대표적인 예인 미결정 실리콘은 그 라만 스펙트럼의 피크가 단결정 실리콘을 나타내는 520cm^{-1} 보다도 저파수측으로 시프트하고 있다. 즉, 단결정 실리콘을 나타내는 520cm^{-1} 과 아모퍼스 실리콘을 나타내는 480cm^{-1} 의 사이에 미결정 실리콘의 라만 스펙트럼의 피크를 나타낸다. 또한, 미결합수(덴글링 본드)를 종단하기 위해서 수소 또는 할로젠을 적어도 1원자% 또는 그 이상 포함하여도 좋다. 또, 헬륨, 아르곤, 크립톤, 또는 네온 등의 희가스 원소를 포함하여도 좋고, 이것에 의해 격자 변형을 더욱 조장시키는 것으로, 미결정의 구조의 안정성이 늘어 양호한 미결정 반도체를 얻을 수 있다. 이러한 미결정 반도체에 관한 기술은 예를 들면, 미국 특허 4,409,134호에 개시되어 있다.

[0157] 또, 미결정 반도체층(515a)에 포함되는 산소 및 질소의 2차 이온 질량 분석법에 의해 측정되는 농도를, $1 \times$

10^{18} atoms/cm³ 미만으로 하는 것으로, 미결정 반도체층(515a)의 결정성을 높일 수 있기 때문에 바람직하다.

[0158] 미결정 반도체층(515a)의 두께는 3 내지 100nm, 또는 5 내지 50nm인 것이 바람직하다.

[0159] 또, 도 14 및 도 15에 있어서는 미결정 반도체층(515a)을 층 형상으로 도시하였지만, 이 대신에, 미결정 반도체 입자가 게이트 절연층(505) 위에서 분산되어도 좋다. 이 경우, 혼합 영역(515b)은 미결정 반도체 입자 및 게이트 절연층(505)에 접한다.

[0160] 미결정 반도체 입자의 크기를, 1 내지 30nm로 하고, 밀도를 1×10^{13} /cm³ 미만, 바람직하게는 1×10^{10} /cm³ 미만으로 하면, 분리된 미결정 반도체 입자를 형성하는 것이 가능하다.

[0161] 혼합 영역(515b) 및 비정질 반도체를 포함하는 층(529c)에는 질소가 포함된다. 혼합 영역(515b)에 포함되는 질소의 농도는 1×10^{20} atoms/cm³ 이상 1×10^{21} atoms/cm³ 이하, 바람직하게는 2×10^{20} atoms/cm³ 이상 1×10^{21} atoms/cm³ 이하이다.

[0162] 도 15a에 도시하는 바와 같이, 혼합 영역(515b)은 미결정 반도체 영역(508a), 및 상기 미결정 반도체 영역(508a)의 사이에 충전되는 비정질 반도체 영역(508b)을 가진다. 구체적으로는 미결정 반도체층(515a)의 표면으로부터 볼록형으로 신장한 미결정 반도체 영역(508a)과, 비정질 반도체를 포함하는 층(529c)과 같은 반도체로 형성되는 비정질 반도체 영역(508b)으로 형성된다.

[0163] 미결정 반도체 영역(508a)은 게이트 절연층(505)으로부터 비정질 반도체를 포함하는 층(529c)을 향하여, 선단이 좁아지는 볼록형, 침상, 또는 송곳형상의 미결정 반도체다. 또, 게이트 절연층(505)으로부터 비정질 반도체를 포함하는 층(529c)을 향해서 폭이 퍼지는 볼록형, 또는 송곳형상의 미결정 반도체이어도 좋다.

[0164] 또, 혼합 영역(515b)에 포함되는 비정질 반도체 영역(508b)에, 미결정 반도체 영역으로서, 입자 직경이 1nm 이상 10nm 이하, 바람직하게는 1nm 이상 5nm 이하의 반도체 결정립을 포함하는 경우도 있다.

[0165] 또, 도 15b에 도시하는 바와 같이, 혼합 영역(515b)은 미결정 반도체층(515a) 위에 일정한 두께로 퇴적한 미결정 반도체 영역(508c)과, 게이트 절연층(505)이 비정질 반도체를 포함하는 층(529c)을 향하여, 선단이 좁아지는 볼록형, 침상, 또는 송곳형상의 미결정 반도체 영역(508a)이 연속적으로 형성되는 경우가 있다.

[0166] 또, 도 15a 및 도 15b에 도시하는 혼합 영역(515b)에 포함되는 비정질 반도체 영역(508b)은 비정질 반도체를 포함하는 층(529c)과 대략 동질의 반도체다.

[0167] 이들로부터, 미결정 반도체로 형성되는 영역과, 비정질 반도체로 형성되는 영역의 계면이 혼합 영역에 있어서의 미결정 반도체 영역(508a) 및 비정질 반도체 영역(508b)의 계면이라고도 할 수 있기 때문에, 미결정 반도체 영역과, 비정질 반도체 영역의 단면에 있어서의 경계가 요철형 또 지그재그형이라고도 할 수 있다.

[0168] 혼합 영역(515b)에 있어서, 미결정 반도체 영역(508a)이 게이트 절연층(505)으로부터 비정질 반도체를 포함하는 층(529c)을 향하여, 선단이 좁아지는 볼록형의 반도체 결정립의 경우는 미결정 반도체층(515a)측이, 비정질 반도체를 포함하는 층(529c)측과 비교하여, 미결정 반도체 영역의 비율이 높다. 이것은 미결정 반도체층(515a)의 표면으로부터, 미결정 반도체 영역(508a)이 막 두께 방향으로 성장하지만, 원료 가스에 질소를 포함하는 가스를 포함시키거나, 또는 원료 가스에 질소를 포함하는 가스를 포함시키면서, 미결정 반도체층(515a)의 퇴적 조건에 의해 실란에 대한 수소의 유량을 저감하면, 미결정 반도체 영역(508a)의 반도체 결정립의 성장이 억제되어, 송곳형상의 미결정 반도체 영역이 되는 동시에, 드디어 비정질 반도체가 퇴적되기 때문이다. 이것은 미결정 반도체 영역에 있어서의 질소의 고용도가, 비정질 반도체 영역에 비하여 낮기 때문이다.

[0169] 미결정 반도체층(515a) 및 혼합 영역(515b)의 두께의 합계, 즉, 게이트 절연층(505)의 계면으로부터, 혼합 영역(515b)의 돌기(볼록부)의 선단의 거리는 3nm 이상 410nm 이하, 바람직하게는 20nm 이상 100nm 이하로 하는 것으로, 박막 트랜지스터의 오프 전류를 저감할 수 있다.

[0170] 비정질 반도체를 포함하는 층(529c)은 혼합 영역(515b)에 포함되는 비정질 반도체 영역(508b)과 대략 동질의 반도체이며 질소를 포함한다. 또, 입자 직경이 1nm 이상 10nm 이하, 바람직하게는 1nm 이상 5nm 이하의 반도체 결정립을 포함하는 경우도 있다. 여기에서는 종래의 비정질 반도체와 비교하여, CPM(Constant photocurrent method)이나 포토 루미네선스 분광 측정으로 측정되는 Urbach단의 에너지가 작고, 결함 흡수 스펙트럼량이 적은 반도체층을, 비정질 반도체를 포함하는 층(529c)이라고 한다. 즉, 종래의 비정질 반도체와 비교하여, 결함이 적고, 가전자대 밴드단에 있어서의 준위의 테일(자락)의 경사가 급준한 질서성이 높은 반도체를, 비정질 반도체

를 포함하는 층(529c)으로 한다. 비정질 반도체를 포함하는 층(529c)은 가전자대 밴드단에 있어서의 준위의 테일(자락)의 경사가 급준하기 때문에, 밴드갭이 넓어지고, 터널 전류가 흐르기 어려워진다. 이 때문에, 비정질 반도체를 포함하는 층(529c)을 백 채널층에 형성하는 것으로, 박막 트랜지스터의 오프 전류를 저감할 수 있다. 또한, 비정질 반도체를 포함하는 층(529c)을 형성하는 것으로, 온 전류 및 전계 효과 이동도를 높이는 것이 가능하다.

[0171] 또, 비정질 반도체를 포함하는 층(529c)은 저온 포토루미네선스 분광에 의한 스펙트럼의 피크 영역은 1.31eV 이상 1.39eV 이하이다. 또, 미결정 반도체층, 대표적으로는 미결정 실리콘층을 저온 포토루미네선스 분광에 의해 측정된 스펙트럼의 피크 영역은 0.98eV 이상 1.02eV 이하이며, 비정질 반도체를 포함하는 층(529c)은 미결정 반도체층과는 다르다.

[0172] 또, 비정질 반도체를 포함하는 층(529c)의 비정질 반도체란 대표적으로는 아모퍼스 실리콘이다.

[0173] 또, 혼합 영역(515b) 및 비정질 반도체를 포함하는 층(529c)의 두께는 50 내지 350nm, 또는 120 내지 250nm인 것이 바람직하다.

[0174] 혼합 영역(515b)에 있어서, 송곳형상의 미결정 반도체 영역(508a)을 가지기 때문에, 소스 전극 또는 드레인 전극에 전압이 인가되었을 때의 세로 방향(막 두께 방향)에 있어서의 저항, 즉, 미결정 반도체층(515a), 혼합 영역(515b), 및 비정질 반도체를 포함하는 층(529c)의 저항을 내리는 것이 가능하다.

[0175] 또, 혼합 영역(515b)은 NH기 또는 NH₂기를 가지는 경우가 있다. NH기 또는 NH₂기는 미결정 반도체 영역(508a)에 포함되는 다른 미결정 반도체 영역의 계면, 또는 미결정 반도체 영역(508a)과 비정질 반도체 영역(508b)의 계면, 미결정 반도체층(515a) 및 혼합 영역(515b)의 계면에 있어서, 실리콘 원자의 dangling bond와 결합하는 것으로, 결합이 저감되기 때문에 바람직하다.

[0176] 또, 혼합 영역(515b)의 산소 농도를 질소 농도보다 저감함으로써, 미결정 반도체 영역(508a)과 비정질 반도체 영역(508b)의 계면이나, 반도체 결정립끼리의 계면에 있어서의 결합에 있어서의, 캐리어의 이동을 저해하는 결합을 저감할 수 있다.

[0177] 이 때문에, 채널 형성 영역을 미결정 반도체층(515a)으로 형성하고, 채널 형성 영역과 소스 영역 및 드레인 영역으로서 기능하는 불순물 반도체층(527)의 사이에, 결합이 적고, 가전자대 밴드단에 있어서의 준위의 테일(자락)의 경사가 급준한 질서성이 높은 반도체층으로 형성되는 비정질 반도체를 포함하는 층(529c)을 형성하는 것으로, 박막 트랜지스터의 오프 전류를 저감할 수 있다. 또한, 채널 형성 영역과 소스 영역 및 드레인 영역으로서 기능하는 불순물 반도체층(527)의 사이에, 송곳형상의 미결정 반도체 영역(508a)을 가지는 혼합 영역(515b)과, 결합이 적고, 가전자대 밴드단에 있어서의 준위의 테일(자락)의 경사가 급준한 질서성이 높은 반도체층으로 형성되는 비정질 반도체를 포함하는 층(529c)을 형성하는 것으로, 온 전류 및 전계 효과 이동도를 높이면서, 오프 전류를 저감하는 것이 가능하다.

[0178] 도 14에 도시하는 불순물 반도체층(527)은 인이 첨가된 아모퍼스 실리콘, 인이 첨가된 미결정 실리콘 등으로 형성한다. 또, 박막 트랜지스터로서, p채널형 박막 트랜지스터를 형성하는 경우는 불순물 반도체층(527)은 붕소가 첨가된 미결정 실리콘, 붕소가 첨가된 아모퍼스 실리콘 등으로 형성한다. 또, 혼합 영역(515b), 또는 비정질 반도체를 포함하는 층(529c)과, 배선(525)이 오믹 콘택트를 행하는 경우는 불순물 반도체층(527)을 형성하지 않아도 좋다.

[0179] 도 14 및 도 15에 도시하는 박막 트랜지스터는 미결정 반도체층을 채널 형성 영역으로 하고, 백 채널층을 비정질 반도체를 포함하는 층으로 하는 것으로, 오프 전류를 저감하는 동시에, 온 전류 및 전계 효과 이동도를 높이는 것이 가능하다. 또한, 채널 형성 영역을 미결정 반도체층으로 형성하기 때문에, 열화가 적고, 전기 특성의 신뢰성이 높다.

[0180] 본 실시형태는 다른 실시형태에 기재한 구성과 적당히 조합하여 실시하는 것이 가능하다.

[0181] (실시형태 7)

[0182] 실시형태 1 내지 실시형태 6 중 어느 하나에 개시한 액정 표시장치는 박막 트랜지스터를 가지고, 상기 박막 트랜지스터를 구동 회로, 또는 화소부에 사용하여 표시 기능을 가진다. 또, 박막 트랜지스터를 구동 회로의 일부 또는 전체를, 화소부와 같은 기관 위에 일체로 형성하고, 시스템 온 패넌을 형성할 수 있다.

[0183] 액정 표시장치는 표시 소자로서 액정소자(액정 표시 소자라고도 함)를 포함한다.

- [0184] 또, 액정 표시장치는 표시 소자가 밀봉된 상태에 있는 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등을 형성한 상태에 있는 모듈을 포함한다. 또, 상기 액정 표시장치를 제작하는 과정에 있어서의, 표시 소자가 완성되기 전의 일 형태에 상당하는 소자 기판에 관하여, 상기 소자 기판은 전류를 표시 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 소자 기판은 구체적으로는 표시 소자의 화소 전극만이 형성된 상태이어도 좋고, 화소 전극이 되는 도전막을 성막한 후로, 에칭하여 화소 전극을 형성하기 전의 상태이어도 좋고, 모든 형태가 적합하다.
- [0185] 또, 본 명세서 중에 있어서의 액정 표시장치란 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치 포함)를 가리킨다. 또한, 커넥터, 예를 들면 FPC(Flexible printed circuit) 또는 TAB(Tape Automated Bonding) 테이프 또는 TCP(Tape Carrier Package)가 장착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 형성된 모듈, 또는 표시 소자에 COG(Chip On Glass) 방식에 의해 IC(집적 회로)가 직접 형성된 모듈도 모두 액정 표시장치에 포함하기로 한다.
- [0186] 액정 표시장치의 일 형태에 상당하는 액정 표시 패널의 외관 및 단면에 대해서, 도 16을 사용하여 설명한다. 도 16은 제 1 기판(4001) 위에 형성된 박막 트랜지스터(4010, 4011), 및 액정소자(4013)를, 제 2 기판(4006)과의 사이에 시일 재료(4005)에 의해 밀봉한, 패널의 상면도이며, 도 16b는 도 16a1, 16a2의 M-N에 있어서의 단면도에 상당한다.
- [0187] 제 1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록 하여, 시일 재료(4005)가 형성되어 있다. 또 화소부(4002)와, 주사선 구동 회로(4004) 위에 제 2 기판(4006)이 형성되어 있다. 따라서 화소부(4002)와, 주사선 구동 회로(4004)는 제 1 기판(4001)과 시일 재료(4005)와 제 2 기판(4006)에 의해, 액정층(4008)과 함께 밀봉되어 있다.
- [0188] 또, 도 16a1은 제 1 기판(4001) 위의 시일 재료(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 형성되어 있다. 또, 도 16a2는 신호선 구동 회로의 일부를 제 1 기판(4001) 위에 박막 트랜지스터로 형성하는 예이며, 제 1 기판(4001) 위에 신호선 구동 회로(4003b)가 형성되고, 또한 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003a)가 형성되어 있다.
- [0189] 또, 별도 형성한 구동 회로의 접속 방법은 특히 한정되는 것이 아니고, COG 방법, 와이어 본딩 방법, 또는 TAB 방법 등을 사용할 수 있다. 도 16a1은 COG 방법에 의해 신호선 구동 회로(4003)를 형성하는 예이며, 도 16a2는 TAB 방법에 의해 신호선 구동 회로(4003)를 형성하는 예이다.
- [0190] 도 16에서는 접속 단자 전극(4015)이, 화소 전극층(4030)과 같은 도전막으로 형성되고, 단자 전극(4016)은 박막 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성되어 있다. 접속 단자 전극(4015)은 FPC(4018)가 가지는 단자와, 이방성 도전막(4019)을 통해 전기적으로 접속되어 있다.
- [0191] 또 제 1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)는 박막 트랜지스터를 복수 가지고 있고, 도 16b에서는 화소부(4002)에 포함되는 박막 트랜지스터(4010)와, 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시하고 있다. 박막 트랜지스터(4010, 4011) 위에는 절연층(4020, 4021)이 형성되어 있다.
- [0192] 박막 트랜지스터(4010, 4011)는 실시형태 3에 개시하는 박막 트랜지스터를 적용한다. 또한, 실시형태 6에 개시하는 미결정 반도체층을 반도체층으로서 포함하는 박막 트랜지스터를 적용할 수 있다. 박막 트랜지스터(4010, 4011)는 n채널형 박막 트랜지스터다.
- [0193] 또, 제 1 기판(4001) 위에 화소 전극층(4030) 및 공통 전극층(4031)이 형성된다.
- [0194] 또, 실시형태 3과 마찬가지로, 절연층(4021)과 같은 공정에서, 복수의 구조체를 형성한다. 제 1 구조체(4022)의 사면에는 화소 전극층(4030)이 형성되고, 또 절연층(4023)과 공통 전극층(4031)이 적층된다. 또한, 제 1 구조체(4022)와 이웃하는 제 2 구조체(4024)에는 화소 전극층(4030)과 절연층(4023)이 적층된다.
- [0195] 화소 전극층(4030)은 절연층(4020)에 형성된 콘택트 홀을 통해 박막 트랜지스터(4010)와 전기적으로 접속되어 있다. 액정소자(4013)는 제 1 구조체(4022)의 사면에 형성된 공통 전극층(4031), 제 2 구조체(4024)의 사면에 형성된 화소 전극층(4030), 및 이들의 사이에 끼워져 있는 액정층(4008)을 포함한다.
- [0196] 또, 제 1 기판(4001), 제 2 기판(4006)의 외측에는 각각 편광판(4032, 4033)이 형성되어 있다.

- [0197] 또, 제 1 기판(4001), 제 2 기판(4006)으로서는 투광성을 가지는 유리, 플라스틱 등을 사용할 수 있다. 플라스틱으로서는 FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐 플루오라이드) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름을 사용할 수 있다. 또한, 알루미늄 포일을 PVF 필름이나 폴리에스테르 필름으로 끼운 구조의 시트를 사용할 수도 있다.
- [0198] 또 4035는 절연막을 선택적으로 에칭하는 것으로 얻어지는 주상의 스페이서이며, 액정층(4008)의 막 두께(셀 갭)를 제어하기 위해서 형성되어 있다. 또 구형의 스페이서를 사용하여도 좋다. 또, 액정층(4008)을 사용하는 액정 표시장치는 액정층(4008)의 막 두께(셀 갭)를 5 μ m 이상 20 μ m 정도로 하는 것이 바람직하다.
- [0199] 또 도 16은 투과형 액정 표시장치의 예이지만, 반투과형 액정 표시장치라도 적용할 수 있다.
- [0200] 또, 도 16의 액정 표시장치에서는 기판의 외측(시인측)에 편광판을 형성하는 예를 도시하지만, 편광판은 기판의 내측에 형성해도 좋다. 편광판의 재료나 제작 공정 조건에 의해 적당히 설정하면 좋다. 또한, 블랙 매트릭스로서 기능하는 차광층을 형성해도 좋다.
- [0201] 절연층(4021)은 수지층이다. 도 16에 있어서는 박막 트랜지스터(4010, 4011) 상방을 덮도록 차광층(4034)이 제 2 기판(4006)측에 형성되어 있다. 차광층(4034)을 형성함으로써, 또 콘트라스트 향상이나 박막 트랜지스터의 안정화의 효과를 향상시킬 수 있다.
- [0202] 도 17은 액정 표시장치의 단면 구조의 일 예이며, 소자 기판(2600)과 대향기판(2601)이 시일 재료(2602)에 의해 고착되고, 그 사이에 TFT 등을 포함하는 소자층(2603), 액정층(2604)이 형성된다.
- [0203] 컬러 표시를 행하는 경우, 백라이트부에 복수 종의 발광색을 사출하는 발광 다이오드를 배치한다. RGB 방식의 경우는 적색발광 다이오드(2910R), 녹색 발광 다이오드(2910G), 청색 발광 다이오드(2910B)를 액정 표시장치의 표시 에어리어를 복수로 분할한 분할 영역에 각각 배치한다.
- [0204] 대향기판(2601)의 외측에는 편광판(2606)이 형성되고, 소자 기판(2600)의 외측에는 편광판(2607), 및 광학 시트(2613)가 형성되어 있다. 광원은 적색 발광 다이오드(2910R), 녹색 발광 다이오드(2910G), 청색 발광 다이오드(2910B)와 반사판(2611)에 의해 구성되고, 회로 기판(2612)에 형성된 LED 제어 회로(2912)는 플렉시블 배선 기판(2609)에 의해 소자 기판(2600)의 배선 회로부(2608)와 접속되어, 또 컨트롤 회로나 전원 회로 등의 외부 회로가 내장되어 있다.
- [0205] 본 실시형태는 이 LED 제어 회로(2912)에 의해 개별로 LED를 발광시킴으로써, 필드 시퀀셜 방식의 액정 표시장치로 하는 예를 개시하지만 특히 한정되지 않고, 백라이트의 광원으로서 냉음극관 또는 백색 LED를 사용하여, 컬러 필터를 형성해도 좋다.
- [0206] 본 실시형태는 다른 실시형태에 기재한 구성과 적당히 조합하여 실시하는 것이 가능하다.
- [0207] (실시형태 8)
- [0208] 실시형태 1 내지 실시형태 6 중 어느 하나에 개시하는 공정에 의해 제작되는 액정 표시장치는 다양한 전자기기(유기기도 포함함)에 적용할 수 있다. 전자기기로서는 예를 들면, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오카메라, 디지털 포토프레임, 휴대전화기(휴대전화, 휴대전화장치라고도 함), 휴대형 게임기, 휴대정보단말, 음향재생장치, 파чин코기 등의 대형 게임기 등을 들 수 있다.
- [0209] 도 18a는 텔레비전 장치(9600)의 일 예를 도시하고 있다. 텔레비전 장치(9600)는 케이스(9601)에 표시부(9603)가 내장되어 있다. 표시부(9603)에 의해, 영상을 표시하는 것이 가능하다. 또한, 여기에서는 벽에 고정하여 케이스의 뒷편을 지지한 구성을 나타내고 있다.
- [0210] 텔레비전 장치(9600)의 조작은 케이스(9601)가 구비하는 조작 스위치나, 별체의 리모트 컨트롤 조작기(9610)에 의해 행할 수 있다. 리모트 컨트롤 조작기(9610)가 구비하는 조작키(9609)에 의해, 채널이나 음량의 조작을 행할 수 있고, 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤 조작기(9610)에, 상기 리모트 컨트롤 조작기(9610)로부터 출력하는 정보를 표시하는 표시부(9607)를 형성하는 구성으로 하여도 좋다.
- [0211] 또, 텔레비전 장치(9600)는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의해 일반 텔레비전 방송의 수신을 행할 수 있고, 또 모뎀을 통해 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 1방향(송신자로부터 수신자) 또는 쌍 방향(송신자와 수신자간, 또는 수신자간끼리 등)의 정보통신을 행하는 것도 가능하다.

- [0212] 도 18b는 휴대형 유기기이며, 케이스(9881)와 케이스(9891)의 2개의 케이스로 구성되어 있고, 연결부(9893)에 의해, 개폐 가능하게 연결되어 있다. 케이스(9881)에는 표시부(9882)가 구비되고, 케이스(9891)에는 표시부(9883)가 내장되어 있다. 또한, 도 18b에 도시하는 휴대형 유기는 그 외에, 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작키(9885), 접속 단자(9887), 센서(9888; 힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학물질, 음성, 시간, 경도, 전장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(9889)) 등을 구비하고 있다. 물론, 휴대형 유기의 구성은 상기한 것에 한정되지 않고, 적어도 반도체장치를 구비한 구성이면 좋고, 기타 부속 설비가 적당히 형성된 구성으로 할 수 있다. 도 18b에 도시하는 휴대형 유기는 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능이나, 다른 휴대형 유기와 무선통신을 행하여 정보를 공유하는 기능을 가진다. 또, 도 18b에 도시하는 휴대형 유기가 가지는 기능은 이것에 한정되지 않고, 여러가지 기능을 가질 수 있다.
- [0213] 도 19a는 휴대전화기(1000)의 일 예를 도시하고 있다. 휴대전화기(1000)는 케이스(1001)에 내장된 표시부(1002) 외에, 조작 버튼(1003), 외부접속 포트(1004), 스피커(1005), 마이크(1006) 등을 구비하고 있다.
- [0214] 도 19a에 도시하는 휴대전화기(1000)는 표시부(1002)를 손가락 등으로 접촉하는 것으로, 정보를 입력할 수 있다. 또한, 전화를 걸거나 또는 메일을 작성하는 등의 조작은 표시부(1002)를 손가락 등으로 접촉함으로써 행할 수 있다.
- [0215] 표시부(1002)의 화면은 주로 3개의 모드가 있다. 제 1 모드는 화상의 표시를 주로 하는 표시 모드이며, 제 2 모드는 문자 등의 정보의 입력을 주로 하는 입력 모드다. 제 3 모드는 표시 모드와 입력 모드의 2개의 모드가 혼합된 표시+입력 모드다.
- [0216] 예를 들면, 전화를 걸거나 또는 메일을 작성하는 경우에는 표시부(1002)를 문자의 입력을 주로 하는 문자 입력 모드로 하고, 화면에 표시시킨 문자의 입력 조작을 행하면 좋다. 이 경우, 표시부(1002)의 화면의 대부분에 키보드 또는 번호 버튼을 표시시키는 것이 바람직하다.
- [0217] 또, 휴대전화기(1000) 내부에, 자이로, 가속도 센서 등의 경사를 검출하는 센서를 가지는 검출 장치를 형성하는 것으로, 휴대전화기(1000)의 방향(세로인지 가로인지)을 판단하여, 표시부(1002)의 화면 표시를 자동적으로 바꾸도록 할 수 있다.
- [0218] 또, 화면 모드의 전환은 표시부(1002)를 접촉하는 것, 또는 케이스(1001)의 조작 버튼(1003)의 조작에 의해 행하여진다. 또한, 표시부(1002)에 표시되는 화상의 종류에 따라 바꾸도록 할 수도 있다. 예를 들면, 표시부에 표시하는 화상 신호가 동화상의 데이터이면 표시 모드, 텍스트 데이터이면 입력 모드로 바꾼다.
- [0219] 또, 입력 모드에 있어서, 표시부(1002)의 광 센서로 검출되는 신호를 검지하고, 표시부(1002)의 터치 조작에 의한 입력이 일정 기간 없는 경우에는 화면의 모드를 입력 모드로부터 표시 모드로 바꾸도록 제어해도 좋다.
- [0220] 표시부(1002)는 이미지 센서로서 기능시킬 수도 있다. 예를 들면, 표시부(1002)에 손바닥이나 손가락을 접촉하는 것으로, 장문, 지문 등을 촬상하는 것으로, 본인인증을 행할 수 있다. 또한, 표시부에 근적외광을 발광하는 백라이트 또는 근적외광을 발광하는 센싱용 광원을 사용하면, 손가락 정맥, 손바닥 정맥 등을 촬상할 수도 있다.
- [0221] 도 19b는 전자서적의 일 예를 도시하는 사시도이다. 도 19b에 도시하는 전자서적은 복수의 표시 패널을 가진다. 제 1 표시 패널(4311)과 제 2 표시 패널(4312)의 사이에, 양면 표시형의 제 3 표시 패널을 탑재하고, 전자서적을 펼친 상태이다.
- [0222] 도 19b에 도시하는 전자서적은 제 1 표시부(4301)를 가지는 제 1 표시 패널(4311)과, 조작부(4304) 및 제 2 표시부(4307)를 가지는 제 2 표시 패널(4312)과, 제 3 표시부(4302) 및 제 4 표시부(4310)를 가지는 제 3 표시 패널(4313)과, 제 1 표시 패널(4311)과, 제 2 표시 패널(4312)과, 제 3 표시 패널(4313)의 일단부에 형성된 철부(4308)를 가지고 있다. 제 3 표시 패널(4313)은 제 1 표시 패널(4311)과 제 2 표시 패널(4312)의 사이에 삽입되어 있다. 도 19b의 전자서적은 제 1 표시부(4301), 제 2 표시부(4307), 제 3 표시부(4302), 및 제 4 표시부(4310)의 4개의 표시 화면을 가지고 있다.
- [0223] 제 1 표시 패널(4311), 제 2 표시 패널(4312), 및 제 3 표시 패널(4313)은 가요성을 가지고 있어, 구부러지기 쉽다. 또한, 제 1 표시 패널(4311), 제 2 표시 패널(4312)에 플라스틱 기판을 사용하고, 제 3 표시 패널(4313)에 얇은 필름을 사용하면 박형의 전자서적으로 할 수 있다.

[0224] 제 3 표시 패널(4313)은 제 3 표시부(4302) 및 제 4 표시부(4310)를 가지는 양면 표시형 패널이다. 제 3 표시 패널(4313)은 사이에 백라이트(적절하게는 박형의 EL 발광 패널)를 끼운 2개의 액정 표시 패널을 사용한다. 또, 제 1 표시 패널(4311), 제 2 표시 패널(4312), 및 제 3 표시 패널(4313)은 모두 액정 표시 패널로 하는 것에 한정되지 않고, EL 발광 표시 패널이나 전자페이퍼 등을 사용하여도 좋고, 3개의 표시 패널 중, 적어도 하나의 표시 패널을 실시형태 1 내지 실시형태 7의 액정 표시장치를 사용하면 좋다. 1개의 전자서적에 복수 종류의 표시 패널을 사용함으로써, 밝은 옥외에서는 전자페이퍼의 표시 패널을 사용하고 다른 패널을 OFF 상태로 하는 것으로 소비 전력을 억제하고, 어두운 장소에서는 액정의 표시 패널을 사용하여 표시를 행할 수 있다. 전자페이퍼는 한번 표시를 행하면 OFF 상태로 하여도 표시를 유지할 수 있는 장점을 가지는 반면, 반사형 표시장치이기 때문에, 광이 없는 장소에서는 표시하는 것이 곤란하다. 따라서, 1개의 전자서적에 복수 종류의 표시 패널을 사용함으로써, 장소를 선택하지 않고 전자서적의 사용이 가능해 진다. 또한, 3개의 표시 패널 중, 적어도 하나의 표시 패널을 풀 컬러 표시시키고, 다른 표시 패널을 모노크롬 표시의 표시 패널로 하여도 좋다.

[0225] 또 도 19b에 도시하는 전자서적에 있어서, 제 2 표시 패널(4312)은 조작부(4304)를 가지고, 전원 입력 스위치나, 표시 전환 스위치 등, 각 기능을 대응시킬 수 있다.

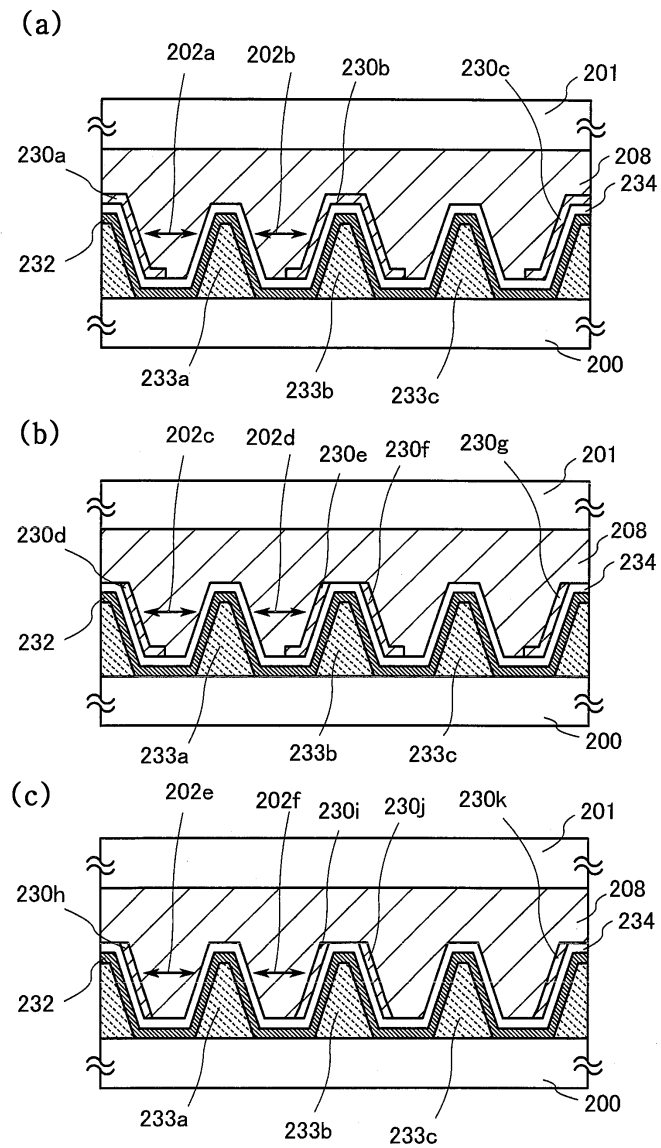
[0226] 또 도 19b에 도시하는 전자서적의 입력 조작은 제 1 표시부(4301)나 제 2 표시부(4307)에 손가락이나 입력 펜 등으로 접촉하는 것, 또는 조작부(4304)의 조작에 의해 행하여진다. 또, 도 19b에서는 제 2 표시부(4307)에 표시된 표시 버튼(4309)을 도시하고 있고, 손가락 등으로 접촉함으로써 입력을 행할 수 있다.

부호의 설명

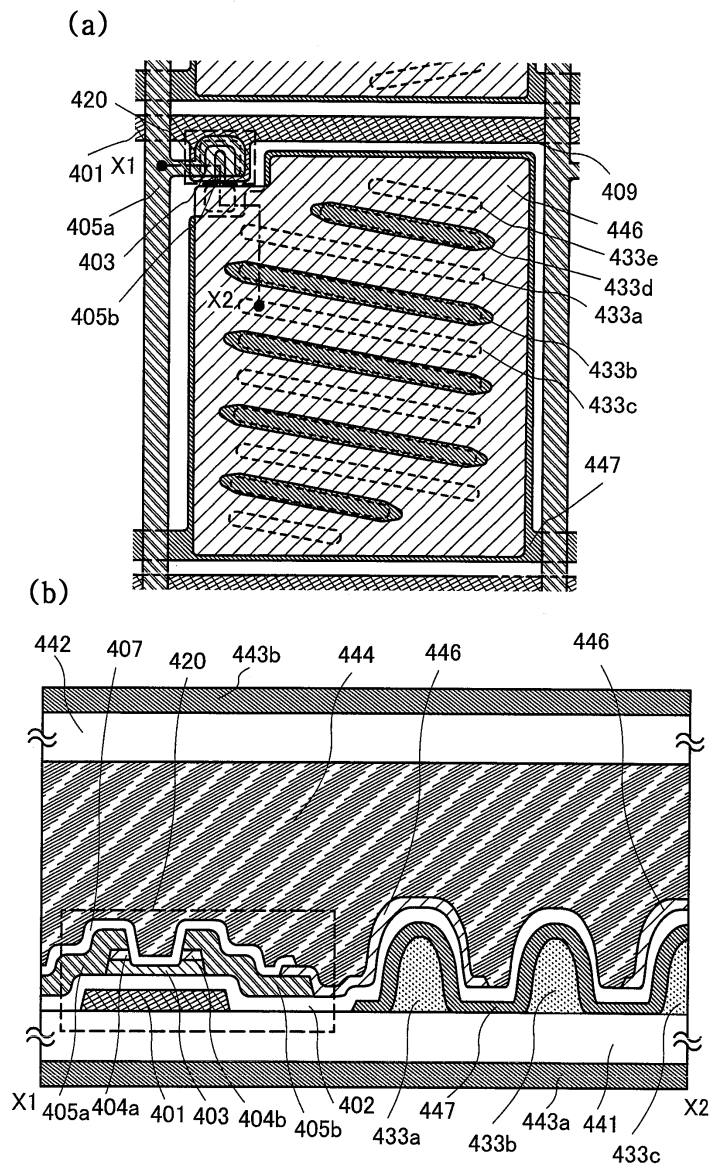
[0227] 401 : 게이트 전극층
402 : 절연층
403 : 반도체층
407 : 절연막
410 : 용량 배선
413 : 층간 절연막
420 : 박막 트랜지스터
433a 내지 433h : 구조체
441 : 제 1 기관
442 : 제 2 기관
444 : 액정층
446 : 전극층
447 : 전극층
455 : 콘택트 홀
456 : 제 2 전극층
457 : 제 1 전극층
465 : 제 2 절연층
466 : 제 2 전극층
467 : 제 1 전극층
468 : 제 3 절연층

도면

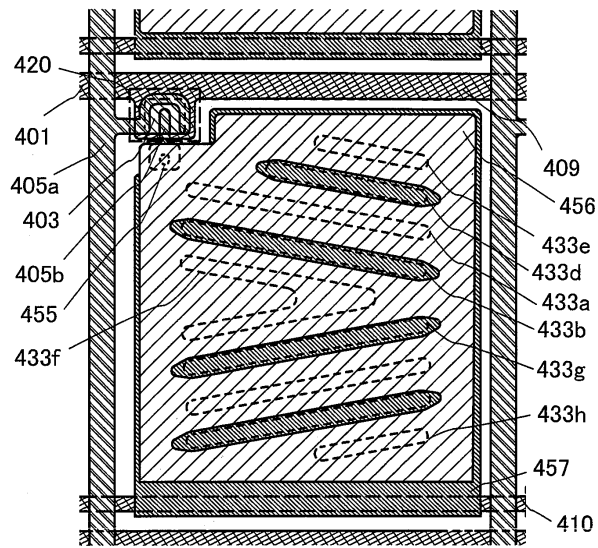
도면1



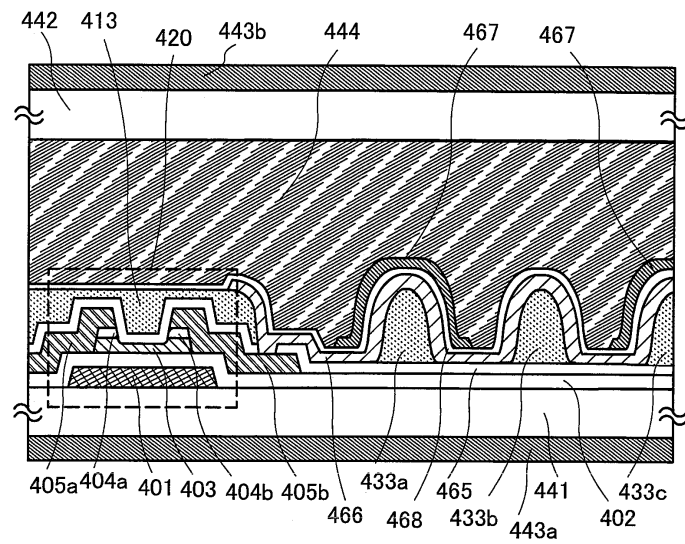
도면2



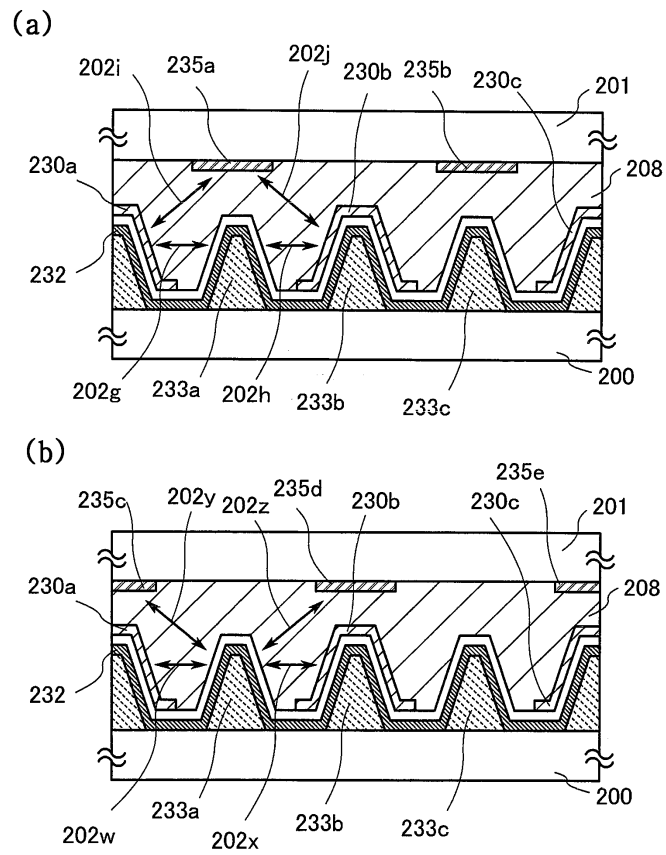
도면3



도면4

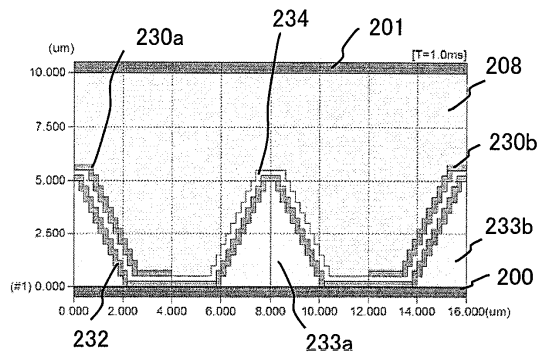


도면5

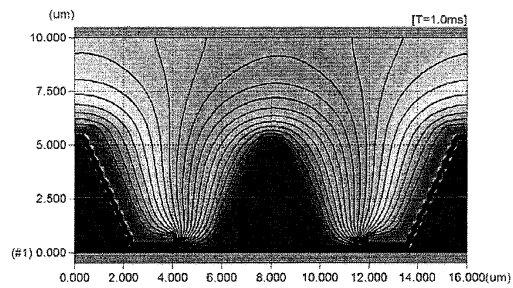


도면6

(a)

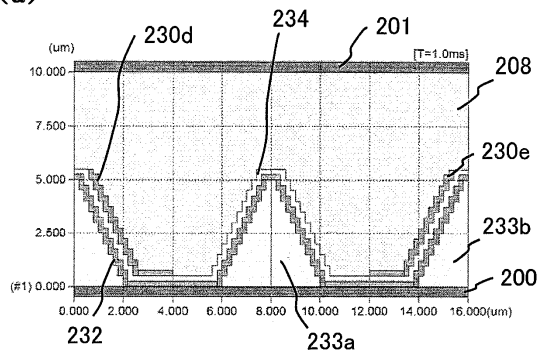


(b)

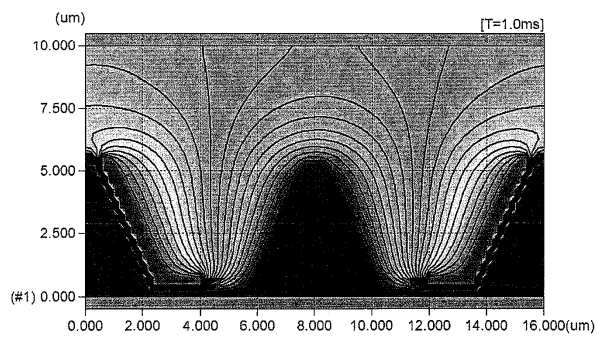


도면7

(a)

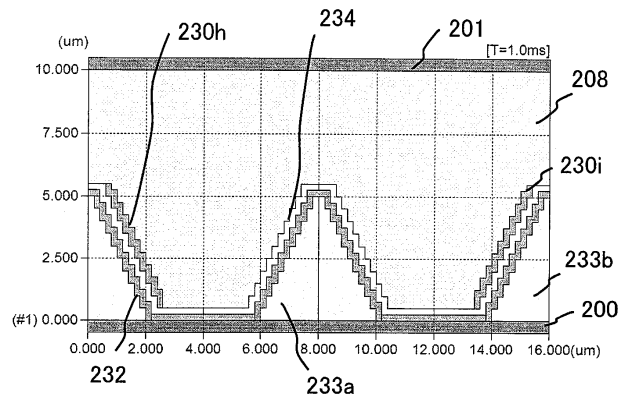


(b)

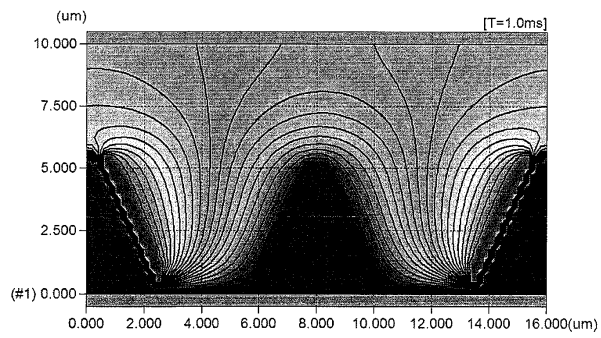


도면8

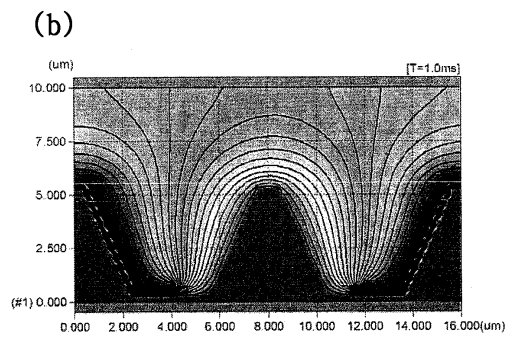
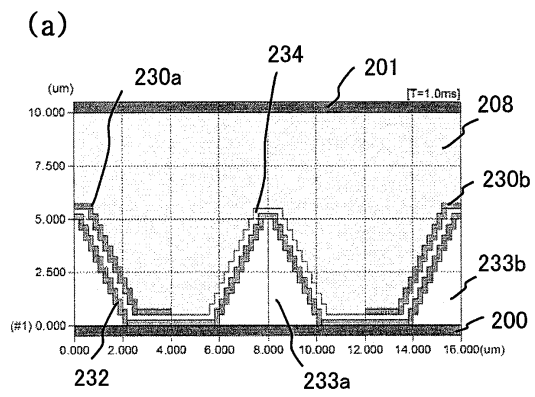
(a)



(b)

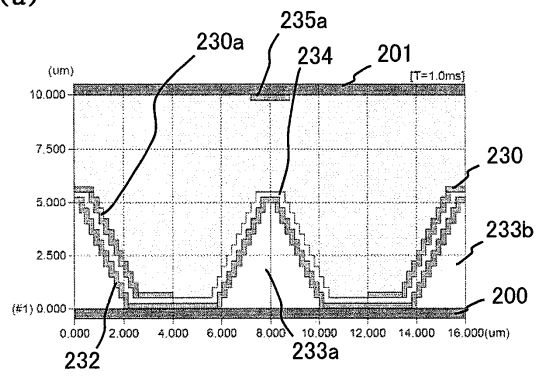


도면9

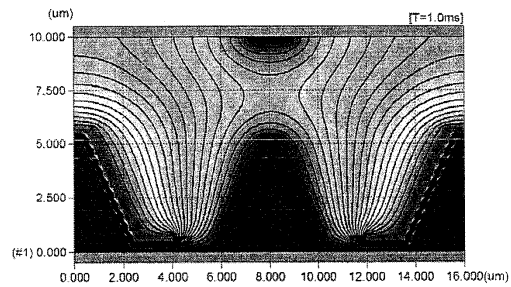


도면10

(a)

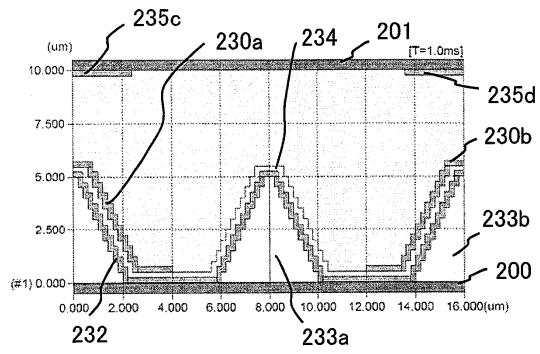


(b)

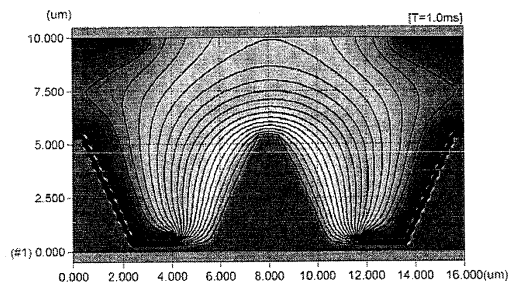


도면11

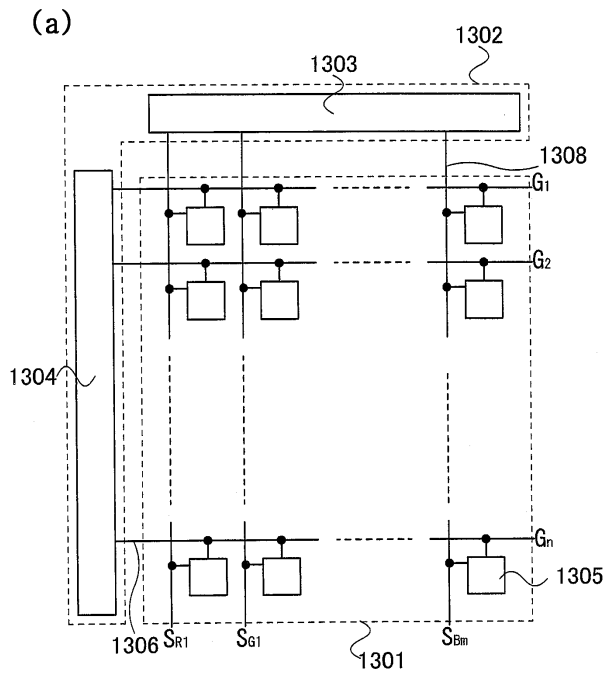
(a)



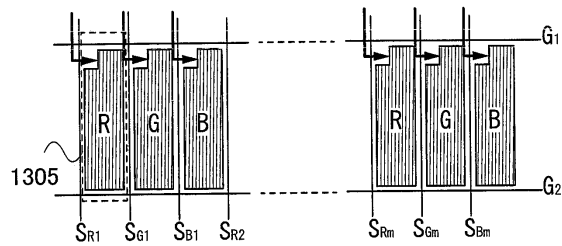
(b)



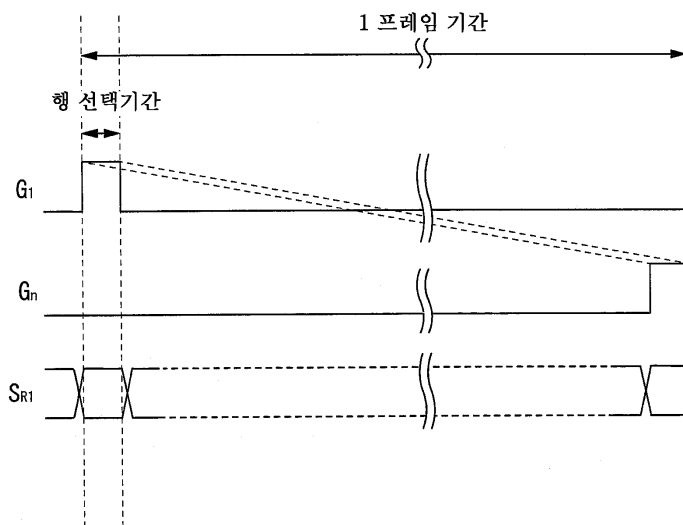
도면12



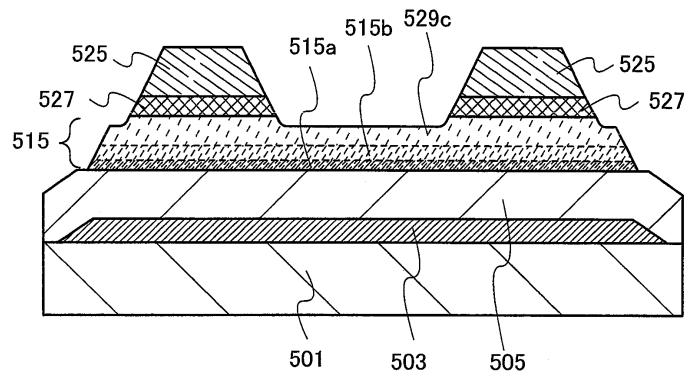
(b)



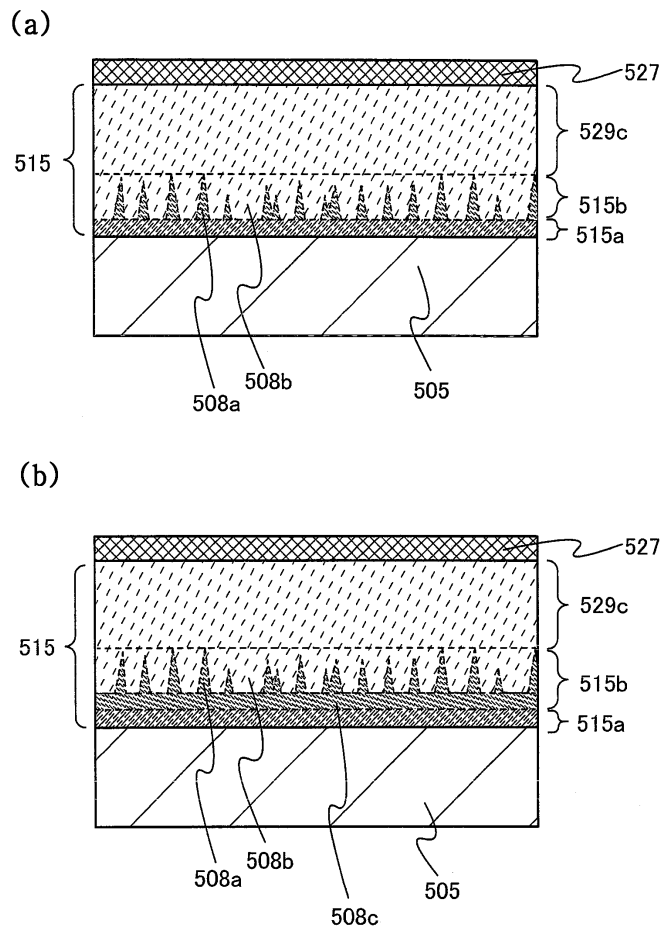
도면13



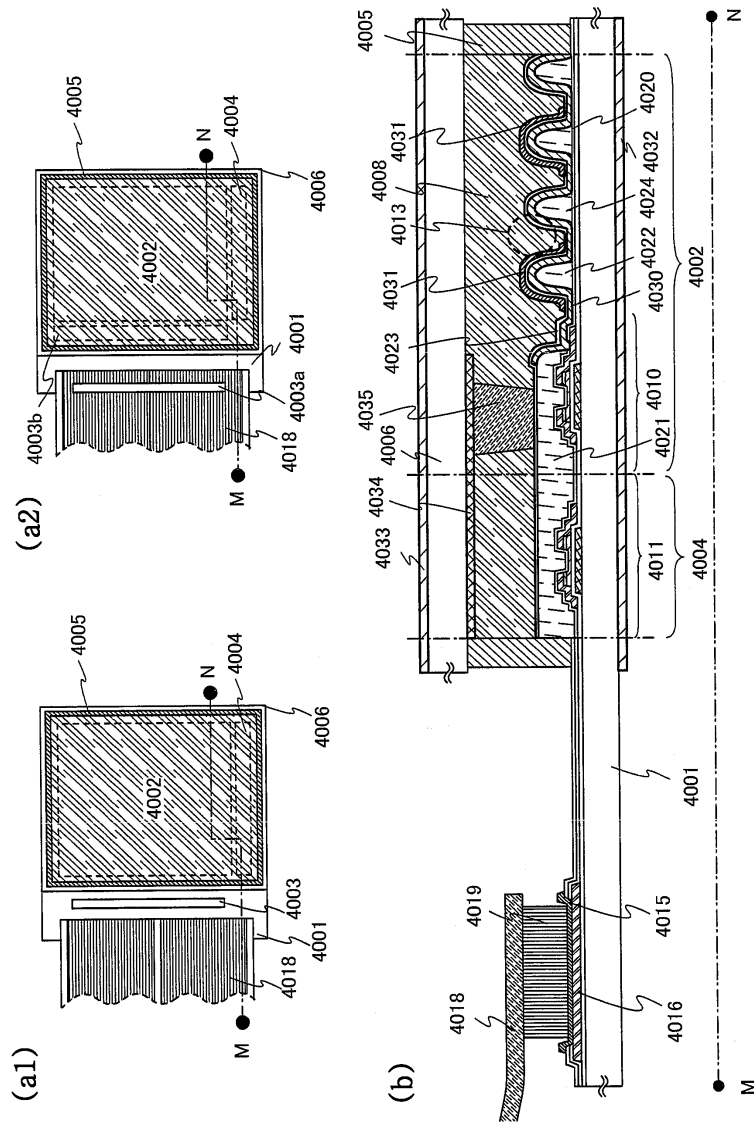
도면14



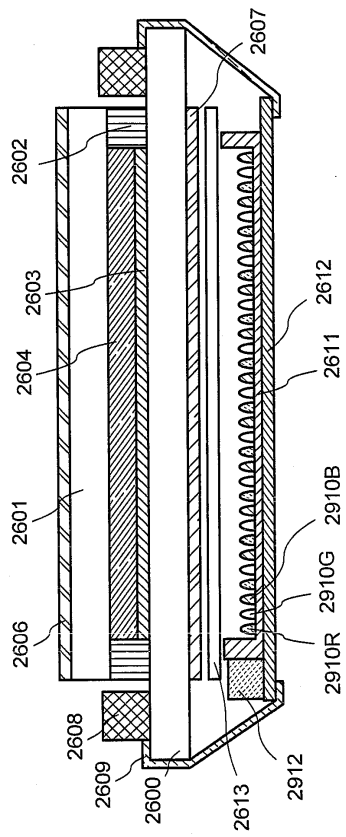
도면15



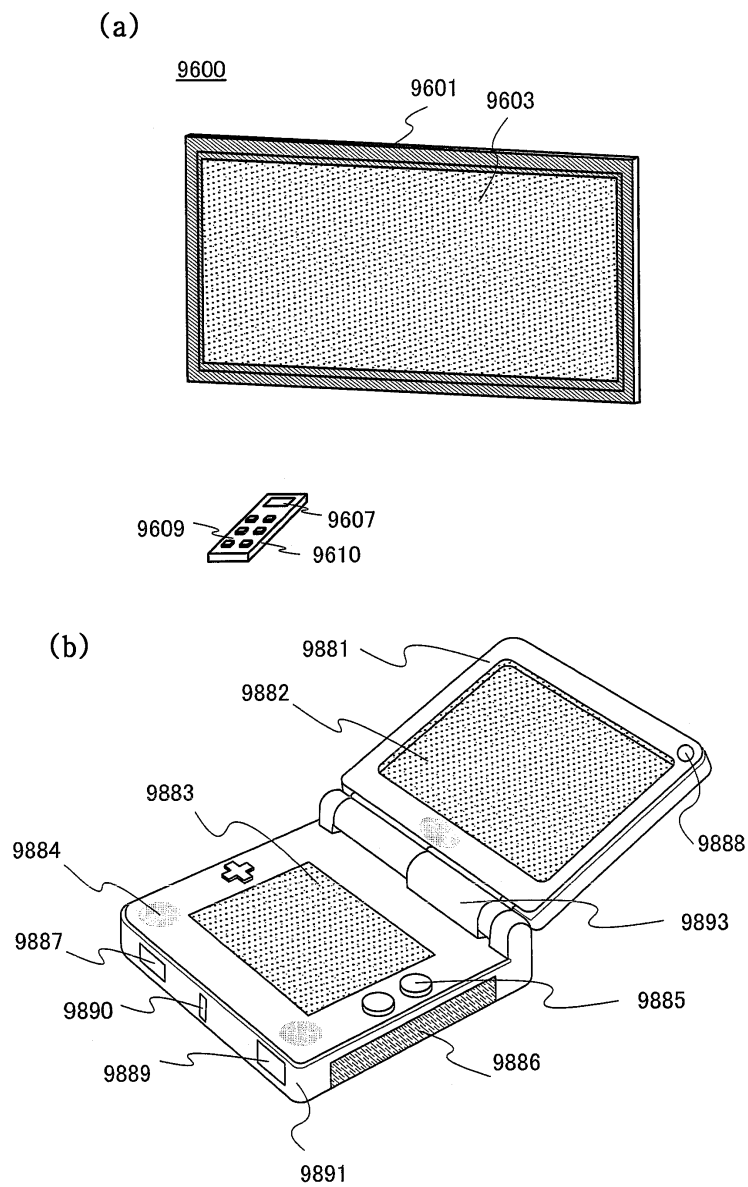
도면16



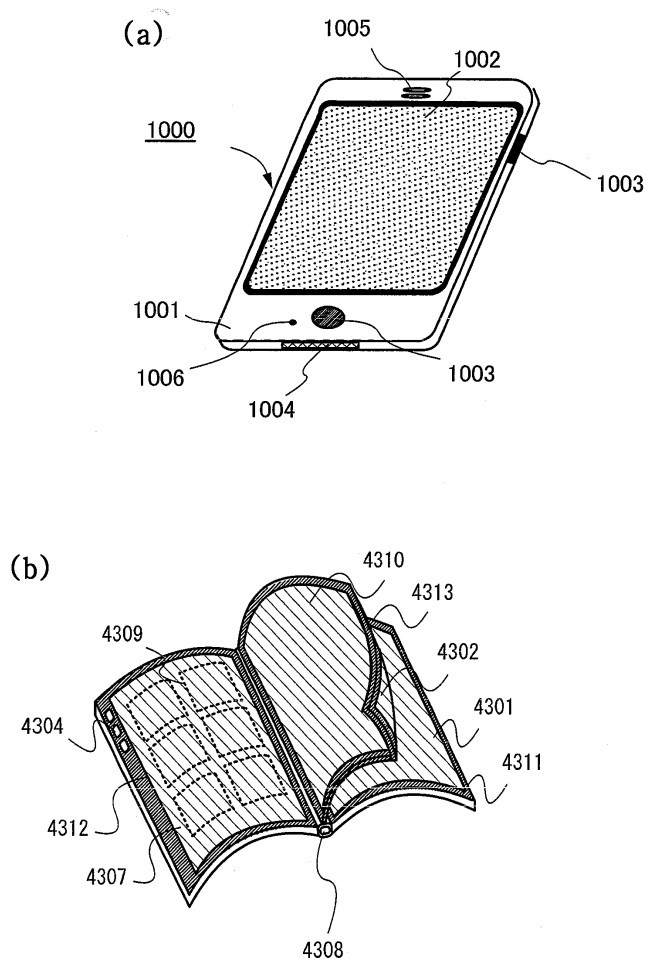
도면17



도면18

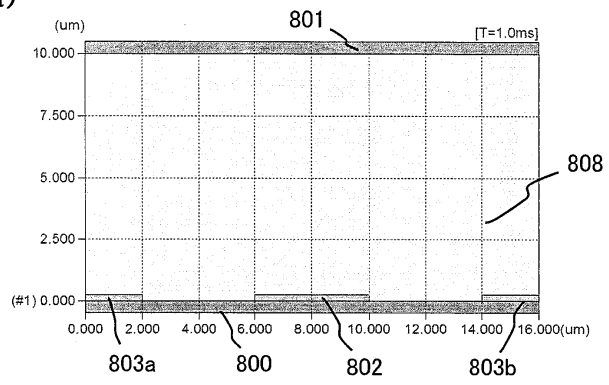


도면19

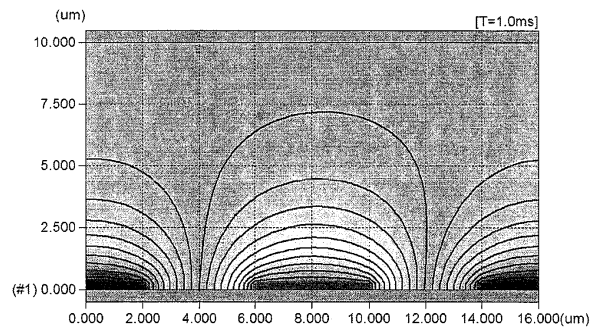


도면20

(a)



(b)



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020100129200A	公开(公告)日	2010-12-08
申请号	KR1020100049490	申请日	2010-05-27
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KUBOTA DAISUKE 구보타다이스케 YAMASHITA AKIO 야마시타아키오 ISHITANI TETSUJI 이시타니테츠지 TAMURA TOMOHIRO 다무라토모히로		
发明人	구보타다이스케 야마시타아키오 이시타니테츠지 다무라토모히로		
IPC分类号	G02F1/136 G02F1/1343 G02F1/1368 G02F1/1362 G02F1/1339 G02F1/137		
CPC分类号	G02F1/13439 G02F1/1368 G02F1/136286 G02F1/13394 G02F1/134363 G02F2001/13793 G02F1/1343 G02F1/133603 G02F1/133707 G02F1/1345 G02F2001/134372 G02F2202/023 G02F2202/103 G02F2202/104 G02F2202/105 H01L27/1225 H01L29/04 H01L29/78696		
代理人(译)	张本勋		
优先权	2009131384 2009-05-29 JP		
其他公开文献	KR101759111B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种液晶显示器和具有宽视角的制造方法，以提高响应速度，透射率和广角视角。结构：液晶层（208）包含第一基板（200），液晶材料显示蓝色阶段。在第一基板和液晶层之间形成第二电极层。像素电极连接到第二电极层。第一电极层形成在第一基板上形成的结构上。

COPYRIGHT KIPO 2011

