



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0100228
(43) 공개일자 2010년09월15일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/1343 (2006.01)

G02F 1/133 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2009-0018995

(22) 출원일자 2009년03월05일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

고준철

경기 화성시 반송동 나루마을우림루미아트아파트
603동 1804호

정광철

경기도 성남시 수정구 태평1동 7115-4

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 18 항

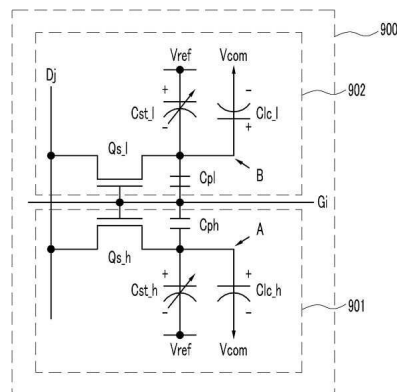
(54) 표시 장치

(57) 요약

본 발명은 수직 배향 액정 표시 장치에서 두개의 부화소 각각에 가변 커패시터를 형성하는 것을 특징으로 한다.

이와 같이 각각의 부화소 내에 가변 커패시터를 형성하여 하나의 화소를 고계조 부화소 및 저계조 부화소로 구분하고 서로 다른 계조를 표현하도록 하여 측면 시인성이 향상된다. 하나의 화소를 두개의 부화소로 구분하기 위하여 서로 다른 신호를 각각 인가할 필요가 없어 배선을 추가적으로 형성할 필요가 없으며, 표시 장치를 구동하는 구동 드라이버에서 처리하는 데이터의 양도 감소한다. 또한, 하나의 화소를 가변 커패시터를 이용하여 간단하게 두개의 부화소로 구분할 수 있어 추가적인 배선 및 추가적인 소자가 형성될 필요가 없어 개구율도 향상된다.

대표도 - 도1



(72) 발명자

채종철

서울특별시 마포구 염리동 LG자이아파트 106동
1902호

정미혜

경기도 수원시 장안구 정자동 대림진흥아파트 824
동 1402호

윤영수

경기도 수원시 영통구 영통동 1007-5 203호

특허청구의 범위

청구항 1

복수의 게이트선,

복수의 데이터선,

상기 복수의 게이트선 중 하나와 상기 복수의 데이터선 중 하나에 연결되어 있으며, 제1 및 제2 부화소를 가지는 화소를 포함하며,

상기 제1 부화소는

상기 하나의 게이트선 및 상기 하나의 데이터선에 각각 제어 단자 및 입력 단자가 연결된 제1 박막 트랜지스터, 및

상기 제1 박막 트랜지스터의 출력 단자에 연결된 제1 액정 커패시터 및 제1 가변 커패시터를 포함하고,

상기 제2 부화소는

상기 하나의 게이트선 및 상기 하나의 데이터선에 각각 제어 단자 및 입력 단자가 연결된 제2 박막 트랜지스터, 및

상기 제2 박막 트랜지스터의 출력 단자에 연결된 제2 액정 커패시터 및 제2 가변 커패시터를 포함하는 표시 장치.

청구항 2

제1항에서,

상기 제1 및 제2 가변 커패시터는 상기 게이트 전극에 인가되는 전압이 일정 전압 이상인 경우에는 제1 용량을 가지며, 상기 일정 전압 이하인 경우에는 제2 용량을 가지는 표시 장치.

청구항 3

제2항에서,

상기 제1 및 제2 가변 커패시터 중 하나가 제1 용량을 가지면, 다른 하나는 제2 용량을 가지는 표시 장치.

청구항 4

제2항에서,

상기 제1 및 제2 가변 커패시터는 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터로 형성되며, 상기 소스 전극 및 드레인 전극은 전기적으로 연결되어 있는 표시 장치.

청구항 5

제4항에서,

상기 제1 가변 커패시터의 상기 소스 전극 및 상기 드레인 전극은 상기 제1 박막 트랜지스터의 출력 단자와 연결되어 있으며,

상기 제2 가변 커패시터의 상기 게이트 전극은 상기 제2 박막 트랜지스터의 출력 단자와 연결되어 있는 표시 장치.

청구항 6

제5항에서,

상기 제1 용량은 상기 반도체층, 상기 소스 전극 및 상기 드레인 전극이 상기 게이트 전극과 중첩하는 영역에 저장되는 용량인 표시 장치.

청구항 7

제5항에서,

상기 제2 용량은 상기 소스 전극 및 상기 드레인 전극이 상기 게이트 전극과 중첩하는 영역에 저장되는 용량인 표시 장치.

청구항 8

제4항에서,

상기 소스 전극 및 상기 드레인 전극과 상기 반도체층 사이에 형성된 저항성 접촉층을 더 포함하는 표시 장치.

청구항 9

제8항에서,

상기 제2 용량은 상기 저항성 접촉층, 상기 소스 전극 및 상기 드레인 전극이 상기 게이트 전극과 중첩하는 영역에 저장되는 용량인 표시 장치.

청구항 10

제2항에서,

상기 제1 및 제2 가변 커패시터는 게이트 전극, 반도체층 및 상부 전극을 포함하며, 상기 상부 전극은 상기 게이트 전극 및 상기 반도체층의 일부 영역과 중첩하는 표시 장치.

청구항 11

제10항에서,

상기 제1 가변 커패시터의 상기 상부 전극은 상기 제1 박막 트랜지스터의 출력 단자와 연결되어 있으며,

상기 제2 가변 커패시터의 상기 게이트 전극은 상기 제2 박막 트랜지스터의 출력 단자와 연결되어 있는 표시 장치.

청구항 12

제11항에서,

상기 제1 용량은 상기 반도체층 및 상기 상부 전극이 상기 게이트 전극과 중첩하는 영역에 저장되는 용량인 표시 장치.

청구항 13

제11항에서,

상기 제2 용량은 상기 상부 전극이 상기 게이트 전극과 중첩하는 영역에 저장되는 용량인 표시 장치.

청구항 14

제10항에서,

상기 상부 전극과 상기 반도체층 사이에 형성된 저항성 접촉층을 더 포함하는 표시 장치.

청구항 15

제14항에서,

상기 제2 용량은 상기 저항성 접촉층 및 상기 상부 전극이 상기 게이트 전극과 중첩하는 영역에 저장되는 용량인 표시 장치.

청구항 16

복수의 게이트선,

복수의 데이터선,

상기 복수의 게이트선 중 하나와 상기 복수의 데이터선 중 하나에 연결되어 있는 화소를 포함하며,
 상기 화소는 상기 하나의 게이트선 및 상기 하나의 데이터선에 각각 제어 단자 및 입력 단자가 연결된 박막 트랜지스터,
 상기 박막 트랜지스터의 출력 단자에 연결된 액정 커패시터 및 가변 커패시터를 포함하며,
 상기 가변 커패시터는 박막 트랜지스터로 형성된 표시 장치.

청구항 17

제16항에서,
 상기 가변 커패시터는 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 가지는 박막 트랜지스터 구조를 가지며, 상기 소스 전극과 드레인 전극은 전기적으로 연결되어 있는 표시 장치.

청구항 18

제16항에서,
 상기 가변 커패시터는 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 가지는 박막 트랜지스터 구조에서 소스 전극 또는 드레인 전극 중 하나를 제거한 구조를 가지는 표시 장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로서, 특히 수직 배향 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전계 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 들어있는 액정층을 포함하며, 전계 생성 전극에 전압을 인가하여 액정층에 전계를 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0003] 그 중에서도 전계가 인가되지 않은 상태에서 액정 분자의 장축을 상하 표시판에 대하여 수직을 이루도록 배열한 수직 배향 모드 액정 표시 장치는 대비비가 크고 넓은 기준 시야각 구현이 용이하여 각광받고 있다. 여기에서 기준 시야각이란 대비비가 1:10인 시야각 또는 계조간 휘도 반전 한계 각도를 의미한다.

[0004] 수직 배향 모드 액정 표시 장치에서 광시야각을 구현하기 위한 수단으로는 전계 생성 전극에 절개부를 형성하는 방법과 전계 생성 전극 위에 돌기를 형성하는 방법 등이 있다. 절개부와 돌기로 액정 분자가 기우는 방향을 결정할 수 있으므로, 이들을 사용하여 액정 분자의 경사 방향을 여러 방향으로 분산시킴으로써 기준 시야각을 넓힐 수 있다.

[0005] 그러나 수직 배향 방식의 액정 표시 장치는 정면 시인성에 비하여 측면 시인성이 떨어지는 문제점이 있다. 예를 들어, 절개부가 구비된 PVA(patterned vertically aligned) 방식 액정 표시 장치의 경우에는 측면으로 갈수록 영상이 밝아져서, 심한 경우에는 높은 계조 사이의 휘도 차이가 없어져 그림이 뭉그러져 보이는 경우도 발생한다.

발명의 내용

해결 하고자하는 과제

[0006] 본 발명이 해결하고자 하는 과제는 측면 시인성을 향상시킨 수직 배향 액정 표시 장치를 제공하는 것이다.

과제 해결수단

[0007] 이를 위하여 본 발명에서는 가변 커패시터를 이용하여 하나의 화소를 고계조 부화소 및 저계조 부화소로 형성한

다.

- [0008] 본 발명의 한 실시예에 따른 표시 장치는 복수의 게이트선, 복수의 데이터선, 상기 복수의 게이트선 중 하나와 상기 복수의 데이터선 중 하나에 연결되어 있으며, 제1 및 제2 부화소를 가지는 화소를 포함하며, 상기 제1 부화소는 상기 하나의 게이트선 및 상기 하나의 데이터선에 각각 제어 단자 및 입력 단자가 연결된 제1 박막 트랜지스터, 및 상기 제1 박막 트랜지스터의 출력 단자에 연결된 제1 액정 커패시터 및 제1 가변 커패시터를 포함하고, 상기 제2 부화소는 상기 하나의 게이트선 및 상기 하나의 데이터선에 각각 제어 단자 및 입력 단자가 연결된 제2 박막 트랜지스터, 및 상기 제2 박막 트랜지스터의 출력 단자에 연결된 제2 액정 커패시터 및 제2 가변 커패시터를 포함한다.
- [0009] 상기 제1 및 제2 가변 커패시터는 상기 게이트 전극에 인가되는 전압이 일정 전압 이상인 경우에는 제1 용량을 가지며, 상기 일정 전압 이하인 경우에는 제2 용량을 가질 수 있다.
- [0010] 상기 제1 및 제2 가변 커패시터 중 하나가 제1 용량을 가지면, 다른 하나는 제2 용량을 가질 수 있다.
- [0011] 상기 제1 및 제2 가변 커패시터는 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터로 형성되며, 상기 소스 전극 및 드레인 전극은 전기적으로 연결되어 있을 수 있다.
- [0012] 상기 제1 가변 커패시터의 상기 소스 전극 및 상기 드레인 전극은 상기 제1 박막 트랜지스터의 출력 단자와 연결되어 있으며, 상기 제2 가변 커패시터의 상기 게이트 전극은 상기 제2 박막 트랜지스터의 출력 단자와 연결되어 있을 수 있다.
- [0013] 상기 제1 용량은 상기 반도체층, 상기 소스 전극 및 상기 드레인 전극이 상기 게이트 전극과 중첩하는 영역에 저장되는 용량일 수 있다.
- [0014] 상기 제2 용량은 상기 소스 전극 및 상기 드레인 전극이 상기 게이트 전극과 중첩하는 영역에 저장되는 용량일 수 있다.
- [0015] 상기 소스 전극 및 상기 드레인 전극과 상기 반도체층 사이에 형성된 저항성 접촉층을 더 포함할 수 있다.
- [0016] 상기 제1 용량은 상기 반도체층, 상기 저항성 접촉층, 상기 소스 전극 및 상기 드레인 전극이 상기 게이트 전극과 중첩하는 영역에 저장되는 용량일 수 있다.
- [0017] 상기 제2 용량은 상기 저항성 접촉층, 상기 소스 전극 및 상기 드레인 전극이 상기 게이트 전극과 중첩하는 영역에 저장되는 용량일 수 있다.
- [0018] 상기 제1 및 제2 가변 커패시터는 게이트 전극, 반도체층, 상부 전극을 포함하며, 상기 상부 전극은 상기 게이트 전극 및 상기 반도체층의 일부 영역과 중첩할 수 있다.
- [0019] 상기 제1 가변 커패시터의 상기 상부 전극은 상기 제1 박막 트랜지스터의 출력 단자와 연결되어 있으며, 상기 제2 가변 커패시터의 상기 게이트 전극은 상기 제2 박막 트랜지스터의 출력 단자와 연결되어 있을 수 있다.
- [0020] 상기 제1 용량은 상기 반도체층 및 상기 상부 전극이 상기 게이트 전극과 중첩하는 영역에 저장되는 용량일 수 있다.
- [0021] 상기 제2 용량은 상기 상부 전극이 상기 게이트 전극과 중첩하는 영역에 저장되는 용량일 수 있다.
- [0022] 상기 상부 전극과 상기 반도체층 사이에 형성된 저항성 접촉층을 더 포함할 수 있다.
- [0023] 상기 제1 용량은 상기 반도체층, 상기 저항성 접촉층 및 상기 상부 전극이 상기 게이트 전극과 중첩하는 영역에 저장되는 용량일 수 있다.
- [0024] 상기 제2 용량은 상기 저항성 접촉층 및 상기 상부 전극이 상기 게이트 전극과 중첩하는 영역에 저장되는 용량일 수 있다.
- [0025] 본 발명의 실시예에 따른 표시 장치는 복수의 게이트선, 복수의 데이터선, 상기 복수의 게이트선 중 하나와 상기 복수의 데이터선 중 하나에 연결되어 있는 화소를 포함하며, 상기 화소는 상기 하나의 게이트선 및 상기 하나의 데이터선에 각각 제어 단자 및 입력 단자가 연결된 박막 트랜지스터, 상기 박막 트랜지스터의 출력 단자에 연결된 액정 커패시터 및 가변 커패시터를 포함하며, 상기 가변 커패시터는 박막 트랜지스터로 형성되어 있다.
- [0026] 상기 가변 커패시터는 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 가지는 박막 트랜지스터 구조를 가지며, 상기 소스 전극과 드레인 전극은 전기적으로 연결되어 있을 수 있다.

[0027] 상기 가변 커패시터는 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 가지는 박막 트랜지스터 구조에서 소스 전극 또는 드레인 전극 중 하나를 제거한 구조를 가질 수 있다.

효 과

[0028] 이와 같이 각각의 화소 내에 가변 커패시터를 형성하여 하나의 화소를 고계조 부화소 및 저계조 부화소로 구분하고 서로 다른 계조를 표현하도록 하여 측면 시인성이 향상된다. 하나의 화소를 두개의 부화소로 구분하기 위하여 서로 다른 신호를 각각 인가할 필요가 없어 배선을 추가적으로 형성할 필요가 없으며, 표시 장치를 구동하는 구동 드라이버에서 처리하는 데이터의 양도 감소한다. 또한, 하나의 화소를 가변 커패시터를 이용하여 간단하게 두개의 부화소로 구분할 수 있어 추가적인 배선 및 추가적인 소자가 형성될 필요가 없어 개구율도 향상된다.

발명의 실시를 위한 구체적인 내용

[0029] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0030] 먼저, 도 1을 참고하여 본 발명의 한 실시예에 따른 표시 장치에 대하여 설명한다.

[0031] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

[0032] 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 액정 표시 장치의 한 화소(900)는 두개의 부화소(901, 902)를 포함한다. 각 부화소(901, 902)는 하나의 박막 트랜지스터(Qs_l , Qs_h), 하나의 액정 커패시터($C1c_l$, $C1c_h$) 및 하나의 가변 커패시터(Cst_l , Cst_h)를 포함한다. 각 부화소(901, 902)는 데이터선(Dj)을 통하여 동일한 전압을 인가 받지만, 가변 커패시터(Cst_l , Cst_h)의 동작에 의하여 액정 커패시터($C1c_l$, $C1c_h$)에 인가되는 전압은 서로 다르다. 그 결과 액정 커패시터($C1c_l$, $C1c_h$)를 통하여 화상을 표시할 때 서로 다른 계조를 나타내게 된다. 이하에서는 좀더 낮은 계조를 나타내는 부화소(902)를 저계조 부화소라 하며, 좀더 높은 계조를 나타내는 부화소(901)를 고계조 부화소라 한다.

[0033] 우선 각 부화소의 연결 관계를 살펴본다.

[0034] 고계조 부화소(901)는 게이트선(Gi)에 제어 단자가 연결되고 데이터선(Dj)에 입력 단자가 연결된 박막 트랜지스터(Qs_h)를 포함한다. 박막 트랜지스터(Qs_h)의 출력 단자에는 액정 커패시터($C1c_h$) 및 가변 커패시터(Cst_h)가 연결되어 있다.

[0035] 액정 커패시터($C1c_h$)는 화소 전극(도시하지 않음)과 공통 전극(도시하지 않음)을 포함하며, 그 사이에 액정층(도시하지 않음)이 위치하고 있다. 화소 전극은 박막 트랜지스터(Qs_h)의 출력 단자와 연결되어 있어 데이터 전압이 인가되며, 공통 전극은 공통 전압($Vcom$)이 인가된다. 화소 전극과 공통 전극의 전압차에 의하여 전계가 발생되며, 발생한 전계는 액정층의 배열을 변화시켜 빛의 편광 특성을 변경하여 표시되는 빛의 양을 조절한다.

[0036] 한편, 가변 커패시터(Cst_h)는 양단에 제1 및 제2 전극(도시하지 않음)을 가지며, 그 사이에 절연층(도시하지 않음)이 형성된 구조를 가진다. 양단 전극 중 제1 전극은 박막 트랜지스터(Qs_h)의 출력 단자와 연결되어 있어 데이터 전압이 인가되며, 제2 전극에는 기준 전압($Vref$)이 인가된다. 여기서 기준 전압($Vref$)은 실시예에 따라서는 공통 전압($Vcom$)과 동일한 전압일 수 있다. 본 발명의 실시예에 따른 가변 커패시터(Cst_h)는 극성을 가질 수 있으며, 본 실시예의 고계조 부화소(901)에서는 박막 트랜지스터(Qs_h)의 출력 단자와 연결된 제1 전극측이 양(+)의 극성을 가지도록 위치시킬 수 있다. 본 발명의 실시예에 따른 가변 커패시터(Cst_h)는 일정 전압 전후에서 축적하는 커패시턴스가 급격하게 변하며, 그 후 완만하게 변하거나 일정한 커패시턴스를 유지하는 특성을 가진다. 이에 대해서는 도 2에서 보다 상세하게 설명한다.

[0037] 한편, 게이트선(Gi)과 박막 트랜지스터(Qs_h)의 출력 단자 사이에는 기생 용량(Cph)이 형성된다.

[0038] 고계조 부화소(901)에서는 가변 커패시터(Cst_h)의 특성에 의하여 박막 트랜지스터(Qs_h)의 출력 단자(A 지점)에서의 전압이 변하여 액정 커패시터($C1c_h$)의 특성이 변한다. 이 때, 기생 용량(Cph)도 변할 수 있으며, 상세한 특성에 대하여는 도 3에서 후술 한다.

[0039] 한편, 저계조 부화소(902)는 게이트선(Gi)에 제어 단자가 연결되고 데이터선(Dj)에 입력 단자가 연결된 박막 트랜지스터(Qs_l)를 포함한다. 박막 트랜지스터(Qs_l)의 출력 단자에는 액정 커패시터($C1c_l$) 및 가변 커패시터

(Cst₁)가 연결되어 있다.

- [0040] 액정 커패시터(Clc₁)는 화소 전극(도시하지 않음)과 공통 전극(도시하지 않음)을 포함하며, 그 사이에 액정층(도시하지 않음)이 위치하고 있다. 화소 전극은 박막 트랜지스터(Qs₁)의 출력 단자와 연결되어 있어 데이터 전압이 인가되며, 공통 전극은 공통 전압(Vcom)이 인가된다. 화소 전극과 공통 전극의 전압차에 의하여 전계가 발생되며, 발생한 전계는 액정층의 배열을 변화시켜 빛의 편광 특성을 변경하여 표시되는 빛의 양을 조절한다.
- [0041] 한편, 가변 커패시터(Cst₁)는 양단에 제1 및 제2 전극(도시하지 않음)을 가지며, 그 사이에 절연층(도시하지 않음)이 형성된 구조를 가진다. 양단 전극 중 제1 전극은 박막 트랜지스터(Qs₁)의 출력 단자와 연결되어 있어 데이터 전압이 인가되며, 제2 전극에는 기준 전압(Vref)이 인가된다. 여기서 기준 전압(Vref)은 실시예에 따라서는 공통 전압(Vcom)과 동일한 전압일 수 있다. 본 발명의 실시예에 따른 가변 커패시터(Cst₁)는 극성을 가질 수 있으며, 본 실시예의 저계조 부화소(902)에서는 박막 트랜지스터(Qs₁)의 출력 단자와 연결된 제1 전극측이 음(-)의 극성을 가지도록 위치시킬 수 있다. 본 발명의 실시예에 따른 가변 커패시터(Cst₁)는 일정 전압 전후에서 축적하는 커패시턴스가 급격하게 변하며, 그 후 완만하게 변하거나 일정한 커패시턴스를 유지하는 특성을 가진다. 이에 대해서는 도 2에서 보다 상세하게 설명한다.
- [0042] 한편, 게이트선(Gi)과 박막 트랜지스터(Qs₁)의 출력 단자 사이에는 기생 용량(Cp1)이 형성된다.
- [0043] 저계조 부화소(902)에서는 가변 커패시터(Cst₁)의 특성에 의하여 박막 트랜지스터(Qs₁)의 출력 단자(B 지점)에서의 전압이 변하여 액정 커패시터(Clc₁)의 특성이 변한다. 이 때, 기생 용량(Cp1)도 변할 수 있으며, 상술한 특성에 대하여는 도 3에서 후술 한다.
- [0044] 이하에서는 가변 커패시터(Cst_h, Cst_l)의 동작 특성에 대하여 살펴본다.
- [0045] 도 2는 본 발명의 한 실시예에 따른 가변 커패시터의 전압에 따른 커패시턴스의 그래프이다. 도 2에서 가로축은 가변 커패시터(Cst_h, Cst_l)의 양단에 걸리는 전압차이이며, 세로축은 가변 커패시터(Cst_h, Cst_l)에서 저장되는 커패시턴스(용량)값이다.
- [0046] 본 발명의 실시예에 따른 가변 커패시터(Cst_h, Cst_l)는 일정 전압(도면에서는 0으로 도시됨)을 기준으로 그 전후에서 축적하는 커패시턴스가 급격하게 변하며, 그 후 완만하게 변하여 종국적으로는 일정한 커패시턴스를 유지하는 특성을 가진다. 그 결과 일정 전압 이하에서 가지는 커패시턴스(Cmin)와 일정 전압 이후에서 가지는 커패시턴스(Cmax)간에는 커패시턴스의 차이(ΔC)가 발생한다. 한편, 본 발명의 실시예에 따른 가변 커패시터(Cst_h, Cst_l)는 극성을 가지므로 양(+)의 단자로 전압이 인가되어 일정 전압 이상인 경우에는 Cmax 커패시턴스를 가지며, 음(-)의 단자로 전압이 인가되는 경우에는 인가된 전압 모두가 커패시턴스에 영향을 주지 않아 양단간의 전압 변화가 적어 Cmin 커패시턴스를 가진다.
- [0047] 이러한 커패시턴스의 차이(ΔC)로 인하여 두개의 부화소(901, 902)는 각각 고계조 부화소(901) 및 저계조 부화소(902)로 구분되며, 이에 대해서는 이하 도 3을 통하여 살펴본다.
- [0048] 도 3은 본 발명의 한 실시예에 따른 각 부화소에서 박막 트랜지스터의 출력 단자에서의 전압의 변화를 도시하는 그래프이다.
- [0049] 도 3에서 Vg는 게이트선(Gi)에 인가되는 게이트 전압을 나타내며, VA는 도 1의 고계조 부화소(901)의 A단자에서의 전압을 나타내며, VB는 저계조 부화소(902)의 B단자에서의 전압을 나타낸다. 또한, Vka는 고계조 부화소(901)의 A단자에서의 킥백 전압을 나타내며, Vkb는 저계조 부화소(902)의 B단자에서의 킥백 전압을 나타낸다. 도 3에서는 기준 전압(Vref)이 공통 전압(Vcom)과 동일한 전압이 인가되도록 한 후 측정되었다.
- [0050] 게이트 전압이 온 되고, 데이터 전압이 인가되면, 부화소(901, 902)는 데이터 전압으로 충전되며, 게이트 전압이 다시 오프로 바뀌면, 각 부화소(901, 902)에 충전된 전압이 게이트 전압이 떨어지는 것에 따라서 킥백(kick back) 전압만큼 떨어지게 된다. 여기서 A단자에서의 킥백 전압과 B 단자에서의 킥백 전압은 각각 아래의 수학적 식 1로 나타내었다.

[0051] [수학식 1]

$$V_{kA} = \frac{C_p \times \Delta V_{gate}}{C_{max} + C_{lc} + C_p} = \frac{C_p \times \Delta V_{gate}}{C_{min} + \Delta C + C_{lc} + C_p}$$

$$V_{kB} = \frac{C_p \times \Delta V_{gate}}{C_{min} + C_{lc} + C_p} = \frac{C_p \times \Delta V_{gate}}{C_{min} + C_{lc} + C_p}$$

[0052]

[0053] 여기서 C_p 는 기생 용량이고, ΔV_{gate} 는 게이트 전압에서 온/오프 구간의 전압차이며, C_{max} 는 가변 커패시터의 최대 커패시턴스 값이고, C_{min} 은 가변 커패시터의 최소 커패시턴스 값이며, C_{lc} 는 액정 커패시턴스의 값이며, ΔC 는 C_{max} 와 C_{min} 의 차이이다.

[0054] 이와 같이 커패시턴스의 차이(ΔC)로 인하여 A 단자에서의 킥백 전압이 더 작은 값을 가지므로 고계조 부화소(901)는 게이트 전압이 오프되었을 때 떨어지는 전압이 더 적어 높은 계조를 나타내게 된다. 이상의 [수학식 1]은 데이터 전압이 공통 전압(V_{com})보다 높은 경우이다.

[0055] 한편, 반전 구동에 의하여 데이터 전압으로 공통 전압(V_{com})보다 낮은 전압이 인가되는 경우에는 데이터 전압이 공통 전압(V_{com})보다 낮아 고계조 부화소(901)의 가변 커패시터(C_{st_h})가 C_{min} 값을 가지며, 고계조 부화소(902)의 가변 커패시터(C_{st_l})가 C_{max} 값을 가지게 된다. 그 결과 A 단자에서 킥백 전압이 작고, B 단자에서의 킥백 전압이 크다. 그러므로, A 단자에서는 게이트 오프시 더 많은 전압이 떨어져 고계조 부화소(901)에서 더 높은 계조를 나타내게 된다.

[0056] 이하에서는 가변 커패시터를 박막 트랜지스터를 이용하여 구현한 실시예를 살펴본다.

[0057] 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이고, 도 5 및 도 6은 한 실시예에 따른 도 4의 실시예의 가변 커패시터의 단면도이고, 도 7은 도 6의 실시예에 따른 가변 커패시터의 전압에 따른 커패시턴스의 그래프이다.

[0058] 도 4에 도시한 바와 같이, 본 발명의 한 실시예에 액정 표시 장치의 한 화소(900)는 두개의 부화소(901, 902)를 포함한다. 각 부화소(901, 902)는 하나의 박막 트랜지스터(Q_{s_l} , Q_{s_h}), 하나의 액정 커패시터(C_{lc_l} , C_{lc_h}) 및 하나의 가변 커패시터(C_{t_l} , C_{t_h})를 포함한다. 각 부화소(901, 902)는 데이터선(D_j)을 통하여 동일한 전압을 인가 받지만, 가변 커패시터(C_{t_l} , C_{t_h})의 동작에 의하여 액정 커패시터(C_{lc_l} , C_{lc_h})에 인가되는 전압은 서로 다르다. 그 결과 액정 커패시터(C_{lc_l} , C_{lc_h})를 통하여 화상을 표시할 때 서로 다른 계조를 나타내게 된다. 이하에서는 좀더 낮은 계조를 나타내는 부화소(902)를 저계조 부화소라 하며, 좀더 높은 계조를 나타내는 부화소(901)를 고계조 부화소라 한다.

[0059] 우선 각 부화소의 연결 관계를 살펴본다.

[0060] 고계조 부화소(901)는 게이트선(G_i)에 제어 단자가 연결되고 데이터선(D_j)에 입력 단자가 연결된 박막 트랜지스터(Q_{s_h})를 포함한다. 박막 트랜지스터(Q_{s_h})의 출력 단자에는 액정 커패시터(C_{lc_h}) 및 가변 커패시터(C_{t_h})가 연결되어 있다.

[0061] 액정 커패시터(C_{lc_h})는 화소 전극(도시하지 않음)과 공통 전극(도시하지 않음)을 포함하며, 그 사이에 액정층(도시하지 않음)이 위치하고 있다. 화소 전극은 박막 트랜지스터(Q_{s_h})의 출력 단자와 연결되어 있어 데이터 전압이 인가되며, 공통 전극은 공통 전압(V_{com})이 인가된다. 화소 전극과 공통 전극의 전압차에 의하여 전계가 발생되며, 발생한 전계는 액정층의 배열을 변화시켜 빛의 편광 특성을 변경하여 표시되는 빛의 양을 조절한다.

[0062] 한편, 가변 커패시터(C_{t_h})는 도 6에서 도시하고 있는 바와 같이 게이트 전극(124), 반도체층(150), 소스 전극(173) 및 드레인 전극(175)을 포함하는 박막 트랜지스터로 형성되며, 소스 전극(173)과 드레인 전극(175)은 전기적으로 연결되어 있다. 반도체층(150)과 게이트 전극(124) 사이에는 게이트 절연막(140)이 형성되어 있다. 또한, 소스 전극(173)과 반도체층(150) 사이 및 드레인 전극(175)과 반도체층(150) 사이에는 저항성 접촉층(163, 165)이 각각 형성되어 있다. 고계조 부화소(901)에서는 게이트 전극(124)이 박막 트랜지스터(Q_{s_h})의 출력 단자와 연결되어 있어 데이터 전압이 인가되며, 소스 및 드레인 전극(173, 175)에는 공통 전압(V_{com})이 인가된다. 여기서 공통 전압(V_{com})은 실시예에 따라서는 임의의 전압(V_0)이 인가될 수도 있다. 도 4에서는 실시예

에 따라서 V_{com} 전압 또는 임의의 전압(V_0) 전압이 인가된다는 것을 나타내고자 V_{com} or V_0 로 표시하였다. 본 발명의 실시예에 따른 가변 커패시터(C_{t_h})는 박막 트랜지스터의 특성상 게이트 전극(124)으로 인가된 전압이 일정 수준 이상이면, 반도체층(150)에서 채널이 형성되며, 그 결과 반도체층(150)도 도전체에 준하게 되므로 도 6에서 도시하고 있는 바와 같이 반도체층(150), 소스 전극(173) 및 드레인 전극(175)이 게이트 전극(124)과 중첩하는 영역에서 가변 커패시터(C_{t_h})가 형성된다. 고계조 부화소(901)의 가변 커패시터(C_{t_h}) 동작 특성에 대해서는 도 7에서 보다 상세하게 도시하고 있다.

[0063] 도 7에서 가로축은 게이트에 인가되는 전압을 나타내며, 세로축은 박막 트랜지스터에 저장되는 용량(커패시턴스)을 나타낸다. 도 7에서 사용된 박막 트랜지스터는 소스 및 드레인 전극이 전기적으로 연결되며, 접지되어 있으며, 박막 트랜지스터의 크기는 폭(W)이 $200\mu m$ 이고, 길이(L)가 $50\mu m$ 이며, 게이트 전극이 소스 및 드레인 전극과 중첩한 길이가 $10\mu m$ 이며 절연막의 두께는 $450nm$ 이다.

[0064] 실험 결과 일정 전압(도면에서는 점선으로 표시됨)을 기준으로 그 전후에서 측정하는 커패시턴스가 급격하게 변하며, 그 후 완만하게 변하여 종국적으로는 일정한 커패시턴스(C_{max} , C_{min})를 유지하는 특성을 가진다. 그러므로 게이트 전극(124)을 통하여 인가되는 전압이 일정 수준 이상의 전압이 인가되면 C_{max} 의 커패시턴스를 가진다.

[0065] 또한, 고계조 부화소(901)에는 게이트선(G_i)과 박막 트랜지스터(Q_{s_h})의 출력 단자 사이에는 기생 용량(C_{ph})이 형성되어 있다.

[0066] 한편, 저계조 부화소(902)는 게이트선(G_i)에 제어 단자가 연결되고 데이터선(D_j)에 입력 단자가 연결된 박막 트랜지스터(Q_{s_l})를 포함한다. 박막 트랜지스터(Q_{s_l})의 출력 단자에는 액정 커패시터(C_{lc_l}) 및 가변 커패시터(C_{t_l})가 연결되어 있다.

[0067] 액정 커패시터(C_{lc_l})는 화소 전극(도시하지 않음)과 공통 전극(도시하지 않음)을 포함하며, 그 사이에 액정층(도시하지 않음)이 위치하고 있다. 화소 전극은 박막 트랜지스터(Q_{s_l})의 출력 단자와 연결되어 있어 데이터 전압이 인가되며, 공통 전극은 공통 전압(V_{com})이 인가된다. 화소 전극과 공통 전극의 전압차에 의하여 전계가 발생되며, 발생한 전계는 액정층의 배열을 변화시켜 빛의 편광 특성을 변경하여 표시되는 빛의 양을 조절한다.

[0068] 한편, 가변 커패시터(C_{t_l})는 도 5에서 도시하고 있는 바와 같이 게이트 전극(124), 반도체층(150), 소스 전극(173) 및 드레인 전극(175)을 포함하는 박막 트랜지스터로 형성되며, 소스 전극(173)과 드레인 전극(175)은 전기적으로 연결되어 있다. 반도체층(150)과 게이트 전극(124) 사이에는 게이트 절연막(140)이 형성되어 있다. 또한, 소스 전극(173)과 반도체층(150) 사이 및 드레인 전극(175)과 반도체층(150) 사이에는 저항성 접촉층(163, 165)이 각각 형성되어 있다. 저계조 부화소(902)에서는 소스 및 드레인 전극(173, 175)이 박막 트랜지스터(Q_{s_l})의 출력 단자와 연결되어 있어 데이터 전압이 인가되며, 게이트 전극(124)에는 공통 전압(V_{com})이 인가된다. 여기서 공통 전압(V_{com})은 실시예에 따라서는 임의의 전압(V_0)이 인가될 수도 있어 도 4에서는 V_0 를 별도로 표시하였다. 본 발명의 실시예에 따른 가변 커패시터(C_{t_l})는 박막 트랜지스터의 특성상 게이트 전극(124)에는 일정 전압이 인가되므로 박막 트랜지스터가 턴 온 되지 않고 그 결과 반도체층(150)에는 채널이 형성되지 않아 도 5에서 도시하고 있는 바와 같이 소스 전극(173) 및 드레인 전극(175)이 게이트 전극(124)과 중첩하는 영역(저항성 접촉층(163, 165)이 형성된 경우에는 저항성 접촉층(163, 165), 소스 전극(173) 및 드레인 전극(175)이 게이트 전극(124)과 중첩하는 영역)에서 가변 커패시터(C_{t_l})가 형성된다. 저계조 부화소(902)의 가변 커패시터(C_{t_l})는 게이트 전극(124)에 인가되는 전압이 일정하여 별도의 동작 특성에 대해서는 설명하지 않는다.

[0069] 또한, 게이트선(G_i)과 박막 트랜지스터(Q_{s_l})의 출력 단자 사이에는 기생 용량(C_{ph})이 형성된다.

[0070] 이상과 같이 도 5에서 형성된 저계조 부화소(902)의 가변 커패시터(C_{t_l})와 도 6에 형성된 고계조 부화소(901)의 가변 커패시터(C_{t_h})는 다른 조건이 모두 동일하더라도 중첩하는 면적이 달라 저장하는 용량의 차이가 발생한다. 그 결과 각 부화소에서는 킥백 전압이 다르게 형성되어 동일한 데이터 전압이 인가되더라도 서로 다른 휘도를 표시하게 된다.

[0071] 도 4 내지 도 6에서는 가변 커패시터를 박막 트랜지스터의 소스 전극 및 드레인 전극을 전기적으로 연결한 구조를 사용하였다. 이와 같이 반박 트랜지스터에서 소스 전극 및 드레인 전극을 전기적으로 연결하여 커패시터로 사용하는 경우에 소자의 특성이 변하는지를 파악하여 신뢰도를 살펴보았다. 이는 도 8 및 도 9에서 도시하고 있다.

[0072] 도 8 및 도 9는 도 4의 실시예에 따른 가변 커패시터의 스트레스시 전압에 대한 전류 특성을 나타내는 그래프이

다.

- [0073] 도 8에서는 직류 전압으로 구동한 경우이며, 도 9에서는 교류 전압으로 구동한 경우이다. 도 8 및 도 9에서 가로축은 게이트 전극과 소스 전극(드레인 전극)간의 전압차이며, 세로축은 드레인 전극에 흐르는 전류이다.
- [0074] 우선 도 8을 보면, 직류 전압에 의하여 스트레스를 받기 전에 보이던 전압에 따른 전류 곡선이 15V의 직류로 3시간 구동한 후에는 변하는 것을 확인할 수 있다.
- [0075] 이에 반하여 도 9를 보면, 교류 전압에 의하여 스트레스를 받기 전에 보이던 전압에 따른 전류 곡선이 $\pm 15V$ 의 교류로 3시간 구동한 후에는 변화가 없는 것을 확인할 수 있다.
- [0076] 일반적으로 액정 표시 장치가 소자의 열화를 방지하기 위하여 반전 구동을 하므로 반전 구동시에는 도 4의 실시예와 같은 가변 커패시터를 형성하여 사용하는 것에 문제가 없다는 것을 확인할 수 있다.
- [0077] 한편, 이하에서는 또 다른 실시예에 따른 가변 커패시터에 대하여 살펴본다.
- [0078] 도 10 및 도 11은 또 다른 실시예에 따른 가변 커패시터의 단면도이다.
- [0079] 도 10 및 도 11의 실시예도 도 1에서 도시한 다른 구조는 모두 포함할 수 있다. 그 결과 본 발명의 한 실시예에 액정 표시 장치의 한 화소(900)는 두개의 부화소(901, 902)를 포함하며, 각 부화소(901, 902)는 하나의 박막 트랜지스터(Q_{s_l} , Q_{s_h}), 하나의 액정 커패시터(C_{lc_l} , C_{lc_h}) 및 하나의 가변 커패시터(C_{t_l} , C_{t_h})를 포함한다.
- [0080] 여기서 고계조 부화소(901)의 가변 커패시터(C_{t_h})는 도 11에서 도시하고 있으며, 저계조 부화소(902)의 가변 커패시터(C_{t_l})은 도 10에서 도시하고 있다.
- [0081] 먼저, 고계조 부화소(901)의 가변 커패시터(C_{t_h})는 도 11에서 도시하고 있는 바와 같이 게이트 전극(124), 반도체층(150) 및 소스 전극(173)을 포함하는 구조로 일반적인 박막 트랜지스터 구조에서 드레인 전극이 제외된 구조로 형성되어 있다. 반도체층(150)과 게이트 전극(124) 사이에는 게이트 절연막(140)이 형성되어 있다. 또한, 소스 전극(173)과 반도체층(150) 사이에는 저항성 접촉층(163)이 형성되어 있다. 고계조 부화소(901)에서는 게이트 전극(124)이 박막 트랜지스터(Q_{s_h})의 출력 단자와 연결되어 있어 데이터 전압이 인가되며, 소스 및 드레인 전극(173)에는 공통 전압(V_{com})이 인가되도록 연결할 수 있다. 여기서 공통 전압(V_{com})은 실시예에 따라서는 임의의 전압(V_0)이 인가될 수도 있다. 도 11의 실시예에 따른 가변 커패시터(C_{t_h})는 박막 트랜지스터의 특성상 게이트 전극(124)으로 인가된 전압이 일정 수준 이상이면, 반도체층(150)도 도전체에 준하는 특성을 가져 도 11에서 도시하고 있는 바와 같이 반도체층(150) 및 소스 전극(173)이 게이트 전극(124)과 중첩하는 영역에서 가변 커패시터(C_{t_h})가 형성된다.
- [0082] 한편, 저계조 부화소(902)는 도 10에서 도시하고 있는 바와 같은 가변 커패시터(C_{t_l})를 가진다. 저계조 부화소(902)의 가변 커패시터(C_{t_l})는 게이트 전극(124), 반도체층(150) 및 소스 전극(173)을 포함하는 구조로 일반적인 박막 트랜지스터 구조에서 드레인 전극이 제외된 구조로 형성되어 있다. 반도체층(150)과 게이트 전극(124) 사이에는 게이트 절연막(140)이 형성되어 있다. 또한, 소스 전극(173)과 반도체층(150) 사이에는 저항성 접촉층(163)이 형성되어 있다. 저계조 부화소(902)에서는 소스 전극(173)이 박막 트랜지스터(Q_{s_l})의 출력 단자와 연결되어 있어 데이터 전압이 인가되며, 게이트 전극(124)에는 공통 전압(V_{com})이 인가된다. 여기서 공통 전압(V_{com})은 실시예에 따라서는 임의의 전압(V_0)이 인가될 수도 있다. 본 발명의 실시예에 따른 가변 커패시터(C_{t_l})는 박막 트랜지스터의 특성상 게이트 전극(124)에는 일정 전압이 인가되므로 박막 트랜지스터가 턴 온되지 않고 그 결과 반도체층(150)에는 채널이 형성되지 않아 도 10에서 도시하고 있는 바와 같이 소스 전극(173) 및 드레인 전극(175)이 게이트 전극(124)과 중첩하는 영역(저항성 접촉층(163, 165)이 형성된 경우에는 저항성 접촉층(163, 165), 소스 전극(173) 및 드레인 전극(175)이 게이트 전극(124)과 중첩하는 영역)에서 가변 커패시터(C_{t_l})가 형성된다.
- [0083] 이상과 같이 도 10에서 형성된 저계조 부화소(902)의 가변 커패시터(C_{t_l})와 도 11에 형성된 고계조 부화소(901)의 가변 커패시터(C_{t_h})는 다른 조건이 모두 동일하더라도 중첩하는 면적이 달라 저장하는 용량의 차이가 발생한다. 그 결과 각 부화소에서는 킥백 전압이 다르게 형성되어 동일한 데이터 전압이 인가되더라도 서로 다른 휘도를 표시하게 된다.
- [0084] 또한, 도 10 및 도 11은 도 5 및 도 6과 달리 양 부화소(901, 902)에서의 가변 커패시터(C_{t_l} , C_{t_h})간의 커패시턴스 차이를 다르게 조절하고 있다. 즉, 도 6과 도 11에서 나타내고 있는 고계조 부화소(901)의 가변 커패시터(C_{t_h})간에는 큰 차이가 없지만, 도 5 및 도 10에서 나타내고 있는 저계조 부화소(902)의 가변 커패시터

(Ct_l)은 반으로 줄었다. 그러므로 표시 장치를 형성함에 있어 양 부화소(901, 902)간의 가변 커패시터(Ct_l, Ct_h)간의 크기 차이가 많이 필요한 경우에는 도 10, 도 11의 실시예를 적용하고, 가변 커패시터(Ct_l, Ct_h)간의 크기 차이가 상대적으로 조금 필요한 경우에는 도 5 및 도 6의 실시예를 사용할 수 있다. 또한, 박막 트랜지스터를 설계함에 있어서 각 전극 및 채널의 크기를 조절하여 고계조 부화소(901) 및 저계조 부화소(902)의 가변 커패시터(Ct_l, Ct_h)간의 차이를 조절하여 보다 양호한 측면 시인성을 가지도록 할 수 있다.

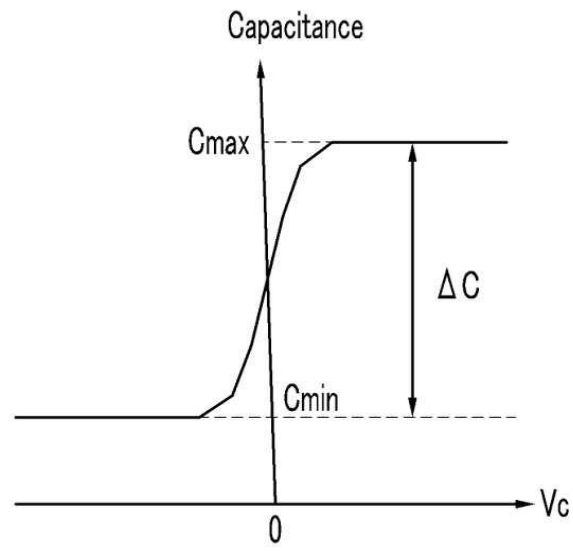
[0085] 이상에서는 액정 표시 장치에 형성되는 액정 표시 패널 내의 화소 구조를 회로도를 중심으로 살펴보았다. 이상에서는 설명하지 않는 신호 제어부, 데이터 구동부, 게이트 구동부 및 액정층 따위는 다양한 실시예에 따라서 다양하게 형성할 수 있다.

[0086] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

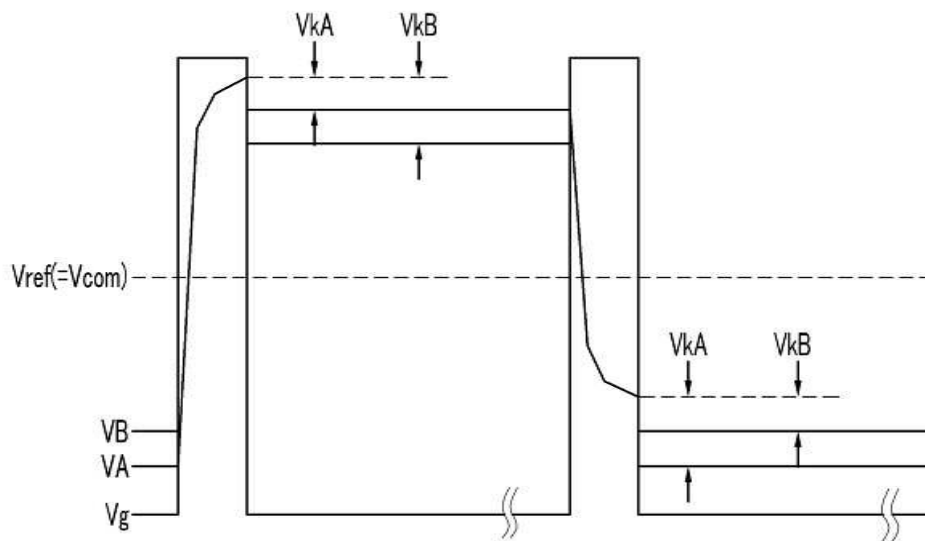
도면의 간단한 설명

- [0087] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이고,
- [0088] 도 2는 본 발명의 한 실시예에 따른 가변 커패시터의 전압에 따른 커패시턴스의 그래프이고,
- [0089] 도 3은 본 발명의 한 실시예에 따른 각 부화소에서 박막 트랜지스터의 출력 단자에서의 전압의 변화를 도시하는 그래프이고,
- [0090] 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이고,
- [0091] 도 5 및 도 6은 한 실시예에 따른 도 4의 실시예의 가변 커패시터의 단면도이고,
- [0092] 도 7은 도 6의 실시예에 따른 가변 커패시터의 전압에 따른 커패시턴스의 그래프이고,
- [0093] 도 8 및 도 9는 도 4의 실시예에 따른 가변 커패시터의 스트레스시 전압에 대한 전류 특성을 나타내는 그래프이고,
- [0094] 도 10 및 도 11은 또 다른 실시예에 따른 가변 커패시터의 단면도이다.

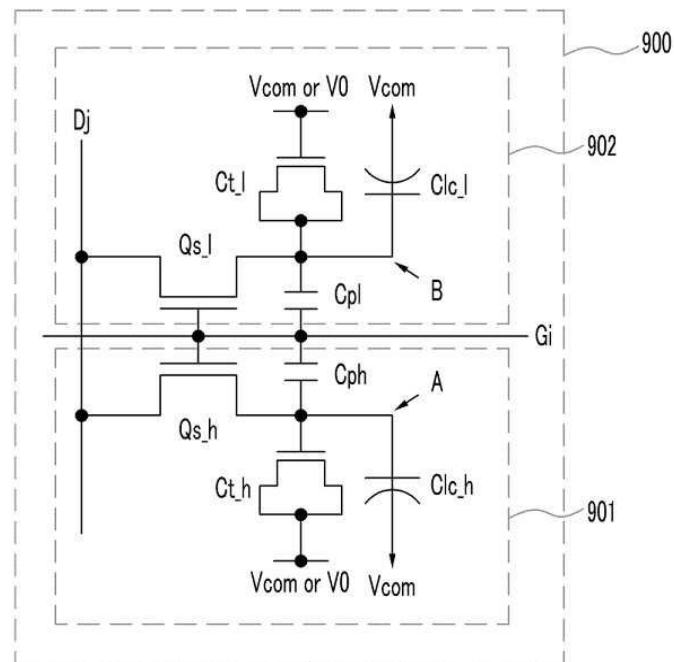
도면2



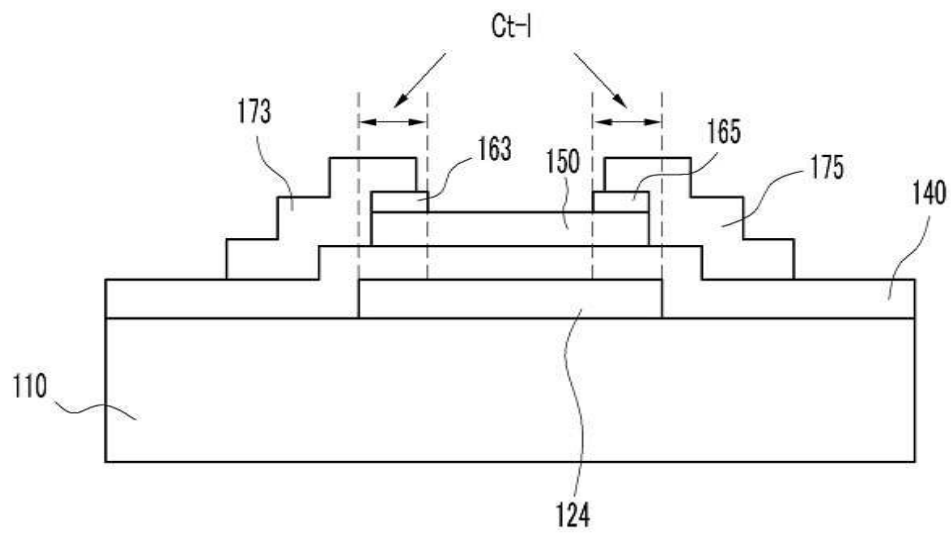
도면3



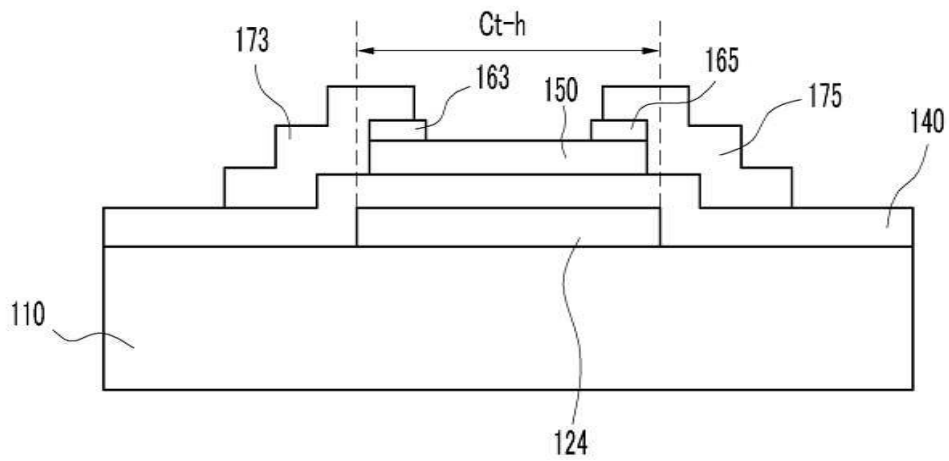
도면4



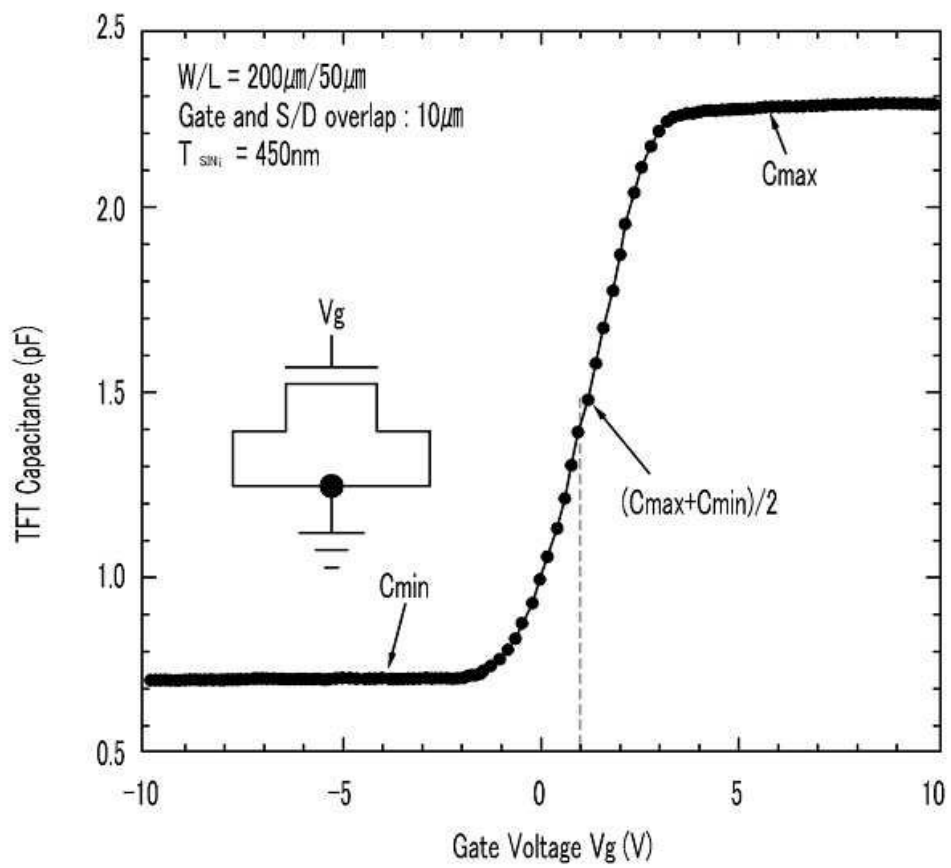
도면5



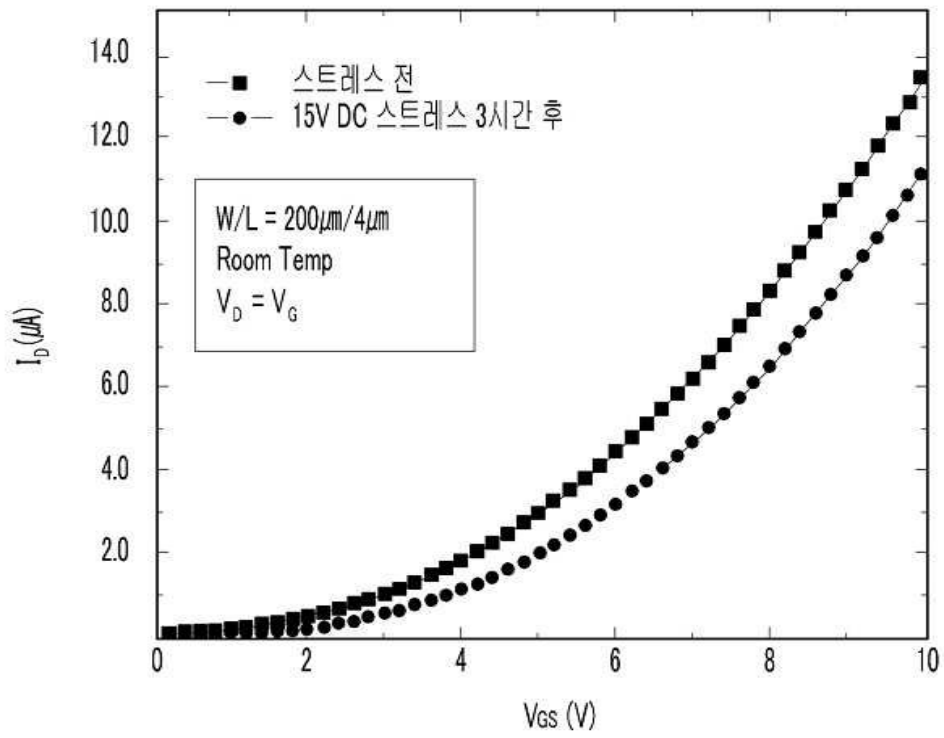
도면6



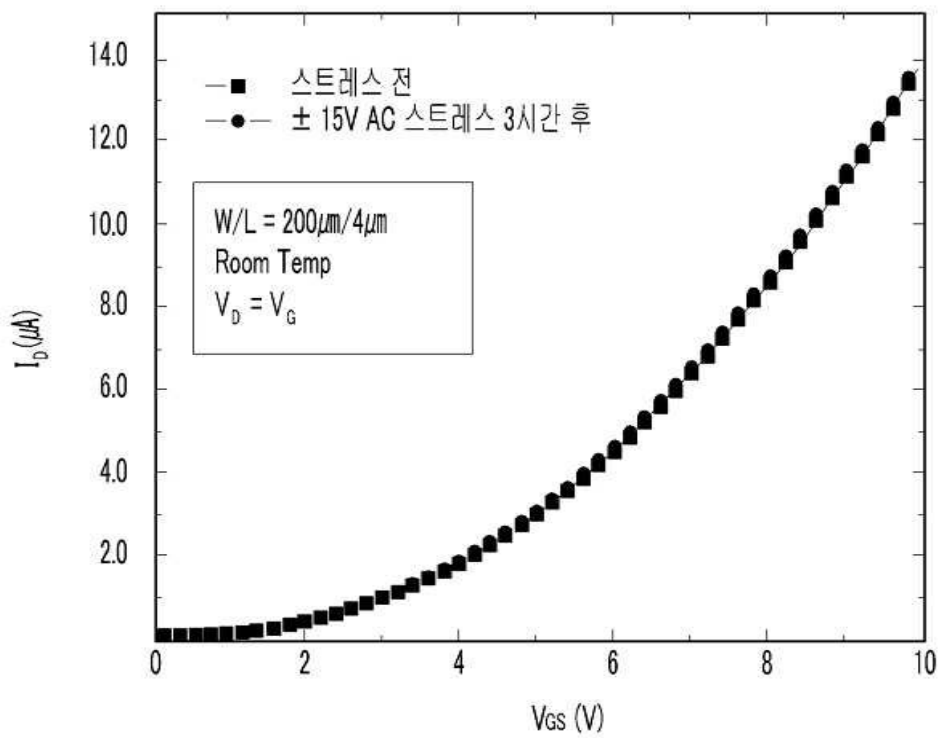
도면7



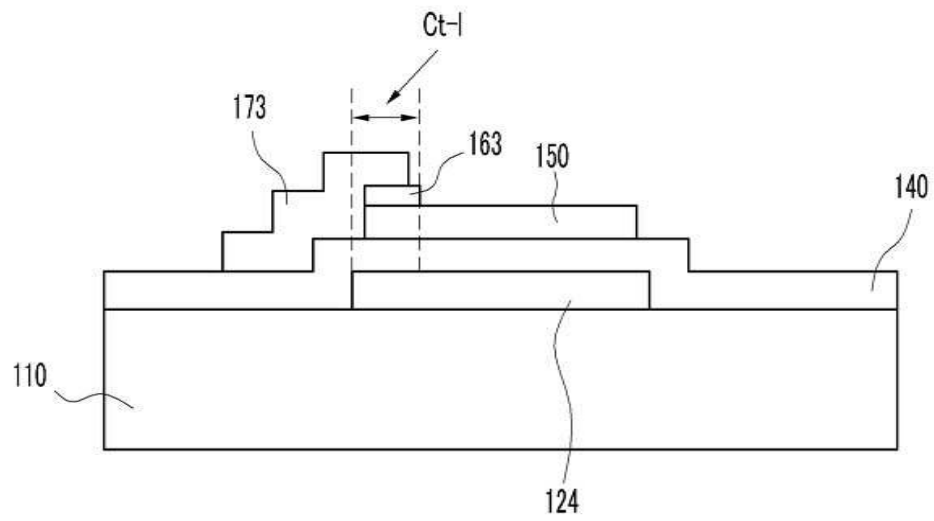
도면8



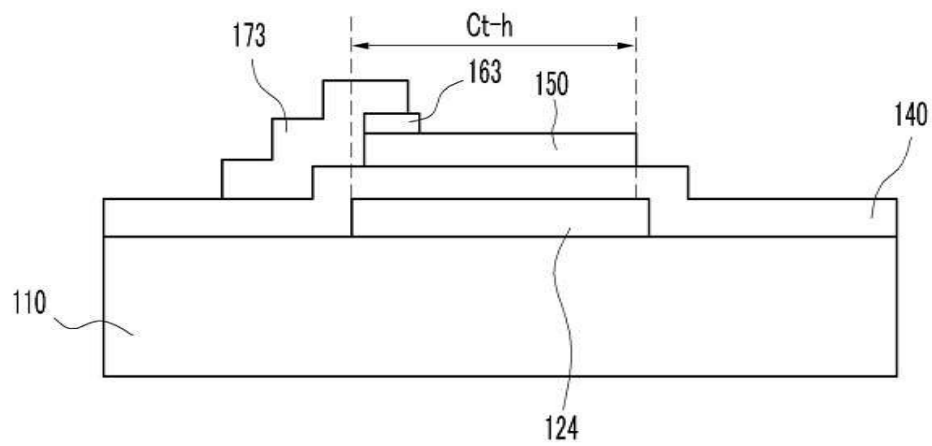
도면9



도면10



도면11



专利名称(译)	显示设备		
公开(公告)号	KR1020100100228A	公开(公告)日	2010-09-15
申请号	KR1020090018995	申请日	2009-03-05
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	GOH JOON CHUL 고준철 JUNG KWANG CHUL 정광철 CHAI CHONG CHUL 채종철 JUNG MEE HYE 정미혜 YOON YOUNG SOO 윤영수		
发明人	고준철 정광철 채종철 정미혜 윤영수		
IPC分类号	G09G3/36 G02F1/1343 G02F1/133 G09G3/20		
CPC分类号	G09G3/3607 G09G2300/0443 G09G2300/0447 G09G3/3648 G02F1/1362 G09G2320/028 G09G2300/0876		
其他公开文献	KR101566432B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种显示装置，通过将一个像素分成高灰度子像素和低灰度子像素来改善横向视觉。组成：像素（900）具有多条栅极线，多条数据线，以及第一和第二子像素（901,902）。第一和第二子像素连接到多条栅极线中的一条和多条数据线中的一条。第一子像素包括第一薄膜晶体管，第一液体电容器和第一可变电容器。第二子像素包括第二薄膜晶体管，第二液晶电容器和第二可变电容器。

