



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0013723
(43) 공개일자 2009년02월05일

(51) Int. Cl.⁹

G02F 1/1343 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2008-0075468

(22) 출원일자 2008년08월01일

심사청구일자 2008년08월01일

(30) 우선권주장

JP-P-2007-00200435 2007년08월01일 일본(JP)

JP-P-2008-00125571 2008년05월13일 일본(JP)

(71) 출원인

엡슨 이미징 디바이스 가부시키가이샤

일본국 나가노켄 아즈미노시 도요시나 다자와 6925

(72) 발명자

가네코 히데키

일본국 나가노켄 아즈미노시 도요시나 다자와 6925 엡슨 이미징디바이스 가부시키가이샤 내

호리구치 마사히로

일본국 나가노켄 아즈미노시 도요시나 다자와 6925 엡슨 이미징디바이스 가부시키가이샤 내

(74) 대리인

특허법인태평양

전체 청구항 수 : 총 10 항

(54) 액정 표시 패널, 그 제조 방법

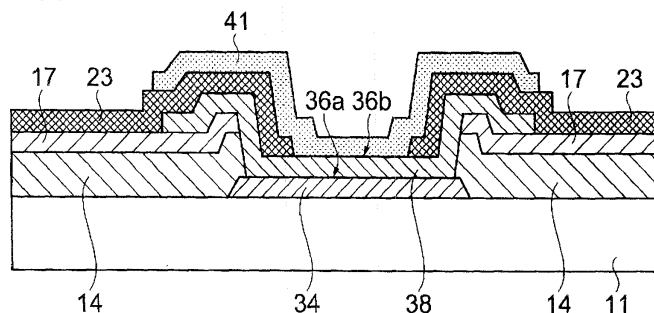
(57) 요약

실장(實裝) 단자부의 신뢰성을 향상시킨 평판화막 위에 상(上) 전극 및 하(下) 전극을 배치한 FFS 모드의 액정 표시 패널을 제공하는 것이다.

실장 단자부(33A)는 실장 단자용 배선(34)의 표면을 피복하는 게이트 절연막(14) 및 패시베이션막(17)과, 게이트 절연막(14) 및 패시베이션막(17)을 관통하도록 형성된 콘택트 홀(36a)과, 실장 단자용 배선(34)과 전기적으로 접속된 제1 투명 도전성막(38)과, 제1 투명 도전성막(38)의 중앙부에 콘택트 홀(36a)의 직경보다도 소경(小徑)인 개구(36b)가 형성된 절연막(23)과, 제1 투명 도전성막(38)과 전기적으로 접속된 제2 투명 도전성막(41)으로 이루어지는 실장 단자를 구비하고, 제1 투명 도전성막(38) 및 제2 투명 도전성막(41)은 각각 FFS 모드의 액정 표시 패널의 하 전극 및 상 전극과 동일 재질이고, 절연막(23)은 하 전극 및 상 전극 사이에 배치된 절연막과 동일 재질인 것을 특징으로 한다.

대표도 - 도3

33A



특허청구의 범위

청구항 1

표시 영역의 주연부(周緣部)에 실장(實裝) 단자부가 형성된 어레이 기판을 갖는 액정 표시 패널에 있어서,

상기 표시 영역은 각각 매트릭스 형상으로 형성된 복수의 주사선 및 신호선과, 평탄화막 위에 형성되고, 상기 주사선 및 상기 신호선으로 둘러싸인 영역마다에 절연막을 사이에 두고 대향 배치되며 각각 투명 도전성 재료로 이루어지는 하(下) 전극과 복수의 슬릿을 갖는 상(上) 전극을 구비하고,

상기 실장 단자부는

실장 단자용 배선의 표면을 피복하는 제1 절연막과,

상기 실장 단자용 배선 위의 제1 절연막을 관통하도록 형성된 콘택트 홀과,

적어도 상기 콘택트 홀의 저부(底部) 일부를 피복하는 동시에, 상기 실장 단자용 배선과 전기적으로 접속된 제1 도전성막과,

상기 제1 절연막의 표면에 마련되고, 평면시(平面視)에서 상기 콘택트 홀과 적어도 일부가 겹치는 개구를 갖는 제2 절연막과,

상기 콘택트 홀 주위의 상기 제2 절연막의 표면을 피복하고 있는 제2 도전성막을 갖고,

상기 제1 도전성막과 상기 제2 도전성막은 상기 개구에 있어서 전기적으로 접속되어 있는 것을 특징으로 하는 액정 표시 패널.

청구항 2

청구항 1에 있어서,

상기 제2 절연막은 상기 콘택트 홀의 내주면(內周面) 및 주연부 표면을 피복하는 동시에, 상기 콘택트 홀의 중앙부 근방에 상기 콘택트 홀의 직경보다도 소경인 개구를 갖는 것을 특징으로 하는 액정 표시 패널.

청구항 3

청구항 1에 있어서,

상기 제2 절연막은 상기 콘택트 홀의 주연부에 형성되어 있는 것을 특징으로 하는 액정 표시 패널.

청구항 4

청구항 1에 있어서,

상기 제1 도전성막은 상기 실장 단자용 배선과 전기적으로 접속되어 있고, 상기 콘택트 홀의 저부를 덮도록 형성되어 있는 것을 특징으로 하는 액정 표시 패널.

청구항 5

청구항 1에 있어서,

상기 제1 도전성막은 상기 실장 단자용 배선과 전기적으로 접속되어 있고, 상기 실장 단자용 배선의 표면의 일부 영역에 형성되어 있는 것을 특징으로 하는 액정 표시 패널.

청구항 6

청구항 1에 있어서,

상기 제1 도전성막 및 상기 제2 도전성막은 각각 상기 하 전극 및 상기 상 전극과 동일 재질이고, 상기 제2 절연막은 상기 하 전극 및 상기 상 전극 사이에 배치된 상기 절연막과 동일 재질인 것을 특징으로 하는 액정 표시 패널.

청구항 7

청구항 1에 있어서,

상기 실장 단자용 배선은 상기 표시 영역의 상기 주사선과 동일 재질의 금속 재료로 형성되어 있고, 상기 제1 절연막은 상기 표시 영역의 상기 주사선 위를 피복하는 게이트 절연막 및 상기 신호선 위를 피복하는 패시베이션막과 동일 재질의 복층막으로 형성되어 있는 것을 특징으로 하는 액정 표시 패널.

청구항 8

청구항 1에 있어서,

상기 실장 단자용 배선은 상기 표시 영역의 상기 신호선과 동일 재질의 금속 재료로 형성되어 있고, 상기 제1 절연막은 상기 표시 영역의 상기 신호선 위를 피복하는 패시베이션막과 동일 재질의 막으로 형성되어 있는 것을 특징으로 하는 액정 표시 패널.

청구항 9

청구항 1 내지 청구항 4 중 어느 한 항에 있어서,

상기 표시 영역의 상기 평탄화막과 상기 하 전극 사이에는 부분적으로 반사판이 형성되어 있는 것을 특징으로 하는 액정 표시 패널.

청구항 10

각각 매트릭스 형상으로 형성된 복수의 주사선 및 신호선과, 평탄화막 위에 형성되고, 상기 주사선 및 상기 신호선으로 둘러싸인 영역마다 절연막을 사이에 두고 대향 배치되며 각각 투명 도전성 재료로 이루어지는 하 전극과 복수의 슬릿을 갖는 상 전극을 구비한 표시 영역과, 상기 표시 영역의 주위에 형성된 실장 단자부를 갖는 액정 표시 패널의 제조 방법에 있어서, 상기 실장 단자부는

- (1) 기판 표면의 실장 단자 형성 위치에, 상기 주사선 또는 상기 신호선과 동일 재질의 소정 패턴의 실장 단자용 배선을 형성하는 공정,
- (2) 상기 실장 단자용 배선의 표면을 제1 절연막으로 피복하는 공정,
- (3) 상기 실장 단자용 배선 위의 상기 제1 절연막을 관통하도록 콘택트 홀을 형성하는 공정,
- (4) 적어도 상기 콘택트 홀의 저부 일부를 피복하는 동시에, 상기 실장 단자용 배선과 전기적으로 접속되도록, 상기 하 전극과 동일 재질의 제1 도전성막을 형성하는 공정,
- (5) 상기 제1 절연막의 표면에, 상기 표시 영역의 상기 하 전극 및 상기 상 전극 사이에 배치된 절연막과 동일 조성의 제2 절연막을 형성하는 공정,
- (6) 상기 제2 절연막에, 평면에서 상기 콘택트 홀과 적어도 일부가 겹치는 개구를 형성하는 공정,
- (7) 상기 콘택트 홀 주위의 상기 제2 절연막의 표면을 피복하는 동시에, 상기 제1 도전성막과 상기 개구에 있어서 전기적으로 접속된 상기 상 전극과 동일 재질의 제2 도전성막으로 이루어지는 실장 단자를 형성하는 공정에 의해 제조되는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 실장 단자부에 각종 부재를 실장할 때에 단선이나 부식에 의한 배선 저항 증대 등의 결함이 발생하지 않도록 한, 평탄화막 위에 화소 전극 및 공통 전극을 배치한 FFS(Fringe Field Switching) 모드의 액정 표시 패널, 그 제조 방법에 관한 것이다.

배정 기술

<2> 액정 표시 패널은, 표면에 전극 등이 형성된 한 쌍의 투명 기판과, 이 한 쌍의 기판 사이에 협지된 액정층을 갖고, 양 기판상의 전극에 전압을 인가하는 것에 의해 액정을 재배열시켜 여러 가지의 정보를 표시하는 종방향 전

계 방식의 것이 많이 사용되고 있다. 이와 같은 종방향 전계 방식의 액정 표시 패널은 TN(Twisted Nematic) 모드의 것이 일반적이지만, 시야각이 좁다고 하는 문제점이 존재하기 때문에, VA(Vertical Alignment) 모드나 MVA(Multi-domain Vertical Alignment) 모드 등, 여러 가지의 개량된 종방향 전계 방식의 액정 표시 패널이 개발되고 있다.

- <3> 한편, 상술한 종방향 전계 방식의 액정 표시 패널과는 달리, 한 쪽의 기관에만 화소 전극 및 공통 전극으로 이루어지는 한 쌍의 전극을 구비한 횡방향 전계 방식의 액정 표시 패널이라고도 칭해지는 IPS(In-Plane Switching) 모드 내지 FFS 모드의 액정 표시 패널도 알려져 있다.
- <4> 이 중 IPS 모드의 액정 표시 패널은 한 쌍의 전극을 동일 층에 배치하여, 액정에 인가하는 전계의 방향을 기관에 거의 평행한 방향으로 하여 액정 분자를 기관에 평행한 방향으로 재배열하는 것이다. 그 때문에, 이 IPS 모드의 액정 표시 패널은 전술한 종방향 전계 방식의 액정 표시 패널과 비교하면 매우 광시야각(廣視野角)이라고 하는 잇점을 갖고 있다. 그렇지만, IPS 모드의 액정 표시 패널은 액정에 전계를 인가하기 위해 한 쌍의 전극이 동일 층에 마련되어 있기 때문에, 화소 전극의 상측에 위치하는 액정 분자는 충분히 구동되지 않고, 투과율 등의 저하를 초래하고 만다고 하는 문제점이 존재하고 있다.
- <5> 이와 같은 IPS 모드의 액정 표시 패널의 문제점을 해결하기 위해, FFS 모드의 액정 표시 패널이 개발되고 있다(하기 특허 문헌 1 및 2 참조). 이 FFS 모드의 액정 표시 패널은 액정 층에 전계를 인가하기 위한 화소 전극과 공통 전극을 각각 절연막을 통하여 다른 층에 배치한 것이다. 이 FFS 모드의 액정 표시 패널은 IPS 모드의 액정 표시 패널보다도 광시야각이면서 고(高)컨트라스트(contrast)이고, 또한 저전압 구동을 할 수 있는 동시에 보다 고투과율이기 때문에, 밝은 표시가 가능하게 된다고 하는 특징을 구비하고 있다. 이에 더하여, FFS 모드의 액정 표시 패널은 IPS 모드의 액정 표시 패널보다도 평면시(平面視)에서 화소 전극과 공통 전극의 중복 면적이 크기 때문에, 보다 큰 유지 용량이 부차적으로 발생하고, 별도 보조 용량선을 마련할 필요가 없어진다고 하는 장점도 존재하고 있다.
- <6> 여기서, 종래의 액정 표시 패널의 주연부(周緣部)에 형성되는 실장 단자부의 구성을, 도 8을 사용하여 설명한다.
- <7> 또한, 도 8(a)는 종래예의 저위(低位) 배선의 실장 단자부의 단면을 나타내고, 도 8(b)는 종래예의 고위(高位) 배선의 실장 단자부의 단면을 나타내는 도면이다.
- <8> 실장 단자부의 제작은 액정 표시 패널의 어레이 기관에 있어서 주사선 내지 신호선의 제작과 동시에 행해진다. 그 때문에, 실장 단자부에는 도 8(a)에 나타난 바와 같은 투명 기관(51) 위에 주사선이나 게이트 전극의 제작과 동시에 제작되는 저위 배선(52)에 접속되는 것과, 도 8(b)에 나타난 바와 같은 투명 기관(51)의 표면을 피복하는 게이트 절연막(53) 위에 신호선과 동시에 형성되는 고위 배선(54)에 접속되는 것이 존재한다. 이 고위 배선(54) 및 게이트 절연막(53)의 표면은 패시베이션막(보호 절연막이라고도 칭해짐, 55)으로 피복되어 있다.
- <9> 그리고, 저위 배선(52)용의 실장 단자(56)는 도 8(a)에 나타난 바와 같이, 패시베이션막(55) 및 게이트 절연막(53)을 동시에 관통하도록 형성된 콘택트 홀(57)을 통하여 화소 전극의 형성과 동시에 투명 도전성 재료에 의해 형성된다. 동일하게, 고위 배선(54)용의 실장 단자(58)는 도 8(b)에 나타난 바와 같이, 패시베이션막(55)을 관통하도록 형성되는 콘택트 홀(59)을 통하여 화소 전극의 형성과 동시에 투명 도전성 재료에 의해 형성된다. 따라서, 저위 배선(52) 및 고위 배선(54)은 포토리소그래피법에 의한 콘택트 홀(57 및 59)의 형성시에, 한 번 에칭 분위기에 노출된다. 이와 같이 하여 형성된 저위 배선(52)용 및 고위 배선(54)용의 실장 단자(56 및 58)는 각각 저위 배선(52) 및 고위 배선(54)보다도 높은 위치에, 또한 저위 배선(52) 및 고위 배선(54)보다도 폭이 넓어지도록 마련되어, 이들의 실장 단자(56 및 58)에 접속되는 각종 접속 부재와의 전기적 접촉이 양호해지도록 이루어져 있다.
- <10> [특허 문헌 1] 일본 특개 2001-235763호 공보
- <11> [특허 문헌 2] 일본 특개 2002-182230호 공보

발명의 내용

해결 하고자하는 과제

- <12> 그런데, 종래의 FFS 모드의 액정 표시 패널은 TFT(박막 트랜지스터) 등의 스위칭 소자나 커먼 배선과 겹치는 화소 전극의 표면에는 단차(段差)가 형성되어 있기 때문에, 그 단차의 부분에서는 액정 분자의 배향이 흐트러져

버린다. 그래서, 종래의 FFS 모드의 액정 표시 패널에 있어서는 상기 단차의 부분은 실질적으로 표시에 기여하지 않는 영역으로 되기 때문에, 컬러 필터 기판에 있어서 블랙 매트릭스에 의해 차광하고 있고, 이 단차의 양만큼 개구 비율이 저하하고 만다.

<13> 이와 같은 단차를 없애기 위해서는 상술한 VA 방식 내지 MVA 방식의 액정 표시 패널에서 사용되고 있는 것과 같은 평탄화막을 사용하고, 이 평탄화막 위에 화소 전극이나 공통 전극을 배치하는 것도 생각할 수 있다. 그렇지만, FFS 모드의 액정 표시 패널에 대해 이와 같은 구성을 채용하면, 평탄화막 위에 화소 전극과 공통 전극이 각각 절연막을 통하여 다른 층에 배치되기 때문에, 주연부에 실장 단자부를 형성할 때에 저위 배선 내지 고위 배선의 표면에 형성되는 절연막이 1층 많아진다. 이 때, 포트리소그래피법에 의해 화소부의 콘택트 홀을 형성하는 동시에, 실장 단자부의 저위 배선 내지 고위 배선을 노출하기 위한 콘택트 홀을 형성하는 공정은 다음과 같이 된다. 즉, 실장 단자부의 콘택트 홀 형성 위치에 적층된 게이트 절연막(절화막), 보호막(절화막)에 개구부를 형성하고, 실장 단자부를 제외하여 적층된 평탄화막 위에 공통 전극을 형성한 후, 전면에 절연막(절화막)을 적층시키고, 실장 단자부의 콘택트 홀 형성 위치에 다시 개구부를 형성하여 전위 배선까지 관통시킨다. 그리고, 화소부에 화소 전극을 형성하는 동시에, 실장 단자부의 콘택트 홀에 공통 전극과 동일 재료의 전극을 형성시킨다. 그러나, 이 방법의 경우, 저위 배선 내지 고위 배선은 두 번씩이나 에칭 분위기에 노출되는 것으로 된다.

<14> 저위 배선 및 고위 배선은, 알루미늄 내지 알루미늄 합금 등의 도전성은 양호하나 부식되기 쉬운 금속으로 형성되어 있기 때문에, 두 번씩이나 절연막의 에칭 분위기에 노출되면 데미지가 커지게 되고, 실장시에 단선이나 부식에 의한 배선 저항 증대 등의 결함이 발생하는 경우가 있다.

<15> 그래서, 화소 전극의 콘택트 홀 개구시에, 실장 단자부의 콘택트 홀 배치 위치의 게이트 절연막(절화막), 보호막(절화막)에 개구를 마련하지 않고, 화소 전극과 공통 전극 사이에 개재하는 절연막이 형성된 후에, 실장 단자부의 콘택트 홀을 일괄적으로 에칭하는 것으로, 각 전극배선이 에칭 분위기에 노출되지 않도록 하였다. 그러나, 이 프로세스의 경우, 게이트 절연막, 보호막과 절연막의 막 질이 다르기 때문에 에칭 레이트가 다르며, 절연막이 역 테이퍼 형상으로 되고 말아, 각 절화막간에 단차가 발생하고, 상 전극에서 콘택트부를 피복할 때에, 단 끊김을 발생시켜 비접촉 상태로 되고 만다고 하는 문제가 발생하였다.

과제 해결수단

<16> 본 발명은 상기 과제의 적어도 일부를 해결하기 위해서 이루어진 것이고, 이하의 형태 또는 적용예로서 실현되는 것이 가능하다.

<17> [적용예 1] 본 적용예에 관한 액정 표시 패널은, 표시 영역의 주연부에 실장 단자부가 형성된 어레이 기판을 갖는 액정 표시 패널에 있어서, 상기 표시 영역은 각각 매트릭스 형상으로 형성된 복수의 주사선 및 신호선과, 평탄화막 위에 형성되고, 상기 주사선 및 상기 신호선으로 둘러싸인 영역마다 절연막을 사이에 두고 대향 배치되며 각각 투명 도전성 재료로 이루어지는 하 전극과 복수의 슬릿을 갖는 상 전극을 구비하고, 상기 실장 단자부는 실장 단자용 배선의 표면을 피복하는 제1 절연막과; 상기 실장 단자용 배선 위의 상기 제1 절연막을 관통하도록 형성된 콘택트 홀과; 적어도 상기 콘택트 홀의 저부(바닥부) 일부를 피복하는 동시에, 상기 실장 단자용 배선과 전기적으로 접속된 제1 도전성막과; 상기 제1 절연막의 표면에 마련되고, 평면시에서 상기 콘택트 홀과 적어도 일부가 겹치는 개구를 갖는 제2 절연막과; 상기 콘택트 홀 주위의 상기 제2 절연막의 표면을 피복하고 있는 제2 도전성막을 갖고, 상기 제1 도전성막과 상기 제2 도전성막은 상기 개구에 있어서 전기적으로 접속되어 있는 것을 특징으로 한다.

<18> 이 구성에 의하면, 표시 영역은 각각 매트릭스 형상으로 형성된 복수의 주사선 및 신호선과, 평탄화막 위에 형성되고, 주사선 및 신호선으로 둘러싸인 영역마다 절연막을 사이에 두고 대향 배치되며 각각 투명 도전성 재료로 이루어지는 하 전극과 복수의 슬릿을 갖는 상 전극을 구비하고 있다. 이러한 구성에 의해, 액정 표시 패널을 FFS 모드의 액정 표시 패널로서 작동시킬 수 있다.

<19> 또한, 액정 표시 패널에 있어서는 절연막을 사이에 두고 대향 배치되며 각각 투명 도전성 재료로 이루어지는 하 전극과 복수의 슬릿을 갖는 상 전극이 평탄화막 위에 형성되어 있으므로, 하 전극이나 상 전극에 스위칭 소자나 커먼 배선 등에 의한 단차가 발생하지 않게 된다. 그 때문에, 액정 표시 패널에 의하면, 다른 쪽의 기판과 상 전극의 간격, 즉 셀 갭이 균일하게 되고, 또한 표시 영역내에 있어서 블랙 매트릭스로 차광해야 되는 영역의 면적이 감소하기 때문에 개구 비율이 커진다. 따라서, 액정 표시 패널에 의하면, 밝은 표시를 할 수 있고, 표시 화질이 양호한 FFS 모드의 액정 표시 패널이 얻어진다. 또한, FFS 모드의 액정 표시 패널에 있어서는 상 전극 및 하 전극 양쪽 모두 화소 전극 내지 공통 전극으로서 작용시킬 수 있다. 즉, 상 전극 및 하 전극 중, 스위칭

소자에 접속되는 쪽이 화소 전극으로 되고, 커먼 배선에 접속된 쪽이 공통 전극으로 된다.

- <20> 이에 더하여, 액정 표시 패널에 있어서는 실장 단자부의 실장 단자용 배선의 표면이 제1 도전성막으로 피복되어 있다. 그 때문에, 포토리소그래피법에 의해 제2 절연막의 중앙부 근방에 개구를 형성할 때, 실장 단자용 배선의 표면이 노출하지 않으므로, 실장 단자용 배선의 데미지가 적게 된다. 따라서, 액정 표시 패널에 의하면, 실장 단자부에 소정의 부재를 실장할 때에 단선이나 부식에 의한 배선 저항 증대 등의 결함이 생기지 않게 되고, 실장부의 신뢰성이 양호한 FFS 모드의 액정 표시 패널이 얻어진다.
- <21> [적용예 2] 상기 적용예에 관한 액정 표시 패널에 있어서, 상기 제2 절연막은 상기 콘택트 홀의 내주면(內周面) 및 주연부 표면을 피복하는 동시에, 상기 콘택트 홀의 중앙부 근방에 상기 콘택트 홀의 직경보다 소경인 개구를 갖는 것이 바람직하다.
- <22> 이 구성에 의하면, 제2 절연막이 콘택트 홀의 내주까지 형성되어 있다. 따라서, 예를 들어 제2 절연막이 에칭 분위기에서 급격하게 에칭되고, 콘택트 홀의 벽까지 침식되었다고 해도, 제2 절연막이 표면을 덮고 있는 면적이 넓기 때문에, 실장 단자부의 실장부로 되는 콘택트 홀의 주연부까지 침식되지 않고, 실장부의 높이를 유지하는 것이 가능하게 된다. 이것에 의해, 각 실장 단자부에서 높이의 편차가 발생하기 어려워지며, 비접촉 부분의 발생을 억제할 수 있다.
- <23> [적용예 3] 상기 적용예에 관한 액정 표시 패널에 있어서, 상기 제2 절연막은 상기 콘택트 홀의 주연부에 형성되어 있는 것이 바람직하다.
- <24> 이 구성에 의하면, 제2 절연막이 콘택트 홀의 저부(바닥부)까지 형성되지 않고, 콘택트 홀의 주연부에 마련되어 있으므로, 제1 도전성막과 제2 도전성막의 접촉 면적이 넓어진다. 이 때문에, 각 실장 단자부는 저 저항화로 되고, 안정된 전압을 공급할 수 있다.
- <25> [적용예 4] 상기 적용예에 관한 액정 표시 패널에 있어서, 상기 제1 도전성막은 상기 실장 단자용 배선과 전기적으로 접속되어 있고, 상기 콘택트 홀의 저부(바닥부)를 덮도록 형성되어 있는 것이 바람직하다.
- <26> 이 구성에 의하면, 콘택트 홀의 저부(바닥부:실장 단자용 배선의 표면)를 덮도록 제1 도전성막이 형성되어 있으므로, 실장 단자용 배선이 에칭 분위기에 노출되지 않게 할 수 있다. 따라서, 실장 단자용 배선을 보다 효과적으로 보호할 수 있다.
- <27> [적용예 5] 상기 적용예에 관한 액정 표시 패널에 있어서, 상기 제1 도전성막은 상기 실장 단자용 배선과 전기적으로 접속되어 있고, 상기 실장 단자용 배선의 표면의 일부 영역에 형성되어 있는 것이 바람직하다.
- <28> 이 구성에 의하면, 제1 도전성막이 실장 단자용 배선과 전기적으로 접속되는 동시에 실장 단자용 배선의 표면의 일부 영역에 형성되어 있으므로, 그 형성 영역에 있어서는 에칭 분위기에서 노출면이 어느 정도 거칠어지게 되었다고 해도, 실장 단자용 배선을 보호할 수 있다.
- <29> [적용예 6] 상기 적용예에 관한 액정 표시 패널에 있어서, 상기 제1 도전성막 및 상기 제2 도전성막은 각각 상기 하 전극 및 상기 상 전극과 동일 재질이고, 상기 제2 절연막은 상기 하 전극 및 상기 상 전극 사이에 배치된 상기 절연막과 동일 재질인 것이 바람직하다.
- <30> 이와 같은 구성으로 하면, 표시 영역의 형성시에 동시에 실장 단자부를 형성할 수 있기 때문에, 공정수를 증가시키는 일 없이 표시 영역과 실장 단자부를 형성할 수 있다. 또한, 「동일 재질」은 각각 같은 재료로 형성되어 있는 경우를 포함하는 것 외, 예를 들어 한 쪽이 복층 구조인 경우에는 다른 쪽도 동양(同樣)의 복층 구조를 구비하고 있는 것을 의미한다.
- <31> 또, 하 전극 및 상 전극으로서는 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등의 투명 도전성 재료를 사용할 수 있다. 이 경우, 하 전극 및 상 전극과는 동일 조성의 것이어도 다른 조성의 것이어도 무방하다. 또, 평탄화막은 적어도 표면이 평탄성을 갖는 투명한 유기 절연성막이면 사용할 수 있고, 예를 들어 아크릴 수지나 폴리이미드 등의 투명 수지를 사용할 수 있다. 또한, 각종 절연막으로서는 산화 규소나 질화 규소 등의 무기 절연막을 사용할 수 있다.
- <32> [적용예 7] 상기 적용예에 관한 액정 표시 패널에 있어서, 상기 실장 단자용 배선은 상기 표시 영역의 상기 주사선과 동일 재질의 금속 재료로 형성되어 있고, 상기 제1 절연막은 상기 표시 영역의 상기 주사선 위를 피복하는 게이트 절연막 및 상기 신호선 위를 피복하는 패시베이션막과 동일 재질의 복층막으로 형성되어 있는 것이 바람직하다.

- <33> 이 구성에 의하면, 표시 영역의 주사선은 통상 투명 기관 위에 직접 저위 배선으로서 형성되기 때문에, 이 주사선과 동시에 형성되는 실장 단자용 배선의 표면은 게이트 절연막 및 패시베이션막의 양자로 덮여지므로, 이 게이트 절연막 및 패시베이션막의 양자가 제1 절연막으로 된다. 이러한 형태의 액정 표시 패널에 의하면, 실장 단자용 배선이 직접 기관 위에 형성되는 저위 배선의 경우에도, 상기 발명의 효과를 나타내는 액정 표시 패널이 얻어진다. 단, 상술한 구성에 있어서는 게이트 절연막 및 패시베이션막의 양자를 제1 절연막으로 하였으나, 실장 단자용 배선 위에 형성되어 있는 절연막은 1층이거나 2층이어도 제1 절연막에 상당한다.
- <34> [적용예 8] 상기 적용예에 관한 액정 표시 패널에 있어서, 상기 실장 단자용 배선은 상기 표시 영역의 상기 신호선과 동일 재질의 금속 재료로 형성되어 있고, 상기 제1 절연막은 상기 표시 영역의 상기 신호선 위를 피복하는 패시베이션막과 동일 재질의 막으로 형성되어 있는 것이 바람직하다.
- <35> 이 구성에 의하면, 표시 영역의 신호선은 통상 게이트 절연막의 표면에 고위 배선으로서 형성되기 때문에, 이 신호선과 동시에 형성되는 실장 단자용 배선의 표면은 패시베이션막으로 덮여지므로, 이 패시베이션막이 제1 절연막으로 된다. 이러한 형태의 액정 표시 패널에 의하면, 실장 단자용 배선이 게이트 절연막의 표면에 고위 배선의 경우에도, 상기 발명의 효과를 나타내는 액정 표시 패널이 얻어진다.
- <36> [적용예 9] 상기 적용예에 관한 액정 표시 패널에 있어서, 상기 표시 영역의 상기 평탄화막과 상기 하 전극 사이에는 부분적으로 반사판이 형성되어 있는 것으로 할 수 있다.
- <37> 이러한 형태의 액정 표시 패널에 의하면, 평탄화막과 하 전극 사이에 부분적으로 반사판이 형성되어 있는 개소(箇所)가 반사부로서 작용하고, 다른 부분이 투과부로서 작용하기 때문에, FFS 모드의 반투과형 액정 표시 패널이 얻어진다.
- <38> [적용예 10] 본 적용예에 관한 액정 표시 패널의 제조 방법은, 각각 매트릭스 형상으로 형성된 복수의 주사선 및 신호선과, 평탄화막 위에 형성되고, 상기 주사선 및 상기 신호선으로 둘러싸인 영역마다 절연막을 사이에 두고 대향 배치되며 각각 투명 도전성 재료로 이루어지는 하 전극과 복수의 슬릿을 갖는 상 전극을 구비한 표시 영역과, 상기 표시 영역의 주위에 형성된 실장 단자부를 갖는 액정 표시 패널의 제조 방법에 있어서, 상기 실장 단자부는 이하의 (1) ~ (7) 공정에 의해 제조하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.
- <39> (1) 기관 표면의 실장 단자 형성 위치에, 상기 주사선 또는 상기 신호선과 동일 재질의 소정 패턴의 실장 단자용 배선을 형성하는 공정, (2) 상기 실장 단자용 배선의 표면을 제1 절연막으로 피복하는 공정, (3) 상기 실장 단자용 배선 위의 상기 제1 절연막을 관통하도록 컨택트 홀을 형성하는 공정, (4) 적어도 상기 컨택트 홀의 저부(바닥부) 일부를 피복하는 동시에, 상기 실장 단자용 배선과 전기적으로 접속되도록, 상기 하 전극과 동일 재질의 제1 도전성막을 형성하는 공정, (5) 상기 제1 절연막의 표면에, 상기 표시 영역의 상기 하 전극 및 상기 상 전극 사이에 배치된 절연막과 동일 조성의 제2 절연막을 형성하는 공정, (6) 상기 제2 절연막에, 평면시에서 상기 컨택트 홀과 적어도 일부가 겹치는 개구를 형성하는 공정, (7) 상기 컨택트 홀 주위의 상기 제2 절연막의 표면을 피복하는 동시에, 상기 제1 도전성막과 상기 개구에 있어서 전기적으로 접속된 상기 상 전극과 동일 재질의 제2 도전성막으로 이루어지는 실장 단자를 형성하는 공정.

효 과

- <40> 이러한 형태의 액정 표시 패널의 제조 방법에 의하면, 용이하게 상기 효과를 나타내는 액정 표시 패널을 제조할 수 있다.

발명의 실시를 위한 구체적인 내용

- <41> 이하, 도면을 참조하여 본 발명의 최선의 실시 형태를 각종 실시예로 설명한다. 단, 이하에 나타내는 실시예는 본 발명의 기술 사상을 구체화하기 위한 액정 표시 패널로서 FFS 모드의 액정 표시 패널을 예시하는 것으로서, 본 발명을 이 FFS 모드의 액정 표시 패널에 한정하는 것을 의도하는 것은 아니며, 특허 청구의 범위에 포함되는 그 외 실시 형태의 것에도 동일하게 적용할 수 있는 것이다.
- <42> 또한, 도 1은 실시예 1의 FFS 모드의 액정 표시 패널(10A)의 컬러 필터 기관을 투시한 어레이 기관의 1 화소분의 모식 평면도이다. 도 2는 도 1의 II-II선을 따른 단면도이다. 도 3은 실시예 1의 액정 표시 패널의 저위 배선의 단자부의 모식 단면도이다. 도 4는 실시예 1의 액정 표시 패널의 고위 배선의 단자부의 모식 단면도이다. 도 5는 실시예 2의 FFS 모드의 반투과형 액정 표시 패널의 컬러 필터 기관을 투시한 어레이 기관의 1 화소분의 모식 평면도이다. 도 6은 도 5의 VI-VI선을 따른 단면도이다.

- <43> [실시예 1]
- <44> 실시예 1의 FFS 모드의 액정 표시 패널로서, 평탄화막을 갖는 FFS 모드의 액정 표시 패널(10A)의 예를, 제조 공정순으로 도 1 ~ 도 4를 사용하여 설명한다. 이 액정 표시 패널(10A)에 있어서 어레이 기관(AR)의 제조시에는 맨 처음 유리 기관 등의 투명 기관(11)의 표면 전체에 걸쳐서 예를 들어 알루미늄 또는 알루미늄 합금으로 이루어지는 도전성층을 형성한다. 그 후, 주지의 포토리소그래피법 및 에칭법에 의해서, 표시 영역에 복수의 주사선(12) 및 복수의 커먼 배선(13)을 서로 평행이 되도록 형성하는 동시에, 표시 영역의 주변부의 저위 배선용 실장 단자부(33A, 도 3 참조)에는 게이트 배선으로 이루어지는 실장 단자용 배선(34)을 형성한다. 이 게이트 배선은 반드시 주사선(12)용의 배선으로서 사용되는 것은 아니며, 주사선(12)과 같은 재료의 배선이기 때문에 「게이트 배선」이라고 칭해지고 있는 것이고, 도시 생략하였으나 적절하게 각종 배선용으로 사용되는 것이다. 또, 여기서 커먼 배선(13)은 자화소(自畫素)의 주사선(12)에 따르도록 형성한 예를 나타냈으나, 인접하는 화소의 주사선(12)측을 따르도록 형성해도, 또는 양 주사선(12)의 사이에 형성해도 된다.
- <45> 이어서, 이 표면 전체에 질화 규소층 내지 산화 규소층으로 이루어지는 게이트 절연막(14)을 피복한다. 그 후, CVD(화학적 기상 성장)법에 의해 예를 들어 아몰퍼스·실리콘(이하 「a-Si」라 함)층을 게이트 절연막(14)의 표면 전체에 걸쳐서 피복한 후, 동일하게 포토리소그래피법 및 에칭법에 의해서, TFT 형성 영역에 a-Si층으로 이루어지는 반도체층(15)을 형성한다. 이 반도체층(15)이 형성되어 있는 위치의 주사선(12)의 영역이 TFT의 게이트 전극(G)을 형성한다.
- <46> 이어서, 게이트 절연막(14) 및 반도체층(15)의 표면에 예를 들어 알루미늄 또는 알루미늄 합금으로 이루어지는 도전성층을 형성한다. 또한, 그 도전성층을, 포토리소그래피법 및 에칭법에 의해, 표시 영역에 있어서 주사선(12)에 교차하도록 소스 전극(S)을 포함한 신호선(16)을 형성하고, TFT 형성 영역에 드레인 전극(D)을 형성하고, 또한 고위 배선용 실장 단자부(33B, 도 4 참조)에 소스 배선으로 이루어지는 실장 단자용 배선(35)을 형성한다. 이 소스 배선은 게이트 배선의 경우와 동일하게, 반드시 신호선(16)의 배선으로서 사용되는 것은 아니며, 신호선(16)과 같은 재료의 배선이기 때문에 「소스 배선」으로 칭해지고 있는 것이고, 도시 생략하였으나 적절하게 각종 배선용으로 사용되는 것이다.
- <47> 그 후, 상기 공정으로 얻어진 투명 기관(11)의 표면 전체에 패시베이션막(17)을 피복한다. 이 패시베이션막(17)으로서서는 질화 규소층 내지 산화 규소층으로 이루어지는 것을 사용할 수 있으나, 절연성의 관점에서는 질화 규소층 쪽이 바람직하다. 이 중, 저위 배선용 실장 단자부(33A)의 실장 단자용 배선(34)의 표면에 존재하는 게이트 절연막(14) 및 패시베이션막(17)이 발명의 제1 절연막에 대응하고, 동일하게 고위 배선용 실장 단자부(33B)의 실장 단자용 배선(35)의 표면에 존재하는 패시베이션막(17)도 제1 절연막에 대응한다.
- <48> 이어서, 포토리소그래피법 및 에칭법에 의해, 커먼 배선(13) 위 및 저위 배선용 실장 단자부(33A)의 실장 단자용 배선(34) 위의 표면의 게이트 절연막(14) 및 패시베이션막(17)에 각각 콘택트 홀(21 및 36a)을 형성한다. 그와 동시에, 고위 배선용 실장 단자부(33B)의 실장 단자용 배선(35) 위의 패시베이션막(17)에 콘택트 홀(37a)을 형성한다. 이 콘택트 홀(21, 36a 및 37a)의 형성에는 건식 에칭법의 1종인 플라즈마 에칭법이나 완충 불화수소 산에 의한 습식 에칭법을 채용할 수 있다. 이것에 의해, 커먼 배선(13), 실장 단자용 배선(34 및 35)의 표면이 노출된다. 또한 이 때 드레인 전극(D) 위의 패시베이션막(17)에는 아직 콘택트 홀은 형성되지 않는다. 또한, 표시 영역의 패시베이션막(17)의 표면에, 포토리소그래피법에 의해 콘택트 홀(21) 부분 및 드레인 전극(D) 위의 콘택트 홀 형성 예정 부분을 제외하고, 예를 들어 아크릴 수지 내지 폴리이미드 수지로부터 이루어지는 평탄화막(층간막이라고도 칭해짐, 18)을 적층한다.
- <49> 이어서, 평탄화막(18)이 형성된 투명 기관(11)의 표면 전체에 걸쳐서 예를 들어 IT0나 IZO로 이루어지는 투명 도전성층을 피복한다. 그 후, 포토리소그래피법 및, 에칭법에 의해 각각의 화소마다 평탄화막(18)의 표면에 하전극(22)을 형성하는 동시에, 실장 단자용 배선(34 및 35)의 표면 및 이들 주위의 패시베이션막(17)을 피복하도록, 각각 제1 투명 도전성막(38 및 39)을 형성한다. 이 때, 각각의 화소마다의 하전극(22)은 콘택트 홀(21)을 통하여 커먼 배선(13)과 전기적으로 접속된다.
- <50> 또한, 하전극(22), 제1 투명 도전성막(38 및 39)이 형성된 투명 기관(11)의 표면 전체에 걸쳐서 질화 규소층 내지 산화 규소층으로 이루어지는 절연막(23)을 형성한다. 이 때, 드레인 전극(D) 위의 콘택트 홀 형성 예정 부분의 패시베이션막(17)의 표면, 제1 투명 도전성막(38 및 39)의 표면도 절연막(23)에 의해서 피복된다. 이어서, 포토리소그래피법 및 에칭법에 의해, 드레인 전극(D) 위의 콘택트 홀 형성 예정 부분의 패시베이션막(17) 및 절연막(23)에 대하여 콘택트 홀(24)을, 제1 투명 도전성막(38 및 39)의 표면에 위치하는 절연막(23)에 대해 개구(36b 및 37b)를 각각 형성한다. 이 콘택트 홀(24), 개구(36b 및 37b)의 형성에는 습식 에칭법의 1종인 플라즈

마 에칭법이나 완충 불화수소산에 의한 습식 에칭법을 채용할 수 있다. 또한, 도 1에 있어서는 절연막(23)은 이하에 말하는 상 전극(26)의 부분을 제외하고 전면에 나타나지만, 액정 표시 패널(10A)의 이해를 용이하게 하기 위해 도시 생략되어 있다.

- <51> 따라서, 드레인 전극(D)은 여기서 처음으로 에칭 분위기에 노출되지만, 실장 단자용 배선(34 및 35)의 표면에는 제1 투명 도전성막(38 및 39)이 존재하고 있으므로, 개구(36b 및 37b)의 형성시에 실장 단자용 배선(34 및 35)이 직접 에칭 분위기에 노출되는 일이 없다. 따라서, 개구(36b 및 37b)의 형성시에 실장 단자용 배선(34 및 35)이 재차 데미지를 받거나 부식되는 일이 없어진다.
- <52> 또, 이 개구(36b 및 37b)는 실장 단자용 배선(34) 위의 게이트 절연막(14) 및 패시베이션막(17)에 형성된 콘택트 홀(36a) 및 실장 단자용 배선(35) 위의 패시베이션막(17)에 형성된 콘택트 홀(37a)보다도 소경으로 되어 있다. 따라서, 제1 투명 도전성막(38 및 39) 위의 절연막(23)은 개구(36b 및 37b)의 주연측에서 부분적으로 제1 투명 도전성막(38 및 39)을 피복하고 있는 것으로 된다. 이 구조를 채택하는 것에 의해, 절연막(23)이 콘택트 홀(36a, 37a)의 내주까지 형성되어 있으므로, 예를 들어 절연막(23)이 에칭 분위기에서 급격히 에칭되고, 콘택트 홀(36a, 37a)의 벽까지 침식되었다고 해도, 절연막(23)이 표면을 덮고 있는 면적이 넓기 때문에, 각 실장 단자부(33A, 33B)의 실장부로 되는 콘택트 홀(36a, 37a)의 주연부까지 침식되지 않고, 실장부의 높이를 유지하는 것이 가능하게 된다. 그 때문에, 각 실장 단자부(33A, 33B)에서 높이의 편차가 발생하기 어려워지고, 비접촉 부분의 발생을 억제하는 것이 가능하게 된다. 또한, 이 절연막(23) 중에서, 실장 단자용 배선(34 및 35) 위에 존재하는 제1 투명 도전성막(38 및 39)의 표면에 형성된 부분이 제2 절연막에 대응한다.
- <53> 또한, 절연막(23)이 형성된 투명 기관(11)의 표면 전체에 걸쳐서, 예를 들어 ITO나 IZO로 이루어지는 투명 도전성층을 피복한다. 그 후, 포토리소그래피법 및 에칭법에 의해, 각각의 화소마다 절연막(23)의 표면에 복수의 슬릿(25)이 형성된 상 전극(26)을 형성하는 동시에, 제1 투명 도전성막(38 및 39)의 표면 및 이들 주위의 절연막(23)을 피복하도록, 각각 제2 투명 도전성막(41 및 42)을 형성한다. 이 제2 투명 도전성막(41 및 42)은 절연막(23)에 형성된 개구(36b 및 37b)를 통하여 각각 제1 투명 도전성막(38 및 39)의 표면과 접촉하고 있고, 각각 실장 단자에 대응한다. 이 후, 표시부의 상 전극(26)을 포함하는 표면 전체에 배향막(도시하지 않음)을 마련하는 것에 의해 실시예 1의 액정 표시 패널(10A)의 어레이 기관(AR)이 완성된다.
- <54> 또한, 본 실시예에서는 하 전극을 공통 전극으로 하고, 상 전극을 화소 전극으로 한 구성으로 기재하고 있으나, 예를 들어 하 전극을 화소 전극으로서 드레인 전극(D)과 접속시키고, 상 전극을 공통 전극으로 하여 화소내 또는 표시 영역 주변부에 배치되어 있는 커먼 배선(13)에 전기적으로 접속시켜서 구성하는 것도 가능하다.
- <55> 또한, 표시 영역 밖에 배치되어 있는 실장 단자부의 도전 재료에 있어서는 제1 투명 도전성막(38 및 39)과 제2 투명 도전성막(41 및 42)은 ITO나 IZO 등의 투명 전극뿐만 아니라, 예를 들어 알루미늄, 폴리리튬, 티탄, 크롬 등 도전성 차광막으로 형성해도 가능하다.
- <56> 또, 컬러 필터 기관(CF)은 도 2에 나타낸 바와 같이, 제2 투명 기관(27)의 표면에는 어레이 기관(AR)의 주사선(12), 신호선(16) 및 TFT에 대응하는 위치를 피복하도록 블랙 매트릭스(28)가 형성되어 있다. 또한, 블랙 매트릭스(28)로 둘러싸인 제2 투명 기관(27)의 표면에는 소정의 색의 컬러 필터층(29)이 형성되고, 또 블랙 매트릭스(28) 및 컬러 필터층(29)의 표면을 피복하도록 오버 코트층(30)이 형성되어 있다. 그리고, 오버 코트층(30)의 표면에는 배향막(도시하지 않음)이 형성되어서, 컬러 필터 기관(CF)이 완성된다.
- <57> 또한, 어레이 기관(AR)의 상 전극(26)과 컬러 필터 기관(CF)의 컬러 필터층(29)이 서로 대향하도록 어레이 기관(AR) 및 컬러 필터 기관(CF)을 대향시키고, 그 사이에 액정(31)을 봉입하는 것에 의해 실시예 1의 FFS 모드의 액정 표시 패널(10A)이 얻어진다.
- <58> 이와 같이 하여 제조된 실시예 1의 액정 표시 패널(10A)에 의하면, 표시 영역의 주연부에 형성된 실장 단자부(33A 및 33B)는 표시부의 제작시에 동시에 제작할 수 있고, 또한 실장 단자용 배선(34 및 35)은 그 표면에 형성된 각종 절연층에 콘택트 홀 내지 개구를 형성할 때에 한 번 밖에 에칭 분위기에 노출되는 일이 없다. 그 때문에, 실시예 1의 액정 표시 패널(10A)에 의하면, 실장 단자용 배선(34 및 35)이 에칭 분위기에 의해서 데미지를 받기 어려워지므로, 실장 단자에 대응하는 제2 투명 도전성막(41 및 42)에 각종 부재를 실장할 때에 단선이나 부식에 의한 배선 저항 증대 등의 문제가 발생하는 일이 적게 되고, 실장 단자부(33A 및 33B)의 신뢰성이 향상된 FFS 모드의 액정 표시 패널(10A)이 얻어진다.
- <59> [실시예 2]
- <60> 또한, 실시예 1의 액정 표시 패널(10A)로서는 투과형의 FFS 모드의 액정 표시 패널의 예를 나타냈으나, 반투과

형의 FFS 모드의 액정 표시 패널로 할 수도 있다. 여기서 실시예 2로서 반투과형의 FFS 모드의 액정 표시 패널(10B)의 구성을 도 5 및 도 6을 사용하여 설명한다. 또한, 실시예 2의 액정 표시 패널(10B)에 있어서는 실시예 1의 액정 표시 패널(10A)과 동일한 구성 부분에는 동일한 참조 부호를 부여하여 그 상세한 설명은 생략한다.

<61> 실시예 2의 반투과형의 FFS 모드의 액정 표시 패널(10B)이 실시예 1의 투과형의 FFS 모드의 액정 표시 패널(10A)과 구성이 상이한 점은 평탄화막(18)의 표면의 일부에 요철(凹凸)이 형성되고(도시 생략), 이 요철이 형성된 평탄화막(18)의 표면에 광 반사성 금속으로 이루어지는 반사판(19)이 형성되어 있는 점이다. 이 반사판(19)은 평탄화막(18)의 표면과 하 전극(22) 사이에 배치되어 있다. 따라서, 실시예 2의 액정 표시 패널(10B)에서는 각각의 상 전극(26)이 형성되어 있는 부분에 있어서, 반사판(19)이 형성되어 있는 부분이 반사부(20)를 형성하고, 그 외의 부분이 투과부를 형성한다. 또한, 광 반사성 금속으로서는 알루미늄, 알루미늄 합금 내지 은 등의 반투과형 액정 표시 패널의 반사판 형성 재료로서 범용적으로 사용되고 있는 것을 적절히 선택하여 사용할 수 있다.

<62> 이 실시예 2의 액정 표시 패널(10B)에 있어서는 평탄화막(18)의 형성 후에 표면 전체에 걸쳐서 광 반사성 금속막을 형성하고, 그 후에 포토리소그래피법 및 에칭법에 따라 반사판(19)을 형성한다. 그 후, 포토리소그래피법 및 에칭법에 의해, 맨 처음 각각의 화소마다의 반사판(19)의 부분을 남겨서 다른 부분의 광 반사성 금속막을 제거한다. 계속하여, 에칭을 진행시키는 것에 의해 커먼 배선(13) 위 및 저위 배선용 실장 단자부(33A)의 실장 단자용 배선(34) 위의 표면의 게이트 절연막(14) 및 패시베이션막(17)에 각각 콘택트 홀(21 및 36a)을 형성하는 동시에, 고위 배선용 실장 단자부(33B)의 실장 단자용 배선(35) 위의 패시베이션막(17)에 콘택트 홀(37a)을 형성한다. 그 후의 제조 공정은 실시예 1의 액정 표시 패널(10A)의 경우와 동양이다.

<63> 또한, 이 실시예 2의 액정 표시 패널(10B)에 있어서 표시 영역의 주연부에 형성되는 실장 단자부(33A 및 33B)의 구성은 실시예 1의 액정 표시 패널(10A)의 경우와 동일한 구성으로 된다. 따라서, 실시예 2의 액정 표시 패널(10B)에 의하면, 실시예 1의 액정 표시 패널(10A)과 동양의 효과를 나타내는 반투과형의 FFS 모드의 액정 표시 패널이 얻어진다.

<64> 다음에, 실시예 1의 변형예인 도 7의 실장 단자부(33C ~ 33E)의 설명을 한다. 또한, 실시예 1의 액정 표시 패널(10A)과 동일한 구성 부분에는 동일한 참조 부호를 부여하여 그 상세한 설명은 생략한다. 또한, 이하에 후술하는 변형예에 있어서는 저위 배선에 기초하여 설명하나, 고위 배선에 대해서도 범용 가능하다.

<65> (변형예 1)

<66> 도 7의 실장 단자부(33C)는 절연막(23)이 콘택트 홀(36a)의 바닥까지 형성되지 않고, 제1 투명 도전성막(38)의 양 단부(콘택트 홀(36a)의 주연부)위에 마련되고, 제1 투명 도전성막(38)과 제2 투명 도전성막(41)의 접촉 면적이 실시예 1의 접촉 면적보다 넓은 구조로 되고 있다. 그 때문에, 각 실장 단자부를 저 저항화하는 것이 가능하게 되고, 안정된 전압을 공급하는 것이 가능하게 된다.

<67> (변형예 2)

<68> 도 7의 실장 단자부(33D)는 제1 투명 도전성막(38)이 실장 단자용 배선(34)과 전기적으로 접속되어 있는 콘택트 홀(36a)의 저부(바닥부)를 적어도 피복하도록 형성되어 있다. 보다 자세하게는 제1 투명 도전성막(38)이 콘택트 홀(36a)의 저부(바닥부:실장 단자용 배선(34)의 상부)를 피복하고, 그 위로부터 제1 투명 도전성막(38)과 실장 단자용 배선(34)의 접촉부를 노출시키도록 절연막(23)이 형성되고, 최표면에 제2 투명 도전성막(41)이 마련되어 있는 구조로 되어 있다. 이것은 실장 단자용 배선(34)의 표면이 적어도 제1 투명 도전성막(38)으로 피복된 구조이고, 이것에 의해 실장 단자용 배선(34)이 에칭 분위기에 노출되는 것을 막을 수 있다. 따라서, 실장 단자용 배선(34)을 보다 효과적으로 보호할 수 있다.

<69> (변형예 3)

<70> 도 7의 실장 단자부(33E)는 제1 투명 도전성막(38)이 콘택트 홀(36a)의 저부(바닥부)의 일부 영역(예를 들어, 양 단부를 제외한 중앙부)에 형성되어 실장 단자용 배선(34)의 상부를 피복하고, 콘택트 홀(36a)의 주연부에 절연막(23)이 형성되고, 그것들을 피복하도록 제2 투명 도전성막(41)이 마련되어 있는 구조로 되어 있다. 이것은 실장 단자용 배선(34)이 에칭 분위기에 노출되지 않도록, 예를 들어 실장 단자용 배선(34)의 양 단부가 약간 노출하여 중앙 부분의 표면만을 제1 투명 도전성막(38)으로 덮은 구조로 되어 있다. 이 구조의 경우, 그 형성 영역에 있어서는 에칭 분위기에서 노출면이 어느 정도 거칠어지게 되었다고 해도, 실장 단자용 배선(34)을 보호할 수 있다.

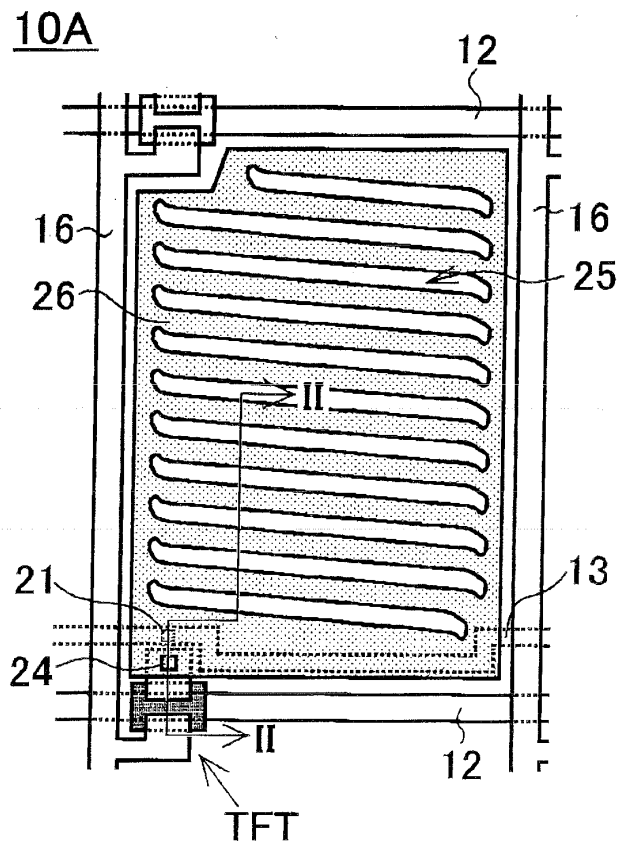
도면의 간단한 설명

- <71> 도 1은 실시예 1의 FFS 모드의 액정 표시 패널의 컬러 필터 기관을 투시한 어레이 기관의 1 화소분의 모식 평면도.
- <72> 도 2는 도 1의 II-II선을 따른 단면도.
- <73> 도 3은 실시예 1의 액정 표시 패널의 저위 배선의 단자부의 모식 단면도.
- <74> 도 4는 실시예 1의 액정 표시 패널의 고위 배선의 단자부의 모식 단면도.
- <75> 도 5는 실시예 2의 FFS 모드의 반투과형 액정 표시 패널의 컬러 필터 기관을 투시한 어레이 기관의 1 화소분의 모식 평면도.
- <76> 도 6은 도 5의 VI-VI선을 따른 단면도.
- <77> 도 7은 단자부의 변형예를 나타내는 모식 단면도.
- <78> 도 8에서 도 8(a)는 종래예의 저위 배선의 실장 단자부의 단면을 나타내고, 도 8(b)는 종래예의 고위 배선의 실장 단자부의 단면을 나타내는 도면.
- <79> <부호의 설명>
- <80> 10A, 10B: 액정 표시 패널
- <81> 11: 투명 기관
- <82> 12: 주사선
- <83> 13: 커먼 배선
- <84> 14: 게이트 절연막
- <85> 15: 반도체층
- <86> 16: 신호선
- <87> 17: 패시베이션막
- <88> 18: 평탄화막
- <89> 19: 반사판
- <90> 20: 반사부
- <91> 21, 24: 컨택트 홀
- <92> 22: 하 전극
- <93> 23: 절연막
- <94> 25: 슬릿
- <95> 26: 상 전극
- <96> 27: 제2 투명 기관
- <97> 28: 블랙 매트릭스
- <98> 29: 컬러 필터층
- <99> 30: 오버 코트층
- <100> 31: 액정
- <101> 33A: 저위 배선용 실장 단자부
- <102> 33B: 고위 배선용 실장 단자부

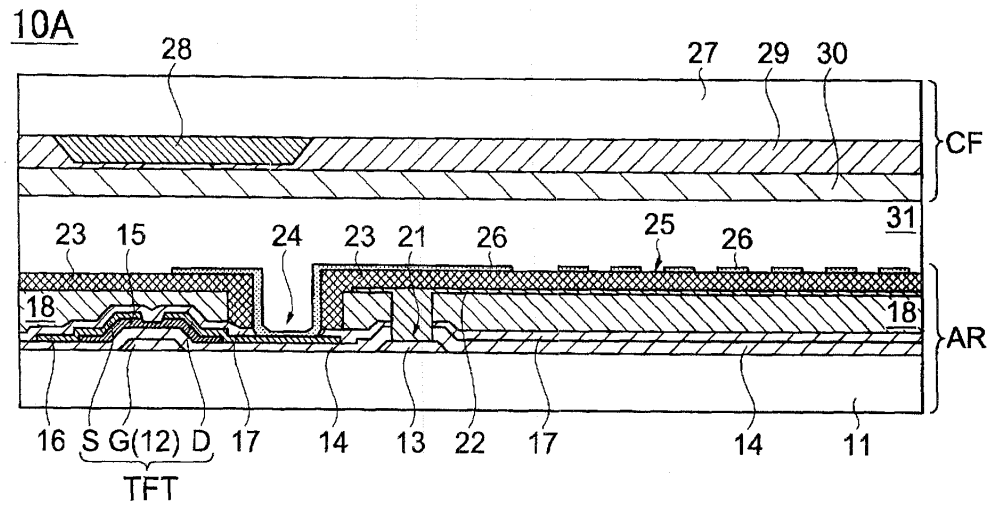
- <103> 34, 35: 실장 단자용 배선
- <104> 36a, 37a: 콘택트 홀
- <105> 36b, 37b: 개구
- <106> 38, 39: 제1 투명 도전성막
- <107> 41, 42: 제2 투명 도전성막.

도면

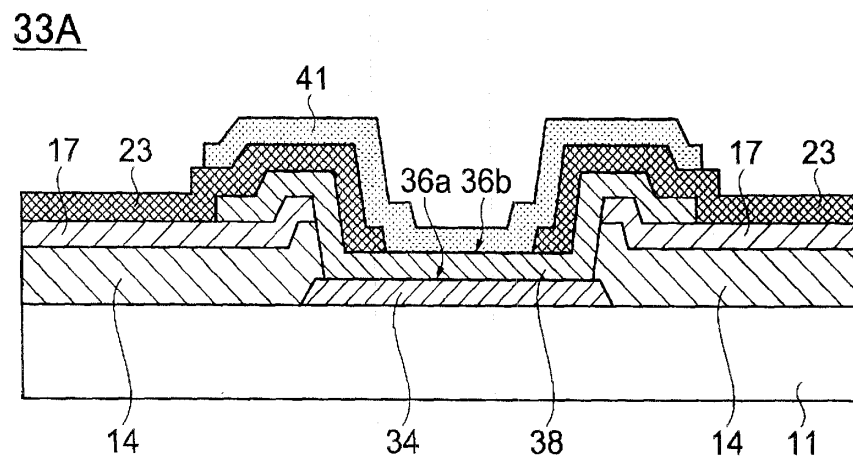
도면1



도면2

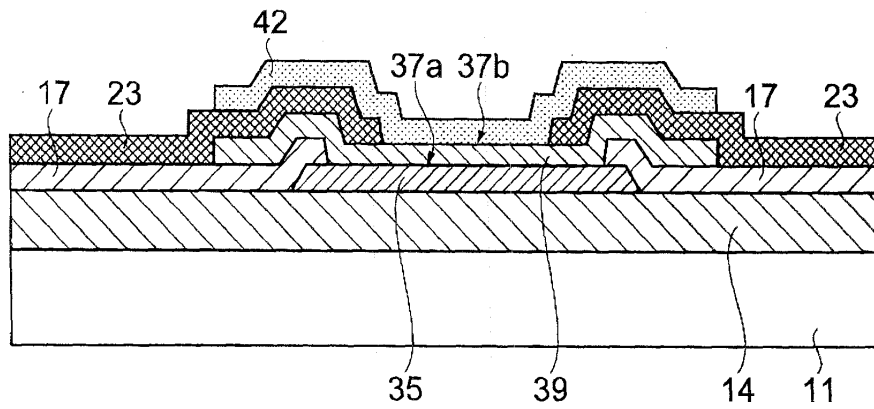


도면3



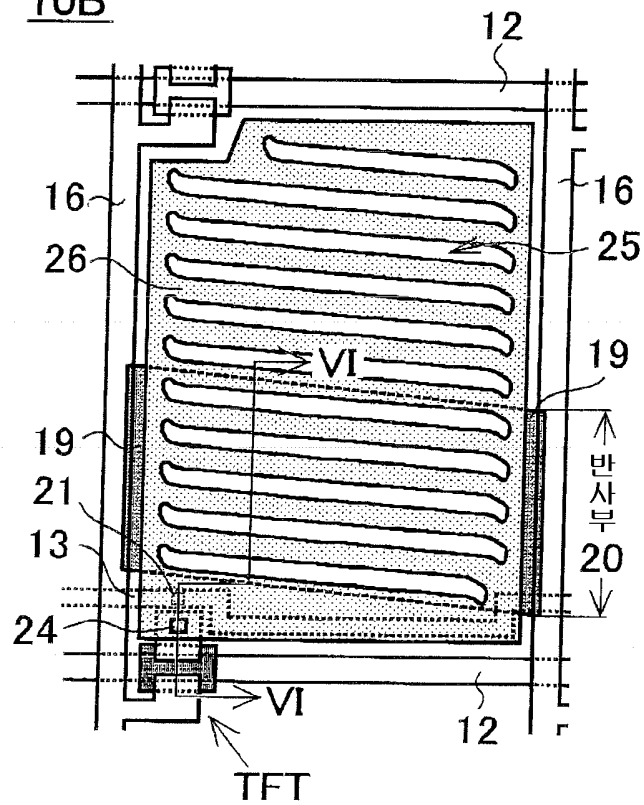
도면4

33B

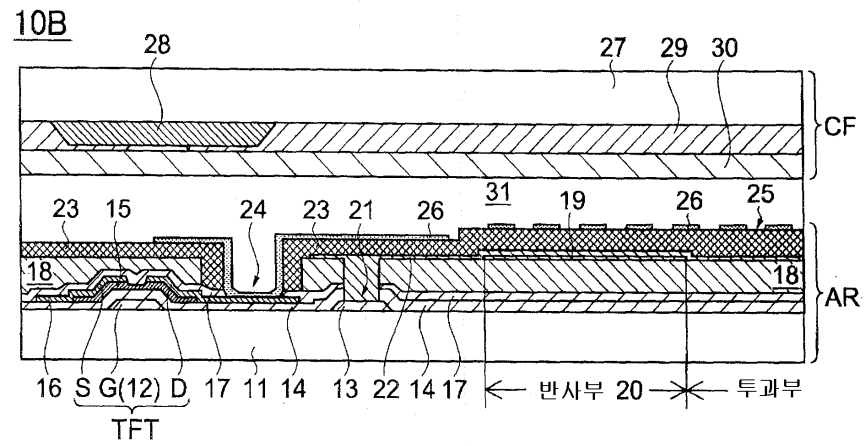


도면5

10B

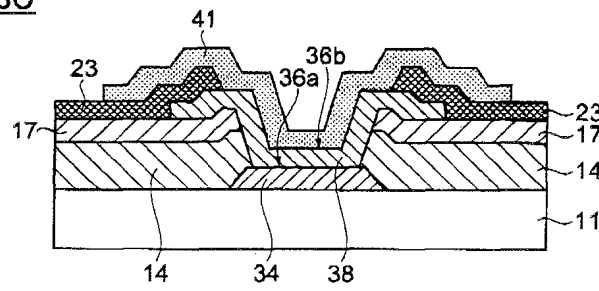


도면6

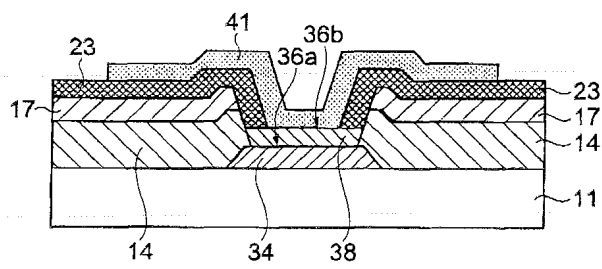


도면7

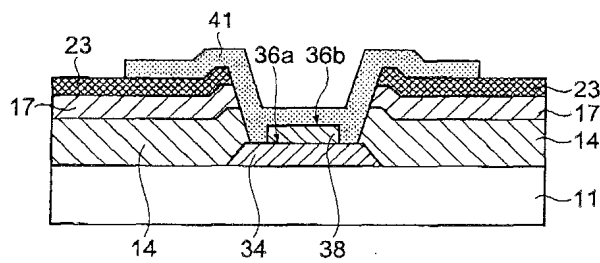
33C



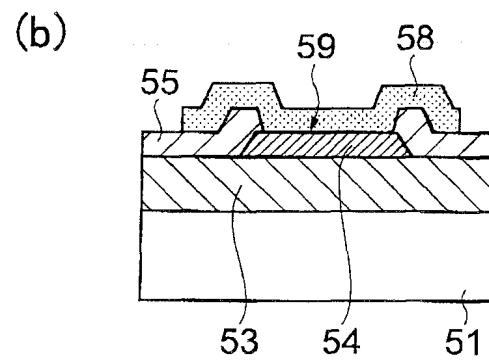
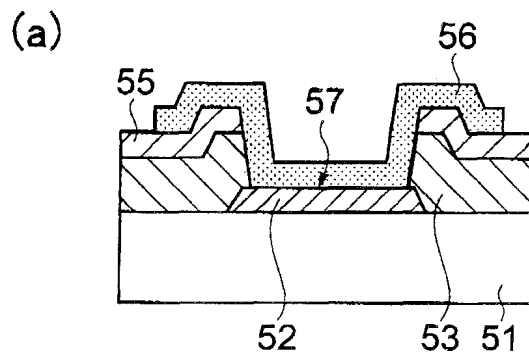
33D



33E



도면8



专利名称(译)	液晶显示面板及其制造方法		
公开(公告)号	KR1020090013723A	公开(公告)日	2009-02-05
申请号	KR1020080075468	申请日	2008-08-01
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	KANEKO HIDEKI 가네코 히데키 HORIGUCHI MASAHIRO 호리구치 마사히로		
发明人	가네코 히데키 호리구치 마사히로		
IPC分类号	G02F1/1343 G02F1/136		
CPC分类号	G02F1/134309 G02F1/136227 G02F1/136286 G02F2001/134372 G02F2001/136295		
代理人(译)	CHANG, SOO KIL		
优先权	2007200435 2007-08-01 JP 2008125571 2008-05-13 JP		
其他公开文献	KR100995428B1		
外部链接	Espacenet		

摘要(译)

组成：LCD面板（10A）包括一个显示区域。显示区域包括如下。多条扫描线（12）和信号线（16）以矩阵形式形成。下电极形成在平坦化膜上，在由扫描线和信号线围绕的每个区域中以绝缘膜的间隔相对，并且分别由透明导电材料制成。上电极具有多个狭缝（25）。安装端子单元包括栅极绝缘膜，钝化膜，用于穿透栅极绝缘膜和钝化膜的接触孔，电连接到安装端子线的第一透明导电膜，绝缘膜和第二透明导电膜。

33A

