



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년07월06일
(11) 등록번호 10-1874789
(24) 등록일자 2018년06월29일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G02F 1/1343 (2006.01)
(21) 출원번호 10-2011-0110752
(22) 출원일자 2011년10월27일
심사청구일자 2016년10월11일
(65) 공개번호 10-2013-0046266
(43) 공개일자 2013년05월07일
(56) 선행기술조사문헌
KR1020080086730 A*
KR1020070000610 A*
KR1020070068768 A*
KR1020110075718 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
조영직
경기도 파주시 월롱면 엘씨디로 201 103동 1521호
(덕은리, 정다운마을)
진현철
경기도 파주시 쇄재로 30, 704동 405호 (금촌동, 서원마을)
류호진
경기도 파주시 가람로 22 101동 901호 (와동동, 가람마을1단지벽산한라아파트)
(74) 대리인
특허법인천문

전체 청구항 수 : 총 9 항

심사관 : 김민수

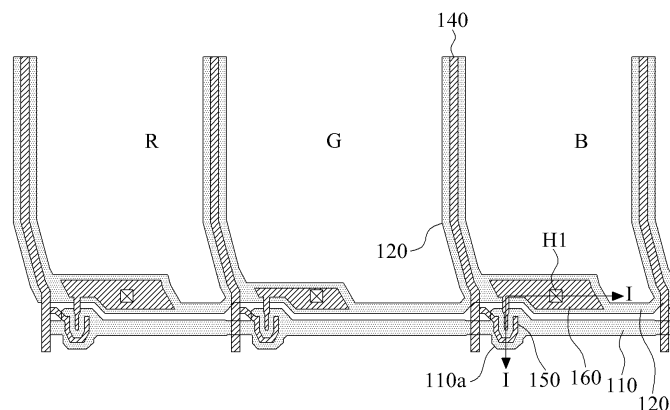
(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은, 기판 상에서 서로 교차 배열되어 복수 개의 화소를 정의하는 게이트 배선 및 데이터 배선; 상기 데이터 배선과 상이한 층에서 소정 방향으로 배열되어 있는 공통 배선; 상기 데이터 배선과 연결되어 있는 소스 전극 및 상기 소스 전극과 마주하고 있는 드레인 전극; 상기 소스 전극 및 드레인 전극과 연결되어 전자의 이동 채널이 되는 반도체층; 및 상기 드레인 전극과 전기적으로 연결되어 있는 화소 전극을 포함하여 이루어지고, 이때, 상기 복수 개의 화소는 제1 화소 및 상기 제1 화소보다 면적이 큰 제2 화소를 포함하여 이루어지고, 제1 화소의 ΔV_p 값이 제2 화소의 ΔV_p 값과 동일한 것을 특징으로 하는 액정표시장치에 관한 것으로서,

본 발명에 따르면, 복수 개의 화소들 사이의 면적이 서로 상이하면서도 화소 별 ΔV_p 값이 균일하게 되어 종래 대비 화상 품질이 향상되는 효과가 있다.

대 표 도 - 도3a



R화소면적 < G화소면적 > B화소면적

R화소의 Cst > G화소의 Cst < B화소의 Cst

명세서

청구범위

청구항 1

기관 상에서 서로 교차 배열되어 복수 개의 화소를 정의하는 게이트 배선 및 데이터 배선;

상기 데이터 배선과 상이한 층에서 소정 방향으로 배열되어 있는 공통 배선;

상기 데이터 배선과 연결되어 있는 소스 전극 및 상기 소스 전극과 마주하고 있는 드레인 전극;

상기 소스 전극 및 드레인 전극과 연결되어 전자의 이동 채널이 되는 반도체층; 및

상기 드레인 전극과 전기적으로 연결되어 있는 화소 전극을 포함하여 이루어지고,

이때, 상기 복수 개의 화소는 제1 화소 및 상기 제1 화소보다 면적이 큰 제2 화소를 포함하여 이루어지고, 제1 화소의 ΔV_p 값이 제2 화소의 ΔV_p 값과 동일하며,

C_{gs} 는 게이트 전극과 소스 전극 사이의 기생 커패시터이고, C_{st} 는 스토리지 커패시터이고, C_{lc} 는 액정 커패시터이고, V_{gh} 는 게이트 하이(high) 전압이고, V_{gl} 은 게이트 로우(low) 전압일 때, 상기 ΔV_p 값은,

$$\Delta V_p = \frac{C_{gs}}{C_{gs} + C_{st} + C_{lc}} (V_{gh} - V_{gl})$$

을 만족하며,

상기 제2 화소에서 상기 공통 배선과 상기 드레인 전극이 서로 마주보는 영역의 면적은 상기 제1 화소에서 상기 공통 배선과 상기 드레인 전극이 서로 마주보는 영역의 면적보다 작은 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 제2 화소의 스토리지 커패시터(C_{st})가 상기 제1 화소의 스토리지 커패시터(C_{st}) 보다 작은 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서,

상기 제1 화소의 액정 커패시터(C_{lc})와 스토리지 커패시터(C_{st})의 합이 상기 제2 화소의 액정 커패시터(C_{lc})와 스토리지 커패시터(C_{st})의 합과 동일한 것을 특징으로 하는 액정표시장치.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 제1 화소 내의 공통 배선은 상기 제2 화소 내의 공통 배선과 동일한 패턴으로 형성되어 있고, 상기 제2 화소에서 상기 공통 배선과 중첩하는 상기 드레인 전극의 면적은 상기 제1 화소에서 상기 공통 배선과 중첩하는 상기 드레인 전극의 면적보다 작은 것을 특징으로 하는 액정표시장치.

청구항 6

제1항에 있어서,

상기 제1 화소 내의 드레인 전극은 상기 제2 화소 내의 드레인 전극과 동일한 패턴으로 형성되어 있고, 상기 제2 화소에서 상기 드레인 전극과 중첩하는 상기 공통 배선의 면적이 상기 제1 화소에서 상기 드레인 전극과 중첩

하는 상기 공통 배선의 면적보다 작은 것을 특징으로 하는 액정표시장치.

청구항 7

제1항에 있어서,

상기 제1 화소 내의 드레인 전극과 공통 배선은 상기 제2 화소 내의 드레인 전극과 공통 배선과 서로 상이한 패턴으로 형성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 8

제1항에 있어서,

상기 제2 화소의 기생 커패시터(Cgs)가 상기 제1 화소의 기생 커패시터(Cgs) 보다 큰 것을 특징으로 하는 액정표시장치.

청구항 9

제1항에 있어서,

상기 제2 화소 내의 전자 이동 채널 영역에 대응하는 소스 전극의 길이 및 드레인 전극의 길이의 평균값은, 상기 제1 화소 내의 전자 이동 채널 영역에 대응하는 소스 전극의 길이 및 드레인 전극의 길이의 평균값보다 큰 것을 특징으로 하는 액정표시장치.

청구항 10

제1항에 있어서,

상기 제2 화소는 녹색 화소이고, 상기 제1 화소는 적색 또는 청색 화소인 것을 특징으로 하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로서, 보다 구체적으로는 복수 개의 화소들 사이의 면적이 서로 상이하게 디자인된 액정표시장치에 관한 것이다.

배경 기술

- [0002] 액정표시장치는 동작 전압이 낮아 소비 전력이 적고 휴대용으로 쓰일 수 있는 등의 이점으로 노트북 컴퓨터, 모니터, 우주선, 항공기 등에 이르기까지 응용분야가 넓고 다양하다.
- [0003] 액정표시장치는 상부 기관, 하부 기관, 및 상기 양 기관 사이에 형성된 액정층을 포함하여 구성되며, 전계 인가 유무에 따라 액정층의 배열 상태가 조절되고 그에 따라 광의 투과도가 조절되어 화상이 표시되는 장치이다.
- [0004] 이하, 도면을 참조로 하여 종래의 액정표시장치에 대해서 설명하기로 한다.
- [0005] 도 1은 종래의 일 실시예에 따른 액정표시장치의 개략적인 단면도이다.
- [0006] 도 1에서 알 수 있듯이, 종래의 일 실시예에 따른 액정표시장치는, 하부 기관(10), 상부 기관(20) 및 상기 양 기관(10, 20) 사이에 형성된 액정층(30)을 포함하여 이루어진다.
- [0007] 상기 하부 기관(10) 상에는, 복수 개의 화소를 정의하는 게이트 배선과 데이터 배선, 상기 배선들과 연결되는 박막 트랜지스터, 및 상기 박막 트랜지스터와 연결되는 화소 전극을 포함하여 이루어진 어레이(array)층(12)이 형성되어 있다.
- [0008] 상기 상부 기관(20) 상에는 광 누설을 방지하기 위한 블랙 매트릭스(Black matrix)(22)가 형성되어 있고, 상기 블랙 매트릭스(22) 사이에 적색(R), 녹색(G), 및 청색(B)의 컬러 필터(24)가 형성되어 있다.
- [0009] 이와 같은 종래의 일 실시예에 따른 액정표시장치에서는 일반적으로 복수 개의 화소들 사이의 면적이 동일하게 디자인되어 있다. 그러나, 최근에 액정표시장치의 휘도를 향상시키기 위한 방법으로서, 복수 개의 화소들 사이의 면적을 상이하게 디자인한 액정표시장치가 제안된 바 있다.

- [0010] 도 2는 종래의 다른 실시예에 따른 액정표시장치용 하부 기관(10)의 개략적인 평면도로서, 복수 개의 화소들 사이의 면적이 상이하게 디자인된 예이다.
- [0011] 도 2에서 알 수 있듯이, 종래의 다른 실시예에 따른 액정표시장치용 하부 기관(10)은, 게이트 배선(12), 데이터 배선(14), 박막 트랜지스터(T), 및 화소 전극(16)을 포함하여 이루어진다.
- [0012] 상기 게이트 배선(12)과 데이터 배선(14)은 서로 교차하도록 형성되어 복수 개의 화소를 정의한다.
- [0013] 상기 박막 트랜지스터(T)는 상기 게이트 배선(12)과 데이터 배선(14)이 교차하는 영역에 형성되어 있다.
- [0014] 상기 화소 전극(16)은 복수 개의 화소 각각에서 상기 박막 트랜지스터(T)와 연결되어 있다.
- [0015] 여기서, 상기 게이트 배선(12)과 데이터 배선(14)에 의해 정의된 복수 개의 화소들은 적색(R), 녹색(G), 및 청색(B)의 화소를 포함하고, 각각의 화소들은 그 면적이 서로 상이하다.
- [0016] 보다 구체적으로는, 녹색(G) 화소의 면적은 적색(R) 화소의 면적과 청색(B) 화소의 면적보다 크게 형성되어 있고, 적색(R) 화소의 면적과 청색(B) 화소의 면적은 서로 동일하게 형성되어 있다. 이와 같이, 녹색(G) 화소의 면적을 상대적으로 크게 형성한 이유는, 일반적으로, 녹색(G) 광의 휘도가 적색(R) 광의 휘도 및 청색(B) 광의 휘도보다 우수하기 때문에, 녹색(G) 화소의 면적을 상대적으로 증가시킴으로써 액정표시장치의 전체 휘도를 향상시킬 수 있기 때문이다.
- [0017] 그러나, 이와 같은 종래의 다른 실시예에 따른 액정표시장치는 휘도가 향상되는 효과는 있지만, 화소 별 면적이 상이함으로 인해서 화소 별 액정 커패시터(C1c)가 상이하게 되고, 그로 인해서 화소 별 ΔV_p 값이 상이하게 된다.
- [0018] 즉, ΔV_p 값은 액정 커패시터(C1c)에 반비례하기 때문에, 녹색(G) 화소의 ΔV_p 값이 다른 화소의 ΔV_p 값에 비하여 커지게 되고, 이와 같은 화소 별 ΔV_p 값의 상이함으로 인해서 결과적으로 잔상이나 얼룩과 같은 화상 품질 저하를 초래하게 된다.

발명의 내용

해결하려는 과제

- [0019] 본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 복수 개의 화소들 사이의 면적이 서로 상이하면서도 화소 별 ΔV_p 값이 균일하도록 디자인함으로써 화상 품질을 향상시킬 수 있는 액정표시장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0020] 본 발명은 상기 목적을 달성하기 위해서, 기관 상에서 서로 교차 배열되어 복수 개의 화소를 정의하는 게이트 배선 및 데이터 배선; 상기 데이터 배선과 상이한 층에서 소정 방향으로 배열되어 있는 공통 배선; 상기 데이터 배선과 연결되어 있는 소스 전극 및 상기 소스 전극과 마주하고 있는 드레인 전극; 상기 소스 전극 및 드레인 전극과 연결되어 전자의 이동 채널이 되는 반도체층; 및 상기 드레인 전극과 전기적으로 연결되어 있는 화소 전극을 포함하여 이루어지고, 이때, 상기 복수 개의 화소는 제1 화소 및 상기 제1 화소보다 면적이 큰 제2 화소를 포함하여 이루어지고, 제1 화소의 ΔV_p 값이 제2 화소의 ΔV_p 값과 동일한 것을 특징으로 하는 액정표시장치를 제공한다.
- [0021] 본 발명의 일 실시예에 따르면, 상기 제2 화소의 스토리지 커패시터(Cst)가 상기 제1 화소의 스토리지 커패시터(Cst) 보다 작을 수 있다. 또한, 상기 제1 화소의 액정 커패시터(C1c)와 스토리지 커패시터(Cst)의 합이 상기 제2 화소의 액정 커패시터(C1c)와 스토리지 커패시터(Cst)의 합과 동일할 수 있다. 또한, 상기 제2 화소에서 상기 공통 배선과 상기 드레인 전극 사이의 중첩 면적은 상기 제1 화소에서 상기 공통 배선과 상기 드레인 전극 사이의 중첩 면적보다 작을 수 있다.
- [0022] 본 발명의 다른 실시예에 따르면, 상기 제2 화소의 기생 커패시터(Cgs)가 상기 제1 화소의 기생 커패시터(Cgs) 보다 클 수 있다. 또한, 상기 제2 화소 내의 전자 이동 채널 영역에 대응하는 소스 전극의 길이 및 드레인 전극의 길이의 평균값은, 상기 제1 화소 내의 전자 이동 채널 영역에 대응하는 소스 전극의 길이 및 드레인 전극의 길이의 평균값보다 클 수 있다.

발명의 효과

- [0023] 이상과 같은 본 발명에 따르면 다음과 같은 효과가 있다.
- [0024] 본 발명의 일 실시예에 따르면, 복수 개의 화소들 사이의 면적이 상이함으로 인해 발생하는 복수 개의 화소별 액정 커패시터(C1c)의 차이를, 복수 개의 화소 별 스토리지 커패시터(Cst)의 차이에 의해 보상함으로써 모든 화소별로 ΔV_p 값을 동일하게 조절할 수 있다.
- [0025] 본 발명의 다른 실시예에 따르면, 복수 개의 화소들 사이의 면적이 상이함으로 인해 발생하는 복수 개의 화소별 액정 커패시터(C1c)의 차이를, 복수 개의 화소 별 기생 커패시터(Cgs)의 차이에 의해 보상함으로써 모든 화소별로 ΔV_p 값을 동일하게 조절할 수 있다.
- [0026] 결국, 본 발명에 따르면, 복수 개의 화소들 사이의 면적이 서로 상이하면서도 화소 별 ΔV_p 값이 균일하게 되어 종래 대비 화상 품질이 향상되는 효과가 있다.

도면의 간단한 설명

- [0027] 도 1은 종래의 일 실시예에 따른 액정표시장치의 개략적인 단면도이다.
- 도 2는 종래의 다른 실시예에 따른 액정표시장치용 하부 기관의 개략적인 평면도이다.
- 도 3a는 본 발명의 일 실시예에 따른 액정표시장치용 박막 트랜지스터 기관의 개략적인 평면도이고, 도 3b는 도 3a의 I-I라인의 단면도이다.
- 도 4는 본 발명의 다른 실시예에 따른 액정표시장치용 박막 트랜지스터 기관의 개략적인 평면도이다.
- 도 5a는 본 발명의 또 다른 실시예에 따른 액정표시장치용 박막 트랜지스터 기관의 개략적인 평면도이고, 도 5b는 도 5a의 I-I라인의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 구체적인 실시예에 대해서 설명하기에 앞서서, 복수 개의 화소들 사이의 면적이 서로 상이하면서도 화소 별 ΔV_p 값이 균일하도록 하기 위한 본 발명의 일 실시예에 따른 방법에 대해서 설명하면 다음과 같다.

- [0029] 수학적 식 1

$$\Delta V_p = \frac{C_{gs}}{C_{gs} + C_{st} + C_{lc}} (V_{gh} - V_{gl})$$

- [0030]
- [0031] 여기서, Cgs는 게이트 전극과 소스 전극 사이의 기생 커패시터이고, Cst는 스토리지 커패시터이고, C1c는 액정 커패시터이고, Vgh는 게이트 하이(high) 전압이고, Vgl은 게이트 로우(low) 전압이다.

- [0032] 복수 개의 화소들 사이의 면적이 서로 상이하게 디자인되면 복수 개의 화소들 사이의 액정 커패시터(C1c)가 서로 상이하게 된다. 여기서, 상기 수학적 식 1을 참조하면, 화소 별로 액정 커패시터(C1c)가 서로 상이하게 되면 화소 별로 ΔV_p 값이 불균일하게 됨을 알 수 있다.

- [0033] 본 발명의 일 실시예에서는, 면적이 서로 상이한 복수 개의 화소 별로 스토리지 커패시터(Cst)를 상이하게 디자인함으로써, 결과적으로 화소 별로 ΔV_p 값을 균일하게 조절하도록 한다. 예를 들어, 제1 화소의 면적이 제2 화소의 면적에 비하여 크게 형성되어 제1 화소의 액정 커패시터(C1c)가 제2 화소의 액정 커패시터(C1c)에 비하여 크게 될 경우, 제1 화소의 스토리지 커패시터(Cst)가 제2 화소의 스토리지 커패시터(Cst)에 비하여 작게 되도록 디자인함으로써, 결과적으로 제1 화소의 ΔV_p 값과 제2 화소의 ΔV_p 값을 균일하게 할 수 있다.

- [0034] 즉, 제1 화소의 액정 커패시터(C1c)와 제1 화소의 스토리지 커패시터(Cst)의 합을 제2 화소의 액정 커패시터(C1c)와 제2 화소의 스토리지 커패시터(Cst)의 합과 동일하게 디자인함으로써, 제1 화소의 ΔV_p 값과 제2 화소의 ΔV_p 값을 균일하게 할 수 있는 것이다.

- [0035] 또한, 본 발명의 다른 실시예에서는, 면적이 서로 상이한 복수 개의 화소 별로 게이트 전극과 소스 전극 사이의 기생 커패시터(Cgs)(이하, 본 명세서에서 게이트 전극과 소스 전극 사이의 기생 커패시터를 '기생 커패시터(Cgs)'로 약칭하기로 한다)를 상이하게 디자인함으로써, 결과적으로 화소 별로 ΔV_p 값을 균일하게 조절하도록 한다. 예를 들어, 제1 화소의 면적이 제2 화소의 면적에 비하여 크게 형성되어 제1 화소의 액정 커패시터(C1c)

가 제2 화소의 액정 커패시터(C1c)에 비하여 크게 될 경우, 제1 화소의 기생 커패시터(Cgs)가 제2 화소의 기생 커패시터(Cgs)에 비하여 크게 되도록 디자인함으로써, 결과적으로 제1 화소의 ΔV_p 값과 제2 화소의 ΔV_p 값을 균일하게 할 수 있다.

[0036] 한편, 화소별 특정 값, 예를 들어, 액정 커패시터(C1c), 스토리지 커패시터(Cst), ΔV_p 값 등이 동일하도록 디자인되었다 하더라도 실제로는 공정 오차 등과 같은 여러 가지 원인에 의해서 화소별 특정 값이 완전히 동일하지 않게 될 수 있다. 따라서, 본 명세서 전체에서 화소별로 액정 커패시터(C1c), 스토리지 커패시터(Cst), ΔV_p 값 등이 동일 또는 균일하다는 것은, 최종 완성품 상태에서 완전히 동일 또는 균일하다는 것을 의미하는 것은 아니고, 제품 설계상으로 동일하게 디자인되어 있다는 것이며, 최종 완성품 상태에서는 다소의 오차가 발생하는 것까지도 포함하는 것으로 해석되어야 한다.

[0037] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 설명하기로 한다.

[0038] 도 3a는 본 발명의 일 실시예에 따른 액정표시장치용 박막 트랜지스터 기관의 개략적인 평면도이고, 도 3b는 도 3a의 I-I라인의 단면도이다. 도 3a에는 편의상 적색(R), 녹색(G), 및 청색(B)의 3개의 화소만을 도시하였다.

[0039] 도 3a 및 도 3b에 도시한 본 발명의 일 실시예에 따른 액정표시장치용 박막 트랜지스터는, 면적이 서로 상이한 복수 개의 화소 별로 스토리지 커패시터(Cst)를 상이하게 디자인함으로써 결과적으로 화소 별로 ΔV_p 값을 균일하게 조절한 실시예이다.

[0040] 도 3a에서 알 수 있듯이, 본 발명의 일 실시예에 따른 박막 트랜지스터 기관은, 기관(100), 게이트 배선(110), 공통 배선(120), 데이터 배선(140), 소스 전극(150), 및 드레인 전극(160)을 포함하여 이루어진다.

[0041] 상기 기관(100)은 유리 또는 투명한 플라스틱과 같은 투명한 재료로 이루어질 수 있다.

[0042] 상기 게이트 배선(110)은 상기 기관(100) 상에서 제1 방향, 예로서 가로 방향으로 배열되어 있다. 상기 게이트 배선(110)의 영역 중에서 상기 소스 전극(150)과 오버랩되는 영역은 게이트 전극(110a)으로 기능한다. 도시된 바와 같이, 상기 게이트 전극(110a)은 다른 영역의 게이트 배선(110)보다 상하로 돌출된 영역을 추가로 포함하여 형성될 수 있다.

[0043] 상기 공통 배선(120)의 일 부분은 상기 게이트 배선(110)과 나란하게 배열되어 있다. 상기 공통 배선(120)은 상기 게이트 배선(110)과 동일한 층에서 동일한 물질로 이루어질 수 있고, 이 경우 상기 공통 배선(120)은 상기 게이트 배선(110)과 중첩하지 않도록 형성된다.

[0044] 상기 공통 배선(120)의 다른 부분은 상기 데이터 배선(140)과 나란하게 배열되어 있다. 상기 공통 배선(120)이 상기 게이트 배선(110)과 동일한 층에서 동일한 물질로 이루어진 경우 상기 공통 배선(120)과 상기 데이터 배선(140) 사이의 쇼트(short) 문제는 발생하지 않으므로, 상기 공통 배선(120)을 상기 데이터 배선(140)과 중첩하도록 형성할 수 있고, 그에 따라 광투과율 저하를 최소화할 수 있다. 한편, 상기 데이터 배선(140)과 중첩하는 공통 배선(120)의 다른 부분은 생략하는 것도 가능하다.

[0045] 상기 데이터 배선(140)은 상기 기관(100) 상에서 제2 방향, 예로서 세로 방향으로 배열되어 있다. 따라서, 상기 게이트 배선(110)과 데이터 배선(140)이 교차배열됨으로써 복수 개의 화소, 예를 들어, 적색(R), 녹색(G), 및 청색(B)의 화소가 정의된다.

[0046] 여기서, 복수 개의 화소들 사이의 면적은 서로 상이하다. 구체적으로, 액정표시장치의 전체 휘도가 향상될 수 있도록, 녹색(G) 화소의 면적이 적색(R) 화소의 면적 및 청색(B) 화소의 면적보다 크게 형성된다. 이를 위해서, 녹색(G) 화소를 정의하는 데이터 배선(140) 사이의 간격이 적색(R) 화소 또는 청색(B) 화소를 정의하는 데이터 배선(140) 사이의 간격에 비하여 크게 형성될 수 있다. 또한, 적색(R) 화소의 면적과 청색(B) 화소의 면적은 서로 동일하게 형성된다. 이를 위해서, 적색(R) 화소를 정의하는 데이터 배선(140) 사이의 간격은 청색(B) 화소를 정의하는 데이터 배선(140) 사이의 간격과 동일하게 형성된다. 따라서, 전술한 수학적 1을 참조하면, 녹색(G) 화소의 액정 커패시터(C1c)가 적색(R) 또는 청색(B) 화소의 액정 커패시터(C1c)에 비하여 크게 된다.

[0047] 한편, 반드시 녹색(G) 화소의 면적이 적색(R) 화소 및 청색(B) 화소의 면적에 비하여 크게 형성되어야 하는 것은 아니고, 본 발명은 면적이 상이한 복수 개의 화소를 구비한 어떠한 액정표시장치에도 적용될 수 있다.

[0048] 상기 데이터 배선(140)은 상기 게이트 배선(110) 및 공통 배선(120)과는 상이한 층에 형성된다. 상기 데이터 배선(140)은 굽은 직선 형태로 형성될 수도 있고, 굽은 직선 형태로 형성될 수도 있다.

[0049] 상기 소스 전극(150)은 상기 데이터 배선(140)에서 분기되어 있다. 이와 같은 소스 전극(150)은 상기 데이터 배

선(140)에서 분기되어 상기 게이트 전극(110a)과 중첩되도록 연장되어 있다. 상기 소스 전극(150)은 도시된 바와 같이 U자 형상으로 형성될 수 있지만, 반드시 그에 한정되는 것은 아니고, 당업계에 공지된 다양한 형상으로 변형형성될 수 있다.

- [0050] 상기 드레인 전극(160)은 상기 소스 전극(150)과 마주하고 있다. 상기 소스 전극(150)이 U자형으로 형성된 경우, 상기 드레인 전극(160)은 상기 U자 형상의 내부 공간으로부터 외부 공간으로 연장된 구조로 형성되어 있다. 특히, 상기 드레인 전극(160)은 상기 공통 배선(120)이 형성된 영역까지 연장됨으로써 상기 공통 배선(120)과 중첩하도록 형성된다.
- [0051] 상기 드레인 전극(160)은 제1 콘택홀(H1)을 통해서 화소 전극(미도시)과 전기적으로 연결된다. 따라서, 화소 전극과 공통 배선(120) 사이의 스토리지 커패시터(Storage Capacitor: Cst)는, 게이트 절연막(미도시)을 사이에 두고 중첩된 드레인 전극(160)과 공통 배선(120)에 의해 얻어질 수 있다. 즉, 게이트 절연막(미도시)을 사이에 두고 중첩된 드레인 전극(160)과 공통 배선(120)사이에서 스토리지 커패시터(Cst)가 형성된다.
- [0052] 이때, 복수 개의 화소들은 각각의 스토리지 커패시터(Cst)가 서로 상이하도록 디자인된다. 구체적으로는, 녹색(G) 화소의 스토리지 커패시터(Cst)는 적색(R) 화소의 스토리지 커패시터(Cst) 및 청색(B) 화소의 스토리지 커패시터(Cst)보다 작게 되도록 디자인된다. 또한, 적색(R) 화소의 스토리지 커패시터(Cst)는 청색(B) 화소의 스토리지 커패시터(Cst)와 동일하도록 디자인된다.
- [0053] 화소별 스토리지 커패시터(Cst)는 전술한 바와 같이 게이트 절연막(미도시)을 사이에 두고 중첩된 드레인 전극(160)과 공통 배선(120) 사이에서 형성될 수 있으며, 따라서, 스토리지 커패시터(Cst)는 게이트 절연막의 두께 및 드레인 전극(160)과 공통 배선(120) 사이의 중첩 면적에 따라 변경될 수 있다.
- [0054] 여기서, 각각의 화소별로 게이트 절연막의 두께는 동일하므로, 결과적으로 드레인 전극(160)과 공통 배선(120) 사이의 중첩 면적으로 상이하게 디자인함으로써 화소별 스토리지 커패시터(Cst)가 상이하도록 조절할 수 있다.
- [0055] 구체적으로, 녹색(G) 화소에서의 드레인 전극(160)과 공통 배선(120) 사이의 중첩 면적을 적색(R) 화소 및 청색(B) 화소에서의 드레인 전극(160)과 공통 배선(120) 사이의 중첩 면적보다 작게 되도록 디자인함으로써, 녹색(G) 화소의 스토리지 커패시터(Cst)가 적색(R) 화소 및 청색(B) 화소의 스토리지 커패시터(Cst)보다 작게 되도록 할 수 있다.
- [0056] 한편, 녹색(G) 화소에서의 드레인 전극(160)과 공통 배선(120) 사이의 중첩 면적을 적색(R) 화소 및 청색(B) 화소에서의 드레인 전극(160)과 공통 배선(120) 사이의 중첩 면적보다 작게 되도록 디자인하는 구체적인 방법은 다음과 같다.
- [0057] 첫째, 모든 화소에서 공통 배선(120)은 동일한 패턴으로 형성하되, 녹색(G) 화소에서 공통 배선(120)과 중첩하는 드레인 전극(160)의 면적을 적색(R) 화소 및 청색(B) 화소에서 공통 배선(120)과 중첩하는 드레인 전극(160)의 면적에 비하여 작게 디자인하는 방법이 있다.
- [0058] 둘째, 모든 화소에서 드레인 전극(160)은 동일한 패턴으로 형성하되, 녹색(G) 화소에서 드레인 전극(160)과 중첩하는 공통 배선(120)의 면적을 적색(R) 화소 및 청색(B) 화소에서 드레인 전극(160)과 중첩하는 공통 배선(120)의 면적에 비하여 작게 디자인하는 방법이 있다.
- [0059] 셋째, 녹색(G) 화소의 드레인 전극(160)과 공통 배선(120)의 패턴을 적색(R) 화소 및 청색(B) 화소의 드레인 전극(160)과 공통 배선(120)의 패턴과 상이하게 하는 방법이 있다.
- [0060] 결과적으로, 앞서 설명한 복수 개의 화소별 액정 커패시터(Clc)의 차이가 복수 개의 화소별 스토리지 커패시터(Cst)의 차이에 의해서 보상될 수 있어, 모든 화소별로 ΔV_p 값이 균일하게 조절될 수 있다.
- [0061] 즉, 녹색(G) 화소의 액정 커패시터(Clc)와 녹색(G) 화소의 스토리지 커패시터(Cst)의 합은, 적색(R) 화소의 액정 커패시터(Clc)와 적색(R) 화소의 스토리지 커패시터(Cst)의 합과 동일하게 되고, 또한 청색(B) 화소의 액정 커패시터(Clc)와 청색(B) 화소의 스토리지 커패시터(Cst)의 합과도 동일하게 된다.
- [0062] 이하에서는, 도 3b를 참조하여 본 발명의 일 실시예에 따른 액정표시장치용 박막 트랜지스터 기관의 단면 구조에 대해서 설명하기로 한다.
- [0063] 도 3b에서 알 수 있듯이, 기관(100) 상에는 게이트 전극(110a) 및 공통 배선(120)이 소정 거리를 두고 이격 형성되어 있다. 상기 게이트 전극(110a) 및 공통 배선(120)은 서로 동일한 재료로 이루어질 수 있다.

- [0064] 상기 게이트 전극(110a) 및 공통 배선(120) 상에는 게이트 절연막(130)이 형성되어 있다.
- [0065] 상기 게이트 절연막(130) 상에는 반도체층(135)이 형성되어 있다. 구체적으로 도시하지는 않았지만, 상기 반도체층(135)은 액티브층 및 상기 액티브층 상에 형성된 오믹콘택층의 조합으로 이루어질 수 있다.
- [0066] 상기 반도체층(135) 상에는 소스 전극(150) 및 드레인 전극(160)이 서로 마주하도록 형성되어 있다. 여기서, 상기 드레인 전극(160)은 상기 공통 배선(120)과 중첩하도록 연장되어 있다. 따라서, 게이트 절연막(130)을 사이에 두고 서로 중첩하게 형성된 드레인 전극(160)과 공통 배선(120)에 의해서 스토리지 커패시터(Cst)가 형성될 수 있다.
- [0067] 상기 소스 전극(150) 및 드레인 전극(160) 상에는 보호막(170)이 형성되어 있다. 상기 보호막(170)에는 제1 콘택홀(H1)이 구비되어 있고, 상기 제1 콘택홀(H1)에 의해서 상기 드레인 전극(160)의 소정 영역이 노출된다.
- [0068] 도 4는 본 발명의 다른 실시예에 따른 액정표시장치용 박막 트랜지스터 기관의 개략적인 평면도이다. 도 4에 도시한 본 발명의 다른 실시예에 따른 액정표시장치용 박막 트랜지스터는, 면적이 서로 상이한 복수 개의 화소 별로 기생 커패시터(Cgs)를 상이하게 디자인함으로써 결과적으로 화소 별로 ΔV_p 값을 균일하게 조절한 실시예이다.
- [0069] 도 4에서 알 수 있듯이, 본 발명의 다른 실시예에 따른 박막 트랜지스터 기관은, 기관(100), 게이트 배선(110), 공통 배선(120), 데이터 배선(140), 소스 전극(150), 및 드레인 전극(160)을 포함하여 이루어진다. 전술한 실시예와 동일한 구성에 대한 반복 설명은 생략하기로 한다.
- [0070] 우선, 전술한 실시예와 마찬가지로, 녹색(G) 화소의 면적이 적색(R) 화소의 면적 및 청색(B) 화소의 면적보다 크게 형성되며, 따라서, 녹색(G) 화소의 액정 커패시터(Clc)가 적색(R) 또는 청색(B) 화소의 액정 커패시터(Clc)에 비하여 크게 된다.
- [0071] 다음, 전술한 실시예와 달리, 복수 개의 화소들은 각각의 스토리지 커패시터(Cst)가 서로 동일하도록 디자인된다. 즉, 녹색(G) 화소의 스토리지 커패시터(Cst)는 적색(R) 화소의 스토리지 커패시터(Cst) 및 청색(B) 화소의 스토리지 커패시터(Cst)와 동일하게 디자인된다. 따라서, 각각의 화소 별로 드레인 전극(160)과 공통 배선(120) 사이의 중첩 면적이 서로 동일하게 된다.
- [0072] 한편, 도 4의 확대도에서 알 수 있듯이, 각각의 화소별로 전자(electron)의 이동 채널 영역에 대응하는 소스 전극(150)의 길이(a) 및 드레인 전극(160)의 길이(b)의 평균값(W), 즉, $(a+b)/2$ 의 값이 상이하도록 디자인한다.
- [0073] 상기 전자의 이동 채널 영역에 대응하는 소스 전극(150)의 길이(a)는 굵은 선으로 표기된 부분의 길이로서, 드레인 전극(160)과 마주하는 소스 전극(150)의 부분 중에서 반도체층(135)과 오버랩되는 부분의 길이이다.
- [0074] 상기 전자의 이동 채널 영역에 대응하는 드레인 전극(160)의 길이(b)는 굵은 선으로 표기된 부분의 길이로서, 소스 전극(150)과 마주하는 드레인 전극(160)의 부분 중에서 반도체층(135)과 오버랩되는 부분의 길이이다.
- [0075] 상기 전자(electron)의 이동 채널 영역에 대응하는 소스 전극(150)의 길이(a) 및 드레인 전극(160)의 길이(b)의 평균값(W)(이하, '평균값(W)'으로 약칭함)은 기생 커패시터(Cgs)에 비례하므로, 상기 평균값(W)을 조절함으로써 기생 커패시터(Cgs)를 조절할 수 있다.
- [0076] 구체적으로는, 녹색(G) 화소에서의 상기 평균값(W)은 적색(R) 화소 및 청색(B) 화소에서의 상기 평균값(W)보다 크게 되도록 디자인된다. 또한, 적색(R) 화소에서의 상기 평균값(W)은 청색(B) 화소에서의 상기 평균값(W)과 동일하도록 디자인된다.
- [0077] 결과적으로, 복수 개의 화소별 액정 커패시터(Clc)의 차이가 복수 개의 화소별 기생 커패시터(Cgs)의 차이에 의해서 보상될 수 있어, 모든 화소별로 ΔV_p 값이 동일하게 조절될 수 있다.
- [0078] 한편, 구체적으로 도시하지는 않았지만, 도 3a 및 도 3b에 따른 방법과 도 4에 따른 방법을 병행하는 것도 가능하다. 즉, 복수 개의 화소별 액정 커패시터(Clc)의 차이를 복수 개의 화소 별 스토리지 커패시터(Cst)의 차이 및 복수 개의 화소별 기생 커패시터(Cgs)의 차이의 조합에 의해서 보상함으로써, 모든 화소별로 ΔV_p 값을 동일하게 조절할 수 있다.
- [0079] 이상 설명한 본 발명의 다양한 실시예에 따른 액정표시장치용 박막 트랜지스터 기관은, 복수 개의 화소들 사이의 면적이 서로 상이하면서도 화소 별 ΔV_p 값이 균일하도록 디자인되는 모습에 대해서 설명하기 위한 것으로서, 도면의 간명화 및 설명의 편의를 위해서, 화소 전극 및/또는 공통 전극에 대해서는 도시하지 않았다.

- [0080] 이하에서는, 소정의 화소 전극과 공통 전극이 추가된 본 발명의 또 다른 일 실시예에 따른 액정표시장치용 박막 트랜지스터 기관에 대해서 설명하기로 한다.

[0081] 도 5a는 본 발명의 또 다른 실시예에 따른 액정표시장치용 박막 트랜지스터 기관의 개략적인 평면도이고, 도 5b는 도 5a의 I-I라인의 단면도이다.

[0082] 도 5a에서 알 수 있듯이, 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 기관은, 기관(100), 게이트 배선(110), 공통 배선(120), 데이터 배선(140), 소스 전극(150), 드레인 전극(160), 화소 전극(180), 및 공통 전극(190)을 포함하여 이루어진다.

[0083] 상기 기관(100), 게이트 배선(110), 공통 배선(120), 데이터 배선(140), 소스 전극(150), 및 드레인 전극(160)의 구체적인 구성은 전술한 도 3a 및 도 3b에 따른 실시예 또는 도 4에 따른 실시예와 동일하므로 그에 대한 반복설명은 생략하기로 한다.

[0084] 상기 화소 전극(180)과 공통 전극(190)은 각각의 화소 내에서 서로 평행하게 배열되어 있다. 상기 화소 전극(180)과 공통 전극(190)은 서로 동일한 층에서 동일한 투명도전물로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다.

[0085] 상기 화소 전극(180)은 화소 전극 연결부(180a)에 연결되어 있고, 상기 화소 전극 연결부(180a)는 제1 콘택홀(H1)을 통해서 드레인 전극(160)과 연결되어 있다. 따라서, 상기 화소 전극(180)은 상기 화소 전극 연결부(180a)를 통해서 상기 드레인 전극(160)과 전기적으로 연결되어 있다.

[0086] 상기 공통 전극(190)은 공통 전극 연결부(190a)에 연결되어 있다. 따라서, 공통 전극 연결부(190a)에 의해서 복수 개의 화소 각각에 형성되는 복수 개의 공통 전극(190)들이 서로 전기적으로 연결된다. 한편, 상기 공통 전극(190)은 제2 콘택홀(H2)을 통해서 공통 배선(120)과 전기적으로 연결되어 있다.

[0087] 이와 같은 화소 전극(180)과 공통 전극(190)의 구체적인 형상은 당업계에 공지된 다양한 형태로 변경형성될 수 있다. 예로서, 상기 화소 전극(180)과 공통 전극(190)은 당업계에 공지된 다양한 형태의 IPS(In-Plane Switching) 모드 구조로 형성될 수도 있고, FFS(Fringe Field Switching) 모드 구조로 형성될 수도 있다.

[0088] 도 5b에서 알 수 있듯이, 기관(100) 상에는 게이트 전극(110a) 및 공통 배선(120)이 소정 거리를 두고 이격 형성되어 있고, 상기 게이트 전극(110a) 및 공통 배선(120) 상에는 게이트 절연막(130)이 형성되어 있다.

[0089] 상기 게이트 절연막(130) 상에는 반도체층(135)이 형성되어 있고, 상기 반도체층(135) 상에는 소스 전극(150) 및 드레인 전극(160)이 서로 마주하도록 형성되어 있다. 전술한 바와 같이, 상기 드레인 전극(160)은 상기 공통 배선(120)과 중첩하도록 형성되어 있다.

[0090] 상기 소스 전극(150) 및 드레인 전극(160) 상에는 보호막(170)이 형성되어 있다. 상기 보호막(170)에는 제1 콘택홀(H1)이 구비되어 있어, 상기 제1 콘택홀(H1)에 의해서 상기 드레인 전극(160)의 소정 영역이 노출된다. 또한, 상기 보호막(170) 및 게이트 절연막(130)에는 제2 콘택홀(H2)이 구비되어 있어, 상기 제2 콘택홀(H2)에 의해서 상기 공통 배선(120)의 소정 영역이 노출된다.

[0091] 상기 보호막(170) 상에는 화소 전극 연결부(180a), 공통 전극(190), 및 화소 전극(180)이 소정 간격으로 이격 배열되어 있다. 이때, 상기 화소 전극 연결부(180a)는 상기 제1 콘택홀(H1)을 통해서 상기 드레인 전극(160)과 전기적으로 연결되어 있다. 또한, 상기 공통 전극(190)은 상기 제2 콘택홀(H2)을 통해서 상기 공통 배선(120)과 전기적으로 연결되어 있다.

[0092] 한편, 이상은 본 발명에 따른 액정표시장치를 구성하는 박막 트랜지스터 기관의 구성에 대해서 상세히 설명하였는데, 본 발명에 따른 액정표시장치는 박막 트랜지스터 기관과 더불어 그에 대향하는 컬러 필터 기관 및 상기 양 기관 사이에 형성되는 액정층을 포함하여 이루어진다.

[0093] 상기 컬러 필터 기관은 화소 영역 이외의 영역으로 광이 누설되는 것을 차단하기 위한 블랙 매트릭스(Black matrix), 상기 블랙 매트릭스 사이에 형성된 적색(R), 녹색(G) 및 청색(B)의 컬러필터층, 상기 컬러필터층 상에 형성된 오버코트층을 포함하여 이루어질 수 있다.

부호의 설명

- [0094] 100: 기관 110, 110a: 게이트 배선, 게이트 전극

- 120: 공통 배선

130: 게이트 절연막

135: 반도체층

140: 데이터 배선

150: 소스 전극

160: 드레인 전극

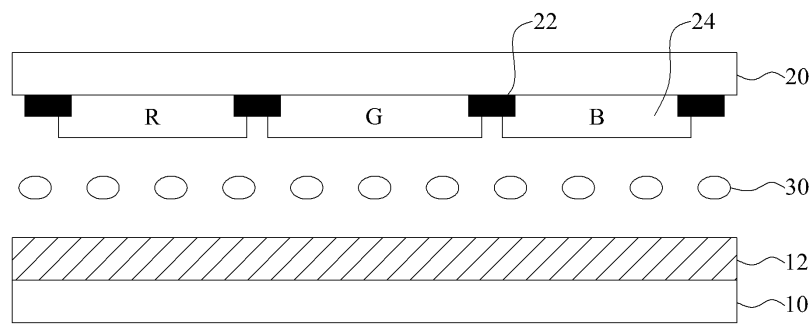
170: 보호막

180: 화소 전극

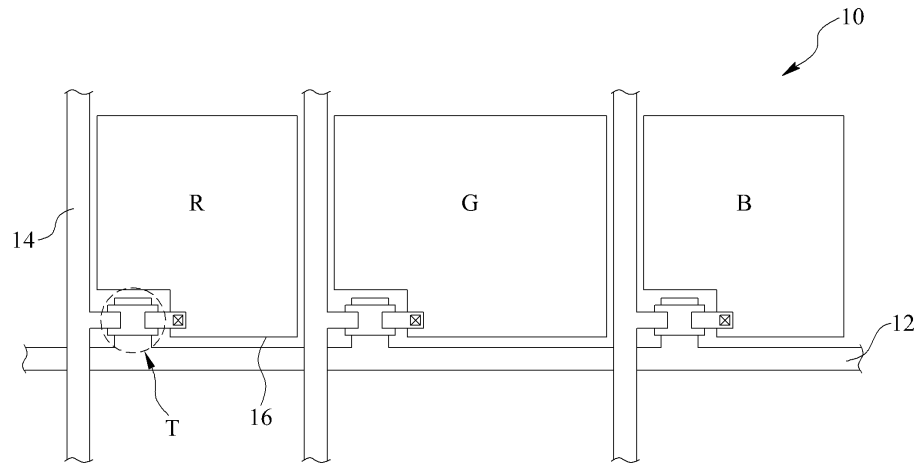
190: 공통 전극
- H1, H2: 제1, 제2 콘택홀

도면

도면1

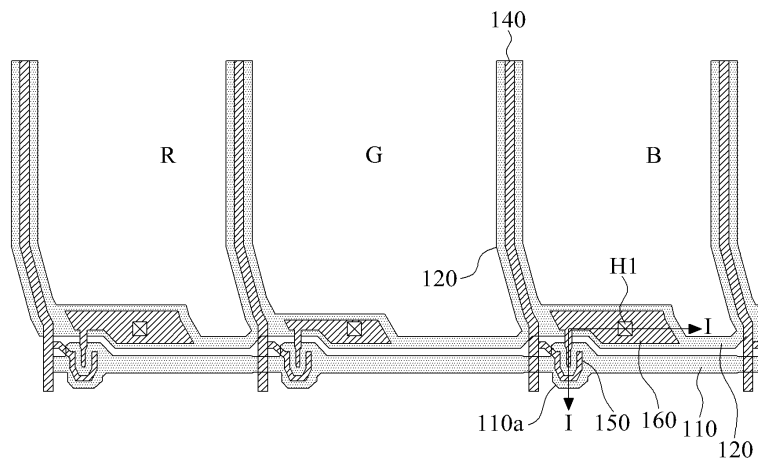


도면2



R화소면적 < G화소면적 > B화소면적

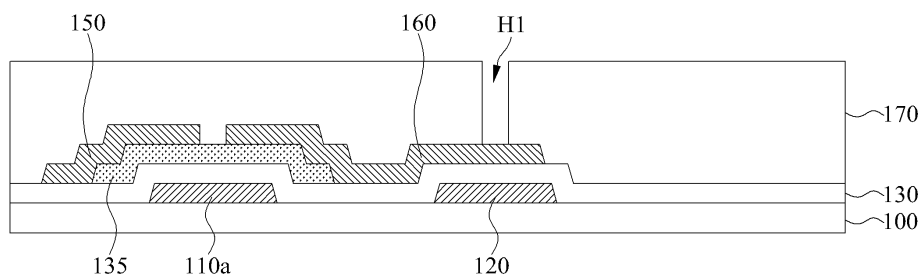
도면3a



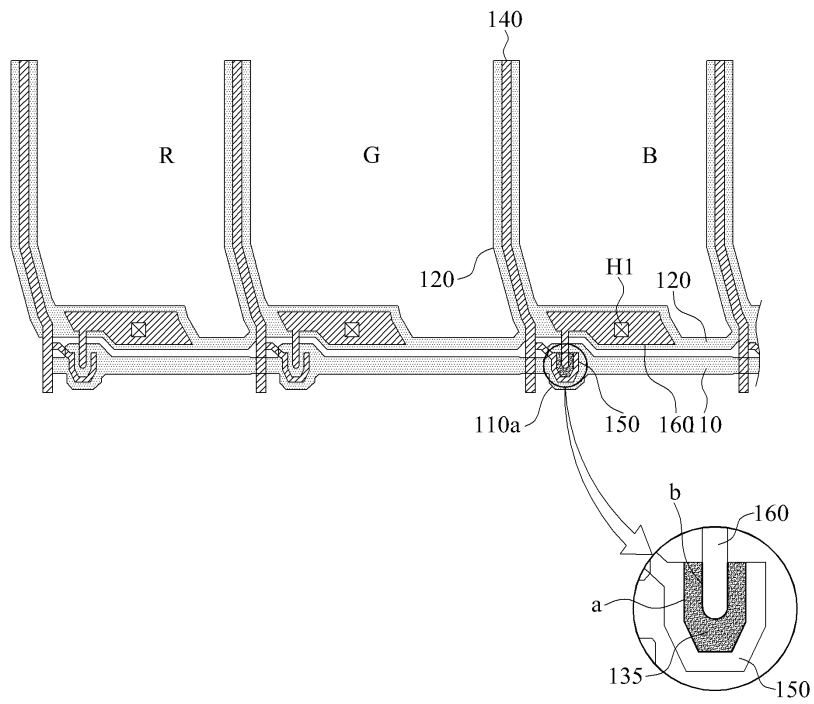
R화소면적 < G화소면적 > B화소면적

$$R\text{화소의 } Cst > G\text{화소의 } Cst < B\text{화소의 } Cst$$

도면3b



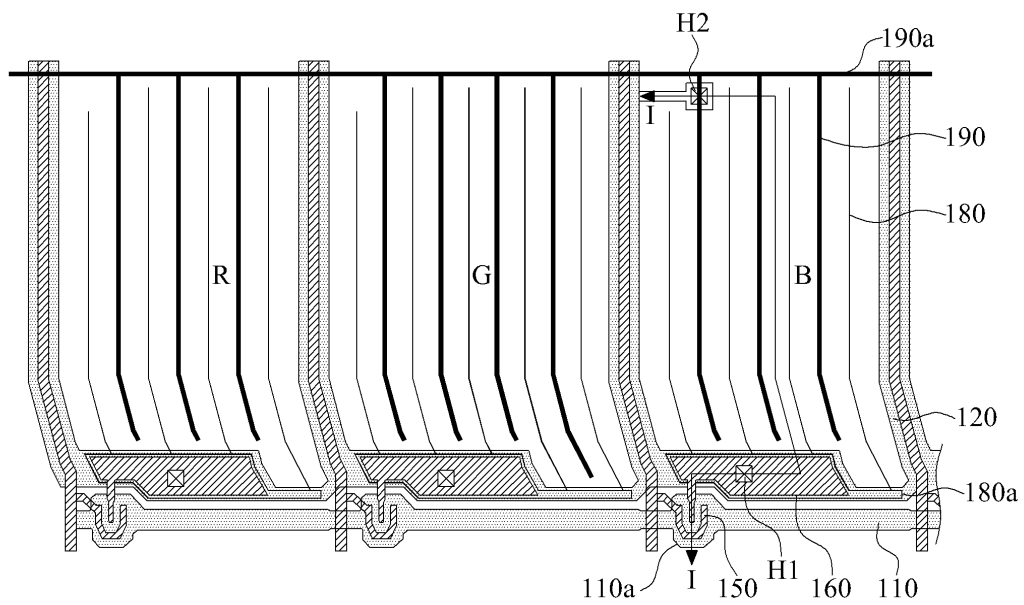
도면4



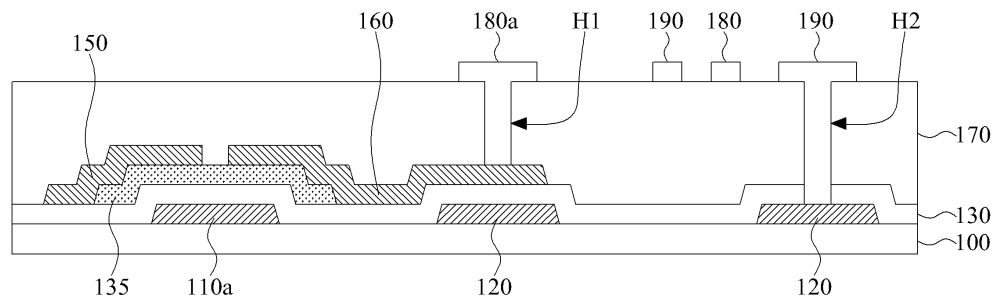
R화소면적 < G화소면적 > B화소면적

$$R\text{화소의 } C_{gs} < G\text{화소의 } C_{gs} > B\text{화소의 } C_{gs}$$

도면5a



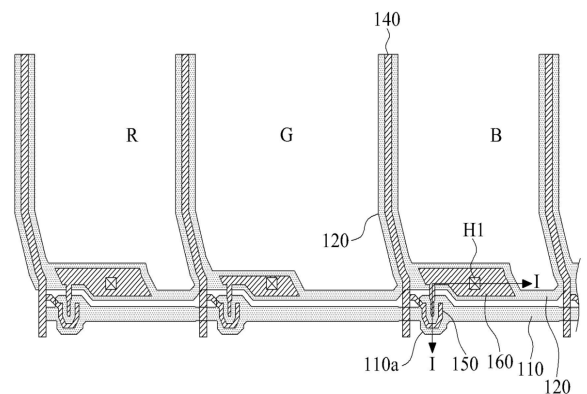
도면5b



专利名称(译)	液晶显示器		
公开(公告)号	KR101874789B1	公开(公告)日	2018-07-06
申请号	KR1020110110752	申请日	2011-10-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JO YOUNG JIK 조영직 HYUNCHEOL JIN 진현철 RYU HO JIN 류호진		
发明人	조영직 진현철 류호진		
IPC分类号	G02F1/133 G02F1/1343 G02F1/1362 G02F1/1368		
CPC分类号	G02F1/1343 G02F1/136213 G02F1/1368 G02F2001/134354		
其他公开文献	KR1020130046266A		
外部链接	Espacenet		

摘要(译)

用途：提供LCD（液晶显示器）装置，通过补偿每个像素中的存储电容器之间的差异来控制所有像素。结构：多个像素包括第二像素，第二像素包括比第一像素更大的表面。0394# 第一像素的Vp值与第二像素的0394# Vp值相似。第一像素的液晶电容器和第一像素的存储电容器被设计为同等地控制第一和第二像素之间的0394# Vp值。



R화소면적 < G화소면적 > B화소면적

R화소의 Cst > G화소의 Cst < B화소의 Cst