



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년08월18일
(11) 등록번호 10-1649231
(24) 등록일자 2016년08월11일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/1345 (2006.01)
(21) 출원번호 10-2009-0123158
(22) 출원일자 2009년12월11일
심사청구일자 2014년11월18일
(65) 공개번호 10-2011-0066479
(43) 공개일자 2011년06월17일
(56) 선행기술조사문헌
KR1020060134718 A*
KR1019980021018 A
KR1020060134717 A
KR1020070038851 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김영도
경상북도 구미시 인동26길 65, 미래주공아파트
109동 606호 (진평동)
(74) 대리인
박영복

전체 청구항 수 : 총 5 항

심사관 : 윤성주

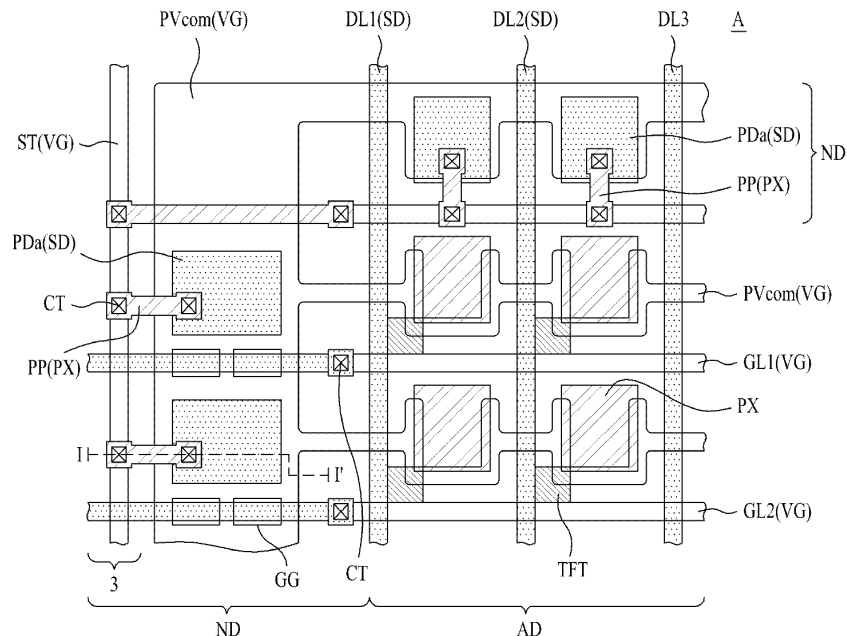
(54) 발명의 명칭 액정 표시장치

(57) 요약

본 발명은 공통전압 레벨을 안정화시킬 수 있는 액정 표시장치에 관한 것으로, 액정패널의 어느 한 기판은, 영상 표시 영역에 위치하는 제1 패턴부와, 영상 표시 영역을 둘러싸도록 비표시 영역에 위치하여 제1 패턴부와 접속되는 제2 패턴부를 포함하는 공통전압 공급패턴을 구비한다. 그 기판은 비표시 영역에서, 복수의 게이트 라인 중

(뒷면에 계속)

대표도



인접한 게이트 라인들 사이와, 복수의 데이터 라인 중 인접한 데이터 라인들 사이에 각각 개별적으로 위치하고, 공통전압 공급패턴의 제2 패턴부와 적어도 하나의 절연막을 사이에 두고 중첩되어 커패시터를 마련하는 복수의 안정화 패턴을 구비한다. 그 기판은 비표시 영역에 위치하여 복수의 구동 신호를 공급받아 복수의 게이트 라인을 구동하는 게이트 구동부를 구비하고, 비표시 영역에 위치하여 게이트 구동부에 복수의 구동 신호를 공급하는 복수의 신호 공급 라인 중 제1 신호 공급 라인은 복수의 안정화 패턴과 접속되고, 각 프레임의 영상 표시 기간에 게이트 구동부 및 상기 복수의 안정화 패턴에 직류 전압을 공급한다.

명세서

청구범위

청구항 1

영상 표시 영역과 비표시 영역으로 구분되는 액정패널을 구비한 액정 표시장치에 있어서,

상기 액정 패널의 어느 한 기관은,

상기 영상 표시 영역 및 비표시 영역에 위치하고, 상기 영상 표시 영역에서 서로 교차하는 복수의 게이트 라인 및 복수의 데이터 라인과;

상기 영상 표시 영역에 위치하는 제1 패턴부와, 상기 영상 표시 영역을 둘러싸도록 상기 비표시 영역에 위치하여, 상기 제1 패턴부와 접촉되고 상기 비표시 영역의 상기 복수의 게이트 라인 및 상기 복수의 데이터 라인과 교차하는 제2 패턴부를 포함하는 공통전압 공급패턴과;

상기 비표시 영역에서, 상기 복수의 게이트 라인 중 인접한 게이트 라인들 사이와, 상기 복수의 데이터 라인 중 인접한 데이터 라인들 사이에 각각 개별적으로 위치하고, 상기 공통전압 공급패턴의 제2 패턴부와 적어도 하나의 절연막을 사이에 두고 중첩되어 복수의 커패시터를 마련하는 복수의 안정화 패턴과;

상기 비표시 영역에 위치하여 복수의 구동 신호를 공급받아 상기 복수의 게이트 라인을 구동하는 게이트 구동부를 구비하고,

상기 비표시 영역에 위치하여 상기 게이트 구동부에 상기 복수의 구동 신호를 공급하는 복수의 신호 공급 라인 중 제1 신호 공급 라인은 상기 복수의 안정화 패턴과 접촉되고, 각 프레임의 영상 표시 기간에 상기 게이트 구동부 및 상기 복수의 안정화 패턴에 직류 전압을 공급하는 액정 표시장치.

청구항 2

제 1 항에 있어서,

상기 복수의 안정화 패턴 각각은 상기 비표시 영역에서 상기 게이트 라인 및 상기 데이터 라인과 중첩없이 위치하고,

상기 공통전압 공급패턴의 제2 패턴부는,

상기 제2 패턴부와 상기 게이트 라인의 중첩부에 복수의 개구부를 구비하고,

상기 제2 패턴부와 상기 데이터 라인의 중첩부에 복수의 추가 개구부를 구비하거나, 상기 제2 패턴부와 상기 데이터 라인의 중첩부에서의 상기 제2 패턴부의 제1 폭이, 상기 서로 인접한 데이터 라인들 사이에 위치하는 상기 제2 패턴부의 제2 폭보다 작은 액정 표시장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제1 신호 공급 라인은 상기 비표시 영역에서, 상기 게이트 라인과 교차하는 제1 라인부와, 상기 데이터 라인과 교차하는 제2 라인부를 포함하고,

상기 제1 신호 공급 라인에 상기 복수의 안정화 패턴을 각각 연결하는 복수의 전극 패턴을 추가로 구비하고,

상기 복수의 안정화 패턴과 접촉된 상기 제1 신호 공급 라인은 상기 게이트 구동부에 게이트 스타트 펄스를 공급하고, 상기 게이트 스타트 펄스는 상기 영상 표시 기간에 상기 직류 전압인 게이트 오프 전압을 공급하는 액정 표시장치.

청구항 4

제 3 항에 있어서,

상기 복수의 안정화 패턴은 상기 데이터 라인과 동일한 데이터 라인 형성 물질로 구성되어 상기 데이터 라인과

동일층에 위치하고,

상기 복수의 전극 패턴과 상기 제1 신호 공급 라인 사이의 절연막을 관통하는 컨택홀을 통해 상기 각 전극 패턴은 상기 제1 신호 공급 라인과 연결되고,

상기 복수의 전극 패턴과 상기 복수의 안정화 패턴 사이의 절연막을 관통하는 추가 컨택홀을 통해 상기 각 전극 패턴은 상기 각 안정화 패턴과 연결되는 액정 표시장치.

청구항 5

제 3 항에 있어서,

상기 복수의 안정화 패턴과 상기 복수의 전극 패턴은, 상기 영상 표시 영역에 위치하는 화소 전극과 동일한 화소 전극 형성 물질로 구성되어 상기 화소 전극과 동일층에 위치하고,

상기 복수의 전극 패턴과 상기 제1 신호 공급 라인 사이의 절연막을 관통하는 컨택홀을 통해 상기 각 전극 패턴은 상기 제1 신호 공급 라인과 연결되는 액정 표시장치.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정 표시장치에 관한 것으로, 스토리지 온 커먼(Storage On Command) 구조나 IPS(In Plane Switching) 구조의 액정패널에 공급된 공통전압 레벨을 안정화시킴으로써 영상의 표시 불량을 방지하고 표시 화질을 향상시킬 수 있도록 한 액정 표시장치에 관한 것이다.

배경 기술

[0002] 일반적으로, 액정 표시장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광 투과율을 조절함으로써 화상을 표시한다. 이를 위하여, 액정 표시장치는 화소영역들이 매트릭스 형태로 배열된 액정패널과 액정패널을 구동하기 위한 구동회로를 구비한다.

[0003] 액정패널에는 복수의 게이트 라인과 복수의 데이터 라인이 교차하게 배열되고, 각 게이트 라인과 데이터 라인이 수직교차하여 정의되는 각 영역에는 화소 셀이 위치하게 된다. 여기서, 화소 셀 각각에는 전계를 인가하기 위한 화소전극과 공통전극이 형성된다. 그리고, 각 화소전극은 스위칭 소자인 박막트랜지스터(TFT; Thin Film Transistor)와 접속된다. TFT는 게이트 라인의 스캔펄스에 의해 턴-온되어, 데이터 라인의 데이터 신호가 각 화소전극에 충전되도록 한다. 여기서, 화소 셀 각각에는 스토리지 커패시터가 형성된다. 스토리지 커패시터는 화소 셀의 화소전극과 전단 게이트 라인 사이에 형성되거나, 화소 셀의 화소전극과 스토리지 라인 사이에 형성되어, 화소 셀에 충전된 데이터 전압을 다음 데이터 전압이 충전되기 전까지 유지시키게 된다.

- [0004] 최근에는 공통전압 레벨 변동에 따른 영향을 최소화하고 표시 영상의 화질을 향상시키기 위해 스토리지 온 커먼 (Storage On Command) 구조 즉, 스토리지 커패시터가 각 화소 셀의 화소전극과 스토리지 라인 사이에 형성된 구조의 액정패널이 대두되고 있다.
- [0005] 각 화소 셀의 화소전극과 스토리지 라인 즉, 각 화소 셀의 화소전극과 공통전압 공급라인의 사이에 스토리지 커패시터가 형성되는 구조에서는 공통전압 레벨 변동을 최소화함으로써 그 전압레벨을 최대한 안정화시키는 것이 매우 중요하다. 이는 화소전극과 공통전극 간의 수평전계에 의해 액정이 구동되는 IPS(In Plane Switching) 구조의 액정패널에서도 마찬가지로 그 중요성이 강조되고 있다.
- [0006] 하지만, 상기의 스토리지 온 커먼 구조나 IPS 구조의 액정패널은 게이트 및 데이터 라인이나 화소 전극과 함께 공통전압 공급라인까지 하부 기판에 형성되는 구조이기 때문에 게이트 및 데이터 라인 등이 소정부분 중첩되는 공통전압 공급라인은 게이트 및 데이터 전압 등의 영향을 받을 수밖에 없다. 이에, 최근에는 게이트 및 데이터 전압 등의 영향을 최소화하여 공통전압 레벨을 더욱 안정화시킬 수 있는 방안이 요구되고 있는 실정이다.

발명의 내용

해결 하고자하는 과제

- [0007] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 스토리지 온 커먼 구조나 IPS 구조의 액정패널에 공급된 공통전압 레벨을 안정화시킴으로써 영상의 표시 불량을 방지하고 표시 화질을 향상시킬 수 있도록 한 액정 표시장치를 제공하는데 그 목적이 있다.

과제 해결수단

- [0008] 상기와 같은 목적을 달성하기 위한 본 발명의 실시 예에 따른 액정 표시장치는 영상 표시영역과 비표시영역으로 구분되는 액정패널을 구비하고, 액정패널의 어느 한 기판은, 영상 표시 영역에 위치하는 제1 패턴부와, 영상 표시 영역을 둘러싸도록 비표시 영역에 위치하여, 제1 패턴부와 접속되고 비표시 영역의 복수의 게이트 라인 및 복수의 데이터 라인과 교차하는 제2 패턴부를 포함하는 공통전압 공급패턴을 구비한다. 전술한 기판은 비표시 영역에서, 복수의 게이트 라인 중 인접한 게이트 라인들 사이와, 복수의 데이터 라인 중 인접한 데이터 라인들 사이에 각각 개별적으로 위치하고, 공통전압 공급패턴의 제2 패턴부와 적어도 하나의 절연막을 사이에 두고 중첩되어 복수의 커패시터를 마련하는 복수의 안정화 패턴을 구비한다. 전술한 기판은 비표시 영역에 위치하여 복수의 구동 신호를 공급받아 복수의 게이트 라인을 구동하는 게이트 구동부를 구비하고, 비표시 영역에 위치하여 게이트 구동부에 복수의 구동 신호를 공급하는 복수의 신호 공급 라인 중 제1 신호 공급 라인은 복수의 안정화 패턴과 접속되고, 각 프레임의 영상 표시 기간에 게이트 구동부 및 상기 복수의 안정화 패턴에 직류 전압을 공급한다.
- [0009] 제1 신호 공급 라인은 비표시 영역에서, 게이트 라인과 교차하는 제1 라인부와, 데이터 라인과 교차하는 제2 라인부를 포함한다. 복수의 안정화 패턴 각각은 비표시 영역에서 게이트 라인 및 데이터 라인과 중첩없이 위치한다. 공통전압 공급패턴의 제2 패턴부는, 비표시 영역에서 게이트 라인 및 데이터 라인과 교차하고, 제2 패턴부와 게이트 라인의 중첩부에 복수의 개구부를 구비하고, 제2 패턴부와 데이터 라인의 중첩부에 복수의 추가 개구부를 구비할 수 있다. 이와 달리, 제2 패턴부와 데이터 라인의 중첩부에서의 제2 패턴부의 제1 폭이, 서로 인접한 데이터 라인들 사이에 위치하는 제2 패턴부의 제2 폭보다 작을 수 있다.
- [0010] 전술한 기판은 제1 신호 공급 라인에 복수의 안정화 패턴을 각각 연결하는 복수의 전극 패턴을 추가로 구비한다. 복수의 안정화 패턴과 접속된 제1 신호 공급 라인은 게이트 구동부에 게이트 스타트 펄스를 공급한다. 게이트 스타트 펄스는 영상 표시 기간에 직류 전압인 게이트 오프 전압을 공급한다.
- [0011] 복수의 안정화 패턴은 데이터 라인과 동일한 데이터 라인 형성 물질로 구성되어 데이터 라인과 동일층에 위치한다. 복수의 전극 패턴과 제1 신호 공급 라인 사이의 절연막을 관통하는 컨택홀을 통해 각 전극 패턴은 제1 신호 공급 라인과 연결된다. 복수의 전극 패턴과 복수의 안정화 패턴 사이의 절연막을 관통하는 추가 컨택홀을 통해 각 전극 패턴은 각 안정화 패턴과 연결된다.
- [0012] 복수의 안정화 패턴과 복수의 전극 패턴은, 영상 표시 영역에 위치하는 화소 전극과 동일한 화소 전극 형성 물질로 구성되어 화소 전극과 동일층에 위치한다. 복수의 전극 패턴과 제1 신호 공급 라인 사이의 절연막을 관통하는 컨택홀을 통해 각 전극 패턴은 제1 신호 공급 라인과 연결된다.

[0013] 삭제

[0014] 삭제

[0015] 삭제

[0016] 삭제

[0017] 삭제

효 과

[0018] 상기와 같은 특징들을 갖는 본 발명의 실시 예에 따른 액정 표시장치는 스토리지 온 커먼 구조나 IPS 구조의 액정패널에 공급된 공통전압 레벨을 안정화시킴으로써 영상의 표시 불량을 방지하고 표시 화질을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0019] 이하, 상기와 같은 특징을 갖는 본 발명의 실시 예에 따른 액정 표시장치의 구동장치와 그 구동방법을 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

[0020] 도 1은 본 발명의 실시 예에 따른 액정 표시장치를 나타낸 구성도이다.

[0021] 도 1에 도시된 액정 표시장치는 영상 표시영역(AD)에 복수의 화소 셀을 구비하여 형성된 액정패널(PA); 액정패널(PA)에 구비된 복수의 게이트 라인(GL1 내지 GLn)을 구동하는 게이트 드라이버(3); 및 복수의 데이터 라인(DL1 내지 DLm)을 구동하는 데이터 드라이버(4a, 4b); 외부로부터 입력된 영상 데이터를 정렬하여 데이터 드라이버(4a, 4b)에 공급함과 아울러 상기 게이트 및 데이터 드라이버(3, 4a, 4b)를 제어하는 타이밍 컨트롤러(8)를 구비한다.

[0022] 액정패널(PA)은 영상 표시영역(AD)과 영상 비표시영역(ND)으로 구분되는데, 영상 표시영역(AD)에는 복수의 화소 셀들이 형성되어 영상을 표시하게 되고, 영상 비표시영역(ND)에는 데이터 회로필름(6a, 6b)이 부착되거나 게이트 드라이버(3)가 형성되기도 한다.

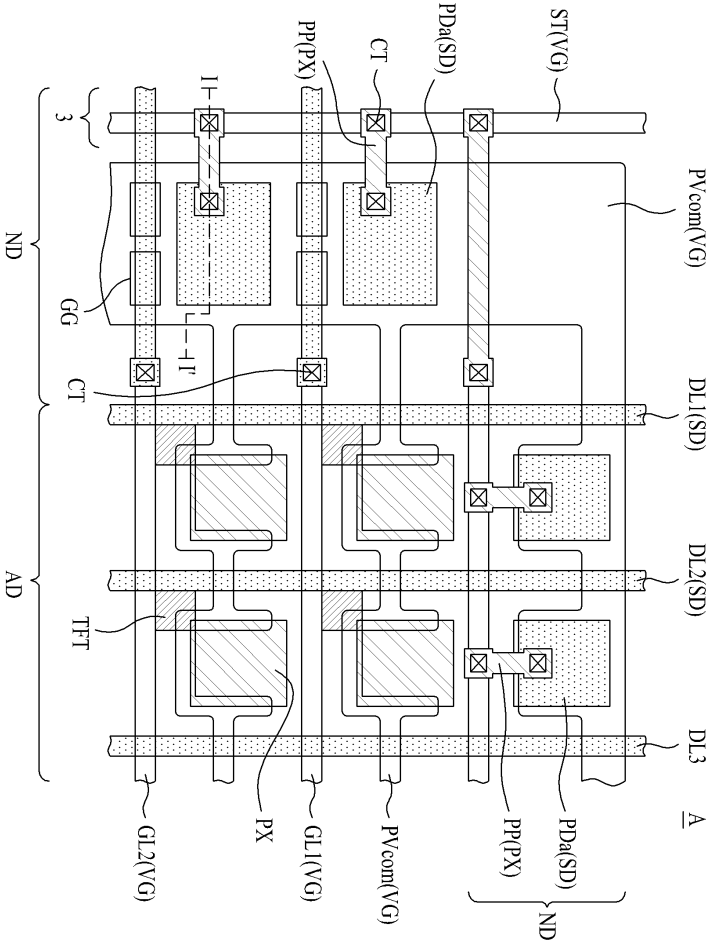
[0023] 영상 표시영역(AD)에는 복수의 게이트 라인(GL1 내지 GLn)과 데이터 라인(DL1 내지 DLm)에 의해 정의되는 매트릭스 영역에 화소 셀들이 형성된다. 여기서, 각각의 화소 셀들은 박막 트랜지스터(TFT; Thin Film Transistor) 및 TFT와 접속된 액정 커패시터(C1c)를 구비한다. 액정 커패시터(C1c)는 TFT와 접속된 화소전극, 화소전극과 액정을 사이에 두고 대면하는 공통전극으로 구성된다. TFT는 각각의 게이트 라인(GL1 내지 GLn)으로부터의 스캔펄스에 응답하여 각각의 데이터 라인(DL1 내지 DLm)으로부터의 영상신호를 화소전극에 공급한다. 액정 커패시터(C1c)는 화소전극에 공급된 영상신호와 공통전극에 공급된 공통전압의 차전압을 충전하고, 그 차전압에 따라 액정 분자들의 배열을 가변시켜 광 투과율을 조절함으로써 계조를 구현한다. 그리고, 액정 커패시터(C1c)에는 스토리지 커패시터(Cst)가 병렬로 접속되어 액정 커패시터(C1c)에 충전된 전압이 다음 데이터 신호가 공급될 때까지 유지되게 한다. 스토리지 커패시터(Cst)는 각 화소전극이 스토리지 라인 즉, 공통전압 공급라인과 절연막을 사이에 두고 중첩되어 형성된다. 다시 말해, 액정패널(PA)은 스토리지 온 커먼 구조 또는 IPS 구조를 가질 수 있다.

[0024] 데이터 드라이버(4a, 4b)는 액정패널(PA)의 어느 한 측과 적어도 하나의 소스 인쇄회로기판(8a, 8b) 사이에 각각 구비되어 데이터 라인들(DL1 내지 DLm)을 집적회로를 포함하게 된다. 이러한, 데이터 드라이버(4a, 4b)는 타이밍 컨트롤러(8)로부터의 데이터 제어신호 예를 들어, 소스 스타트 신호(SSP; Source Start Pulse), 소스 쉬프트 클럭(SSC; Source Shift Clock), 소스 출력 인에이블(SOE; Source Output Enable) 신호 등을 이용하여 타이밍 컨트롤러(8)로부터 정렬된 영상 데이터를 아날로그 전압 즉, 영상신호로 변환 출력한다.

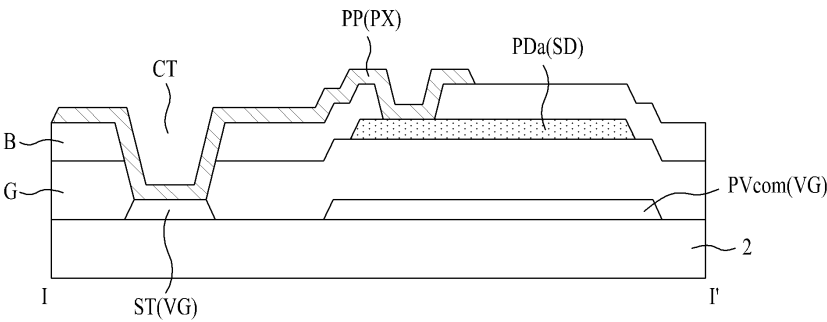
- [0025] 게이트 구동부(3)는 액정패널(PA)과 일체로 액정패널(PA)의 영상 비표시 영역(ND)에 형성되며 이와 달리, 집적 회로 형태로 액정패널(PA) 어느 한 측면에 마련될 수도 있다. 이러한, 게이트 구동부(3)는 상기 타이밍 컨트롤러(8)로부터의 게이트 제어신호 예를 들어, 게이트 스타트 신호(GSP; Gate Start Pulse), 게이트 쉬프트 클럭(GSC; Gate Shift Clock), 게이트 출력 인에이블(GOE; Gate Output Enable) 신호 등을 이용하여 각 게이트 라인(GL1 내지 GLn)에 스캔펄스 또는 게이트 로우 전압을 순차 공급한다.
- [0026] 도 2는 도 1에 도시된 액정패널의 A 영역을 보다 구체적으로 나타낸 도면이다.
- [0027] 도 2에 도시된 바와 같이, 액정패널(PA)의 하부 기판에는 상기의 영상 표시영역(AD)에서 서로 교차하도록 형성된 복수의 게이트 및 데이터 라인(GL1 내지 GLn, DL1 내지 DLm); 상기의 비표시 영역(ND) 및 영상 표시영역(AD)의 화소 셀 영역에 각각 대응되도록 각각의 상기 각 게이트 라인(GL1 내지 GLn)과 함께 형성된 공통전압 공급패턴(PVcom); 상기 비표시 영역(ND)의 공통전압 공급패턴(PVcom)과 적어도 하나의 절연막을 사이에 두고 중첩되도록 형성된 복수의 안정화 패턴(PDa); 및 상기 공통전압 공급패턴(PVcom)과 상기 복수의 안정화 패턴(PDa)이 각각의 커패시터를 이루도록 적어도 하나의 컨택 홀(CT)을 통해 상기 각 안정화 패턴(PDa)에 직류 전압을 공급하는 복수의 전극패턴(PP)을 구비한다.
- [0028] 공통전압 공급패턴(PVcom)은 액정패널(PA)의 비표시영역(ND) 및 화소 셀 영역의 일부 영역에 각각 대응되도록 형성되는데, 이때 공통전압 공급패턴(PVcom)은 상기 각 게이트 라인(GL1 내지 GLn)과 함께 게이트 형성물질(VG)로 형성될 수 있다. 이러한 공통전압 공급패턴(PVcom)은 표시영역(AD)의 화소 셀 영역 외에도 영상 표시영역(AD)의 주변부를 둘러싸도록 비표시영역(ND)에 최대한의 면적으로 형성되어, 최소한의 저항값을 가지고 공통전압(Vcom)을 각 화소 셀로 공급하도록 구성된다.
- [0029] 공통전압 공급패턴(PVcom)은 서로 교차되도록 형성되는 복수의 게이트 및 데이터 라인(GL1 내지 GLn, DL1 내지 DLm)과 소정 부분씩 중첩될 수 밖에 없으나, 각 게이트 및 데이터 라인(GL1 내지 GLn, DL1 내지 DLm)과는 최소한의 면적으로만 중첩되도록 형성됨이 바람직하다. 이에, 각 게이트 및 데이터 라인(GL1 내지 GLn, DL1 내지 DLm)과 중첩되는 영역의 공통전압 공급패턴(PVcom)에는 복수의 개구부(GG)가 형성되기도 하며, 도 2의 각 데이터 라인(DL1 내지 DL3) 중첩 영역에 도시된 바와 같이 그 형성 폭이 최대한 줄여지게 형성될 수 있다.
- [0030] 복수의 안정화 패턴(PDa)은 비표시 영역(ND)에서 상기의 공통전압 공급패턴(PVcom)과 적어도 하나의 절연막을 사이에 두고 소정 부분씩 중첩되도록 형성된다. 여기서, 각각의 복수의 안정화 패턴(PDa)은 각 게이트 및 데이터 라인(GL1 내지 GLn, DL1 내지 DLm)과는 중첩되지 않도록 형성되어야 하므로 공통전압 공급패턴(PVcom)의 일정 부분에만 중첩되도록 형성된다.
- [0031] 복수의 안정화 패턴(PDa)은 상기 각 데이터 라인(DL1 내지 DLm) 형성시 각각의 데이터 라인(DL1 내지 DLm)과 함께 데이터 형성물질(SD) 즉, 데이터 라인 형성물질(SD)로 형성될 수 있다. 이와 같이, 공통전압 공급패턴(PVcom)과 적어도 하나의 절연막을 사이에 두고 소정 부분씩 중첩되도록 형성된 각각의 안정화 패턴(PDa)은 공통전압 공급패턴(PVcom)과 함께 복수의 커패시터 구조를 가지게 된다. 이러한 커패시터 구조에 대해서는 이 후 첨부된 도면들을 참조하여 좀 더 구체적으로 설명하기로 한다.
- [0032] 복수의 전극패턴(PP)은 공통전압 공급패턴(PVcom)과 복수의 안정화 패턴(PDa)들 각각이 커패시터를 이룰 수 있도록 각각의 컨택 홀(CT)을 통해 각 안정화 패턴(PDa)에 직류 전압을 공급하게 된다. 이러한, 복수의 전극패턴(PP)은 안정화 패턴(PDa)에 형성된 컨택홀(CT)과 직류 전압 공급라인(ST)에 형성된 컨택홀(CT)이 전기적으로 연결되도록 형성되어 직류 전압 공급라인(ST)으로부터의 직류 전압이 각각의 안정화 패턴(PDa)으로 공급되도록 한다. 여기서, 복수의 전극패턴(PP)은 각 화소 셀 영역에 형성되는 화소 전극과 함께 화소전극 형성물질(PX)로 형성될 수 있다.
- [0033] 한편, 직류 전압 공급라인(ST)의 경우는 게이트 드라이버(3)에 형성되는 GSP 신호 전송라인이 될 수 있는데, GSP 신호 전송라인의 경우 매 프레임의 시작 기간에만 게이트 온 레벨의 전압이 공급되고, 나머지 기간 동안에는 게이트 오프 레벨의 전압이 계속 공급된다. 따라서 영상이 표시되는 기간 내내 복수의 안정화 패턴(PDa)들 각각에는 게이트 오프 레벨의 직류 전압이 공급될 수 있다.
- [0034] 이와 같이, 공통전압 공급패턴(PVcom)과 복수의 안정화 패턴(PDa)들 각각이 커패시터를 이룰 수 있도록 각 안정화 패턴(PDa)에 직류 전압을 공급하게 되면, 공통전압 공급패턴(PVcom)으로 공급된 공통전압(Vcom)의 레벨이 각 안정화 패턴(PDa)에 의해 형성된 복수의 커패시터 및 그 커패시터 전압들에 의해 보다 안정화될 수 있다.
- [0035] 도 3은 도 2에 도시된 I-I' 영역의 단면을 나타낸 단면도이다.

- [0036] 도 3을 참조하여 본 발명의 액정패널(PA) 형성 과정을 설명하면, 먼저 액정패널(PA)의 하부 기판(2)에는 게이트 형성물질이 증착 및 패터닝됨으로써, 각 게이트 라인(GL1 내지 GLn)과 함께 공통전압 공급패턴(PVcom)이 형성된다. 이때, 하부 기판(2)의 게이트 구동부(3) 형성 영역에는 별도의 직류전압 공급라인(ST)이 형성될 수 있다. 그리고, 공통전압 공급패턴(PVcom)을 포함한 하부 기판(2)의 전면에는 제 1 절연막(G)이 증착된다.
- [0037] 이 후, 각 화소 셀의 TFT 형성 영역에는 TFT를 형성하기 위한 반도체 층 형성물질과 오믹 접촉층 형성물질 등이 형성된다. 그리고 각 화소 셀 영역을 포함한 하부 기판(2)의 전면에는 데이터 형성물질(SD) 즉, TFT의 소스/드레인 형성물질이 순차적으로 증착된 후 패터닝 됨으로써 TFT의 소스/드레인과 함께 복수의 데이터 라인(DL1 내지 DLm) 및 복수의 안정화 패턴(PDa)이 형성된다. 여기서, 각각의 복수의 안정화 패턴(PDa)은 각 게이트 및 데이터 라인(GL1 내지 GLn, DL1 내지 DLm)과는 중첩되지 않도록 형성되어야 하므로 공통전압 공급패턴(PVcom)의 일정 부분에만 중첩되도록 형성된다.
- [0038] 다음으로, 상기 복수의 데이터 라인(DL1 내지 DLm) 및 안정화 패턴(PDa)을 포함한 하부 기판(2)의 전면에 보호막으로 활용되는 제 2 절연막(B)을 형성한 다음, 직류전압 공급라인(ST)과 각 안정화 패턴(PDa)의 일부 영역들이 노출되도록 컨택홀(CT)을 형성한다. 이때, 각 화소 셀의 TFT에도 각각의 컨택 홀(CT)이 형성되어 각 TFT의 드레인 전극이 소정 영역 노출된다.
- [0039] 이 후, 하부 기판(10) 상에 PPECVD(Plasma Enhanced Chemical Vapor Deposition) 또는 스퍼터링 등의 증착 방법으로 ITO, IZO, AZO 또는 그 등가 물질을 증착하고 이를 패터닝하여 복수의 전극패턴(PP)을 형성한다. 화소 셀 영역에서는 상기의 전극패턴(PP) 형성 물질(PX)과 동일한 물질로 화소 전극이 형성된다.
- [0040] 이와 같이 복수의 전극패턴(PP)은 안정화 패턴(PDa)에 형성된 컨택홀(CT)과 직류 전압을 공급라인(ST)에 형성된 컨택홀(CT)이 전기적으로 연결되도록 형성되어 직류 전압을 공급라인(ST)으로부터의 직류 전압이 각각의 안정화 패턴(PDa)으로 공급되도록 한다. 이에, 공통전압 공급패턴(PVcom)과 적어도 하나의 절연막을 사이에 두고 소정 부분씩 중첩되도록 형성된 각각의 안정화 패턴(PDa)은 공통전압 공급패턴(PVcom)과 함께 복수의 커패시터 구조를 가지게 된다.
- [0041] 도 4는 도 1에 도시된 액정패널의 A 영역을 보다 구체적으로 나타낸 다른 도면이다.
- [0042] 도 4의 경우는 도 2에서 데이터 형성물질(SD)로 형성되었던 안정화 패턴(PDa)들과 달리 화소전극 형성물질(PX)로 안정화 패턴(PDa)들이 형성된 일 예를 나타낸다. 이 경우, 안정화 패턴(PDa)들의 구성을 제외한 나머지 구성들은 도 2에 도시된 구조와 동일하므로, 도 2와 동일 부호를 갖는 구성요소들에 대한 설명은 앞서 상술한 설명으로 대신하기로 한다.
- [0043] 공통전압 공급패턴(PVcom)의 경우는 상기에서 상술한 바와 같이, 액정패널(PA)의 비표시 영역(ND) 및 표시영역(AD)의 화소 셀 영역에 각각 대응되도록 형성된다. 이 때 공통전압 공급패턴(PVcom)은 상기 각 게이트 라인(GL1 내지 GLn)과 함께 게이트 형성물질(VG)로 형성될 수 있다. 이러한 공통전압 공급패턴(PVcom)은 표시영역(AD)의 화소 셀 영역 외에도 영상 표시영역(AD)의 주변부를 둘러싸도록 비표시영역(ND)에 최대한의 면적으로 형성되어, 최소한의 저항값을 가지고 공통전압(Vcom)을 각 화소 셀로 공급하도록 구성된다.
- [0044] 복수의 안정화 패턴(PDa)은 비표시 영역(ND)에서 상기의 공통전압 공급패턴(PVcom)과 복수의 절연막(또는 보호막)을 사이에 두고 소정 부분씩 중첩되도록 형성된다. 각각의 복수의 안정화 패턴(PDa)은 각 게이트 및 데이터 라인(GL1 내지 GLn, DL1 내지 DLm)과는 중첩되지 않도록 형성되어야 하므로 공통전압 공급패턴(PVcom)의 일정 부분에만 중첩되도록 형성된다. 이러한, 복수의 안정화 패턴(PDa)은 각 화소 셀의 화소전극 형성시 화소전극과 함께 화소전극 형성물질(PX)로 형성될 수 있다. 이와 같이, 공통전압 공급패턴(PVcom)과 복수의 절연막을 사이에 두고 소정 부분씩 중첩되도록 형성된 각각의 안정화 패턴(PDa)은 공통전압 공급패턴(PVcom)과 함께 복수의 커패시터 구조를 가지게 된다.
- [0045] 상기의 안정화 패턴(PDa)들과 전기적으로 연결되는 직류 전압 공급라인(ST)의 경우는 게이트 드라이버(3)에 형성되는 GSP 신호 전송라인이 될 수 있는데, GSP 신호 전송라인의 경우 때 프레임의 시작 기간에만 게이트 온 레벨의 전압이 공급되고, 나머지 기간 동안에는 게이트 오프 레벨의 전압이 계속 공급된다. 따라서, 영상이 표시되는 기간 내내 복수의 안정화 패턴(PDa)들 각각에는 게이트 오프 레벨의 직류 전압이 공급될 수 있다.
- [0046] 도 5는 도 4에 도시된 E-E' 영역의 단면을 나타낸 단면도이다.
- [0047] 도 5를 참조하여 본 발명의 액정패널(PA) 형성 과정을 설명하면, 먼저 액정패널(PA)의 하부 기판(2)에는 게이트 형성물질이 증착 및 패터닝됨으로써, 각 게이트 라인(GL1 내지 GLn)과 함께 공통전압 공급패턴(PVcom)이 형성된

도면2



도면3



专利名称(译)	液晶显示器		
公开(公告)号	KR101649231B1	公开(公告)日	2016-08-18
申请号	KR1020090123158	申请日	2009-12-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM YOUNG DO 김영도		
发明人	김영도		
IPC分类号	G02F1/1343 G02F1/1345		
CPC分类号	G02F1/1343 G02F1/1345 G02F1/13458		
代理人(译)	Bakyoungbok		
其他公开文献	KR1020110066479A		
外部链接	Espacenet		

摘要(译)

用途：提供一种液晶显示装置及其制造方法，以通过稳定提供给IPS结构液晶面板的公共电压电平来改善显示质量。

