



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년08월01일
 (11) 등록번호 10-1424950
 (24) 등록일자 2014년07월23일

- (51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01)
- (21) 출원번호 10-2014-7013659(분할)
- (22) 출원일자(국제) 2010년09월21일
 심사청구일자 2014년05월21일
- (85) 번역문제출일자 2014년05월21일
- (65) 공개번호 10-2014-0066802
- (43) 공개일자 2014년06월02일
- (62) 원출원 특허 10-2012-7006891
 원출원일자(국제) 2010년09월21일
- (86) 국제출원번호 PCT/JP2010/066746
- (87) 국제공개번호 WO 2011/043217
 국제공개일자 2011년04월14일
- (30) 우선권주장
 JP-P-2009-235287 2009년10월09일 일본(JP)
- (56) 선행기술조사문헌
 JP2009099887 A
 JP2005077822 A
 JP2005019627 A
 JP2008089874 A

- (73) 특허권자
 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
 아라사와 료
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 시시도 히데야끼
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
 이증희, 장수길, 박충범

전체 청구항 수 : 총 4 항

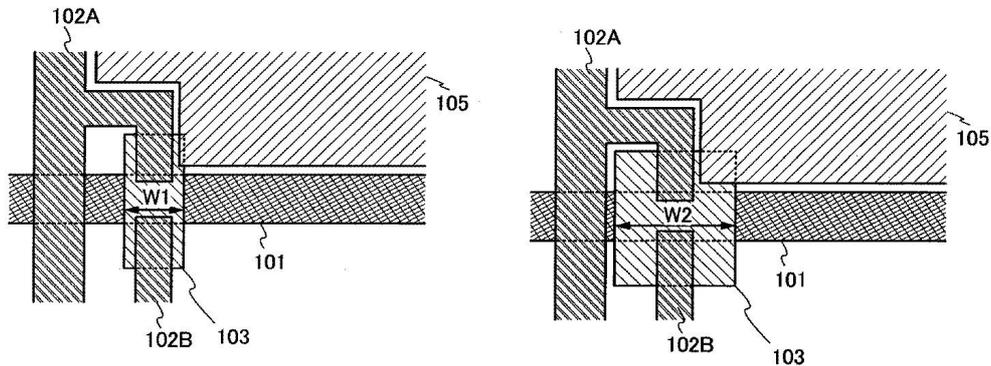
심사관 : 차건숙

(54) 발명의 명칭 **액정 표시 장치**

(57) 요약

본 발명은 산화물 반도체를 사용하는 박막 트랜지스터를 구비하는 화소가 높은 개구율을 갖는 액정 표시 장치를 제공하는 것이다. 액정 표시 장치는, 각각이 박막 트랜지스터 및 화소 전극을 포함하는 복수의 화소를 포함한다. 화소는 주사선으로서 기능하는 제1 배선에 전기적으로 접속된다. 박막 트랜지스터는 제1 배선 위에 게이트 절연막을 개재하여 설치된 산화물 반도체층을 포함한다. 산화물 반도체층은, 제1 배선이 설치된 영역의 가장자리를 넘어 연장된다. 화소 전극과 산화물 반도체층은 서로 중첩된다.

대표도



특허청구의 범위

청구항 1

액정 표시 장치로서,
 제 1 도전막과;
 제 2 도전막과;
 제 3 도전막과;
 트랜지스터를 갖고,
 상기 트랜지스터는 산화물 반도체층을 갖고,
 상기 산화물 반도체층은 인듐과 갈륨과 아연을 갖고,
 상기 산화물 반도체층은 결정성을 갖고,
 상기 제 1 도전막은 상기 트랜지스터의 게이트로서 기능하는 제 1 영역을 갖고,
 상기 트랜지스터는 상기 게이트와 중첩되는 영역의 상기 산화물 반도체층에 채널 형성 영역을 갖고,
 상기 채널 형성 영역 위에 접하는 산화물 절연층을 갖고,
 상기 산화물 절연층은 산화 실리콘을 갖고,
 상기 제 1 도전막은 상기 산화물 반도체층의 채널 폭 방향의 가장자리를 넘는 제 2 영역을 갖고,
 상기 제 1 도전막은 상기 게이트로서 기능하는 제 1 영역보다 폭이 작은 제 3 영역을 갖고,
 상기 제 3 영역은 주사선으로서 기능하고,
 상기 제 2 도전막은 신호선으로서 기능하고,
 상기 신호선은 상기 트랜지스터의 소스 및 드레인 중 하나와 전기적으로 접속되고,
 상기 트랜지스터의 소스 및 드레인 중 나머지 하나는 상기 제 3 도전막과 전기적으로 접속되고,
 상기 제 3 도전막은 화소 전극과 전기적으로 접속되고,
 상기 제 2 도전막 및 상기 제 3 도전막은 상기 산화물 반도체층 위에 형성된 도전층을 에칭하는 공정을 거쳐 형성되고,
 상기 산화물 반도체층은 채널 폭 방향의 길이가 상기 채널 형성 영역의 채널 길이보다 큰 영역을 갖고,
 상기 산화물 반도체층은 채널 길이 방향의 길이가 상기 제 1 도전막의 상기 제 3 영역의 폭보다 큰 영역을 갖는 것을 특징으로 하는, 액정 표시 장치.

청구항 2

액정 표시 장치로서,
 제 1 도전막과;
 제 2 도전막과;
 제 3 도전막과;
 트랜지스터를 갖고,
 상기 트랜지스터는 산화물 반도체층을 갖고,
 상기 산화물 반도체층은 인듐과 갈륨과 아연을 갖고,
 상기 산화물 반도체층은 결정성을 갖고,

상기 제 1 도전막은 상기 트랜지스터의 게이트로서 기능하는 제 1 영역을 갖고,
 상기 트랜지스터는 상기 게이트와 중첩되는 영역의 상기 산화물 반도체층에 채널 형성 영역을 갖고,
 상기 채널 형성 영역 위에 접하는 산화물 절연층을 갖고,
 상기 산화물 절연층은 산화 실리콘을 갖고,
 상기 제 1 도전막은 상기 산화물 반도체층의 채널 폭 방향의 가장자리를 넘는 제 2 영역을 갖고,
 상기 제 1 도전막은 상기 게이트로서 기능하는 제 1 영역보다 폭이 작은 제 3 영역을 갖고,
 상기 제 3 영역은 주사선으로서 기능하고,
 상기 제 2 도전막은 신호선으로서 기능하고,
 상기 신호선은 상기 트랜지스터의 소스 및 드레인 중 하나와 전기적으로 접속되고,
 상기 트랜지스터의 소스 및 드레인 중 나머지 하나는 상기 제 3 도전막과 전기적으로 접속되고,
 상기 제 3 도전막은 화소 전극과 전기적으로 접속되고,
 상기 제 2 도전막 및 상기 제 3 도전막은 상기 산화물 반도체층 위에 형성된 도전층을 에칭하는 공정을 거쳐 형성되고,
 상기 산화물 반도체층은 채널 폭 방향의 길이가 상기 산화물 반도체층과 중첩되는 상기 제 2 도전막의 가장자리에서 상기 산화물 반도체층과 중첩되는 상기 제 3 도전막의 가장자리까지의 거리보다 큰 영역을 갖고,
 상기 산화물 반도체층은 채널 길이 방향의 길이가 상기 제 1 도전막의 상기 제 3 영역의 폭보다 큰 영역을 갖는 것을 특징으로 하는, 액정 표시 장치.

청구항 3

액정 표시 장치로서,
 제 1 도전막과;
 제 2 도전막과;
 제 3 도전막과;
 트랜지스터와;
 커패시터를 갖고,
 상기 트랜지스터는 산화물 반도체층을 갖고,
 상기 산화물 반도체층은 인듐과 갈륨과 아연을 갖고,
 상기 산화물 반도체층은 결정성을 갖고,
 상기 제 1 도전막은 상기 트랜지스터의 게이트로서 기능하는 제 1 영역을 갖고,
 상기 트랜지스터는 상기 게이트와 중첩되는 영역의 상기 산화물 반도체층에 채널 형성 영역을 갖고,
 상기 채널 형성 영역 위에 접하는 산화물 절연층을 갖고,
 상기 산화물 절연층은 산화 실리콘을 갖고,
 상기 제 1 도전막은 상기 산화물 반도체층의 채널 폭 방향의 가장자리를 넘는 제 2 영역을 갖고,
 상기 제 1 도전막은 상기 게이트로서 기능하는 제 1 영역보다 폭이 작은 제 3 영역을 갖고,
 상기 제 3 영역은 주사선으로서 기능하고,
 상기 제 2 도전막은 신호선으로서 기능하고,
 상기 신호선은 상기 트랜지스터의 소스 및 드레인 중 하나와 전기적으로 접속되고,

상기 트랜지스터의 소스 및 드레인 중 나머지 하나는 상기 제 3 도전막과 전기적으로 접속되고,
 상기 제 3 도전막은 화소 전극과 전기적으로 접속되고,
 상기 제 2 도전막 및 상기 제 3 도전막은 상기 산화물 반도체층 위에 형성된 도전층을 에칭하는 공정을 거쳐 형성되고,
 상기 산화물 반도체층은 채널 폭 방향의 길이가 상기 채널 형성 영역의 채널 길이보다 큰 영역을 갖고,
 상기 산화물 반도체층은 채널 길이 방향의 길이가 상기 제 1 도전막의 상기 제 3 영역의 폭보다 큰 영역을 갖고,
 상기 커패시터가 갖는 커패시터선은 상기 채널 형성 영역과 중첩되지 않고,
 상기 커패시터가 갖는 커패시터선은 상기 채널 형성 영역의 채널 길이 방향을 따른 방향으로 연장된 영역을 갖고,
 상기 커패시터가 갖는 커패시터선은 상기 화소 전극과 중첩되는 것을 특징으로 하는, 액정 표시 장치.

청구항 4

액정 표시 장치로서,
 제 1 도전막과;
 제 2 도전막과;
 제 3 도전막과;
 트랜지스터와;
 커패시터를 갖고,
 상기 트랜지스터는 산화물 반도체층을 갖고,
 상기 산화물 반도체층은 인듐과 갈륨과 아연을 갖고,
 상기 산화물 반도체층은 결정성을 갖고,
 상기 제 1 도전막은 상기 트랜지스터의 게이트로서 기능하는 제 1 영역을 갖고,
 상기 트랜지스터는 상기 게이트와 중첩되는 영역의 상기 산화물 반도체층에 채널 형성 영역을 갖고,
 상기 채널 형성 영역 위에 접하는 산화물 절연층을 갖고,
 상기 산화물 절연층은 산화 실리콘을 갖고,
 상기 제 1 도전막은 상기 산화물 반도체층의 채널 폭 방향의 가장자리를 넘는 제 2 영역을 갖고,
 상기 제 1 도전막은 상기 게이트로서 기능하는 제 1 영역보다 폭이 작은 제 3 영역을 갖고,
 상기 제 3 영역은 주사선으로서 기능하고,
 상기 제 2 도전막은 신호선으로서 기능하고,
 상기 신호선은 상기 트랜지스터의 소스 및 드레인 중 하나와 전기적으로 접속되고,
 상기 트랜지스터의 소스 및 드레인 중 나머지 하나는 상기 제 3 도전막과 전기적으로 접속되고,
 상기 제 3 도전막은 화소 전극과 전기적으로 접속되고,
 상기 제 2 도전막 및 상기 제 3 도전막은 상기 산화물 반도체층 위에 형성된 도전층을 에칭하는 공정을 거쳐 형성되고,
 상기 산화물 반도체층은 채널 폭 방향의 길이가 상기 산화물 반도체층과 중첩되는 상기 제 2 도전막의 가장자리에서 상기 산화물 반도체층과 중첩되는 상기 제 3 도전막의 가장자리까지의 거리보다 큰 영역을 갖고,
 상기 산화물 반도체층은 채널 길이 방향의 길이가 상기 제 1 도전막의 상기 제 3 영역의 폭보다 큰 영역을

갖고,

상기 커패시터가 갖는 커패시터선은 상기 채널 형성 영역과 중첩되지 않고,

상기 커패시터가 갖는 커패시터선은 상기 채널 형성 영역의 채널 길이 방향을 따른 방향으로 연장된 영역을 갖고,

상기 커패시터가 갖는 커패시터선은 상기 화소 전극과 중첩되는 것을 특징으로 하는, 액정 표시 장치.

명세서

기술분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다. 또한, 본 발명은 액정 표시 장치를 포함하는 전자 기기에 관한 것이다.

배경기술

[0002] 액정 표시 장치에서 통상적으로 알 수 있는 바와 같이, 유리 기판 등의 평판 위에 형성되는 박막 트랜지스터는 아몰퍼스 실리콘 또는 다결정 실리콘을 사용하여 제조된다. 아몰퍼스 실리콘을 사용하여 제조되는 박막 트랜지스터는 전계 효과 이동도가 낮지만, 유리 기판 위에 형성될 수 있다. 반면, 결정 실리콘을 사용하여 제조되는 박막 트랜지스터는 전계 효과 이동도가 높지만, 레이저 어닐링 등의 결정화 공정이 필요하며, 유리 기판에 항상 적절한 것은 아니다.

[0003] 이러한 점에서, 산화물 반도체를 사용하여 박막 트랜지스터를 제조하고 전자 기기나 광학 장치에 적용하는 기술이 주목받고 있다. 예를 들어, 산화물 반도체막으로 산화 아연, In-Ga-Zn-O계 산화물 반도체를 사용하여 박막 트랜지스터를 제조하고, 이러한 트랜지스터를 액정 표시 장치의 스위칭 소자 등으로서 사용하는 기술이 특허 문헌 1에 개시되어 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 특허 출원 공개 제2009-99887호

발명의 내용

해결하려는 과제

[0005] 산화물 반도체를 채널 영역에 사용하여 제조되는 박막 트랜지스터에서는, 아몰퍼스 실리콘을 채널 영역에 사용하는 박막 트랜지스터보다 높은 전계 효과 이동도가 얻어진다. 이와 같은 산화물 반도체를 사용하여 형성한 박막 트랜지스터를 구비하는 화소는 액정 표시 장치 등의 표시 장치에 적용될 것으로 기대된다. 또한, 3D 디스플레이, 4K2K 디스플레이 등, 더욱 높은 부가 가치의 액정 표시 장치에서는, 화소당 면적이 감소될 것으로 예상되지만, 개구율이 증가된 화소를 갖는 액정 표시 장치가 기대된다.

[0006] 전술한 점을 고려할 때, 본 발명의 목적은 산화물 반도체를 사용하는 박막 트랜지스터를 구비하는 화소가 높은 개구율을 갖는 액정 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시 형태에 따르면, 액정 표시 장치는 박막 트랜지스터 및 화소 전극을 포함하는 화소를 포함한다. 화소는 주사선으로서 기능하는 제1 배선에 전기적으로 접속된다. 박막 트랜지스터는 제1 배선 위에 게이트 절연막을 개재하여 설치된 산화물 반도체층을 포함한다. 산화물 반도체층은 제1 배선이 설치된 영역을 넘어 연장된다. 화소 전극과 산화물 반도체층은 서로 중첩된다.

[0008] 본 발명의 일 실시 형태에 따르면, 액정 표시 장치는 박막 트랜지스터 및 화소 전극을 포함하는 화소를 포함한

다. 화소는 주사선으로서 기능하는 제1 배선 및 신호선으로서 기능하는 제2 배선에 전기적으로 접속된다. 박막 트랜지스터는 제1 배선 위에 게이트 절연막을 개재하여 설치된 산화물 반도체층을 포함한다. 산화물 반도체층은 제1 배선이 설치된 영역의 가장자리를 넘어 연장된다. 제2 배선은 제1 배선 위의 게이트 절연막 위로 연장되며 산화물 반도체층의 위에서 산화물 반도체층과 접한다. 화소 전극 및 산화물 반도체층은 서로 중첩된다.

[0009] 본 발명의 일 실시 형태에 따르면, 액정 표시 장치는 박막 트랜지스터 및 화소 전극을 포함한다. 화소는 주사선으로서 기능하는 제1 배선 및 신호선으로서 기능하는 제2 배선에 전기적으로 접속된다. 박막 트랜지스터는 제1 배선 위에 게이트 절연막을 개재하여 설치된 산화물 반도체층을 포함한다. 산화물 반도체층은 제1 배선이 설치된 영역의 가장자리를 넘어 연장된다. 제2 배선은 제1 배선 위의 게이트 절연막 및 게이트 절연막 위의 층간 절연막 위로 연장되고, 산화물 반도체층 위에서 산화물 반도체층과 접한다. 화소 전극 및 산화물 반도체층은 서로 중첩된다.

발명의 효과

[0010] 산화물 반도체를 사용하는 박막 트랜지스터를 구비하는 화소의 개구율을 증가시킬 수 있다. 따라서, 액정 표시 장치는 고 해상도의 표시부를 포함할 수 있다.

도면의 간단한 설명

- [0011] 도 1a와 도 1b는 액정 표시 장치의 상면도 및 단면도.
- 도 2a 내지 도 2d는 액정 표시 장치의 단면도.
- 도 3a와 도 3b는 액정 표시 장치를 도시하는 상면도.
- 도 4a와 도 4b는 액정 표시 장치의 상면도 및 단면도.
- 도 5a와 도 5b는 각각 액정 표시 장치를 도시하는 상면도.
- 도 6a 내지 도 6c는 액정 표시 장치의 상면도 및 단면도.
- 도 7은 액정 표시 장치의 회로도.
- 도 8a와 도 8b는 각각 액정 표시 장치를 도시하는 회로도.
- 도 9a와 도 9b는 액정 표시 장치를 도시하는 회로도 및 타이밍 차트도.
- 도 10a와 도 10b는 각각 액정 표시 장치를 도시하는 회로도.
- 도 11a와 도 11b는 각각 액정 표시 장치를 도시하는 회로도.
- 도 12a 내지 도 12c는 각각 전자 기기를 도시하는 도면.
- 도 13a 내지 도 13c는 각각 전자 기기를 도시하는 도면.
- 도 14a와 도 14b는 액정 표시 장치의 상면도 및 단면도.

발명을 실시하기 위한 구체적인 내용

[0012] 본 발명의 실시 형태들을 첨부 도면을 참조하여 상세하게 설명한다. 본 발명은 이하의 설명으로 한정되지 않으며, 본 발명의 사상 및 범위로부터 이탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있음은 당업자라면 용이하게 이해한다. 따라서, 본 발명은 이하에 설명하는 실시 형태의 내용으로 한정하여 해석되지 않는다. 후술하는 본 발명의 구조에 있어서, 서로 다른 도면들에서 동일한 부분 및 유사 기능을 갖는 부분에 대해서는 동일한 부호를 사용하고, 그 반복 설명은 생략한다는 점에 주목한다.

[0013] 본 명세서의 도면에 예시되어 있는 층의 크기, 층의 두께, 또는 각 구조의 영역은 명료화를 위해 일부 경우에 과장되어 있다. 따라서, 본 발명의 실시 형태들이 그러한 스케일로 한정되는 것은 아니다.

[0014] 또한, 본 명세서에서 사용하는 "제1", "제2", "제3" 등의 용어들은 구성 요소의 혼동을 피하기 위해 부여한 것으로, 구성 요소들의 수를 한정하려는 것은 아니라는 점에 주목한다. 따라서, 예를 들어, "제1"을 "제2", "제3" 등으로 적절하게 치환할 수 있다.

[0015] (실시 형태 1)

- [0016] 본 실시 형태에서는, 일례로, 박막 트랜지스터(이하, TFT라고도 함) 및 TFT에 접속된 화소 전극으로서 기능하는 전극(이러한 전극을 간단하게 화소 전극이라고도 함)을 이용하여 액정 표시 장치를 설명한다. 화소는, 표시 장치의 각 화소에 설치된 각 소자, 예를 들어 박막 트랜지스터, 화소 전극으로서 기능하는 전극, 또는 배선 등의, 전기 신호에 따라 표시를 제어하기 위한 소자들로 구성되는 소자 군을 가리킨다는 점에 주목한다. 화소는 컬러 필터 등을 포함해도 되고, 하나의 화소에 의해 밝기가 제어될 수 있는 하나의 색 요소 성분에 해당되어도 된다. 따라서, 일례로, R, G, B의 색 요소들을 포함하는 컬러 표시 장치의 경우에, 화상의 최소 단위는 R 화소, G 화소, B 화소인 3 화소로 구성되고, 복수의 화소에 의해 화상을 얻을 수 있다.
- [0017] "A와 B가 접속되어 있다"고 기재하는 경우에는, A와 B가 전기적으로 접속되어 있는 경우 및 A와 B가 서로 직접 접속되어 있는 경우를 포함한다는 점에 주목한다. 여기서, A와 B는 각각 전기적 작용을 갖는 대상물이다. 구체적으로, "A와 B가 접속되어 있다"는 것은, 회로 동작을 고려하여 A와 B 사이의 부분은 하나의 노드로서 간주할 수 있는 경우, 예를 들어, 트랜지스터 등의 스위칭 소자를 통해 A와 B가 접속되고, 스위칭 소자의 도통에 의해, A와 B가 동일한 전위 또는 대략 동일한 전위를 갖는 경우, 및 저항 소자를 통해 A와 B가 접속되고, 저항 소자의 양단부에서 발생하는 전위차가 A와 B를 포함하는 회로의 동작에 악영향을 끼치지 않는 경우를 포함한다.
- [0018] 도 1a는 화소의 상면도이다. 도 1a에 도시한 TFT는, 게이트로서 기능하는 배선에 대하여 TFT의 소스 전극과 드레인 전극으로서 기능하는 배선층이 채널 영역으로서 기능하는 산화물 반도체층의 반대측에 설치된 소위 역스태거(inverted staggered)형 구조라 칭하는 보통 게이트형 구조의 일종이다.
- [0019] 도 1a에 도시하는 화소(100)는, 주사선으로서 기능하는 제1 배선(101), 신호선으로서 기능하는 제2 배선(102A), 산화물 반도체층(103), 커패시터선(104), 및 화소 전극(105)을 포함한다. 또한, 도 1a에 도시하는 화소(100)는 산화물 반도체층(103)과 화소 전극(105)을 전기적으로 접속하기 위한 제3 배선(102B)을 포함하고, 이에 따라 박막 트랜지스터(106)가 형성된다.
- [0020] 제1 배선(101)은 또한 박막 트랜지스터(106)의 게이트로서 기능한다. 제2 배선(102A)은 또한 박막 트랜지스터(106)의 소스 전극과 드레인 전극 중 하나 및 저장 커패시터의 하나의 전극으로서 기능한다. 제3 배선(102B)은 또한 박막 트랜지스터(106)의 소스 전극과 드레인 전극 중 나머지 하나로서 기능한다. 커패시터선(104)은 저장 커패시터의 나머지 하나의 전극으로서 기능한다. 제1 배선(101)과 커패시터선(104)이 동일한 층으로부터 형성되고, 제2 배선(102A)과 제3 배선(102B)이 동일한 층으로부터 형성된다는 점에 주목한다. 또한, 제3 배선(102B)과 커패시터선(104)은 서로 부분적으로 중첩되어 액정 소자의 저장 커패시터를 형성한다.
- [0021] 박막 트랜지스터(106)에 포함된 산화물 반도체층(103)은 제1 배선(101) 위에 게이트 절연막(도시하지 않음)을 개재하여 설치되어 있다. 산화물 반도체층(103)은 제1 배선(101)이 설치된 영역의 가장자리를 넘어 연장된다.
- [0022] "A가 B의 가장자리를 넘어 연장된다"라는 것은, 적층된 A와 B를 상면도에서 볼 때, A와 B의 가장자리가 정렬되지 않고 A의 가장자리가 B의 가장자리의 외측에 있도록 A가 외측으로 연장되는 것을 의미한다.
- [0023] 도 1b는 도 1a에 있어서의 일점 쇄선 A1-A2를 따른 단면 구조를 도시한다. 도 1b의 단면 구조에서, 기관(111) 위에는, 기초막(112)을 개재하여 게이트로서 기능하는 제1 배선(101) 및 커패시터선(104)이 설치되어 있다. 제1 배선(101) 및 커패시터선(104)을 덮도록 게이트 절연막(113)이 설치되어 있다. 게이트 절연막(113) 위에는 산화물 반도체층(103)이 설치되어 있다. 산화물 반도체층(103) 위에는 제2 배선(102A) 및 제3 배선(102B)이 설치되어 있다. 산화물 반도체층(103), 제2 배선(102A) 및 제3 배선(102B) 위에는 패시베이션막으로서 기능하는 산화물 절연층(114)이 설치되어 있다. 산화물 절연층(114)에는 개구부가 형성되어 있다. 개구부에 있어서 화소 전극(105)과 제3 배선(102B)이 서로 접속된다. 제3 배선(102B)과 커패시터선(104)은 게이트 절연막(113)을 유전체로서 사용하여 커패시터를 구성하고 있다.
- [0024] 도 1a와 도 1b에 도시한 화소는, 도 7에 도시한 바와 같이 기관(700) 위에 복수의 화소(701)로서 매트릭스 형상으로 배치된다는 점에 주목한다. 도 7은, 기관(700) 위에 화소부(702), 주사선 구동 회로(703) 및 신호선 구동 회로(704)가 배치된 구조를 도시한다. 화소(701)가 선택 상태에 있는지 또는 비선택 상태에 있는지는, 주사선 구동 회로(703)에 접속된 제1 배선(101)으로부터 공급되는 주사 신호에 따라 행마다 결정된다. 주사 신호에 의해 선택되는 화소(701)에는, 신호선 구동 회로(704)에 접속된 제2 배선(102A)으로부터 비디오 전압(화상 신호, 비디오 신호, 또는 비디오 데이터라고도 함)이 공급된다.
- [0025] 도 7은, 주사선 구동 회로(703)와 신호선 구동 회로(704)가 기관(700) 위에 설치되는 구조를 도시하고 있으나, 다른 방안으로, 주사선 구동 회로(703)와 신호선 구동 회로(704) 중 하나가 기관(700) 위에 설치되어도 된다. 화소부(702)만이 기관(700) 위에 설치되어도 된다.

- [0026] 도 7은 화소부(702)에 복수의 화소(701)가 매트릭스 형상(스트라이프)으로 배치되는 일례를 도시하고 있다. 화소들(701)은 반드시 매트릭스 형상으로 배치될 필요는 없다는 점에 주목한다. 화소부(702)의 표시 방법으로서, 프로그래시브 방법 또는 인터레이스 방법을 채용할 수 있다. 컬러 표시할 때 화소에서 제어되는 색 요소들은, R(적색), G(녹색), B(청색)인 삼색으로 한정되지 않으며, 삼색보다 많은 색 요소들, 예를 들어, RGBW(W는 백색), 또는 옐로우, 시안, 마젠타 등을 하나 이상 추가한 RGB를 채용해도 된다. 또한, 표시 영역들의 크기는 색 요소들의 도트마다 달라도 된다.
- [0027] 도 7은 행 방향과 열 방향에 있어서 화소 수에 대응하는 제1 배선(101) 및 제2 배선(102A)을 도시하고 있다. 제1 배선(101) 및 제2 배선(102A)의 수는 하나의 화소에 포함된 부화소(sub-pixel)의 수 또는 화소 내의 트랜지스터의 수에 따라 증가할 수 있다는 점에 주목한다. 제1 배선(101) 및 제2 배선(102A)이 일부 화소를 공유하여 화소(701)를 구동해도 된다.
- [0028] 도 1a는 제2 배선(102A)이 직사각형인 TFT를 도시하고 있지만, 대안으로, 제2 배선(102A)(구체적으로, 제2 배선(102A)이 U형 또는 C형)이 제3 배선(102B)을 둘러싸서 캐리어가 이동하는 영역의 면적을 증가시켜 전류량을 증가시키기도 된다는 점에 주목한다.
- [0029] 박막 트랜지스터(106)로 되는 영역 이외의 제1 배선(101)의 폭은, 제1 배선(101)이 부분적으로 좁아지도록 감소되어도 된다는 점에 주목한다. 제1 배선의 폭을 작게 함으로써, 화소의 개구율을 증가시킬 수 있다.
- [0030] 개구율은 화소당 광이 투과되는 영역의 면적을 나타낸다는 점에 주목한다. 따라서, 광을 투과하지 않는 부재가 차지하는 영역이 커지면 개구율이 감소되지만, 광이 투과되는 부재가 차지하는 영역이 커지면 개구율이 증가된다. 액정 표시 장치에서, 개구율은 화소와 중첩되는 배선과 커패시터 선이 차지하는 면적의 감소에 의해 그리고 박막 트랜지스터의 크기 감소에 의해 증가된다.
- [0031] 박막 트랜지스터는 게이트, 드레인, 소스인 적어도 세 개의 단자를 갖는 소자이다. 박막 트랜지스터는 드레인 영역과 소스 영역 사이에 채널 영역을 갖고, 드레인 영역, 채널 영역, 및 소스 영역을 통해 전류가 흐를 수 있다. 여기서, 트랜지스터의 소스와 드레인은, 트랜지스터의 구조, 동작 조건 등에 따라 변경될 수 있으므로, 어느 것이 소스 또는 드레인인지를 정의하는 것은 곤란하다. 따라서, 소스 또는 드레인으로서 기능하는 영역을 소스 또는 드레인이라고 칭하지 않는 경우가 있다. 이 경우, 일례로, 소스와 드레인 중 하나를 제1 단자, 제1 전극, 또는 제1 영역이라 하고 소스와 드레인 중 나머지 하나를 제2 단자, 제2 전극, 또는 제2 영역이라 하는 경우가 있다.
- [0032] 다음으로, 도 1a와 도 1b에 도시한 상면도 및 단면도에 따라 화소를 제조하는 방법을 도 2a 내지 도 2d를 참조하여 설명한다.
- [0033] 투광 기관(111)으로서 유리 기관을 사용할 수 있다. 도 2a는, 기관(111) 위에 기관(111)으로부터의 불순물의 확산을 방지하거나 기관(111) 위에 설치되는 소자와 기관(111) 간의 밀착성을 개선하도록 기초막(112)을 설치하는 구성을 도시하고 있다. 기초막(112)은 반드시 설치할 필요는 없다는 점에 주목한다.
- [0034] 다음으로, 도전층을 기관(111)의 전체 면 위에 형성한다. 그 후, 제1 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여, 제1 배선(101)과 커패시터선(104)을 형성한다. 이때, 제1 배선(101)과 커패시터선(104)의 적어도 가장자리가 테이퍼 형상으로 되도록 에칭을 행한다. 도 2a는 이 단계에서의 단면도를 도시한다.
- [0035] 제1 배선(101) 및 커패시터선(104)은 알루미늄(Al)이나 구리(Cu) 등의 저저항(low-resistance) 도전 재료로 형성되는 것이 바람직하다. 알루미늄만을 사용하게 되면 내열성이 낮고 부식되기 쉽다는 등의 단점이 있으므로, 알루미늄을 내열성 도전 재료와 함께 사용한다. 내열성 도전 재료로는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오뮴(Nd), 및 스칸뮴(Sc)으로부터 선택되는 원소, 이러한 원소들 중 임의의 것을 성분으로서 함유하는 합금, 또는 이러한 원소들 중 임의의 것을 성분으로서 함유하는 질화물을 사용할 수 있다.
- [0036] 잉크젯 방법이나 인쇄 방법을 사용하여 TFT에 포함된 배선 등을 형성할 수 있다. 따라서, 배선 등은 실온에서 형성될 수 있고, 저 진공으로 형성될 수 있고, 또는 대형 기관을 이용하여 형성될 수 있다. 포토마스크를 사용하지 않고 배선 등을 제조할 수 있으므로, 트랜지스터의 레이아웃을 용이하게 변경할 수 있다. 또한, 레지스트를 사용할 필요가 없으므로, 재료 비용이 줄어들고 공정 수를 줄일 수 있다. 또한, 잉크젯 방법이나 인쇄 방법을 사용하여 레지스트 마스크 등을 형성할 수도 있다. 잉크젯 방법이나 인쇄 방법을 사용하여 레지스트를 필요한 부분 위에만 형성하고 노광 및 현상에 의해 레지스트 마스크를 형성함으로써, 전체 면에 걸쳐 레지스트를 형

성하는 경우보다 비용을 줄일 수 있다.

- [0037] 다계층 마스크를 사용하여 복수(통상, 2종류)의 두께의 영역을 갖는 레지스트 마스크를 형성하여, 배선 등을 형성해도 된다.
- [0038] 이어서, 제1 배선(101) 및 커패시터선(104)의 전체 면에 걸쳐 절연막(이하, 게이트 절연막(113)이라 함)을 성막한다. 게이트 절연막(113)은 스퍼터링법 등에 의해 형성된다.
- [0039] 예를 들어, 게이트 절연막(113)으로서, 스퍼터링법에 의해 산화실리콘막을 형성한다. 물론, 게이트 절연막(113)은, 이러한 산화실리콘막으로 한정되지 않으며, 산화질화실리콘막, 질화실리콘막, 산화알루미늄막, 산화탄탈막 등의 다른 절연의 단층 구조 또는 적층 구조로 형성되어도 된다.
- [0040] 산화물 반도체를 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하여, 게이트 절연막(113)의 표면에 부착되어 있는 먼지를 제거하는 것이 바람직하다는 점에 주목한다. 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기 등을 이용해도 된다는 점에 주목한다. 아르곤 분위기에 산소, N₂O 등을 첨가한 분위기를 이용해도 된다. 대안으로, 아르곤 분위기에 Cl₂, CF₄ 등을 첨가한 분위기를 이용해도 된다.
- [0041] 게이트 절연막(113)의 표면에 플라즈마 처리를 행한 후, 산화물 반도체를 대기에 노출시키지 않고 게이트 절연막(113) 위에 성막한다. 산화물 반도체를 트랜지스터의 반도체층으로서 사용함으로써, 아몰퍼스 실리콘 등의 실리콘계 반도체 재료를 사용하는 경우의 전계 효과 이동도보다 전계 효과 이동도를 높게 할 수 있다. 산화물 반도체의 예로는, 산화아연(ZnO) 및 산화주석(SnO₂)이 있다. 또한, ZnO에 In, Ga 등을 첨가할 수 있다.
- [0042] 산화물 반도체로서 InMO₃(ZnO)_x(x>0)로 표기되는 박막을 사용할 수 있다. M은 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn) 및 코발트(Co)로부터 선택되는 금속 원소들 중 하나 이상을 나타낸다. 예를 들어, M은, Ga를 나타내는 경우가 있고, Ga(Ga과 Ni 또는 Ga과 Fe)에 더하여 Ni 또는 Fe 등의 상술한 금속 원소를 나타내는 경우도 있다. 또한, 산화물 반도체는, M으로서 포함되는 금속 원소 외에, 불순물 원소로서 Fe, Ni 등의 천이 금속 원소, 또는 상술한 천이 금속의 산화물을 포함할 수 있다. 예를 들어, 산화물 반도체층으로서 In-Ga-Zn-O계 막을 사용할 수 있다.
- [0043] 산화물 반도체(InMO₃(ZnO)_x(x>0)막]로서, In-Ga-Zn-O계 막 대신에, M을 다른 금속 원소로 하는 InMO₃(ZnO)_x(x>0)막을 사용해도 된다. 이 외에도, 산화물 반도체로서, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체, In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, In-O계 산화물 반도체, Sn-O계 산화물 반도체, 및 Zn-O계 산화물 반도체를 사용할 수 있다.
- [0044] 본 실시 형태에서는, 산화물 반도체로서 In-Ga-Zn-O계 산화물 반도체를 사용한다. 여기서는, In₂O₃, Ga₂O₃, ZnO를 1:1:1의 비율로 함유한 타겟을 사용한다. 산화물 반도체를, 기판과 타겟 사이의 거리 100mm, 압력 0.6 Pa, 직류(DC) 전원 0.5kW, 산소(산소의 유속은 100%) 분위기라는 조건 하에서 성막한다. 펄스형 직류(DC) 전원을 사용하면, 성막 시에 발생하는 분말 물질(파티클 또는 먼지라고도 함)을 감소시킬 수 있고 막 두께 분포가 균일해지므로 바람직하다.
- [0045] 산화물 반도체를 성막하는 데 사용되는 챔버는 역스퍼터링을 먼저 행한 챔버와 동일해도 되고 달라도 된다.
- [0046] 스퍼터링법의 예로는, 스퍼터링 전원으로서 고주파 전원을 사용하는 RF 스퍼터링법, 직류 전원을 사용하는 DC 스퍼터링법, 펄스식으로 바이어스를 가하는 펄스형 DC 스퍼터링법이 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 사용되고, DC 스퍼터링법은 주로 금속막을 성막하는 경우에 사용된다.
- [0047] 또한, 재료가 서로 다른 복수의 타겟을 설치할 수 있는 다원 스퍼터링 장치도 있다. 다원 스퍼터링 장치를 사용하면, 동일 챔버에서 서로 다른 재료막들을 적층하여 성막할 수 있고, 또는 동일 챔버에서 복수 종류의 재료를 방전에 의해 동시에 성막할 수 있다.
- [0048] 또한, 챔버 내부에 자석계가 설치되어 마그네트론 스퍼터링법을 이용하는 스퍼터링 장치, 글로우 방전을 사용하지 않고 마이크로파를 사용하여 발생하는 플라즈마를 사용하는 ECR 스퍼터링법을 이용하는 스퍼터링 장치가 있다.
- [0049] 또한, 스퍼터링법에 의한 성막 방법의 예로는, 성막 중에 타겟 물질과 스퍼터 가스 성분을 화학 반응시켜 이들의 화합물 박막을 형성하는 리액티브 스퍼터링법, 및 성막 중에 기판에도 전압을 가하는 바이어스 스퍼터링법이

있다.

- [0050] 이어서, 산화물 반도체층에 대하여 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 행하는 제1 열처리의 온도는 400℃ 이상 750℃ 미만이며, 바람직하게는 425℃ 이상 750℃ 미만이다. 열처리 온도가 425℃ 이상이면 열처리는 1시간 이하 동안 행해질 수 있지만, 열처리 온도가 425℃ 미만이면 열처리 시간은 1시간보다 긴 장시간 행해진다. 여기서, 열처리 장치들 중 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대한 열처리를 질소 분위기 하에서 행한다. 이어서, 산화물 반도체를 대기에 노출시키지 않고, 물이나 수소가 산화물 반도체층 내에 진입하는 것을 방지하여, 산화물 반도체층을 얻게 된다. 본 실시 형태에서는, 산화물 반도체층의 탈수화 또는 탈수소화를 행하는 가열 온도(T)부터 물의 진입을 방지할 정도로 충분한 낮은 온도까지 하나의 노(furnace)에서 서냉(slow cooling)을 행하고, 특히, 온도가 가열 온도(T)로부터 100℃ 이상 내려갈 때까지 질소 분위기 하에서 서냉을 행한다. 질소 분위기로 한정되지 않고, 회가스(예를 들어, 헬륨, 네온, 또는 아르곤) 분위기 하에서 탈수화 또는 탈수소화를 행해도 된다.
- [0051] 열처리 장치는, 전기로로 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 구비해도 된다. 예를 들어, GRTA(Gas Rapid Thermal Annealing) 장치, LRTA(Lamp Rapid Thermal Annealing) 장치 등의 RTA(Rapid Thermal Annealing) 장치를 사용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프 등의 램프로부터 방출되는 광(전자기파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는 고온 가스를 사용하여 열처리를 행하는 장치이다. 가스로는, 열처리에 의해 피처리물과 거의 반응하지 않는 불활성 가스로서, 예를 들어, 질소, 또는 아르곤 등의 회가스가 사용된다.
- [0052] 산화물 반도체층을 400℃ 이상 750℃ 미만의 온도에서 열처리함으로써, 산화물 반도체층의 탈수화 또는 탈수소화를 달성할 수 있고, 따라서, 그 후에 물(H₂O)이 산화물 반도체층에 다시 포함되는 것을 방지할 수 있다.
- [0053] 제1 열처리에서는, 질소, 또는 헬륨, 네온, 아르곤 등의 회가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 열처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 회가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0054] 제1 열처리의 조건, 또는 산화물 반도체층의 재료에 따라, 산화물 반도체층이 미결정막(microcrystalline film) 또는 다결정막으로 결정화될 수 있다는 점에 주목한다. 예를 들어, 산화물 반도체층은, 결정화율이 90% 이상, 또는 80% 이상인 미결정 산화물 반도체막으로 될 수 있다. 또한, 산화물 반도체층은, 제1 열처리의 조건, 또는 산화물 반도체층의 재료에 따라, 결정 성분을 포함하지 않는 비정질 산화물 반도체막으로 될 수도 있다.
- [0055] 탈수화 또는 탈수소화를 위한 제1 열처리 후에, 산화물 반도체층은 산소 결핍형으로 되고, 산화물 반도체층의 저항은 감소된다. 제1 열처리 후의 산화물 반도체층의 캐리어 농도는 성막 직후의 산화물 반도체막의 캐리어 농도보다 높고, 산화물 반도체층은 바람직하게 1×10¹⁸/cm³ 이상의 캐리어 농도를 갖는다.
- [0056] 이어서, 제2 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여, 산화물 반도체를 이용하여 형성되는 산화물 반도체층(103)을 형성한다. 산화물 반도체층(103)에 대한 제1 열처리는 아직 섬 형상의 산화물 반도체층으로 가공되지 않은 산화물 반도체막에 대하여 행할 수 있다. 이때의 에칭 방법으로는, 웨트 에칭 또는 드라이 에칭을 사용한다. 도 2b는 이 단계에서의 단면도이다.
- [0057] 이어서, 산화물 반도체층 위에 금속 재료로 된 도전막을 스퍼터링법이나 진공 증착법에 의해 형성한다. 도전막의 재료의 예로는, Al, Cr, Ta, Ti, Mo, W로부터 선택되는 원소, 상술한 원소들 중 임의의 것을 성분으로 포함하는 합금, 및 상술한 원소들 중 임의의 것의 조합을 포함하는 합금이 있다. 또한, 200℃ 내지 600℃의 열처리를 행하는 경우에는, 이러한 열처리에 견디는 내열성을 도전막이 갖는 것이 바람직하다. Al만을 사용하게 되면, 내열성이 떨어지고 부식되기 쉬운 등의 단점이 있으므로, 알루미늄을 내열성 도전 재료와 함께 사용한다. Al과 함께 사용되는 내열성 도전 재료로는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오듐(Nd), Sc(스칸듐)으로부터 선택되는 원소, 상술한 원소들 중 임의의 것을 성분으로 하는 합금, 및 상술한 원소들의 조합을 포함하는 합금, 및 상술한 원소들 중 임의의 것을 성분으로 하는 질화물을 사용할 수 있다.
- [0058] 여기서, 도전막은 티타늄막의 단층 구조로 갖는다. 도전막은 2층 구조를 가져도 되고, 티타늄막이 알루미늄막 위에 적층되어도 있다. 대안으로, 도전막은, Ti막, Nd를 포함하는 알루미늄(Al-Nd)막, 및 Ti막을 순서대로 적층한 3층 구조를 가져도 된다. 도전막은 실리콘을 포함하는 알루미늄막의 단층 구조를 가져도 된다.

- [0059] 이어서, 제3 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여, 도전막으로 된 제2 배선(102A)과 제3 배선(102B)을 형성한다. 이때의 에칭 방법으로는 웨트 에칭 또는 드라이 에칭을 사용한다. 예를 들어, 암모니아 과산화 혼합물(31중량%의 과산화수소: 28중량%의 암모니아: 물 = 5: 2: 2)을 사용하는 웨트 에칭에 의해 Ti의 도전막을 에칭하면, 제2 배선(102A)과 제3 배선(102B)을 부분적으로 에칭하면서 산화물 반도체층(103)을 잔존시킬 수 있다. 도 2c는 이 단계에서의 단면도이다.
- [0060] 산화물 반도체층의 노출 영역은 에칭 조건에 따라 제3 포토리소그래피 공정에서 에칭되는 경우가 있다. 이 경우, 제2 배선(102A)과 제3 배선(102B) 사이의 영역의 산화물 반도체층(103)의 두께는, 제1 배선(101) 위에서 제2 배선(102A) 또는 제3 배선(102B)과 중첩되는 영역의 제1 산화물 반도체층(103)의 두께보다 작다.
- [0061] 이어서, 게이트 절연막(113), 산화물 반도체층(103), 제2 배선(102A), 및 제3 배선(102B) 위에 산화물 절연층(114)을 형성한다. 이 단계에서, 산화물 반도체층(103)의 일부는 산화물 절연층(114)과 접한다. 산화물 반도체층(103)이 게이트 절연막(113)을 개재하여 제1 배선(101)과 중첩되는 영역이 채널 형성 영역으로서 기능한다는 점에 주목한다.
- [0062] 산화물 절연층(114)은, 스퍼터링법 등의, 산화물 절연층 내에 물 또는 수소 등의 불순물이 혼합되지 않게 하는 방법에 의해 적어도 1nm의 두께로 적절히 형성될 수 있다. 본 실시 형태에서는, 스퍼터링법에 의해 실리콘 산화막을 산화물 절연층으로서 성막한다. 성막 시의 기판 온도는 실온 이상 300℃ 이하이고, 본 실시 형태에서는 100℃이다. 실리콘 산화막은, 희가스(통상, 아르곤) 분위기, 산소 분위기, 또는 희가스(통상, 아르곤)와 산소의 혼합 분위기 하에서 스퍼터링법에 의해 형성될 수 있다. 타겟으로는, 실리콘 산화물 타겟 또는 실리콘 타겟을 사용할 수 있다. 예를 들어, 실리콘 타겟을 사용하여, 산소 및 희가스의 분위기에서 스퍼터링법에 의해 실리콘 산화막을 형성할 수 있다. 저항이 감소된 산화물 반도체층과 접하면서 형성되는 산화물 절연층으로는, 수분, 수소 이온, OH⁻ 등의 불순물을 포함하지 않고 이러한 불순물이 외부로부터 진입하는 것을 차단하는 무기 절연막을 사용한다. 특히, 실리콘 산화막, 질화실리콘 산화막, 산화알루미늄막, 또는 산화질화알루미늄막을 사용한다. 스퍼터링법에 의해 형성된 산화물 절연층은 특히 조밀하고, 산화물 절연층의 단층이라도 불순물이 접하여 확산하는 것을 방지하기 위한 보호막으로서 사용될 수 있다는 점에 주목한다. 인(P)이나 붕소(B)를 도핑한 타겟을 사용하여, 산화물 절연층에 인(P)이나 붕소(B)를 첨가할 수도 있다.
- [0063] 본 실시 형태에서는, 순도가 6N이고 저항이 저항값 0.01Ωcm인 기동형상 다결정 붕소 도핑된 실리콘 타겟을 사용하여, 기판과 타겟 사이의 거리(T-S 거리) 89mm, 압력 0.4Pa, 직류(DC) 전원 6kW, 산소(산소 유속 100%) 분위기라는 조건에서, 펄스형 DC 스퍼터링법에 의해 산화물 절연층(114)을 성막한다. 산화물 절연층(114)의 두께는 300nm이다.
- [0064] 산화물 절연층(114)은 산화물 반도체층의 채널 형성 영역으로서 기능하는 영역 위에 접하여 설치되고, 또한 채널 보호층으로서 기능한다.
- [0065] 이어서, 제2 열처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들어, 250℃ 이상 350℃ 이하)를 불활성 가스 분위기 또는 질소 가스 분위기 하에서 행해도 된다. 예를 들어, 질소 분위기 하에서 250℃에서 1시간 동안 제2 열처리를 행한다. 제2 열처리를 행하는 경우, 산화물 반도체층(103)의 일부가 산화물 절연층(114)과 접한 상태에서 가열을 행한다.
- [0066] 제1 열처리에서 저항이 감소된 산화물 반도체층(103)이 산화물 절연층(114)과 접한 상태에서 제2 열처리가 실시되면, 산화물 절연층(114)과 접한 영역은 산소 과잉 상태로 된다. 따라서, 산화물 반도체층(103)의 산화물 절연층(114)과 접하는 영역은 산화물 반도체층(103)의 깊이 방향을 향하여 i형 영역(즉, 그 영역의 저항이 증가함)으로 된다.
- [0067] 이어서, 제4 포토리소그래피 공정에 의해 산화물 절연층(114)에 개구부(121)를 형성하고, 투광성을 갖는 도전막을 성막한다. 투광성을 갖는 도전막은, 스퍼터링법, 진공 증착법 등에 의해, 산화인듐(In₂O₃), 산화인듐과 산화주석의 합금(In₂O₃-SnO₂, ITO로 약기함) 등을 사용하여 형성한다. 대안으로, 질소를 포함하는 Al-Zn-O계 막, 즉, Al-Zn-O-N계 막, 질소를 포함하는 Zn-O계 막, 또는 질소를 포함하는 Sn-Zn-O계 막을 사용해도 된다. Al-Zn-O-N계 막의 아연의 조성비(원자%)는 47원자% 이하이고, 막 중의 알루미늄의 조성비(원자%)보다 크고, 막 중의 알루미늄의 조성비(원자%)는 막 중의 질소의 조성비(원자%)보다 크다는 점에 주목한다. 이와 같은 재료의 에칭 처리는 염산계 용액에 의해 행한다. 그러나, 특히, ITO의 에칭시 잔여물이 발생하기 쉬우므로, 에칭 가공성을 개선하기 위해 산화인듐과 산화아연의 합금(In₂O₃-ZnO)을 사용해도 된다.

- [0068] 투광성을 갖는 도전막의 조성비의 단위는 원자 퍼센트(atomic%)이고, 전자 프로브 X-선 마이크로에널라이저 (EPMA: electron probe X-ray microanalyzer)를 사용하는 분석에 의해 평가하는 것으로 한다는 점에 주목한다.
- [0069] 이어서, 제5 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여, 화소 전극(105)을 형성한다. 도 2d는 이 단계에서의 단면도이다.
- [0070] 이러한 방식으로, 박막 트랜지스터(106)를 포함하는 화소를 제조할 수 있다. 또한, 화소들을 매트릭스 형상으로 배치하여 화소부를 구성함으로써, 액티브 매트릭스형 액정 표시 장치를 제조하기 위한 기관들 중 하나를 얻을 수 있다. 본 명세서에서는, 편의상 이러한 기관을 액티브 매트릭스 기관이라고 한다.
- [0071] 액티브 매트릭스형 액정 표시 장치에 있어서는, 매트릭스 형상으로 배치된 화소 전극들을 구동함으로써, 화면 위에 표시 패턴이 형성된다는 점에 주목한다. 구체적으로, 선택된 화소 전극과 이 화소 전극에 대응하는 대향 전극 사이에 전압을 인가함으로써, 화소 전극과 대향 전극 사이에 배치된 액정층이 광학 변조되고, 이 광학 변조가 관찰자에 의해 표시 패턴으로서 인식된다. 액정 소자 등의 표시 소자는 화소 전극(105) 위에 설치된다.
- [0072] 도 1a와 도 1b 및 도 2a 내지 도 2d에서 설명한 본 실시 형태의 구조에 의한 이점들은 도 3a와 도 3b를 참조하여 상세하게 설명한다.
- [0073] 도 3a와 도 3b는 도 1a의 상면도에서의 산화물 반도체층 근처의 확대도이다. 도 3a에서의 산화물 반도체층(103)의 폭(도 3a의 W1)을 증가시킨 도면이, 도 3b의 산화물 반도체층(103)의 폭(도 3b의 W2)을 도시하는 도 3b에 대응한다.
- [0074] 도 3a와 도 3b에 도시한 바와 같이, 본 실시 형태에 있어서의 도 1a의 화소의 상면도에서는, 제1 배선(101)으로부터 배선을 분기시키는 일 없이 제1 배선(101) 위에 산화물 반도체층(103)을 설치하고 있다. 산화물 반도체층에서의 제2 배선(102A)과 제3 배선(102B) 사이에 형성되는 채널 영역은 제1 배선(101)과 중첩되는 영역에 형성된다. 채널 영역에 광이 조사되면 TFT의 특성이 변할 수 있으므로, 산화물 반도체층(103)은 제1 배선(101)으로부터 분기한 배선에 의해 확실하게 차광될 필요가 있으며, 이에 따라 화소의 개구율이 감소된다. 반면에, 제1 배선(101)과 중첩하도록 산화물 반도체층을 설치하고 제1 배선(101)으로부터 분기한 배선을 형성하지 않는 본 실시 형태의 구조에 의해, 개구율을 증가시킬 수 있다. 또한, 박막 트랜지스터의 반도체층으로서 투광성을 갖는 산화물 반도체층을 사용함으로써, 산화물 반도체층이 제1 배선(101)과 중첩하는 영역으로부터 어긋나 화소 전극(105)과 중첩하게 되어도, 개구율을 감소시키지 않고 표시를 행할 수 있다.
- [0075] 소정의 사이즈보다 큰 패턴으로 산화물 반도체층을 형성함으로써, 의도한 위치로부터 다소 어긋난 부분에 산화물 반도체층이 형성되더라도, 동작 불량 및 개구율의 감소 없이 양호한 표시를 행할 수 있다. 액정 표시 장치의 액티브 매트릭스 기관을 쉽게 제조할 수 있고, 수율을 증가시킬 수 있다.
- [0076] 진술한 바와 같이, 본 실시 형태에서 설명한 구조는 산화물 반도체를 사용하는 박막 트랜지스터를 구비하는 화소의 개구율을 증가시킬 수 있다. 따라서, 액정 표시 장치는 고 해상도의 표시부를 포함할 수 있다.
- [0077] 본 실시 형태는 다른 실시 형태들에 기재한 구조들 중 임의의 것과 적절하게 조합하여 실시하는 것이 가능하다.
- [0078] (실시 형태 2)
- [0079] 이하, 실시 형태 1과는 다른 구조를 갖는 TFT를 포함하는 표시 장치의 화소를 설명한다.
- [0080] 도 4a는 실시 형태 1의 구조와는 다른 구조를 갖는 화소의 상면도이다. 도 4a에 도시하는 TFT는, 게이트로서 기능하는 배선으로부터 볼 때, 채널 영역으로서 기능하는 산화물 반도체층의 반대측에 TFT의 소스 전극 및 드레인 전극으로서 기능하는 배선층이 설치된, 소위 역스태거형 구조라 하는 일종의 보텀 게이트형 구조이다.
- [0081] 도 4a에 도시하는 화소(400)는 주사선으로서 기능하는 제1 배선(401), 신호선으로서 기능하는 제2 배선(402A), 산화물 반도체층(403), 커패시터선(404), 및 화소 전극(405)을 포함한다. 또한, 화소(400)는 산화물 반도체층(403)과 화소 전극(405)을 전기적으로 접속하기 위한 제3 배선(402B)을 포함하고, 이에 따라 박막 트랜지스터(406)가 형성된다. 제1 배선(401)은 또한 박막 트랜지스터(406)의 게이트로서 기능한다. 제2 배선(402A)은 또한 박막 트랜지스터(406)의 소스 전극과 드레인 전극 중 하나로서 기능한다. 제3 배선(402B)은 박막 트랜지스터(406)의 소스 전극과 드레인 전극 중 나머지 하나 및 저장 커패시터의 한쪽 전극으로서 기능한다. 커패시터선(404)은 저장 커패시터의 다른 쪽 전극으로서 기능하는 배선이다.
- [0082] 제1 배선(401)과 커패시터선(404)은 동일한 층으로부터 형성되고, 제2 배선(402A)과 제3 배선(402B)이 동일한 층으로부터 형성된다는 점에 주목한다. 또한, 제3 배선(402B)과 커패시터선(404)은 부분적으로 서로 중첩하여

액정 소자의 저장 커패시터를 형성하고 있다. 박막 트랜지스터(406)에 포함된 산화물 반도체층(403)은, 제1 배선(401) 위에 게이트 절연막(도시하지 않음)을 개재하여 설치되어 있고, 제1 배선(401)이 설치된 영역의 가장자리를 넘어 연장된다는 점에 주목한다.

- [0083] 도 4b는 도 4a의 1점 쇄선 A1-A2를 따라 절취한 단면 구조에 대해 도시하고 있다. 도 4b에 도시한 단면 구조에서, 기판(411) 위에는, 기초막(412)을 개재하여 게이트로서 기능하는 제1 배선(401) 및 커패시터선(404)이 설치되어 있다. 제1 배선(401) 및 커패시터선(404)을 덮도록 게이트 절연막(413)이 설치되어 있다. 게이트 절연막(413) 위에는 산화물 반도체층(403)이 설치되어 있다. 산화물 반도체층(403) 위에는 제2 배선(402A)과 제3 배선(402B)이 설치되어 있다. 산화물 반도체층(403), 제2 배선(402A) 및 제3 배선(402B) 위에는 패시베이션막으로서 기능하는 산화물 절연층(414)이 설치되어 있다. 산화물 절연층(414)에는 개구부가 형성되어 있다. 개구부에서는 화소 전극(405)과 제3 배선(402B)이 접촉된다. 제3 배선(402B)과 커패시터선(404)은 게이트 절연막(413)을 유전체로서 이용하여 커패시터를 형성한다.
- [0084] 실시 형태 1의 도 1a와 도 1b에서의 설명과 마찬가지로, 도 4a와 도 4b에 도시하는 화소는, 도 7의 기판(700) 위에 매트릭스 형상의 복수의 화소(701)로서 배치되는 것이다. 도 7에 관한 설명은 실시 형태 1과 마찬가지로이다.
- [0085] 또한, 도 4b에 도시하는 단면도는 도 1b에 도시한 단면도와 마찬가지로이고, 화소를 형성하는 방법의 설명은 실시 형태 1에서의 도 2a 내지 도 2d의 설명과 마찬가지로이다.
- [0086] 도 4a와 도 4b에서 설명한 본 실시 형태의 구조에 의한 이점은 도 5a와 도 5b를 참조하여 상세하게 설명한다.
- [0087] 도 5a와 도 5b는 도 4a의 상면도에서의 산화물 반도체층 근방의 확대도이다. 도 5a에서의 산화물 반도체층(403)의 폭(도 5a의 W1)을 증가시킨 도면이, 산화물 반도체층(403)의 폭(도 5b의 W2)을 도시하는 도 5b에 대응한다.
- [0088] 도 5a와 도 5b에 도시한 바와 같이, 본 실시 형태에서의 도 4a의 화소의 상면도에서는, 제1 배선(401)으로부터 배선을 분기하지 않고 제1 배선(401) 위에 산화물 반도체층(403)을 설치하고 있다. 산화물 반도체층에서의 제2 배선(402A)과 제3 배선(402B) 사이에 형성되는 채널 영역은 제1 배선(401)과 중첩되는 영역에 형성된다. 또한, 본 실시 형태에서 산화물 반도체층(403)은 제1 배선(401) 위의 게이트 절연막을 넘어 연장되며, 제2 배선(402A) 및 제3 배선(402B)에 접한다. 채널 영역에 광이 조사될 때 TFT의 특성이 변할 수 있으므로, 산화물 반도체층(403)을 제1 배선(401)으로부터 분기한 배선에 의해 확실하게 차광할 필요가 있으며, 이에 따라 화소의 개구율이 감소된다. 반대로, 제1 배선(401)과 중첩하도록 산화물 반도체층을 설치하고 제1 배선(401)으로부터 분기한 배선을 형성하지 않고, 제1 배선(401) 위의 게이트 절연막을 넘어 제2 배선(402A) 및 제3 배선(402B)을 산화물 반도체층(403)에 접하도록 연장하는 본 실시 형태의 구조에 의해, 개구율을 증가시킬 수 있다. 또한, 박막 트랜지스터의 반도체층으로서 투광성을 갖는 산화물 반도체층을 사용함으로써, 산화물 반도체층이 제1 배선(401)과 중첩되는 의도 영역으로부터 이동하여 화소 전극(405)과 중첩되더라도, 개구율이 감소되지 않고 표시를 행할 수 있다.
- [0089] 도 4a에 도시하는 제1 배선(401) 위로 연장되는 제2 배선(402A) 및 제3 배선(402B)은 제1 배선(401)과 중첩된다는 점에 주목한다. 제2 배선(402A) 및 제3 배선(402B)은 구불구불한 패턴으로 배치되어도 되고 또는 직선 형상으로 배치되어도 된다.
- [0090] 소정의 사이즈보다 큰 패턴으로 산화물 반도체층을 형성함으로써, 의도 위치로부터 다소 어긋난 부분에 산화물 반도체층이 형성되더라도, 동작 불량 및 개구율의 감소 없이 양호한 표시를 행할 수 있다. 액정 표시 장치의 액티브 매트릭스 기판을 쉽게 제조할 수 있고, 수율을 증가시킬 수 있다.
- [0091] 전술한 바와 같이, 본 실시 형태의 구조는 산화물 반도체를 사용하는 박막 트랜지스터를 구비하는 화소의 개구율을 증가시킬 수 있다. 따라서, 액정 표시 장치는 고 해상도의 표시부를 포함할 수 있다.
- [0092] 본 실시 형태는 다른 실시 형태들에 기재된 구조들 중 임의의 것과 적절하게 조합하여 실시하는 것이 가능하다.
- [0093] (실시 형태 3)
- [0094] 이하, 표시 장치의 화소가 실시 형태 1 및 2와는 다른 구조를 갖는 TFT를 포함하는 일례를 설명한다.
- [0095] 도 6a 내지 도 6c는 실시 형태 2의 구조와는 다른 구조를 갖는 화소의 상면도 및 단면도를 도시한다. 도 6a의 상면도 구조는, 도 4a의 상면도 구조와 마찬가지로이고, 따라서 그 설명을 생략한다는 점에 주목한다. 도 6b의

단면도 구조는, 제1 배선(401)과 제2 배선(402A) 사이에 절연층(601A)을 설치하고 제1 배선(401)과 제3 배선(402B) 사이에 절연층(601B)을 설치한다는 점에서 도 4b의 단면도 구조와 다르다. 도 6c는, 도 6a의 1점 쇄선 B1-B2를 따라 절취한 단면도이며, 커패시터선(404)과 제2 배선(402A) 사이에 절연층(601A)이 배치된 구조를 도시하고 있다.

[0096] 제1 배선(401) 및 커패시터선(404) 위에 제2 배선(402A) 및 제3 배선(402B)을 연장하는 경우, 게이트 절연막(413)의 막 두께에 따라, 제1 배선(401)과 제2 배선(402A) 사이, 제1 배선(401)과 제3 배선(402B) 사이, 및 커패시터선(404)과 제2 배선(402A) 사이에 기생 용량이 발생한다. 도 6b와 도 6c에 도시한 바와 같이 절연층(601A)과 절연층(601B)을 설치함으로써, 기생 용량을 감소시킬 수 있고, 오동작 등의 불량을 감소시킬 수 있다.

[0097] 전술한 바와 같이, 본 실시 형태의 구조는 산화물 반도체를 사용하는 박막 트랜지스터를 구비하는 화소의 개구율을 증가시킬 수 있다. 또한, 본 실시 형태에서는, 실시 형태 2의 이점에 더하여, 기생 용량을 감소시킬 수 있다. 따라서, 고 해상도의 표시부를 포함하고 또한 오동작 발생 가능성을 감소시킬 수 있는 액정 표시 장치를 제공할 수 있다.

[0098] (실시 형태 4)

[0099] 본 실시 형태에서는, 액정 표시 장치에 적용할 수 있는 화소의 구조 및 동작을 설명한다.

[0100] 도 8a는 액정 표시 장치에 적용할 수 있는 화소 구성의 일례를 도시한다. 화소(880)는 트랜지스터(881), 액정 소자(882) 및 커패시터(883)를 포함한다. 트랜지스터(881)의 게이트는 배선(885)에 전기적으로 접속된다. 트랜지스터(881)의 제1 단자는 배선(884)에 전기적으로 접속된다. 트랜지스터(881)의 제2 단자는 액정 소자(882)의 제1 단자에 전기적으로 접속된다. 액정 소자(882)의 제2 단자는 배선(887)에 전기적으로 접속된다. 커패시터(883)의 제1 단자는 액정 소자(882)의 제1 단자에 전기적으로 접속된다. 커패시터 소자(883)의 제2 단자는 배선(886)에 전기적으로 접속된다.

[0101] 배선(884)은 신호선으로서 기능할 수 있다. 신호선은 화소의 외부로부터 입력된 신호 전압을 화소(880)로 전달하기 위한 배선이다. 배선(885)은 주사선으로서 기능할 수 있다. 주사선은 트랜지스터(881)의 온/오프를 제어하기 위한 배선이다. 배선(886)은 커패시터선으로서 기능할 수 있다. 커패시터선은 커패시터(883)의 제2 단자에 소정의 전압을 인가하기 위한 배선이다. 트랜지스터(881)는 스위치로서 기능할 수 있다. 커패시터 소자(883)는 저장 커패시터로서 기능할 수 있다. 저장 커패시터는 스위치가 오프 상태에 있어도 신호 전압이 액정 소자(882)에 계속 인가되게 하는 커패시터이다. 배선(887)은 대향 전극으로서 기능할 수 있다. 대향 전극은 액정 소자(882)의 제2 단자에 소정의 전압을 인가하기 위한 배선이다. 각 배선의 기능은 상술한 바로 한정되지 않으며, 각 배선은 다양한 기능을 가질 수 있다는 점에 주목한다. 예를 들어, 커패시터선에 인가되는 전압을 변경함으로써, 액정 소자에 인가되는 전압을 조절할 수 있다.

[0102] 도 8b는 액정 표시 장치에 적용할 수 있는 화소 구성의 일례를 도시한다. 도 8b에 도시하는 화소 구성의 일례는, 배선(887)이 생략되고 액정 소자(882)의 제2 단자와 커패시터 소자(883)의 제2 단자가 서로 전기적으로 접속되어 있다는 점 외에는 도 8a에 도시하는 화소 구성과 동일하다. 도 8b에 도시하는 화소 구성의 일례는, 특히, 액정 소자가 (IPS 모드 및 FFS 모드를 포함하는) 횡전계 모드인 경우에 적용할 수 있다. 이는, 액정 소자가 횡전계 모드인 경우, 액정 소자(882)의 제2 단자 및 커패시터 소자(883)의 제2 단자를 동일한 기관 위에 형성할 수 있으므로, 액정 소자(882)의 제2 단자와 커패시터 소자(883)의 제2 단자를 전기적으로 쉽게 접속할 수 있기 때문이다. 도 8b에 도시한 화소 구성으로 함으로써, 배선(887)을 생략할 수 있고, 이에 따라 제조 공정을 간략화할 수 있으며 제조 비용을 감소시킬 수 있다.

[0103] 도 8a 또는 도 8b에 도시한 구조의 화소는 매트릭스 형상으로 복수 배치될 수 있다. 따라서, 액정 표시 장치의 표시부가 형성되고, 다양한 화상을 표시할 수 있다. 도 9a는 도 8a에 도시하는 구조를 갖는 복수의 화소가 매트릭스 형상으로 배치되어 있는 경우의 회로 구성을 도시한다. 도 9a는 표시부에 포함된 복수의 화소 중 4개의 화소를 도시하는 회로도이다. i 열 j 행(i, j 는 각각 자연수)에 위치하는 화소를 화소(880 $_i, j$)로 표기하고, 화소(880 $_i, j$)에는 배선(884 $_i$), 배선(885 $_j$), 배선(886 $_j$)이 전기적으로 접속된다. 마찬가지로, 화소(880 $_i+1, j$)는 배선(884 $_i+1$), 배선(885 $_j$), 배선(886 $_j$)에 전기적으로 접속된다. 마찬가지로, 화소(880 $_i, j+1$)는 배선(884 $_i$), 배선(885 $_j+1$), 배선(886 $_j+1$)에 전기적으로 접속된다. 마찬가지로, 화소(880 $_i+1, j+1$)는 배선(884 $_i+1$), 배선(885 $_j+1$), 배선(886 $_j+1$)에 전기적으로 접속된다. 각 배선은 하나의 열 또는 하나의 행의 복수의 화소에 의해 공유될 수 있다는 점에 주목한다. 도 9a에 도시하는 화소 구성에 있어서, 배선(887)은 대향 전극이다. 대향 전극은 모든 화소에 있어서 공통이므로, 배선(887)에 대해서는 자연수 i 또는 j

에 의한 표기하지 않는다. 또한, 도 8b의 화소 구성을 사용하는 것도 가능하므로, 배선(887)이 기재되어 있는 구조에서도 배선(887)은 필수가 아니고, 예를 들어, 다른 배선이 배선(887)으로서 기능하는 경우 배선(887)을 생략할 수 있다.

[0104] 도 9a의 화소 구성은 다양한 방법에 의해 구동될 수 있다. 특히, 교류 구동이라고 하는 방법에 의해 화소를 구동하는 경우, 액정 소자의 열화(번인(burn-in))를 억제할 수 있다. 도 9b는 교류 구동의 일종인 도트 반전 구동이 행해지는 경우에 도 9a의 화소 구성에 있어서의 각 배선에 인가되는 전압의 타이밍 차트이다. 도트 반전 구동에 의해, 교류 구동이 행해지는 경우에 시인되는 깜빡임을 억제할 수 있다. 도 9b는 배선(885_j)에 입력되는 신호(985_j), 배선(885_j+1)에 입력되는 신호(985_j+1), 배선(884_i)에 입력되는 신호(984_i), 배선(884_i+1)에 입력되는 신호(984_i+1), 및 배선(886)에 공급되는 전압(986)을 도시한다는 점에 주목한다.

[0105] 도 9a에 도시하는 화소 구성에 있어서, 배선(885_j)에 전기적으로 접속되어 있는 화소의 스위치는, 1프레임 기간 동안의 제j 게이트 선택 기간에 있어서 선택 상태(온 상태)로 되고, 그 이외의 기간에서는 비선택 상태(오프 상태)로 된다. 이어서, 제j 게이트 선택 기간 후에 제j+1 게이트 선택 기간이 형성된다. 이러한 방식으로 순차 주사가 행해짐으로써, 1프레임 기간 내에 모든 화소가 순서대로 선택 상태로 된다. 도 9b에 도시하는 타이밍 차트에서는, 화소의 스위치는 전압이 하이 레벨로 설정되면 선택 상태로 되고, 전압이 로우 레벨로 설정되면 비선택 상태로 된다.

[0106] 도 9b에 도시하는 타이밍 차트에서, 제k 프레임(k는 자연수)의 제j 게이트 선택 기간에 있어서, 신호선으로서 사용하는 배선(884_i)에 플러스의 신호 전압이 인가되고, 배선(884_i+1)에 마이너스의 신호 전압이 인가된다. 이어서, 제k 프레임의 제j+1 게이트 선택 기간에 있어서, 배선(884_i)에 마이너스의 신호 전압이 인가되고, 배선(884_i+1)에 플러스의 신호 전압이 인가된다. 그 후, 각 신호선에는 게이트 선택 기간마다 극성이 반전된 신호가 교대로 인가된다. 따라서, 제k 프레임에서, 화소(880_i, j) 및 화소(880_i+1, j+1)에는 플러스의 신호 전압, 화소(880_i+1, j) 및 화소(880_i, j+1)에는 마이너스의 신호 전압이 인가된다. 이어서, 제k+1 프레임에서는, 각 화소에, 제k 프레임에서 기입된 신호 전압과는 역 극성의 신호 전압이 기입된다. 따라서, 제k+1 프레임에서는, 화소(880_i+1, j) 및 화소(880_i, j+1)에는 플러스의 신호 전압, 화소(880_i, j) 및 화소(880_i+1, j+1)에는 마이너스의 신호 전압이 인가된다. 도트 반전 구동은, 하나의 프레임에서 인접하는 화소 간에 극성이 다른 신호 전압이 인가되고 각 화소에 대한 신호 전압의 극성이 각 프레임마다 반전되는 구동 방법이다. 도트 반전 구동에 의해, 액정 소자의 열화를 억제하면서, 표시되는 화상의 전체 또는 일부가 균일한 경우에 시인되는 플리커를 억제할 수 있다. 배선(886_j)과 배선(886_j+1)을 포함하는 모든 배선(886)에 인가되는 전압은 일정한 전압일 수 있다는 점에 주목한다. 또한, 배선(884)의 신호 전압의 극성만이 타이밍 차트에 도시되어 있지만, 신호 전압은 실제로는 도시한 극성에 있어서 다양한 값을 취할 수 있다. 여기서는, 1도트(1 화소)마다 극성을 반전시키는 경우를 설명하고 있지만, 이에 한정되지 않고, 복수의 화소마다 극성을 반전시킬 수도 있다. 예를 들어, 2게이트 선택 기간마다 기입되는 신호 전압의 극성을 반전시키면, 신호 전압의 기입에 소모되는 전력을 감소시킬 수 있다. 다른 방안으로, 열마다 극성을 반전시킬(소스 라인 반전) 수 있고, 행마다 극성을 반전시킬(게이트 라인 반전) 수 있다.

[0107] 다음으로, 구체적으로, MVA 모드 또는 PVA 모드로 대표되는 수직 배향(VA) 모드인 액정 소자를 사용하는 바람직한 화소 구성 및 구동 방법을 설명한다. VA 모드는, 제조 시에 러빙 공정이 불필요하고, 흑색 화상의 표시 시 광 누설이 적고, 구동 전압이 낮은 이점을 갖지만, VA 모드는 화면을 비스듬히 보았을 때 화질이 열화되는(즉, 시야각이 좁아지는) 문제점도 갖고 있다. VA 모드의 시야각을 넓게 하기 위해서는, 도 10a 및 도 10b에 도시한 바와 같이, 하나의 화소가 복수의 부화소(서브 픽셀)를 포함하는 화소 구성이 효과적이다. 도 10a 및 도 10b에 도시하는 화소 구성은, 하나의 화소(1080)가 2개의 부화소(제1 부화소(1080-1)와 제2 부화소(1080-2))를 포함하는 경우의 일례이다. 하나의 화소 내의 부화소의 개수는 2개로 한정되지 않고, 다양한 개수의 부화소를 사용할 수 있다는 점에 주목한다. 부화소의 개수가 증가할수록, 시야각도 넓어질 수 있다. 복수의 부화소는 동일한 회로 구성을 가질 수 있다. 여기서는, 모든 부화소가 도 8a의 회로 구성을 갖는 경우를 설명한다. 제1 부화소(1080-1)는 트랜지스터(1081-1), 액정 소자(1082-1), 및 커패시터(1083-1)를 포함한다. 접속 관계는 도 8a의 회로 구성과 동일하다. 마찬가지로, 제2 부화소(1080-2)는 트랜지스터(1081-2), 액정 소자(1082-2), 및 커패시터(1083-2)를 포함한다. 접속 관계는 도 8a의 회로 구성과 동일하다.

[0108] 도 10a의 화소 구성은, 하나의 화소에 포함된 두 개의 부화소에 대해, 주사선으로서 사용하는 두 개의 배선(1085)(배선(1085-1)과 배선(1085-2)), 신호선으로서 사용하는 하나의 배선(1084), 및 커패시터선으로서 사용하는 하나의 배선(1086)을 포함한다. 이러한 방식으로 신호선 및 커패시터선을 2개의 부화소로 공유함으로써, 개구율을 증가시킬 수 있다. 또한, 신호선 구동 회로를 간략화할 수 있고, 이에 따라 제조 비용을 감소시킬 수

있다. 또한, 액정 패널과 구동 회로 IC 간의 접속 점수를 감소시킬 수 있으므로, 수율을 증가시킬 수 있다. 도 10b의 화소 구성은, 하나의 화소에 포함되는 2개의 부화소에 대해, 주사선으로서 사용하는 하나의 배선(1085), 신호선으로서 사용하는 두 개의 배선(1084)(배선(1084-1)과 배선(1084-2)), 및 커패시터선으로서 사용하는 하나의 배선(1086)을 포함한다. 이러한 방식으로 주사선 및 커패시터선을 2개의 부화소로 공유함으로써, 개구율을 증가시킬 수 있다. 또한, 주사선의 총 개수를 감소시킬 수 있고, 이에 따라 고 해상도의 액정 패널에서도 화소당 게이트선 선택 기간을 충분히 길게 할 수 있고, 각 화소에 적절한 신호 전압을 기입할 수 있다.

[0109] 도 11a와 도 11b는 도 10b의 화소 구성에 있어서 액정 소자를 화소 전극의 형상으로 치환한 경우에 소자들의 전기적 접속의 일례를 개략적으로 각각 도시한다. 도 11a와 도 11b에 있어서, 전극(1088-1)은 제1 화소 전극을 나타내고, 전극(1088-2)은 제2 화소 전극을 나타낸다. 도 11a에서, 제1 화소 전극(1088-1)은 도 10b의 액정 소자(1082-1)의 제1 단자에 상당하고, 제2 화소 전극(1088-2)은 도 10b의 액정 소자(1082-2)의 제1 단자에 상당한다. 즉, 제1 화소 전극(1088-1)은 트랜지스터(1081-1)의 소스와 드레인 중 하나에 전기적으로 접속되고, 제2 화소 전극(1088-2)은 트랜지스터(1081-2)의 소스와 드레인 중 하나에 전기적으로 접속된다. 도 11b에, 화소 전극과 트랜지스터 간의 접속 관계는 도 11a의 접속 관계와는 반대이다. 즉, 제1 화소 전극(1088-1)은 트랜지스터(1081-2)의 소스와 드레인 중 하나에 전기적으로 접속되고, 제2 화소 전극(1088-2)은 트랜지스터(1081-1)의 소스와 드레인 중 하나에 전기적으로 접속된다.

[0110] 본 실시 형태의 화소를 실시 형태 1 내지 실시 형태 3 중 임의의 것의 구조와 조합함으로써, 산화물 반도체를 사용하는 박막 트랜지스터를 구비하는 화소의 개구율을 증가시킬 수 있다.

[0111] 본 실시 형태는 다른 실시 형태들에서 기재한 구조들 중 임의의 것과 적절하게 조합하여 실시하는 것이 가능하다.

[0112] (실시 형태 5)

[0113] 본 실시 형태에서는, 실시 형태 1 내지 실시 형태 4 중 임의의 것에서 설명한 액정 표시 장치를 구비하는 전자 기기의 일례를 설명한다.

[0114] 도 12a는, 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 접속 단자(9636), 기록 매체 판독부(9672) 등을 포함할 수 있는 휴대형 게임기를 도시한다. 도 12a의 휴대형 게임기는 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능, 다른 휴대형 게임기와 무선 통신을 행하여 정보를 공유하는 기능 등을 가질 수 있다. 도 12a의 휴대형 게임기는 전술한 바로 한정되지 않고 다양한 기능을 가질 수 있다는 점에 주목한다.

[0115] 도 12b는 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 접속 단자(9636), 셔터 버튼(9676), 수상부(9677) 등을 포함할 수 있는 디지털 카메라를 도시한다. 도 12b의 텔레비전 수상 기능을 구비한 디지털 카메라는 정지 화상 및/또는 동화상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 안타나로부터 다양한 정보를 취득하는 기능, 촬영한 화상 또는 안타나로부터 취득한 정보를 표시부에 표시하는 기능 등의 다양한 기능을 갖는다. 도 12b의 텔레비전 수상 기능을 구비한 디지털 카메라는 이에 한정되지 않고, 다양한 기능을 가질 수 있다는 점에 주목한다.

[0116] 도 12c는 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 접속 단자(9636) 등을 포함할 수 있는 텔레비전 수상기를 도시한다. 도 12c의 텔레비전 수상기는, 텔레비전용 전파를 처리하여 화상 신호로 변환하는 기능, 화상 신호를 처리하여 표시에 적합한 신호로 변환하는 기능, 화상 신호의 프레임 주파수를 변환하는 기능 등을 가질 수 있다. 도 12c의 텔레비전 수상기는 이에 한정되지 않고, 다양한 기능을 가질 수 있다는 점에 주목한다.

[0117] 도 13a는 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 접속 단자(9636), 포인팅 디바이스(9681), 외부 접속 포트(9680) 등을 포함할 수 있는 컴퓨터를 도시한다. 도 13a의 컴퓨터는 다양한 정보(예를 들어, 정지 화상, 동영상, 텍스트 화상)를 표시부에 표시하는 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 무선 통신 또는 유선 통신 등의 통신 기능, 통신 기능을 사용하여 다양한 컴퓨터 네트워크에 접속하는 기능, 통신 기능을 사용하여 다양한 데이터의 송신 또는 수신하는 기능 등을 가질 수 있다. 도 13a의 컴퓨터는 이러한 기능을 갖는 것으로 한정되지 않고, 다양한 기능을 가질 수 있다.

[0118] 도 13b는 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 마이크로폰(9638) 등을 포함할 수 있는 휴대 전화를 도시한다. 도 13b의 휴대 전화는 다양한 정보(예를 들어, 정지 화상, 동영상, 텍스트 화상)를 표시하는 기능, 캘린더, 날짜, 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 조작 또는 편집하는

기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능 등을 가질 수 있다. 도 13b에 도시한 휴대 전화는 이러한 기능을 갖는 것으로 한정되지 않고, 다양한 기능을 가질 수 있다는 점에 주목한다.

- [0119] 도 13c는 하우징(9630), 표시부(9631), 조작키(9635) 등을 포함할 수 있는 전자 페이퍼(eBook 또는 eBook 리더라고도 함)를 포함하는 전자 장치를 도시한다. 도 13c의 전자 페이퍼는, 다양한 정보(예를 들어, 정지 화상, 동영상, 텍스트 화상)를 표시하는 기능, 캘린더, 날짜, 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 조작 또는 편집하는 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능 등을 가질 수 있다. 도 13c의 eBook 리더는 이에 한정되지 않고, 다양한 기능을 가질 수 있다.
- [0120] 본 실시 형태에서 설명한 전자 기기에 있어서, 표시부에 포함된 복수의 화소의 개구율을 증가시킬 수 있다.
- [0121] 본 실시 형태는 다른 실시 형태들에서 기재한 구조들 중 임의의 것과 적절하게 조합하여 실시하는 것이 가능하다.
- [0122] [실시예 1]
- [0123] 본 실시예는 산화물 반도체층을 포함한 박막 트랜지스터에 의해, 액정 표시 장치의 각 화소의 개구율이 어느 정도 증가되는지의 추정값 및 그 추정 결과를 나타낸다.
- [0124] 트랜지스터를 비도통 상태로 하는 전압을 게이트에 공급할 때 산화물 반도체를 포함하는 박막 트랜지스터를 통해 흐르는 전류(이하, 리크 전류가 함)가 0.1pA 이하인 반면, 아몰퍼스 실리콘을 포함하는 박막 트랜지스터에서의 리크 전류는 수백 nA 정도로 된다. 그로 인해, 산화물 반도체를 포함하는 박막 트랜지스터에서는, 저장 용량이 감소될 수 있다. 즉, 산화물 반도체를 포함하는 박막 트랜지스터를 갖는 화소의 개구율은, 아몰퍼스 실리콘을 포함하는 박막 트랜지스터를 갖는 화소의 개구율에 비해 증가할 수 있다. 여기서는, 개구율이 어느 정도 증가될지를 추정하고, 이하에서는, 산화물 반도체를 포함하는 박막 트랜지스터의 리크 전류를 1×10^{-13} (A), 아몰퍼스 실리콘을 포함하는 박막 트랜지스터의 리크 전류를 1×10^{-11} (A)이라고 상정하여, 설명한다.
- [0125] 화소의 개구율을 추정하기 위한 다른 파라미터로는, 패널 사이즈를 3.4인치, 표시하는 계조를 256계조, 입력 전압을 10V, 1프레임을 1.66×10^{-2} (초)로 표시를 행하는 것으로 한다. 또한, 게이트 절연막의 유전율을 3.7(F/m), 막 두께를 1×10^{-7} (m)으로 하여 설명한다.
- [0126] 우선, 화소수가 540×RGB×960인 패널(제1 패널이라고 함)에 상기 파라미터들을 적용했을 경우의 저장 커패시터의 면적 및 개구율을 추정한다. 패널에 있어서 화소의 크기가 $26(\mu\text{m}) \times 78(\mu\text{m})$, 즉 2.03×10^{-9} (m²)으로 된다. 배선 및 TFT가 차지하는 영역을 제외한 면적은 1.43×10^{-9} (m²)으로 되고, 배선 및 TFT가 차지하는 영역의 면적은 6.00×10^{-10} (m²)로 된다.
- [0127] 산화물 반도체층을 포함하는 박막 트랜지스터 및 저장 커패시터를 갖는 화소를 포함하는 제1 패널에서, 저장 커패시터의 최소 필요 용량은 4.25×10^{-14} (F)으로 된다. 이 경우, 필요한 커패시터 면적은 1.30×10^{-10} (m²)으로 되고, 저장 커패시터는 화소의 면적에서 6.4%를 차지하고, 개구율은 64.0%으로 된다. 또한, 제1 패널에서, 저장 커패시터의 최소 필요 용량은, 아몰퍼스 실리콘을 포함하는 박막 트랜지스터를 구비한 화소에 있어서 4.25×10^{-12} (F)으로 된다. 이 경우, 필요한 커패시터 면적이 1.30×10^{-8} (m²)으로 되고, 이는 화소를 차지하는 저장 커패시터의 면적의 비율이 639.9(%)이며, 즉, 저장 커패시터가 화소의 크기보다 큰 면적을 필요로 한다는 것을 의미한다.
- [0128] 또한, 화소수 480×RGB×640의 패널(제2 패널이라 함)에 전술한 파라미터들을 적용하는 경우의 저장 커패시터의 면적 및 개구율을 추정한다. 패널에서, 화소 크기는 $36(\mu\text{m}) \times 108(\mu\text{m})$, 즉 3.89×10^{-9} (m²)으로 된다. 배선 및 TFT가 차지하는 영역을 제외한 면적은 3.29×10^{-9} (m²)으로 되고, 배선 및 TFT가 차지하는 영역의 면적은 6.00×10^{-10} (m²)으로 된다.
- [0129] 산화물 반도체층을 포함하는 박막 트랜지스터 및 저장 커패시터를 갖는 화소를 포함하는 제2 패널에서는, 저장 커패시터의 최소 필요 용량이 4.25×10^{-14} (F)으로 된다. 이 경우, 필요한 커패시터 면적은 1.30×10^{-10} (m²)으로 되고, 저장 커패시터는 화소의 면적 중 3.3%를 차지하고, 개구율은 81.2%로 된다. 또한, 제2 패널에서, 저장

커패시터의 최소 필요 용량은, 아몰퍼스 실리콘을 포함하는 박막 트랜지스터를 구비한 화소에서 4.25×10^{12} (F)로 된다. 이 경우, 필요한 커패시터 면적은 1.30×10^{-8} (m²)으로 되고, 이는 화소를 차지하는 저장 커패시터의 면적의 비율이 333.8%이며, 즉, 저장 커패시터가 화소의 크기보다 넓은 면적을 필요로 한다는 것을 의미한다.

[0130] 제1 패널 및 제2 패널에 있어서, 산화물 반도체층을 포함하는 박막 트랜지스터의 리크 전류가 매우 작으므로, 저장 커패시터를 형성하기 위한 커패시터선을 생략할 수 있다. 구체적으로, 도 14a와 도 14b는 커패시터선을 생략한 경우의 상면도 및 단면도를 도시한다. 도 14a에 도시한 화소의 상면도는, 실시 형태 1에서 설명한 도 1a의 상면도에서 커패시터선을 생략한 도면에 상당한다. 도 14a에 도시하는 상면도 및 도 14b에 도시하는 단면도로부터 알 수 있는 바와 같이, 산화물 반도체층을 포함하는 박막 트랜지스터를 사용함으로써, 화소 전극(105)이 차지하는 영역, 즉, 개구율을 증가시킬 수 있다. 또한, 도 14b에 도시하는 단면도로부터 알 수 있는 바와 같이, 산화물 반도체층을 포함하는 박막 트랜지스터를 사용함으로써, 커패시터선을 생략할 수 있고, 화소 전극(105)이 차지하는 영역을 증가시킬 수 있다. 다시 말하면, 개구율을 증가시킬 수 있다. 도 14a와 도 14b에서의 개구율은 제1 패널에 대한 조건 하에서 70.4%까지 증가될 수 있고, 제2 패널에 대한 조건 하에서 84.5%까지 증가될 수 있다.

[0131] 이상 설명한 바와 같이, 패널의 해상도가 증가할수록, 개구율의 증가에 있어서 산화물 반도체층을 박막 트랜지스터에 사용하는 이점이 더욱 크다는 것을 알 수 있다.

[0132] 본 출원은 2009년 10월 9일자로 출원된 일본 특허 출원 제2009-235287호를 기초로 하며, 그 전체 내용은 본 명세서에 참고로 인용된다.

부호의 설명

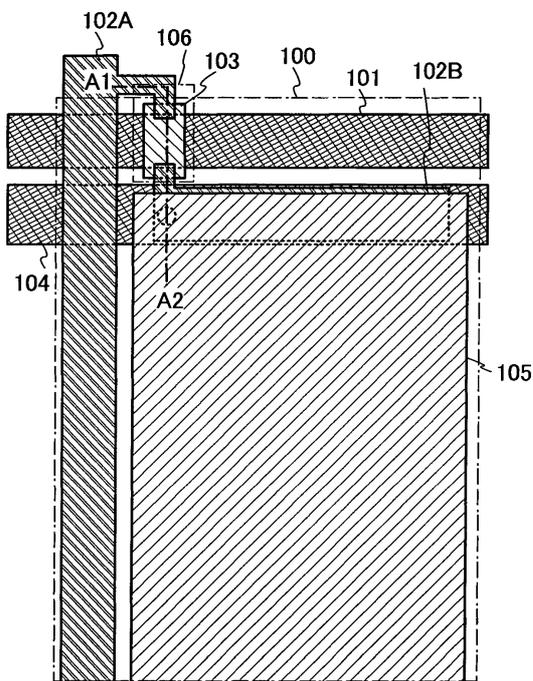
- [0133] 100 : 화소
- 101 : 배선
- 102 : 배선
- 103 : 산화물 반도체층
- 104 : 커패시터선
- 105 : 화소 전극
- 106 : 박막 트랜지스터
- 111 : 기관
- 112 : 기초막
- 113 : 게이트 절연막
- 114 : 산화물 절연층
- 121 : 개구부
- 400 : 화소
- 401 : 배선
- 403 : 산화물 반도체층
- 404 : 커패시터선
- 405 : 화소 전극
- 406 : 박막 트랜지스터
- 411 : 기관
- 412 : 기초막

- 413 : 게이트 절연막
- 414 : 산화물 절연층
- 700 : 기관
- 701 : 화소
- 702 : 화소부
- 703 : 주사선 구동 회로
- 704 : 신호선 구동 회로
- 880 : 화소
- 881 : 트랜지스터
- 882 : 액정 소자
- 883 : 커패시터 소자
- 884 : 배선
- 885 : 배선
- 886 : 배선
- 887 : 배선
- 984 : 신호
- 985 : 신호
- 986 : 전압
- 102A : 배선
- 102B : 배선
- 1080 : 화소
- 1081 : 트랜지스터
- 1082 : 액정 소자
- 1083 : 커패시터 소자
- 1084 : 배선
- 1085 : 배선
- 1086 : 배선
- 1088 : 화소 전극
- 402A : 배선
- 402B : 배선
- 601A : 절연층
- 601B : 절연층
- 9630 : 하우징
- 9631 : 표시부
- 9633 : 스피커
- 9635 : 조작용기

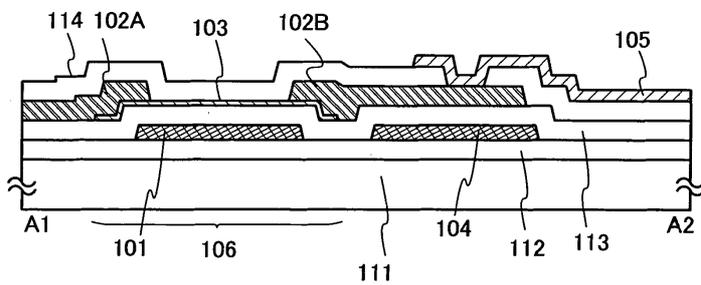
- 9636 : 접속 단자
- 9638 : 마이크로폰
- 9672 : 기록 매체 관독부
- 9676 : 셔터 버튼
- 9677 : 수상부
- 9680 : 외부 접속 포트
- 9681 : 포인팅 디바이스

도면

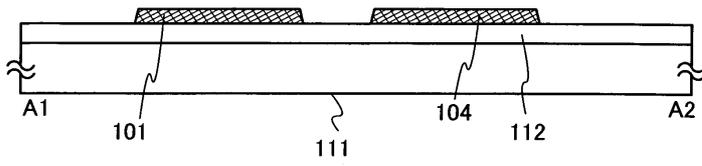
도면1a



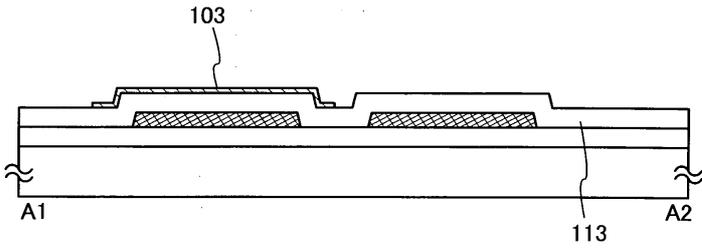
도면1b



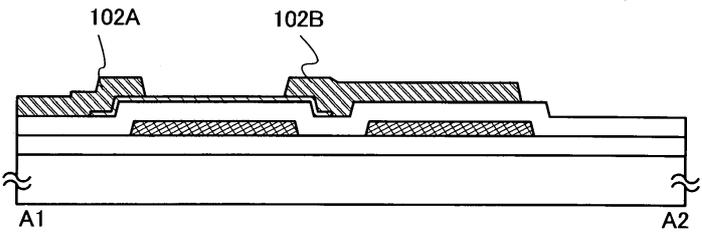
도면2a



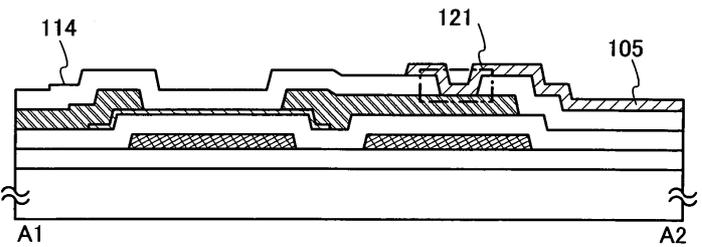
도면2b



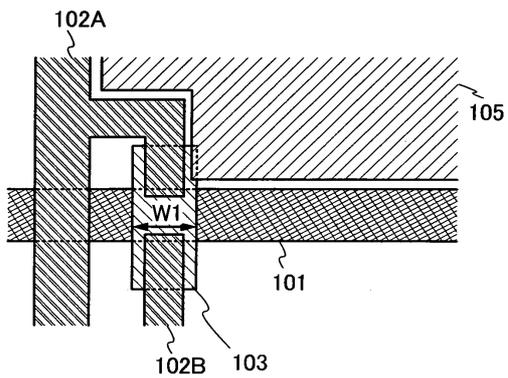
도면2c



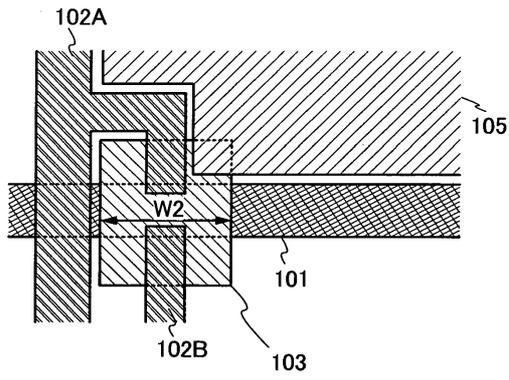
도면2d



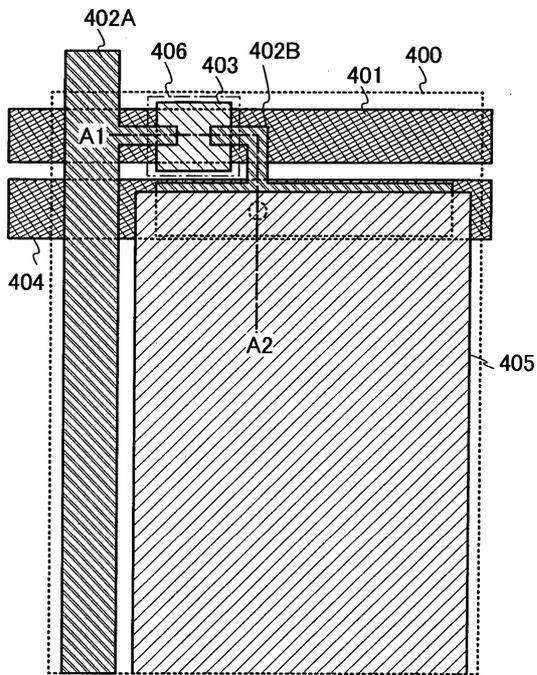
도면3a



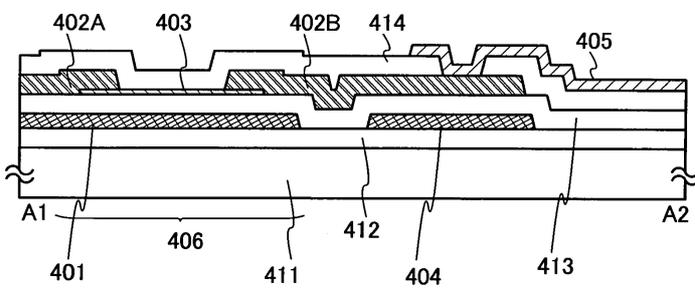
도면3b



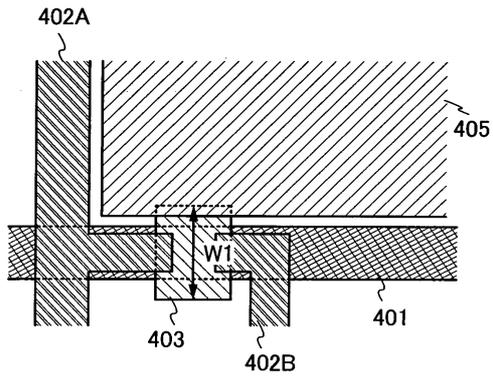
도면4a



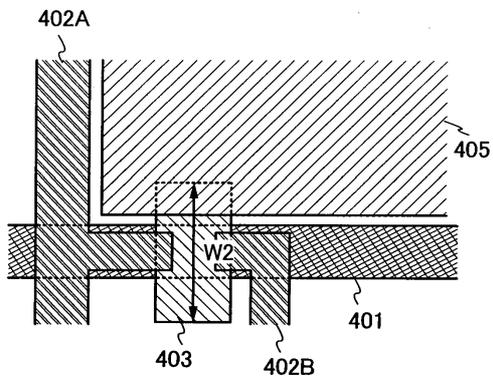
도면4b



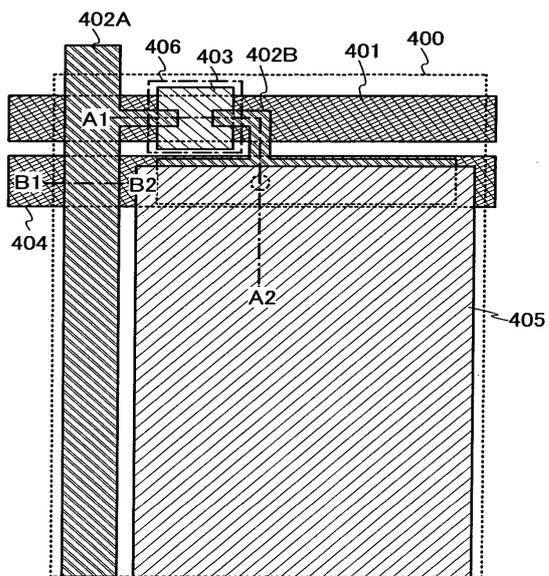
도면5a



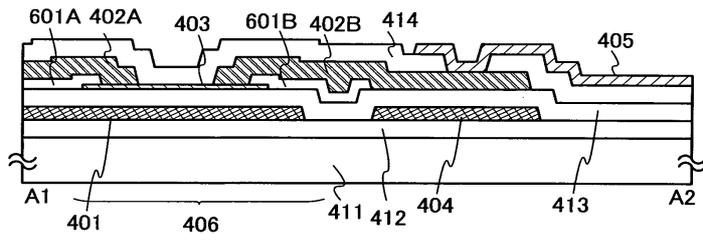
도면5b



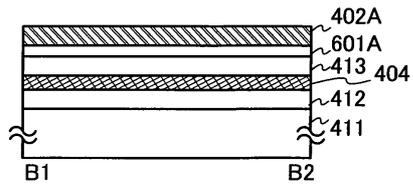
도면6a



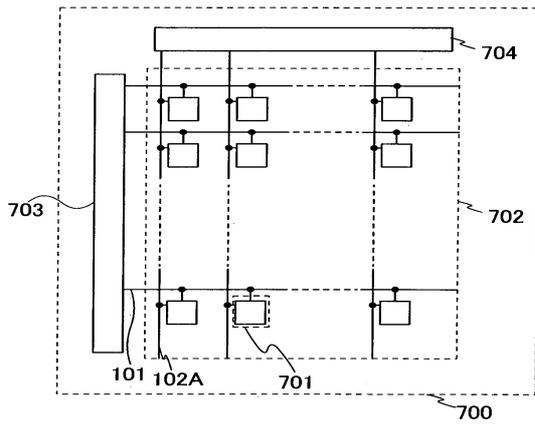
도면6b



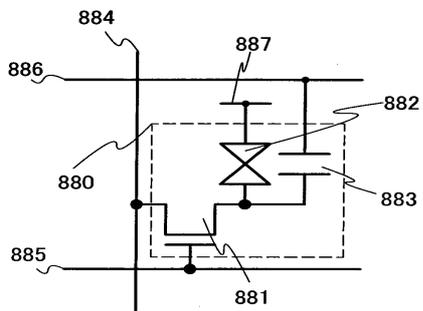
도면6c



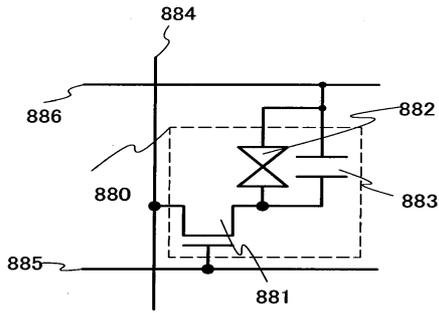
도면7



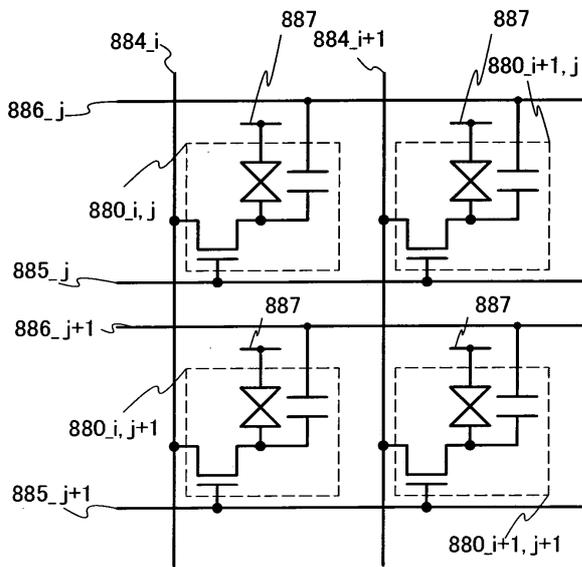
도면8a



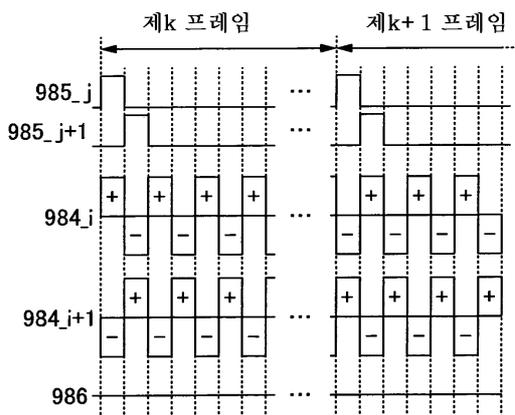
도면8b



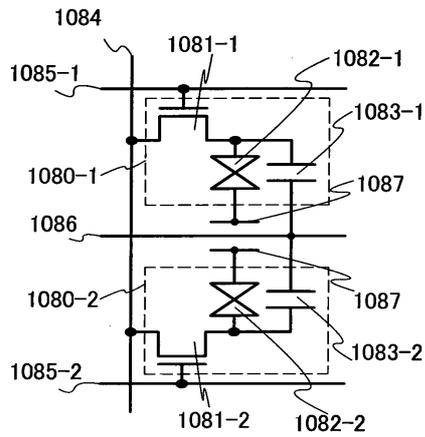
도면9a



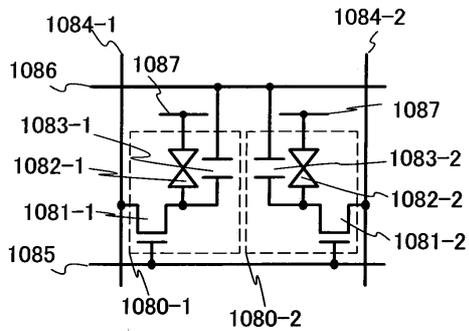
도면9b



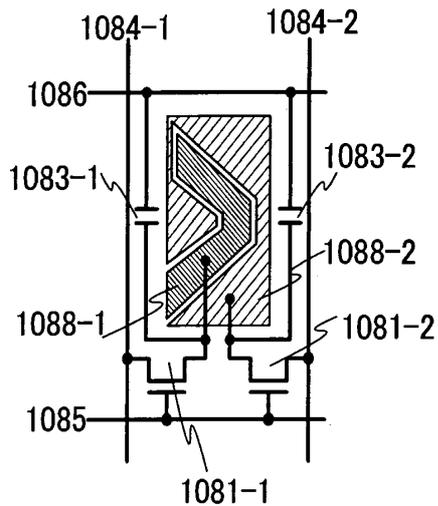
도면10a



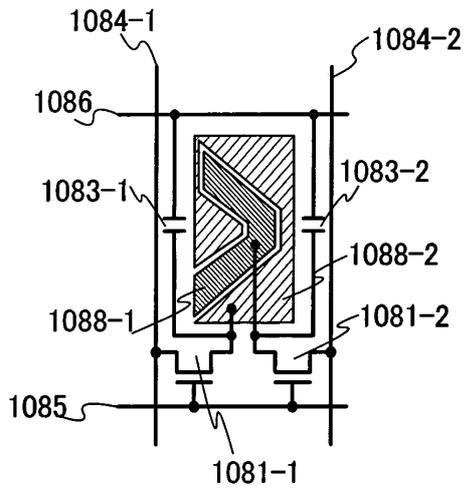
도면10b



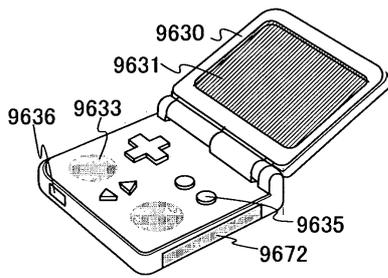
도면11a



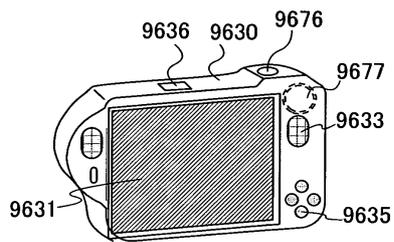
도면11b



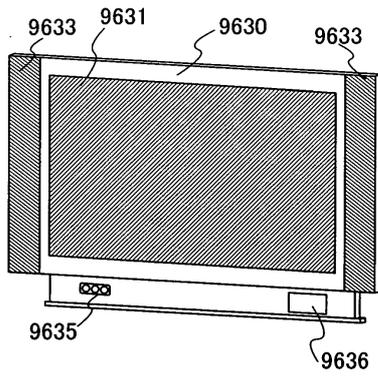
도면12a



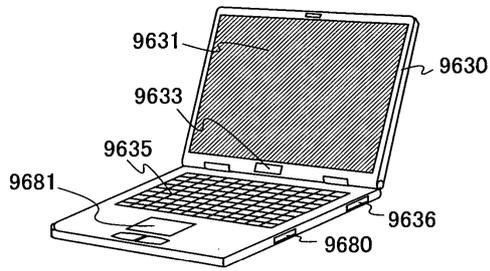
도면12b



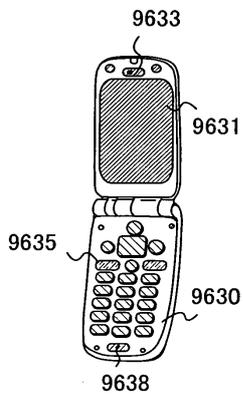
도면12c



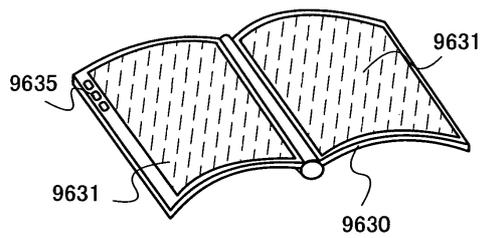
도면13a



도면13b



도면13c



专利名称(译)	液晶显示器		
公开(公告)号	KR101424950B1	公开(公告)日	2014-08-01
申请号	KR1020147013659	申请日	2010-09-21
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	ARASAWA RYO 아라사와료 SHISHIDO HIDEAKI 시시도히데아끼		
发明人	아라사와료 시시도히데아끼		
IPC分类号	G02F1/1368		
CPC分类号	G02F1/136213 G02F1/13624 G02F1/1368 G02F2001/134345 G02F2201/40 G09G3/3648 G09G2300/0447 H01L27/1225 H01L27/124 H01L27/1255 G02F1/134327		
代理人(译)	Jangsugil Bakchungbeom Yijunghui		
优先权	2009235287 2009-10-09 JP		
其他公开文献	KR1020140066802A		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示器，其中像素具有高孔径比，包括使用氧化物半导体的薄膜晶体管。液晶显示器各自包括薄膜晶体管和包括像素电极的多个像素。像素电连接到用作扫描线的第一布线。薄膜晶体管包括插入并在第一布线上安装栅极绝缘层的氧化物半导体层。氧化物半导体层穿过安装第一布线的区域的边缘并且边缘延伸。像素电极和氧化物半导体层重叠。

