



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년06월03일
(11) 등록번호 10-1401513
(24) 등록일자 2014년05월23일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
(21) 출원번호 10-2008-0028712
(22) 출원일자 2008년03월28일
심사청구일자 2013년03월25일
(65) 공개번호 10-2008-0096379
(43) 공개일자 2008년10월30일
(30) 우선권주장
JP-P-2007-00116435 2007년04월26일 일본(JP)
(56) 선행기술조사문헌
JP2003241721 A
JP2006267360 A
KR1020070035530 A
US20050104824 A1

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
아라사와 료
일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이샤 한도오파이에네루기 켄큐쇼 나이
후쿠토메 타카히로
일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이샤 한도오파이에네루기 켄큐쇼 나이
(74) 대리인
이화익

전체 청구항 수 : 총 10 항

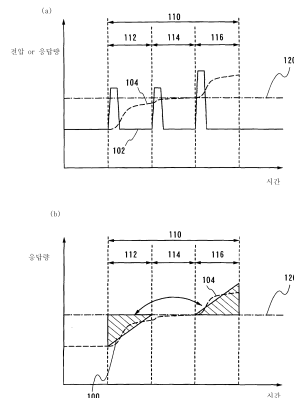
심사관 : 추장희

(54) 발명의 명칭 액정 표시 장치의 구동 방법, 액정 표시 장치 및 전자기기

(57) 요약

본 발명은, 화질 향상을 위한 액정 표시 장치의 구동 방법, 및 상기 구동 방법을 사용한 액정 표시 장치를 제공하는 것을 과제로 한다. 1 프레임 기간을 $n(n$: 정수, $n \geq 3$)의 기간(이하, 서브 프레임 기간이라고 기재함)으로 분할한다. 즉, 180 Hz 이상의 주파수로 구동한다. 또한, 액정의 응답 속도에 기인하는 휘도의 손실을 보상하도록 액정에 전압을 인가한다. 여기서, 보상된 전압은 제 1 서브 프레임 기간 이외의 서브 프레임 기간에 인가된다.

대표도 - 도1



특허청구의 범위

청구항 1

원하는 계조를 표현하기 위한 액정 표시 장치의 구동 방법에 있어서,

제 1 프레임 기간을 n 개(n : 정수, $3 \leq n$)의 서브 프레임 기간으로 분할하는 단계와;

상기 n 개의 서브 프레임 기간 중 제 m (m : 정수, $2 \leq m \leq n$) 서브 프레임 기간 이외의 서브 프레임 기간에 있어서, 신호 전압을 화소 전극에 인가하는 단계와;

계조를 표현하기 위하여, 상기 제 m 서브 프레임 기간에 있어서, 보상 전압과 상기 신호 전압의 합계인 전압을 상기 화소 전극에 인가하는 단계를 포함하고,

상기 보상 전압은 상기 제 m 서브 프레임 기간 이외의 상기 서브 프레임 기간에 있어서, 상기 원하는 계조와 상기 화소 전극에 상기 신호 전압을 인가함으로써 얻어지는 계조간의 차이를 보상하되, 상기 보상 전압은 상기 제 m 서브 프레임 기간 이외의 상기 서브 프레임 기간에서의 액정의 응답량의 부족으로부터 얻어지는, 액정 표시 장치의 구동 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 프레임 기간의 제 n 서브 프레임 기간에 있어서 상기 화소 전극에 인가되는 전압과, 제 2 프레임 기간의 제 1 서브 프레임 기간에 있어서 상기 화소 전극에 인가되는 전압의 차이의 양이 작아지도록, 상기 제 1 프레임 기간의 상기 제 m 서브 프레임 기간이 나타나는 순서를 결정하는 단계를 더 포함하고,

상기 제 2 프레임 기간은 상기 제 1 프레임 기간의 다음 프레임인, 액정 표시 장치의 구동 방법.

청구항 3

제 1 항에 있어서,

상기 제 m 서브 프레임 기간은 상기 제 1 프레임 기간의 제 1 서브 프레임 기간과 제 n 서브 프레임 기간 이외의 서브 프레임 기간인, 액정 표시 장치의 구동 방법.

청구항 4

원하는 계조를 표현하기 위한 액정 표시 장치의 구동 방법에 있어서,

제 1 프레임 기간을 n 개(n : 정수, $3 \leq n$)의 서브 프레임 기간으로 분할하는 단계와;

상기 n 개의 서브 프레임 기간 중 제 1 서브 프레임 기간 이외의 서브 프레임 기간을 k 개(k : 정수, $1 \leq k \leq n-1$) 선택하는 단계와;

상기 선택된 k 개의 서브 프레임 기간 이외의 $(n-k)$ 개의 서브 프레임 기간에 있어서, 신호 전압을 화소 전극에 인가하는 단계와;

계조를 표현하기 위하여, 상기 선택된 k 개의 서브 프레임 기간에 있어서, 보상 전압과 상기 신호 전압의 합계인 전압을 상기 화소 전극에 인가하는 단계를 포함하고,

상기 $(n-k)$ 개의 서브 프레임 기간에 있어서, 상기 보상 전압은 상기 원하는 계조와 상기 화소 전극에 상기 신호 전압을 인가함으로써 얻어지는 계조의 차이를 보상하되, 상기 보상 전압은 상기 선택된 k 개의 서브 프레임 기간 이외의 상기 $(n-k)$ 개의 서브 프레임 기간에서의 액정의 응답량의 부족으로부터 얻어지는, 액정 표시 장치의 구동 방법.

청구항 5

제 1 항 또는 제 4 항에 있어서,

상기 신호 전압은 상기 원하는 계조에 해당하는 전압인, 액정 표시 장치의 구동 방법.

청구항 6

제 1 항 또는 제 4 항에 있어서,

상기 보상 전압은 정의 전압 또는 부의 전압인, 액정 표시 장치의 구동 방법.

청구항 7

제 4 항에 있어서,

상기 제 1 프레임 기간의 제 n 서브 프레임 기간에 있어서 상기 화소 전극에 인가되는 전압과, 제 2 프레임 기간의 제 1 서브 프레임 기간에 있어서 상기 화소 전극에 인가되는 전압의 차이의 양이 작아지도록, 상기 제 1 프레임 기간의 상기 k 개의 서브 프레임 기간이 나타나는 순서를 결정하는 단계를 더 포함하고,

상기 제 2 프레임 기간은 상기 제 1 프레임 기간의 다음 프레임인, 액정 표시 장치의 구동 방법.

청구항 8

제 4 항에 있어서,

상기 k 개의 서브 프레임 기간은 상기 제 1 프레임 기간의 제 1 서브 프레임 기간과 제 n 서브 프레임 기간 이외의 서브 프레임 기간인, 액정 표시 장치의 구동 방법.

청구항 9

제 1 항 또는 제 4 항에 있어서,

상기 n 개의 서브 프레임 기간 중 제 1 서브 프레임 기간에 있어서, 백 라이트는 소등되는, 액정 표시 장치의 구동 방법.

청구항 10

제 1 항 또는 제 4 항에 있어서,

상기 n 개의 서브 프레임 기간 중 제 1 서브 프레임 기간에 있어서, 오버드라이브 전압은 상기 신호 전압 대신에 인가되는, 액정 표시 장치의 구동 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

명세서

발명의 상세한 설명

기술 분야

본 발명은, 화질을 향상시키기 위한 액정 표시 장치의 구동 방법, 및 상기 구동 방법을 사용한 액정 표시 장치, 전자 기기에 관한 것이다.

배경 기술

[0001]

- [0002] 근년에 들어, 종래의 브라운관을 사용한 표시 장치를 액정 표시 장치로 바꾸거나, 소형 전자 기기에 액정 표시 장치를 채용하는 일이 급속히 진행되고 있다. 여기서, 액정 표시 장치란, 기관간의 액정 분자에 전압을 인가함으로써 액정 분자의 배향 방향을 변화시켜, 그것에 따라 생기는 광학 특성의 변화를 이용한 표시 장치를 가리킨다.
- [0003] 대표적인 액정 표시 장치로서는, 예를 들어, 트위스티드 네마틱(TN) 방식을 사용한 것을 들 수 있다. TN 방식을 사용한 표시 소자는, 2 개의 기관 사이에 네마틱 액정을 끼우고, 액정 분자의 장축이 2 개의 기관 사이에서 90° 연속적으로 비틀어진 구성을 가진다. 따라서, 이 상태의 표시 소자의 액정 분자에 입사한 빛의 편광 방향은, 액정 분자의 비틀어짐에 따라 90° 변화하게 된다.
- [0004] 이때, 액정 분자에 전압을 인가한 경우, 어느 임계 값 전압 V_{th} 이상의 전압을 인가함으로써 액정 분자의 장축을 전장(電場) 방향으로 기울일 수 있다. 즉, 액정 분자가 비틀어진 상태를 90° 에서 변화시킬 수 있다. 이때, 이 비틀어짐에 따라, 액정 분자에 입사한 빛의 편광 방향도 변화되게 된다. 이것을 광 셔터로서 사용하는 것이 TN 방식이다.
- [0005] 상기 TN 방식을 액티브 매트릭스 구동함으로써, 패시브 매트릭스 구동과 비교하여 동영상 표시 성능이 뛰어난 표시 장치를 실현할 수 있다. 여기서, 액티브 매트릭스 구동이란, 각 화소에 내장한 트랜지스터를 사용하여 화소를 구동하는 방식을 가리킨다.
- [0006] 이와 같이, TN 방식과 액티브 매트릭스 구동을 조합함으로써, 표시 장치로서의 일단의 성능은 확보되었다. 그러나, 종래의 브라운관을 사용한 표시 장치와 비교한 경우에는, 만족스러운 화질이 얻어진다고는 말하기 어려운 상황이었다. 근년에는 화질 향상을 위하여, 고속으로 응답하는 액정 재료의 개발이 진행되고(예를 들어, 특허문헌 1 참조), 또한, OCB(밴드 배향) 방식, IPS 방식 등, TN 방식을 대신하는 방식이 채용되고 있다(예를 들어, 특허문헌 2 참조).
- [0007] 또한, 상기와 다른 어프로치도 검토되고 있다. 예를 들어, 오버드라이브 구동이 그것이다(예를 들어, 특허문헌 3 참조). 오버드라이브 구동이란, 액정 분자의 응답 속도를 향상시키기 위하여, 임시적으로 높은 전압을 인가하는 구동 방식이다. 그것에 의하여, 원하는 휘도에 도달할 때까지의 시간을 단축할 수 있으므로 동영상의 성능이 향상된다.
- [0008] [특허문헌 1] 특개평5-17408호 공보
- [0009] [특허문헌 2] 특개평7-84254호 공보
- [0010] [특허문헌 3] 특개평7-104715호 공보

발명의 내용

해결 하고자하는 과제

- [0011] 오버드라이브 구동을 사용함으로써, 액정 분자의 응답 속도는 분명히 향상된다. 그러나, 응답 속도 향상과 교환으로, 소비 전력이 증대되는 문제가 생긴다.
- [0012] 또한, 현상의 상세한 내용에 대해서는 아직 해명되지 않았지만, 오버드라이브 직후에는 인가 전압의 불균일성이 발생하는 문제도 있다. 인가 전압의 불균일성이 발생한 경우에는, 원하는 계조 표시가 어려워진다. 특히, 고계조 표시를 행하는 경우에 있어서, 인가 전압의 불균일성에 의한 영향은 무시할 수 없다.
- [0013] 또한, 오버드라이브 구동에는, 표시 계조와 오버드라이브 전압의 관계를 규정한 참조표(lookup 테이블)가 불가결이기 때문에, 상기 참조표를 격납하기 위한 기억 장치가 필요하다. 즉, 고계조 표시가 될수록, 공연히 기억 장치가 비대화하는 문제가 생긴다.
- [0014] 상기 문제점을 감안하여, 본 발명은, 동영상의 성능을 포함한 화질 향상을 위한 액정 표시 장치의 구동 방법, 및 상기 구동 방법을 사용한 액정 표시 장치를 제공하는 것을 과제로 한다.

과제 해결수단

- [0015] 본 발명에서는, 1 프레임 기간을 $n(n$: 정수, $n \geq 3$)의 기간(이하, 서브 프레임 기간이라고 기재함)으로 분할한다. 즉, 180 Hz 이상의 주파수로 구동을 행한다. 또한, 액정의 응답 속도에 기인하는 휘도의 손실을 보상하도록 액정에 전압을 인가한다. 여기서, 보상된 전압은 제 1 서브 프레임 기간 이외의 서브 프레임 기간

에 인가되는 것이 바람직하다.

[0016] 본 발명의 액정 표시 장치의 구동 방법의 일 형태는, 화소 전극에 전압을 인가함으로써 계조를 표현하는 액정 표시 장치의 구동 방법이며, 1 프레임 기간을 n 개(n : 정수, $3 \leq n$)의 서브 프레임 기간으로 분할하고, n 개의 서브 프레임 기간 중 제 m 서브 프레임 기간(m : 정수, $2 \leq m \leq n$) 이외의 서브 프레임 기간에 있어서, 액정 표시 장치 외부로부터 입력되는 신호에 대응한 신호 전압을 화소 전극에 인가하고, n 개의 서브 프레임 기간 중 제 m 서브 프레임 기간에 있어서, 액정의 응답 지연에 기인하여 생기는, 목표 계조와의 차이를 보상하는 보상 전압을 신호 전압에 가하여 화소 전극에 인가하는 것을 특징으로 한다. 상기 신호 전압은 원하는 계조에 상당하는 전압이다. 상기 차이는, 원하는 계조와, 상기 제 m 서브 프레임 기간 이외의 서브 프레임 기간에 있어서, 상기 신호 전압을 화소 전극에 인가함으로써 얻어지는 계조와의 차이에 상당한다.

[0017] 상기에 있어서는, 대상이 되는 1 프레임 기간의 제 n 서브 프레임 기간에 인가되는 전압과, 대상이 되는 1 프레임 기간의 다음 1 프레임 기간의 제 1 서브 프레임 기간에 인가되는 전압의 차이가 작게 되도록, 보상 전압을 가하는 제 m 서브 프레임 기간을 선택하는 것이 바람직하다. 또한, 제 1 프레임 기간의 제 n 서브 프레임 기간에 인가되는 전압과, 제 2 프레임 기간의 제 1 서브 프레임 기간에 인가되는 전압의 차이가 작아지도록, 제 1 서브 프레임 기간의 제 m 서브 프레임 기간이 나타나는 순서를 결정하는 것이 바람직하다. 제 2 프레임은 제 1 프레임의 다음 프레임이다.

[0018] 본 발명의 액정 표시 장치의 구동 방법의 다른 일 형태는, 화소 전극에 전압을 인가함으로써 계조를 표현하는 액정 표시 장치의 구동 방법이며, 1 프레임 기간을 n 개(n : 정수, $3 \leq n$)의 서브 프레임 기간으로 분할하고, n 개의 서브 프레임 기간 중 제 1 서브 프레임 기간 이외의 서브 프레임 기간을 k 개(k : 정수, $1 \leq k \leq n-1$) 선택하고, 선택된 k 개의 서브 프레임 기간 이외의 $n-k$ 개의 서브 프레임 기간에 있어서, 액정 표시 장치 외부로부터 입력되는 신호에 대응한 신호 전압을 화소 전극에 인가하고, 선택된 k 개의 서브 프레임 기간에 있어서, 액정의 응답 지연에 기인하여 생기는, 목표 계조와의 차이를 보상하는 전압을 신호 전압에 가하여 화소 전극에 인가하는 것을 특징으로 한다. 상기 신호 전압은 원하는 계조에 상당하는 전압이다. 상기 차이는, 원하는 계조와, 상기 제 $n-k$ 개의 서브 프레임 기간에 있어서, 상기 신호 전압을 화소 전극에 인가함으로써 얻어지는 계조의 차이에 상당한다.

[0019] 상기에 있어서는, 대상이 되는 1 프레임 기간의 제 n 서브 프레임 기간에 인가되는 전압과, 대상이 되는 1 프레임 기간의 다음 1 프레임 기간의 제 1 서브 프레임 기간에 인가되는 전압과의 차이가 작게 되도록, 보상 전압을 가하는 k 개의 서브 프레임 기간을 선택하는 것이 바람직하다. 또한, 제 1 프레임 기간의 제 n 서브 프레임 기간에 인가되는 전압과, 제 2 프레임 기간의 제 1 서브 프레임 기간에 인가되는 전압의 차이가 작아지도록, 제 1 프레임 기간의 k 개의 서브 프레임 기간이 나타나는 순서를 결정하는 것이 바람직하다. 제 2 프레임은 제 1 프레임의 다음 프레임이다.

[0020] 본 발명의 액정 표시 장치의 구동 방법의 다른 일 형태는, 전압을 화소 전극에 인가함으로써, 원하는 계조를 얻는 액정 표시 장치의 구동 방법이며, 1 프레임 기간을 n 개(n : 정수, $n \geq 3$)의 서브 프레임 기간으로 분할하고, 복수의 서브 프레임 기간 중 제 1 서브 프레임 기간 이외의 서브 프레임 기간에 있어서, 신호 전압에 보상 전압을 가한 전압을 화소 전극에 인가하고, 보상 전압은, 액정의 상승 시간에 기인하여 생기는, 목표 계조와의 차이를 보상하기 위한 전압인 것을 특징으로 하는 것이다.

[0021] 본 발명의 액정 표시 장치의 구동 방법의 다른 일 형태는, 전압을 화소 전극에 인가함으로써, 원하는 계조를 얻는 액정 표시 장치의 구동 방법이며, 1 프레임 기간을 n 개(n : 정수, $n \geq 3$)의 서브 프레임 기간으로 분할하고, 제 n 서브 프레임 기간에 있어서, 신호 전압에 보상 전압을 가한 전압을 화소 전극에 인가하고, 보상 전압은, 액정의 상승 시간에 기인하여 생기는, 목표 계조와의 차이를 보상하기 위한 전압인 것을 특징으로 하는 것이다.

[0022] 본 발명의 액정 표시 장치의 구동 방법의 다른 일 형태는, 전압을 화소 전극에 인가함으로써, 원하는 계조를 얻는 액정 표시 장치의 구동 방법이며, 1 프레임 기간을 n 개(n : 정수, $n \geq 3$)의 서브 프레임 기간으로 분할하고, 제 $n-1$ 서브 프레임 기간에 있어서, 신호 전압에 보상 전압을 가한 전압을 화소 전극에 인가하고, 보상 전압은, 액정의 상승 시간에 기인하여 생기는, 목표 계조와의 차이를 보상하기 위한 전압인 것을 특징으로 하는 것이다.

[0023] 본 발명의 액정 표시 장치의 구동 방법의 다른 일 형태는, 전압을 화소 전극에 인가함으로써, 원하는 계조를 얻는 액정 표시 장치의 구동 방법이며, 1 프레임 기간을 n 개(n : 정수, $n \geq 3$)의 서브 프레임 기간으로

분할하고, 대상이 되는 1 프레임 기간의 다음 1 프레임 기간에 있어서의 신호 전압에 따라, 대상이 되는 1 프레임 기간의 제 $n-1$ 서브 프레임 기간 또는 제 n 서브 프레임 기간을 선택하고, 선택된 서브 프레임 기간에 있어서, 신호 전압에 보상 전압을 가한 전압을 화소 전극에 인가하고, 보상 전압은, 액정의 상승 시간에 기인하여 생기는, 목표 계조와의 차이를 보상하기 위한 전압인 것을 특징으로 하는 것이다.

[0024] 본 발명의 액정 표시 장치의 구동 방법의 다른 일 형태는, 전압을 화소 전극에 인가함으로써, 원하는 휘도를 얻는 액정 표시 장치의 구동 방법이며, 1 프레임 기간을 n 개(n : 정수, $n \geq 3$)의 서브 프레임 기간으로 분할하고, 대상이 되는 1 프레임 기간의 다음 1 프레임 기간에 있어서의 신호 전압이, 대상이 되는 1 프레임 기간의 신호 전압 이상인 경우에는, 제 n 서브 프레임 기간을 선택하고, 대상이 되는 1 프레임 기간의 다음 1 프레임 기간에 있어서의 신호 전압이, 대상이 되는 1 프레임 기간의 신호 전압보다 작은 경우에는, 제 $n-1$ 서브 프레임 기간을 선택하고, 선택된 서브 프레임 기간에 있어서, 신호 전압에 보상 전압을 가한 전압을 화소 전극에 인가하고, 보상 전압은, 액정의 상승 시간에 기인하여 생기는, 목표 계조와의 차이를 보상하기 위한 전압인 것을 특징으로 하는 것이다.

[0025] 본 발명의 액정 표시 장치의 구동 방법의 다른 일 형태는, 전압을 화소 전극에 인가함으로써, 원하는 휘도를 얻는 액정 표시 장치의 구동 방법이며, 1 프레임 기간을 n 개(n : 정수, $n \geq 3$)의 서브 프레임 기간으로 분할하고, 대상이 되는 1 프레임 기간의 다음 1 프레임 기간에 있어서의 신호 전압이, 대상이 되는 1 프레임 기간의 신호 전압보다 큰 경우에는, 제 n 서브 프레임 기간을 선택하고, 대상이 되는 1 프레임 기간의 다음 1 프레임 기간에 있어서의 신호 전압이, 대상이 되는 1 프레임 기간의 신호 전압 이하인 경우에는, 제 $n-1$ 서브 프레임 기간을 선택하고, 선택된 서브 프레임 기간에 있어서, 신호 전압에 보상 전압을 가한 전압을 화소 전극에 인가하고, 보상 전압은, 액정의 상승 시간에 기인하여 생기는, 목표 계조와의 차이를 보상하기 위한 전압인 것을 특징으로 하는 것이다.

[0026] 본 발명의 액정 표시 장치의 구동 방법의 다른 일 형태는, 전압을 화소 전극에 인가함으로써, 원하는 계조를 얻는 액정 표시 장치의 구동 방법이며, 1 프레임 기간을 n 개(n : 정수, $n \geq 3$)의 서브 프레임 기간으로 분할하고, 복수의 서브 프레임 기간 중 제 1 서브 프레임 기간 이외의 서브 프레임 기간에 있어서, 신호 전압에 보상 전압을 가한 전압을 화소 전극에 인가하고, 신호 전압에 보상 전압을 가한 전압을 인가하는 서브 프레임 기간 이외의 서브 프레임 기간에 있어서, 신호 전압과 동일한 전압을 화소 전극에 인가하고, 보상 전압은, 액정의 상승 시간에 기인하여 생기는, 목표 계조와의 차이를 보상하기 위한 전압인 것을 특징으로 하는 것이다.

[0027] 본 발명의 액정 표시 장치의 구동 방법의 다른 일 형태는, 전압을 화소 전극에 인가함으로써, 원하는 계조를 얻는 액정 표시 장치의 구동 방법이며, 1 프레임 기간을 n 개(n : 정수, $n \geq 3$)의 서브 프레임 기간으로 분할하고, 제 n 서브 프레임 기간에 있어서, 신호 전압에 보상 전압을 가한 전압을 화소 전극에 인가하고, 제 n 서브 프레임 기간 이외의 서브 프레임 기간에 있어서, 신호 전압과 동일한 전압을 화소 전극에 인가하고, 보상 전압은, 액정의 상승 시간에 기인하여 생기는, 목표 계조와의 차이를 보상하기 위한 전압인 것을 특징으로 하는 것이다.

[0028] 본 발명의 액정 표시 장치의 구동 방법의 다른 일 형태는, 전압을 화소 전극에 인가함으로써, 원하는 계조를 얻는 액정 표시 장치의 구동 방법이며, 1 프레임 기간을 n 개(n : 정수, $n \geq 3$)의 서브 프레임 기간으로 분할하고, 제 $n-1$ 서브 프레임 기간에 있어서, 신호 전압에 보상 전압을 가한 전압을 화소 전극에 인가하고, 제 $n-1$ 서브 프레임 기간 이외의 서브 프레임 기간에 있어서, 신호 전압과 동일한 전압을 화소 전극에 인가하고, 보상 전압은, 액정의 상승 시간에 기인하여 생기는, 목표 계조와의 차이를 보상하기 위한 전압인 것을 특징으로 하는 것이다.

[0029] 본 발명의 액정 표시 장치의 구동 방법의 다른 일 형태는, 전압을 화소 전극에 인가함으로써, 원하는 계조를 얻는 액정 표시 장치의 구동 방법이며, 1 프레임 기간을 n 개(n : 정수, $n \geq 3$)의 서브 프레임 기간으로 분할하고, 대상이 되는 1 프레임 기간의 다음 1 프레임 기간에 있어서의 신호 전압에 따라, 대상이 되는 1 프레임 기간의 제 $n-1$ 서브 프레임 기간 또는 제 n 서브 프레임 기간을 선택하고, 선택된 서브 프레임 기간에 있어서, 신호 전압에 보상 전압을 가한 전압을 화소 전극에 인가하고, 선택된 서브 프레임 기간 이외의 서브 프레임 기간에 있어서, 신호 전압과 동일한 전압을 화소 전극에 인가하고, 보상 전압은, 액정의 상승 시간에 기인하여 생기는, 목표 계조와의 차이를 보상하기 위한 전압인 것을 특징으로 하는 것이다.

[0030] 본 발명의 액정 표시 장치의 구동 방법의 다른 일 형태는, 전압을 화소 전극에 인가함으로써, 원하는 휘도를 얻는 액정 표시 장치의 구동 방법이며, 1 프레임 기간을 n 개(n : 정수, $n \geq 3$)의 서브 프레임 기간으로 분할하고, 대상이 되는 1 프레임 기간의 다음 1 프레임 기간에 있어서의 신호 전압이, 대상이 되는 1 프레임 기

간의 신호 전압 이상인 경우에는, 제 n 서브 프레임 기간을 선택하고, 대상이 되는 1 프레임 기간의 다음 1 프레임 기간에 있어서의 신호 전압이, 대상이 되는 1 프레임 기간의 신호 전압보다 작은 경우에는, 제 $n-1$ 서브 프레임 기간을 선택하고, 선택된 서브 프레임 기간에 있어서, 신호 전압에 보상 전압을 가한 전압을 화소 전극에 인가 하고, 선택된 서브 프레임 기간 이외의 서브 프레임 기간에 있어서, 신호 전압과 동일한 전압을 화소 전극에 인가하고, 보상 전압은, 액정의 상승 시간에 기인하여 생기는, 목표 계조와의 차이를 보상하기 위한 전압인 것을 특징으로 하는 것이다.

[0031] 본 발명의 액정 표시 장치의 구동 방법의 다른 일 형태는, 전압을 화소 전극에 인가함으로써, 원하는 휘도를 얻는 액정 표시 장치의 구동 방법이며, 1 프레임 기간을 n 개(n : 정수, $n \geq 3$)의 서브 프레임 기간으로 분할하고, 대상이 되는 1 프레임 기간의 다음 1 프레임 기간에 있어서의 신호 전압이, 대상이 되는 1 프레임 기간의 신호 전압보다 큰 경우에는, 제 n 서브 프레임 기간을 선택하고, 대상이 되는 1 프레임 기간의 다음 1 프레임 기간에 있어서의 신호 전압이, 대상이 되는 1 프레임 기간의 신호 전압 이하인 경우에는, 제 $n-1$ 서브 프레임 기간을 선택하고, 선택된 서브 프레임 기간에 있어서, 신호 전압에 보상 전압을 가한 전압을 화소 전극에 인가하고, 선택된 서브 프레임 기간 이외의 서브 프레임 기간에 있어서, 신호 전압과 동일한 전압을 화소 전극에 인가하고, 보상 전압은, 액정의 상승 시간에 기인하여 생기는, 목표 계조와의 차이를 보상하기 위한 전압인 것을 특징으로 하는 것이다.

[0032] 또한, 본 발명의 액정 표시 장치의 구동 방법에 있어서, n 개의 서브 프레임 기간 중 제 1 서브 프레임 기간에 있어서, 백 라인을 소등하는 것으로 하여도 좋다. 또한, n 개의 서브 프레임 기간 중 제 1 서브 프레임 기간에 있어서, 신호 전압 대신에 오버드라이브 전압을 인가하는 것으로 하여도 좋다. 여기서, 오버드라이브 전압이란, 액정의 응답을 고속화시키기 위하여 임의적으로 가해지는 전압이며, 직전의 1 프레임 기간에서 오버드라이브 전압 인가 대상인 1 프레임 기간까지의 액정의 배향 변화가 보다 크게 되는 방향으로 가해지는 것을 가리킨다. 바꾸어 말하면, 오버드라이브 전압이란, 어느 1 프레임 기간에 액정에 인가되는 전압 V_a 에 있어서의 액정의 응답량(x_a)과, 다음 1 프레임 기간에 액정에 인가되는 전압 V_b 에 있어서의 액정의 응답량(x_b)의 차이의 절대값($|x_b - x_a|$)이 크게 되는 방향으로 임의적으로 가해지는 전압이다. 여기서, 소정의 전압(V)에 있어서의 액정의 응답량이란, 전압을 가하지 않는 상태(V_0)에서 소정의 전압(V)을 가하여 충분한 시간이 경과한 상태까지의 액정의 배향 상태의 변화량(δS_{V-V_0})을 가리키는 것으로 한다. 즉, 액정의 응답량은, 휘도 및 표시 계조와 같은 뜻을 나타내는 것이다. 예를 들어, 저휘도 측으로부터 고휘도 측으로 표시 계조가 변화하는 경우에는, 목적으로 하는 휘도보다 더 고휘도 측으로 액정이 변화하는 전압(즉, 오버드라이브 전압)을 인가함으로써, 액정의 응답 속도를 향상시킬 수 있다.

[0033] 본 발명의 액정 표시 장치의 구동 방법을 사용함으로써, 화질이 뛰어난 액정 표시 장치를 제공할 수 있다. 또한, 본 발명의 구동 방법을 사용한 액정 표시 장치는, 유지 용량을 충분히 작게 할 수 있다. 예를 들어, 용량 소자를 형성하기 위한 용량 배선을 화소부에 갖지 않는 구성의 액정 표시 장치를 제공할 수도 있다.

[0034] 또한, 상기 액정 표시 장치를 사용한 다양한 전자기기를 제공할 수 있다.

효 과

[0035] 본 발명의 구동 방법을 사용함으로써, 높은 동영상의 성능을 실현할 수 있다. 또한, 오버드라이브 구동에 있어서의 문제점을 해결할 수 있으므로, 보다 고화질을 실현할 수 있다.

발명의 실시를 위한 구체적인 내용

[0036] 본 발명의 실시형태에 대하여, 도면을 사용하여 이하에 설명한다. 그러나, 본 발명은 이하의 설명으로 한정되지 않고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 하기 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 본 발명의 구성에 있어서, 동일한 것을 가리키는 부호는 다른 도면간에 공통적으로 사용하는 것으로 한다.

[0037] (실시형태 1)

[0038] 본 실시형태에서는, 본 발명의 구동 방법과 그 원리를 도 1a 내지 도 3b를 사용하여 이하에 설명한다.

[0039] 도 1a에 본 발명의 액정 표시 장치의 구동 방법을 사용한 경우의 1 화소예의 기록 기간 중에 인가되는 전압(102; 실선)과, 액정의 응답량(104; 파선)과의 관계를 나타낸다. 여기서, 액정의 응답량은 액정 표시 소자

의 표시 계조에 대응한다. 또한, 가로축은 시간을 나타내고, 세로축은 전압 또는 응답량을 나타낸다. 또한, 액티브 매트릭스 구동을 사용한 액정 표시 장치에 있어서는, 화소의 선택 기간에만, 화소 전극에 신호 전압이 입력되고, 그 후의 기간은 유지 용량에 의하여 입력된 전압이 유지된다(예를 들어, 도 10 참조).

[0040] 우선, 1 프레임 기간을 n 개의 서브 프레임 기간(n : 정수, $n \geq 3$)으로 분할한다. 본 실시형태에 있어서는 간소화를 위하여 1 프레임 기간(110)을 3개의 서브 프레임 기간(제 1 서브 프레임 기간(112), 제 2 서브 프레임 기간(114), 제 3 서브 프레임 기간(116))으로 분할한 경우에 대하여 설명하지만, 본 발명은 이것으로 한정되지 않는다. 또한, 액정 표시 장치에서는 일반적으로 60 Hz로 화면의 재기록이 행해지므로, 1 프레임 기간은 1/60 초가 된다. 본 실시형태에서는 1 프레임 기간을 또한 3 개의 서브 프레임 기간으로 분할하므로, 180 Hz 구동이 된다. 즉, 1 서브 프레임 기간은 1/180 초이다. 두말할 나위 없이, 1 프레임 기간을 n 개의 서브 프레임 기간으로 분할하는 경우에는, $60 \times n$ Hz 구동이 되어, 1 서브 프레임 기간은 $1/(60 \times n)$ 초가 된다.

[0041] 3 개의 서브 프레임 기간에 대응시켜, 외부로부터의 영상 신호를 화소 전극에 입력한다. 우선, 제 1 서브 프레임 기간(112)과 제 2 서브 프레임 기간(114)에 있어서 동일한 신호(신호 전압)를 각각 입력한다. 또한, 제 1 서브 프레임 기간(112) 및 제 2 서브 프레임 기간(114)에 있어서 입력되는 신호(신호 전압)로서, 외부로부터의 영상 신호를 그대로 사용하여도 좋고, 영상 신호에 어떤 보정을 행한 신호, 예를 들어, γ 보정을 행한 신호 등을 사용하여도 좋다. 신호 전압은 원하는 계조에 상당하는 전압이다.

[0042] 상기한 바와 같이, 동일한 신호를 2번 입력함으로써, 신호를 한번만 입력하는 경우와 비교하여, 액정의 응답 속도를 향상시킬 수 있다. 여기서 중요한 것은, 신호를 2번 입력하는 점이기 때문에, 제 1 서브 프레임 기간(112) 및 제 2 서브 프레임 기간(114)에 있어서 화소 전극에 입력되는 입력 신호는 동일한 신호일 필요는 없지만, 본 실시형태에 있어서는 간소화를 위하여, 동일한 신호를 2번 입력하는 것으로 한다. 입력 신호를 다르게 하는 일례로서는, 제 1 서브 프레임 기간(112)에 입력되는 신호를 제 2 서브 프레임 기간(114)에 입력되는 신호보다 크게 하는(또는, 작게 하는) 것을 들 수 있다. 이와 같이, 소위 오버드라이브와 같은 구동을 시켜, 동작 속도를 보다 향상시켜도 좋다. 이 경우, 오버드라이브만을 사용하여 구동하는 경우와 비교하여, 동영상의 성능을 비롯한 화질의 향상을 도모할 수 있다. 또한, 1 프레임 기간(110)을 3 개 이상의 서브 프레임 기간으로 분할하는 경우에는, 그것에 따라 신호 입력의 횟수도 증가되는 것은 두말할 나위 없다.

[0043] 제 1 서브 프레임 기간(112)과 제 2 서브 프레임 기간(114)에 있어서 동일한 신호를 각각 입력한 후, 제 3 서브 프레임 기간(116)에 신호를 입력한다. 여기서 화소 전극에 입력되는 신호는, 목표로 하는 액정의 응답량(또는 계조)에 대하여 부족한(또는 과잉의) 응답량(또는 계조)을 보상하는 신호인 것이 바람직하다. 예를 들어, 제 1 서브 프레임 기간(112)에 있어서는 액정 분자의 응답 속도의 관계상, 항상 일정한 응답량 부족(과잉)이 존재하기 때문에, 원하는 계조를 표시할 수 없다. 이 응답량 부족(과잉)을 보상하는 신호를 제 3 서브 프레임 기간(116)에 입력함으로써, 1 프레임 기간(110)에 있어서의 평균 계조(120: 평균 응답량이라고도 기재함)를, 원하는 값에 접근시킬 수 있다.

[0044] 또한, 본 실시형태에 있어서는, 전압을 정(正)의 방향으로 가해서 응답량의 부족분을 보상하는 경우, 즉 보상 전압이 정(正)의 경우에 대하여 나타내지만, 본 발명은 이것으로 한정되는 것은 아니다. 응답량이 작아지는 방향으로 변화하는 경우에는, 보상 전압을 부(負)로 함으로써 대응할 수 있다.

[0045] 도 1b에, 부족분의 응답량의 산출 방법 및 제 3 서브 프레임 기간(116)에 입력하는 신호의 산출 방법의 일례를 모식적으로 도시한다. 여기서는 간소화를 위하여, 도 1a에 있어서의 1 화소예의 기록 기간 중에 인가되는 전압(실선)은 생략한다. 도 1b에 도시하는 바와 같이, 제 1 서브 프레임 기간(112)에 있어서의 부족분의 응답량은 대략 삼각형(100)의 형상으로 표시된다. 여기서 삼각형(100)의 면적은, (목표로 하는 응답량과 초기 응답량과의 차이) $\times$ (1 서브 프레임 기간의 길이) $\times$ 1/2이므로, 이것이 부족분의 응답량에 대응한다. 부족분의 응답량을 산출한 후, 상기 부족분의 응답량을 보상하기 위한 전압을 구한다. 전압과 응답량의 관계는, 액정 표시 장치의 다양한 파라미터에 따라 변화하므로, 미리 조사해 두는 것이 바람직하다. 제 3 서브 프레임 기간(116)에 있어서 화소 전극에 입력되는 신호 전압은 (제 1 서브 프레임 기간(112) 또는 제 2 서브 프레임 기간(114)에 있어서의 신호 전압) + (부족분의 응답량에 대응하는 전압)이다.

[0046] 또한, 상기한 산출 방법은 어디까지나 일례에 불과하고, 본 발명은 이것으로 한정되지 않는다. 본 실시형태에 있어서는, 부족분의 응답량을 삼각형에 근사(approximation)시켜 계산하지만, 근사를 사용하지 않고 시간과 응답량의 함수를 적분하여 계산하여도 좋다. 물론, 직사각형이나 사다리꼴 등의 형상에 근사시켜 계산하여도 좋다.

- [0047] 다음에, 1 프레임 기간을 복수의 서브 프레임 기간으로 분할하지 않는 구동 방법을 사용한 경우의 액정의 응답량과, 본 발명과 같이 1 프레임 기간을 복수의 서브 프레임 기간으로 분할하는 구동 방법을 사용하여 동일한 신호를 몇 번에 걸쳐 입력한 경우의 액정 응답량을 도 2a 및 도 2b에 도시하여 비교한다. 또한, 간소화를 위하여, 도 2a 및 도 2b에 있어서는 제 1 서브 프레임 기간 및 제 2 서브 프레임 기간(및 그것에 대응하는 기간)에 대해서만 비교하는 것으로 한다.
- [0048] 도 2a는, 1 프레임 기간(110)을 복수의 서브 프레임 기간으로 분할하지 않는, 종래의 구동 방법을 사용한 경우의 액정(TN 액정)의 응답량(파선)을 나타낸다. 또한, 도 2a 및 도 2b 중에 있어서, 실선은 1 화소에서의 기록 기간 중에 인가되는 전압을 나타낸다. 도 2a에 있어서, 액정의 응답량은 시간과 함께 증대되지만, 제 2 서브 프레임 기간에 대응하는 기간의 종반에 접어들어도 원하는 휘도에는 도달되지 못한다. 즉, 목적의 휘도(130; 목적의 응답량이라고도 기재함)에 도달될 때까지 1 서브 프레임보다 긴 시간이 걸리는 것을 알 수 있다.
- [0049] 도 2b는, 1 프레임 기간(110)을 복수의 서브 프레임 기간으로 분할하는 구동 방법을 사용하여, 동일한 신호를 2번 입력한 경우의 액정의 응답량(파선)을 나타내는 것이다. 도 2b를 보면, 제 2 서브 프레임 기간(114)에 있어서 다시 신호가 입력되면, 입력되기 전과는 다른 속도로 응답량이 변화하는 것을 알 수 있다. 즉, 도 2b의 경우, 도 2a의 경우와 비교하여 보다 빨리 목적의 응답량(130)에 근접하게 된다.
- [0050] 상기한 바와 같이, 동일한 신호를 몇 번에 걸쳐 입력함으로써, 입력되기 전과는 다른 속도로 응답량이 변화하는 현상의 상세한 내용은 불명하지만, 그 요인의 하나로서, 액정 표시 장치의 구동 방식에 기인하는 것을 들 수 있다. 어떤 화상을 표시하는 경우에 있어서, 화소의 트랜지스터가 도통 상태가 되면, 화소 전극에 신호가 입력되고, 액정에 전압이 인가된다. 그 후, 화소의 트랜지스터가 비도통 상태가 되면 상기 화소의 용량 소자는 입력 신호를 계속해서 유지함으로써, 어떤 화상을 계속해서 표시할 수 있게 된다. 그러나, 실제로는, 비도통 상태가 선택되는 경우에 있어서도 화소의 트랜지스터에는 전류가 계속해서 미량으로 흐른다. 따라서, 최초의 전압을 1 프레임 기간 계속해서 유지하기 어렵고, 결과적으로 액정에 인가되는 전압은 시간과 함께 저하하게 된다.
- [0051] 또한, 유지 용량이 작은 경우에는 이 경향이 현저하게 된다. 액정 표시 장치의 구성상, 화소의 개구율을 일정 이상으로 유지하기 위하여는, 유지 용량을 일정 이상으로 크게 하기 어렵다. 즉, 유지 용량이 유지할 수 있는 전하량에는 일정한 제한이 생긴다. 유지할 수 있는 전하량이 작은 경우에는, 미량의 누설 전류의 발생에 의하여, 액정에 인가되는 전압은 대폭적으로 감소되게 된다.
- [0052] 이것을 도시하면, 도 3a와 같이 된다. 도 3a는 어떤 화소에서의 입력 신호와, 상기 화소의 용량 소자가 유지하는 전압의 관계를 나타낸다. 여기서, 가로축은 시간을 나타내고, 세로축은 전압을 나타낸다. 실선은 입력 신호의 전압(140), 파선은 용량 소자가 유지하는 전압(142)을 나타낸다. 또한, 간소화를 위하여, 도 3a 및 도 3b에 있어서는 제 1 서브 프레임 기간(112) 및 제 2 서브 프레임 기간(114; 및 그것에 대응하는 기간)에 대해서만 도시한다. 도 3a에 도시하는 바와 같이, 신호의 입력이 끝나면, 시간의 경과와 함께 용량 소자에 축적된 전하량은 감소해 가기 때문에, 최초의 전압을 유지할 수 없게 된다.
- [0053] 한편, 동일한 신호를 몇 번에 걸쳐 입력하는 경우의, 화소에서의 입력 신호와 상기 화소의 용량 소자가 유지하는 전압의 관계를 도 3b에 도시한다. 도 3a와 마찬가지로, 실선은 입력 신호의 전압(140), 파선은 용량 소자가 유지하는 전압(142)을 나타낸다. 우선, 제 1 서브 프레임 기간(112)에 있어서 화소 전극에 신호가 입력되면, 도 3a의 경우와 마찬가지로, 용량 소자에 전하가 축적된다. 이 경우에 있어서도, 신호의 입력이 끝나면, 시간의 경과와 함께 용량 소자에 축적된 전하량은 감소해 간다. 다음에, 제 2 서브 프레임 기간(114)에 있어서, 화소 전극에는 다시 동일한 신호가 입력된다. 그 결과, 액정에 인가되는 전압을 올릴 수 있다. 즉, 목적의 응답량(휘도)에 도달하는 데에 걸리는 시간을 단축할 수 있다.
- [0054] 또한, 1 프레임 기간에 있어서의 영상을 제 1 서브 프레임 기간(112)에서 입력하고, 몇 번에 걸쳐 동일한 데이터의 기록을 반복함(리프레시함)으로써, 60 Hz 구동의 경우와 비교하여, 적어도 1/3 이하의 기간에서 일화면의 영상을 확정시킬 수 있다. 60 Hz 구동의 경우에는, 1/60 초로 화면이 재기록되는 한편, 180 Hz 구동의 경우에는, 1/180 초로 화면이 재기록되기 때문이다. 즉, 화면 상에 다른 화상(예를 들어, 어떤 1 프레임에 있어서의 화상과, 다음 1 프레임에 있어서의 화상)이 혼재하여 표시되는 기간을 단축할 수 있다. 그 결과, 화상을 재빨리 기록하고, 재빨리 확정시킬 수 있기 때문에, 1 화상 내에서의 휘도 편차가 극히 작아지므로, 동영상 번짐 현상(motion blur)이 개선되어, 화질을 향상시킬 수 있다.
- [0055] 도 3a와 도 3b의 비교를 보면 알다시피, 단순히 복수회 신호 입력이라는 동작만으로, 소위 응답 속도

의 향상을 실현할 수 있다. 또한, 여기서는 복수회 신호 입력에 의한 응답 속도 향상이 발생하는 원인으로, 유지 용량이나 트랜지스터의 누설 전류의 문제를 들지만, 그 이외에도 복수의 요인이 존재할 가능성은 있다. 예를 들어, 액정 누설의 문제 등을 들 수 있다.

[0056] 다음에, 후반의 서브 프레임(본 실시형태에 있어서는 제 3 서브 프레임(116))에 있어서 보상 전압을 가하는 경우의 효과를 간단하게 설명한다.

[0057] 후반의 서브 프레임에 있어서는, 액정의 응답량은 원하는 표시 계조에 도달한다고 간주할 수 있다. 즉, 계조를 보상하기 위하여 필요한 액정의 응답량은 극히 적은 양으로 충분하다. 액정의 응답량이 매우 미량이면, 응답에 필요한 시간도 또한 극히 짧은 시간으로 충분하게 된다. 즉, 응답 속도의 향상이 실현된다.

[0058] 본 실시형태에 도시하는 바와 같이, 1 프레임 기간을 n 개(n : 정수, $n \geq 3$)의 서브 프레임 기간으로 분할하고, 제 1 서브 프레임 내지 제 $n-1$ 서브 프레임 기간에 있어서는 신호 전압을 인가하고, 제 n 서브 프레임 기간에 있어서는, 신호 전압에 보상 전압을 가한 전압을 인가함으로써, 응답 속도의 향상 및 정확한 계조 표시를 실현할 수 있다. 또한, 간단한 연산에 의하여 보상 전압을 결정할 수 있으므로, 오버드라이브 구동과 비교하여 간이한 구성으로 화질의 향상을 도모할 수 있다는 이점을 가진다.

[0059] 또한, 본 실시형태의 구동 방법을 사용함으로써, 유지 용량을 작게 할 수도 있다. 즉, 1 프레임 기간에 복수회 신호 기록을 행함으로써, 누설 전류에 의한 전압 저하의 영향을 쉽게 받지 않게 되므로, 종래 필요로 된 유지 용량보다 작은 용량을 사용할 수 있게 된다. 유지 용량을 작게 함으로써, 개구율 및 동영상의 성능이 높은 액정 표시 장치를 제공할 수 있다. 특히, 개구와 겹치는 용량을 필요로 하지 않는 정도까지 기록 횟수를 증가시킴(즉, 많은 서브 프레임 기간으로 분할함)으로써, 최대의 개구율을 가지며 또한 동영상의 성능이 뛰어난 액정 표시 장치를 제공할 수도 있다. 또한, 유지 용량을 충분히 작게 할 수 있는 조건하에서는, 유지 용량용의 용량 배선을 가지지 않는 구성(예를 들어, 도 10에 있어서의 용량 배선(906)을 갖지 않는 구성)으로 할 수도 있다.

[0060] 또한, 본 실시형태에 있어서는, 보상 전압을 가한 서브 프레임 기간을 제 n 서브 프레임 기간으로 하지만, 본 발명은 이것으로 한정되지 않는다. 액정의 응답량이 원하는 표시 계조에 도달한다고 간주할 수 있는 서브 프레임 기간이면, 본 발명의 효과를 얻을 수 있다. 예를 들어, n 개(n : 정수, $n \geq 3$)의 서브 프레임 기간으로 분할한 경우에는, 제 m 서브 프레임 기간(m : 정수, $n/2 < m \leq n$)에 보상 전압을 가하는 구성으로 하여도 좋다.

[0061] (실시형태 2)

[0062] 본 실시형태에서는, 실시형태 1에서 설명한 방법과는 다른 구동 방법에 대하여 도 4를 사용하여 설명한다.

[0063] 우선, 1 프레임 기간을 n 개의 서브 프레임 기간(n : 정수, $n \geq 3$)으로 분할한다(도 4 참조). 본 실시형태에 있어서는 간소화를 위하여, 1 프레임 기간(410)을 3 개의 서브 프레임 기간(제 1 서브 프레임 기간(412), 제 2 서브 프레임 기간(414), 제 3 서브 프레임 기간(416))으로 분할한 경우에 대하여 설명하지만, 본 발명은 이것으로 한정되지 않는다. 또한, 액정 표시 장치에서는 일반적으로 60 Hz로 화면의 재기록이 행해지기 때문에, 1 프레임 기간은 1/60 초가 된다. 본 실시형태에서는 1 프레임 기간을 또한 3 개의 서브 프레임 기간으로 분할하기 때문에, 180 Hz 구동이 된다. 즉, 1 서브 프레임 기간은 1/180 초이다. 두말할 나위 없이, 1 프레임 기간을 n 개의 서브 프레임 기간으로 분할하는 경우에는, $60 \times n$ Hz 구동이 되어, 1 서브 프레임 기간은 $1/(60 \times n)$ 초이다.

[0064] 3 개의 서브 프레임 기간에 대응시켜, 외부로부터의 영상 신호를 화소 전극에 입력한다. 우선, 제 1 서브 프레임 기간(412)과 제 2 서브 프레임 기간(414)에 있어서 동일한 신호(신호 전압)를 각각 입력한다. 또한, 제 1 서브 프레임 기간(412) 및 제 2 서브 프레임 기간(414)에 있어서 입력되는 신호(신호 전압)로서, 외부로부터의 영상 신호를 그대로 사용하여도 좋고, 영상 신호에 어떤 보정을 행한 신호, 예를 들어, γ 보정을 행한 신호 등을 사용하여도 좋다. 신호 전압은 원하는 계조에 상응하는 전압이다.

[0065] 복수회 신호 입력에 의하여 얻어지는 효과 등은 실시형태 1과 마찬가지로, 여기서는 생략한다.

[0066] 제 1 서브 프레임 기간(412)과 제 2 서브 프레임 기간(414)에 있어서 동일한 신호를 각각 입력한 후, 제 3 서브 프레임 기간(416)의 신호를 입력한다. 여기서 화소 전극에 입력되는 신호는, 목표표 하는 액정의 응답량(430; 또는 계조)에 대하여 부족한(또는 과잉의) 응답량(또는 계조)을 보상하는 신호인 것이 바람직하다.

실시형태 1에 있어서는, 제 1 서브 프레임 기간에 있어서의 응답량의 부족분(과잉분)을 보상하도록 제 3 서브 프레임 기간에 신호를 입력하는 예를 나타내지만, 본 실시형태에 있어서는 제 2 서브 프레임 기간(414)에 있어서의 응답량의 부족분(과잉분)을 보상하도록 제 3 서브 프레임 기간(416)에 신호를 입력한다.

[0067] 또한, 본 실시형태에 있어서는, 전압을 정 방향으로 가하여 응답량의 부족분을 보상하는 경우, 즉 보상 전압이 정인 경우에 대하여 나타내지만, 본 발명은 이것으로 한정되지 않는다. 응답량이 작아지는 방향으로 변화하는 경우에는, 보상 전압을 부로 하는 것으로 대응할 수 있다.

[0068] 여기서, 제 1 서브 프레임 기간(412)에 있어서의 응답량의 부족분과, 제 2 서브 프레임 기간(414)에 있어서의 응답량의 부족분을 비교한 경우, 제 1 서브 프레임 기간(412)에 있어서의 응답량의 부족분 쪽이 크기 때문에, 실시형태 1에서 사용하는 구동방법과 비교하여, 표시되는 계조의 정밀도가 저하되는 문제가 발생한다.

[0069] 그래서, 본 실시형태에서는, 제 1 서브 프레임 기간(412)을 백 라이트 소등 기간(400)으로 한다. 즉, 응답의 과도 상태인 제 1 서브 프레임 기간(412)을 흑색 표시로 하고, 제 2 서브 프레임 기간(414) 및 제 3 서브 프레임 기간(416)만을 사용하여 표시를 행하는 것으로 한다. 이와 같이, 응답의 과도 상태인 제 1 서브 프레임 기간(412)을 표시에 관여시키지 않음으로써, 표시되는 계조의 정밀도를 크게 향상시킬 수 있다. 또한, 각 프레임 기간 중에 흑색 화면을 삽입함으로써, 브라운관과 같은 임펄스 구동을 실현할 수 있기 때문에, 동영상의 성능을 한층 더 향상시킬 수 있다.

[0070] 또한, 제 2 서브 프레임 기간(414)에 있어서의 응답량의 부족분만을 보상하도록 신호를 입력하기 때문에, 제 2 서브 프레임 기간에 있어서 표시되는 계조와 제 3 서브 프레임 기간(416)에 있어서 표시되는 계조의 차이가 작으므로, 깜박거림(flicker)의 원인을 저감할 수 있다.

[0071] 부족분의 응답량의 산출 방법 등에 대하여는 실시형태 1과 마찬가지로, 여기서는 생략한다. 또한, 제 2 서브 프레임 기간(414)에 있어서의 응답량의 부족분은 비교적 작으므로, 근사 방법의 차이에 의한 영향도 작아, 보다 간단한 방법을 사용하여 산출할 수 있다.

[0072] 본 실시형태에 나타내는 바와 같이, 1 프레임 기간을 n 개(n : 정수, $n \geq 3$)의 서브 프레임 기간으로 분할하고, 제 1 서브 프레임 내지 제 $n-1$ 서브 프레임 기간에 있어서는 같은 신호 전압을 인가하고, 제 n 서브 프레임 기간에 있어서는, 신호 전압에 보상 전압을 가한 전압을 인가함으로써, 응답 속도의 향상 및 정확한 계조 표시를 실현할 수 있다. 또한, 간단한 연산에 의하여 보상 전압을 결정할 수 있기 때문에, 오버드라이브 구동과 비교하여 간편하다는 이점을 가진다. 물론, 오버드라이브와 같은 구동을 시켜, 동작 속도를 보다 향상시켜도 좋다. 이 경우, 제 1 서브 프레임 기간에 있어서는, 상기 신호 전압 대신에 오버드라이브 전압을 인가하는 것이 바람직하다.

[0073] 또한, 본 실시형태의 구동 방법을 사용함으로써, 유지 용량을 작게 할 수도 있다. 즉, 1 프레임 기간에 복수회 신호 기록을 행함으로써, 누설 전류에 의한 전압 저하의 영향을 쉽게 받지 않게 되므로, 종래 필요로 된 유지 용량보다 작은 것을 사용할 수 있게 된다. 유지 용량을 작게 함으로써, 개구율 및 동영상의 성능이 높은 액정 표시 장치를 제공할 수 있다. 특히, 개구와 겹치는 용량을 필요로 하지 않는 정도까지 기록 횟수를 증가시킴(즉, 많은 서브 프레임 기간으로 분할함)으로써, 최대의 개구율을 가지며 또한 동영상의 성능이 뛰어난 액정 표시 장치를 제공할 수도 있다. 유지 용량을 충분히 작게 할 수 있는 조건하에서는, 유지 용량용의 용량 배선을 갖지 않는 구성(예를 들어, 도 10에 있어서의 용량 배선(906)을 갖지 않는 구성)으로 할 수도 있다.

[0074] 또한, 본 실시형태의 구동 방법은, 응답의 과도 상태인 제 1 서브 프레임 기간(412)을 표시에 관여시키지 않음으로써, 표시되는 계조의 정밀도를 크게 향상시킬 수 있다. 또한, 각 프레임 기간 중에 흑색 화면을 삽입함으로써, 브라운관과 같은 임펄스 구동을 실현할 수 있으므로, 동영상의 성능의 향상을 한층 더 향상시킬 수 있다. 또한, 개구와 겹치는 용량을 필요로 하지 않는 정도까지 기록 횟수를 증가시킴(즉, 많은 서브 프레임 기간으로 분할함)으로써, 최대의 개구율을 가지며 또한 동영상의 성능이 뛰어난 액정 표시 장치를 제공할 수도 있다. 또한, 제 2 서브 프레임 기간(414)에 있어서의 응답량의 부족분만을 보상하도록 신호를 입력하기 위하여, 제 2 서브 프레임 기간(414)에 있어서 표시되는 계조와 제 3 서브 프레임 기간(416)에 있어서 표시되는 계조의 차이가 작아, 깜박거림의 원인을 저감할 수도 있다.

[0075] 또한, 본 실시형태에 있어서는, 제 2 서브 프레임 기간(414)의 응답량의 부족분을 제 3 서브 프레임 기간(416)에서 보상하는 구성으로 하지만, 본 발명의 구성은 이것으로 한정되지 않는다. 예를 들어, 1 프레임 기간을 n 개(n : 정수, $n \geq 3$)의 서브 프레임 기간으로 분할한 경우에는, 제 1 서브 프레임 기간 이외의 서브 프레임 기간에 대한 응답량의 부족분(예를 들어, 제 2 서브 프레임 기간 및 제 3 서브 프레임 기간에 대한 응답량

의 부족분)을 보상하는 구성으로 할 수도 있다. 액정의 응답량의 부족분은 전반의 서브 프레임 기간에 있어서 특히 크기 때문에, 백 라이트를 소등시키는 서브 프레임 기간의 직후의 서브 프레임 기간에 대하여 응답량의 부족분을 보상하는 구성으로 하는 것이 바람직하다. 또한, 보상 전압을 가하는 서브 프레임 기간에 대하여도 적절히 선택할 수 있다.

[0076] 본 실시형태는, 실시형태 1과 조합하여 사용할 수 있다.

[0077] (실시형태 3)

[0078] 본 실시형태에서는, 본 발명의 다른 구동 방법에 대하여 도 5a 및 도 5b를 사용하여 설명한다.

[0079] 우선, 1 프레임 기간을 n 개의 서브 프레임 기간(n : 정수, $n \geq 3$)으로 분할한다(도 4 참조). 본 실시형태에 있어서는 간소화를 위하여, 1 프레임 기간을 4 개의 서브 프레임 기간으로 분할한 경우에 대하여 설명하지만, 본 발명은 이것으로 한정되지 않는다. 물론, 1 프레임 기간을 3 개의 서브 프레임 기간으로 분할한 경우에도 적용할 수 있다. 또한, 액정 표시 장치에서는 일반적으로 60 Hz로 화면의 재기록이 행해지므로, 1 프레임 기간은 1/60 초가 된다. 본 실시형태에서는, 1 프레임 기간을 또한 4 개의 서브 프레임 기간으로 분할하기 때문에, 240 Hz 구동이 된다. 즉, 1 서브 프레임 기간은 1/240 초이다. 두말할 나위 없이, 1 프레임 기간을 n 개의 서브 프레임 기간으로 분할하는 경우에는, $60 \times n$ Hz 구동이 되고, 1 서브 프레임 기간은 $1/(60 \times n)$ 초가 된다.

[0080] 4 개의 서브 프레임 기간에 대응시켜, 외부로부터 받은 영상 신호를 화소 전극에 입력한다. 우선, 제 1 서브 프레임 기간과 제 2 서브 프레임 기간에 있어서 동일한 신호(신호 전압)를 각각 입력한다. 또한, 제 1 서브 프레임 기간 및 제 2 서브 프레임 기간에 있어서 입력되는 신호(신호 전압)로서, 외부로부터 받은 영상 신호를 그대로 사용하여도 좋고, 영상 신호에 어떤 보정을 행한 신호, 예를 들어, γ 보정을 행한 신호 등을 사용하여도 좋다. 신호 전압은 원하는 계조에 상당하는 전압이다.

[0081] 복수회 신호 입력에 의하여 얻어지는 효과 등은 실시형태 1과 마찬가지로, 여기서는 생략한다.

[0082] 제 1 서브 프레임 기간과 제 2 서브 프레임 기간에 있어서 동일한 신호를 각각 입력한 후, 제 3 서브 프레임 기간 및 제 4 서브 프레임 기간의 신호를 입력한다. 본 실시형태에 있어서는, 제 3 서브 프레임 기간 및 제 4 서브 프레임 기간의 한쪽에는 신호 전압을 인가하고, 다른 쪽에는 신호 전압에 보상 전압을 가한 전압을 인가한다. 제 3 서브 프레임 기간 및 제 4 서브 프레임 기간의 어느 쪽에 신호 전압을 인가하고, 어느 쪽에 신호 전압에 보상 전압을 가한 전압을 인가하는지는, 보상 전압을 가하는 대상이 되는 1 프레임 기간과 다음 1 프레임 기간의 신호 전압의 관계에 따라 결정하는 것이 바람직하다.

[0083] 예를 들어, 다음 1 프레임 기간에 있어서의 신호 전압이, 보상 전압의 인가 대상이 되는 1 프레임 기간의 신호 전압보다 큰 경우에는, 제 4 서브 프레임 기간에 있어서 신호 전압에 보상 전압을 가한 전압을 인가하고, 다음 1 프레임 기간에 있어서의 신호 전압이, 보상 전압의 인가 대상이 되는 1 프레임 기간의 신호 전압보다 작은 경우에는, 제 3 서브 프레임 기간에 있어서 신호 전압에 보상 전압을 가한 전압을 인가하도록 구동시켜도 좋다.

[0084] 상기한 바와 같은 구동 방법을 사용하는 경우의 인가 전압과 응답량의 관계를 도 5a 및 도 5b에 도시한다. 도 5a는, 제 2 프레임 기간(560; 제 1 서브 프레임 기간(562), 제 2 서브 프레임 기간(564), 제 3 서브 프레임 기간(566): 이하 생략)에 있어서의 신호 전압이, 제 1 프레임 기간(550; 제 1 서브 프레임 기간(552), 제 2 서브 프레임 기간(554), 제 3 서브 프레임 기간(556), 제 4 서브 프레임 기간(558))의 신호 전압보다 큰 경우를 나타낸다. 이와 같이, 응답량이 보다 큰 방향으로 변화하는 경우에는, 제 4 서브 프레임 기간(558)에 있어서 신호 전압에 보상 전압을 가한 전압을 인가하는 것이 바람직하다. 이러한 구동 방법으로 함으로써, 제 1 프레임 기간(550)과 제 2 프레임 기간(560)의 표시가 변환될 때의, 액정의 응답량의 변화를 작게 할 수 있으므로, 액정의 응답 지연에 기인하는 화질의 저하를 방지할 수 있다.

[0085] 마찬가지로, 도 5b는, 제 2 프레임 기간(560)에 있어서의 신호 전압이, 제 1 프레임 기간(550)의 신호 전압보다 작은 경우를 나타낸다. 이와 같이, 응답량이 보다 작은 방향으로 변화하는 경우에는, 제 3 서브 프레임 기간(556)에 있어서 신호 전압에 보상 전압을 가한 전압을 인가하는 것이 바람직하다. 이러한 구동 방법으로 함으로써, 제 1 프레임 기간(550)과 제 2 프레임 기간(560)의 표시가 변환될 때에, 액정의 응답량의 변화를 작게 할 수 있으므로, 액정의 응답 지연에 기인한 화질의 저하를 방지할 수 있다.

[0086] 상기의 구동 방법은, 보상 전압의 인가 대상이 되는 1 프레임 기간과 다음 1 프레임 기간의 신호 전압

의 관계에 따라, 신호 전압에 보상 전압을 가한 전압을 인가하는 서브 프레임 기간을 결정하지만, 본 발명은 이것으로 한정되지 않는다. 예를 들어, 보상 전압의 인가 대상이 되는 1 프레임 기간과 다음 1 프레임 기간의 신호 전압 및 보상 전압의 관계에 따라 결정하여도 좋다. 또한, 대상이 되는 1 프레임 기간과 다음 1 프레임 기간의 목표 응답량의 관계에 따라 결정하여도 좋다. 또한, 도 5a는, 제 2 프레임 기간(560)에 있어서의 목표 응답량(510)이 제 1 프레임 기간(550)에 있어서의 목표 응답량(500)보다 큰 경우에 해당하고, 도 5b는, 제 2 프레임 기간(560)에 있어서의 목표 응답량(530)이 제 1 프레임 기간(550)에 있어서의 목표 응답량(520)보다 작은 경우에 해당한다.

[0087] 또한, 부족분의 응답량의 산출 방법 등에 대하여는 실시형태 1과 마찬가지로, 여기서는 생략한다.

[0088] 또한, 본 실시형태에 있어서는, 전압을 정의 방향으로 인가하여 응답량의 부족분을 보상하는 경우, 즉 보상 전압이 정의 경우에 대하여 나타내지만, 본 발명은 이것으로 한정되지 않는다. 응답량이 작게 되는 방향으로 변화하는 경우에는, 보상 전압을 부로 하는 것으로 대응할 수 있다.

[0089] 본 실시형태에 나타내는 바와 같이, 1 프레임 기간을 n 개(n : 정수, $n \geq 3$)의 서브 프레임 기간을 분할하고, 다음 1 프레임 기간에 있어서의 신호 전압이 대상이 되는 1 프레임 기간의 신호 전압보다 큰(또는 신호 전압 이상인) 경우에는 제 n 서브 프레임 기간을 선택하고, 다음 1 프레임 기간에 있어서의 신호 전압이 대상이 되는 1 프레임 기간의 신호 전압 이하의(또는 신호 전압보다 작은) 경우에는 제 $n-1$ 서브 프레임 기간을 선택하고, 선택된 서브 프레임 기간에 있어서, 신호 전압에 보상 전압을 가한 전압을 화소 전극에 인가하고, 선택된 서브 프레임 기간 이외의 서브 프레임 기간에 있어서, 신호 전압과 동일한 전압을 화소 전극에 인가함으로써, 응답 속도의 향상 및 정확한 계조 표시를 실현할 수 있다. 또한, 간단한 연산에 의하여 보상 전압을 결정할 수 있으므로, 오버드라이브 구동과 비교하여 간편하다는 이점을 가진다. 물론, 오버드라이브 구동과 같은 구동을 시켜, 동작 속도를 보다 향상시켜도 좋다. 이 경우, 제 1 서브 프레임 기간에 있어서는, 상기 신호 전압 대신에 오버드라이브 전압을 인가하는 것이 바람직하다.

[0090] 또한, 본 실시형태의 구동 방법을 사용함으로써, 유지 용량을 작게 할 수도 있다. 즉, 1 프레임 기간에 복수회 신호 기록을 행함으로써, 누설 전류에 의한 전압 저하의 영향을 쉽게 받지 않게 되므로, 종래 필요로 된 유지 용량보다 작은 것을 사용할 수 있게 된다. 유지 용량을 작게 함으로써, 개구율 및 동영상의 성능이 높은 액정 표시 장치를 제공할 수 있다. 특히, 개구와 겹치는 용량을 필요로 하지 않는 정도까지 기록 횟수를 증가시킴(즉, 많은 서브 프레임 기간으로 분할함)으로써, 최대의 개구율을 가지며 또한 동영상의 성능이 뛰어난 액정 표시 장치를 제공할 수도 있다. 유지 용량을 충분히 작게 할 수 있는 조건하에서는, 유지 용량용의 용량 배선을 갖지 않는 구성으로 할 수도 있다.

[0091] 또한, 본 실시형태의 구동 방법은, 다음 1 프레임 기간에 있어서의 액정의 응답량(목표 값)에 따라 보상 전압을 인가하는 서브 프레임을 선택하기 때문에, 다음 1 프레임 기간에 있어서의 응답 시간을 단축할 수 있다. 따라서, 응답 속도를 한층 더 향상시킬 수 있다. 또한, 선택되는 서브 프레임 기간이 다른 경우에는, 보상 전압의 값도 다른 점에 유의할 필요가 있다. 예를 들어, 도 5a 및 도 5b에 도시하는 경우에 있어서는, 도 5b의 경우와 비교하여, 도 5a의 경우에 인가되는 보상 전압의 값이 작다. 이것은, 도 5a의 경우에는 제 4 서브 프레임 기간에서만 응답량의 부족분을 보상할 필요가 있는 데에 비하여, 도 5b의 경우에는 제 3 서브 프레임 기간 및 제 4 서브 프레임 기간을 사용하여 응답량의 부족분을 보상하면 되기 때문이다.

[0092] 또한, 본 실시형태의 구동 방법에 있어서는, 실시형태 2에 나타내는 백 라인을 소등하는 구성을 채용할 수 있다. 응답의 과도 상태인 제 1 서브 프레임 기간을 표시에 관여시키지 않음으로써, 표시되는 계조의 정밀도를 크게 향상시킬 수 있다. 또한, 각 프레임 기간 중에 흑색 화면을 삽입함으로써, 브라운관과 같은 임펄스 구동을 실현할 수 있으므로, 동영상의 성능을 한층 더 향상시킬 수 있다. 또한, 개구와 겹치는 용량을 필요로 하지 않는 정도까지 기록 횟수를 증가시킴(즉, 많은 서브 프레임 기간으로 분할함)으로써, 최대의 개구율을 가지며 또한 동영상의 성능이 뛰어난 액정 표시 장치를 제공할 수도 있다. 또한, 제 2 서브 프레임 기간에 있어서의 응답량의 부족분만을 보상하도록 신호를 입력하기 때문에, 제 2 서브 프레임 기간에 있어서 표시되는 계조와 제 3 서브 프레임 기간에 있어서 표시되는 계조의 차이가 작으므로, 깜박거림의 원인을 저감할 수도 있다.

[0093] 본 실시형태는, 실시형태 1 및 실시형태 2를 적절히 조합하여 사용할 수 있다.

[0094] (실시형태 4)

[0095] 본 실시형태에 있어서는, 실시형태 3에 있어서 설명된 보상 전압의 인가 패턴에 대하여, 몇 개의 경우로 나누어 설명한다. 구체적으로는, 대상이 되는 1 프레임 기간 A(보상 전압을 인가하는 대상이 되는 1 프레임

기간)와, 직전의 1 프레임 기간 B, 및 직후의 1 프레임 기간 C의 신호 전압의 대소 관계에 따라, 보상 전압을 인가하는 서브 프레임 기간을 선택하는 상황에 대하여 설명한다.

[0096] 도 24a 내지 도 24h는, 대상이 되는 1 프레임 기간 A와, 직전의 1 프레임 기간 B, 및 직후의 1 프레임 기간 C의 신호 전압의 대소 관계를 몇 패턴으로 나누어 나타낸다. 여기서는 간소화를 위하여, 고전압(이하, H라고 기재함)과 저전압(이하, L이라고 기재함)의 2치에 의하여 표시되는 신호 전압에 대하여 나타내지만, 다치(多値)인 경우라도 마찬가지로 다를 수 있다.

[0097] 도 24a는 각 프레임 기간에 있어서 신호 전압이 L, L, L이며 변화하지 않는 경우에 대하여 나타낸다. 도 24b에는 각 프레임 기간에 있어서 신호 전압이 L, L, H인 경우를, 도 24c에는 L, H, L인 경우를, 도 24d에는 H, L, L인 경우를, 도 24e에는 L, H, L인 경우를, 도 24f에는, H, L, L인 경우를 도 24g에는 H, H, L인 경우를 나타낸다. 또한, 도 24h에는 각 프레임 기간에 있어서의 신호 전압이 H, H, H로 변화하지 않는 경우에 대하여 나타낸다.

[0098] 도 24a, 도 24b, 도 24g, 도 24h에 있어서는, 대상이 되는 1 프레임 기간 A와 직전의 1 프레임 기간 B의 신호 전압에 차이가 없다. 이러한 경우에는, 대상이 되는 1 프레임 기간 A에 있어서 보상 전압을 가할 필요는 없다.

[0099] 도 24c, 도 24e에 있어서는, 대상이 되는 1 프레임 기간 A의 신호 전압이 직전의 1 프레임 기간 B와 비교하여 높다. 이러한 경우에는 액정의 상승 지연이 생기기 때문에, 1 프레임 기간 A에 정의 보상 전압을 가할 필요가 있다.

[0100] 여기서, 대상이 되는 1 프레임 기간 A와 직후의 1 프레임 기간 C의 신호 전압을 비교한다. 도 24c의 경우에 있어서는, 직후의 1 프레임 기간 C의 신호 전압이 대상이 되는 1 프레임 기간 A와 비교하여 낮다. 도 24c의 경우에는, 보상 전압으로서 정의 전압을 가하게 됨으로, 보상 전압을 가하는 서브 프레임 기간으로서는 마지막 서브 프레임 기간을 피하는 것이 바람직하다. 보다 구체적으로는, 예를 들어, 1 프레임 기간을 n 개의 서브 프레임 기간으로 분할한 경우에는, 제 1 서브 프레임 기간 및 제 n 서브 프레임 기간 이외의 서브 프레임 기간을 선택하여 보상 전압을 가하는 것이 바람직하다. 도 24e와 같이, 대상이 되는 1 프레임 기간 A와 직후의 1 프레임 기간 C의 신호 전압에 차이가 없는 경우도 마찬가지다.

[0101] 또한, 본 실시형태에 있어서는, 2치인 경우를 사용하여 설명하기 때문에, 직후의 1 프레임 기간 C의 신호 전압이, 대상이 되는 1 프레임 기간 A와 비교하여 높은 경우에 대하여는 나타내지 않지만, 다치의 경우에 있어서는 이러한 상황이 존재할 수 있다. 이 경우에는, 마지막 서브 프레임 기간을 포함하는 서브 프레임 기간을 선택하여 보상 전압을 가하는 것이 바람직하다. 1 프레임 기간을 n 개의 서브 프레임 기간으로 분할한 경우에는, 적어도 제 n 서브 프레임 기간을 포함하는 서브 프레임 기간을 하나 또는 복수 선택하여 보상 전압을 가하는 것이 바람직하다.

[0102] 도 24d, 도 24f에 있어서는, 대상이 되는 1 프레임 기간 A의 신호 전압이 직전의 1 프레임 기간 B와 비교하여 낮다. 이러한 경우에는 액정의 하강 지연이 생기기 때문에, 부의 보상 전압을 가할 필요가 있다.

[0103] 정의 보상 전압을 가하는 경우와 마찬가지로, 대상이 되는 1 프레임 기간 A와 직후의 1 프레임 기간 C의 신호 전압을 비교한다. 도 24f의 경우에 있어서는, 직후의 1 프레임 기간 C의 신호 전압이, 대상이 되는 1 프레임 기간 A와 비교하여 높다. 도 24f의 경우에는, 보상 전압으로서 부의 전압을 가하게 되므로, 보상 전압을 가하는 서브 프레임 기간으로서는 마지막 서브 프레임 기간을 피하는 것이 바람직하다. 보다 구체적으로는, 예를 들어, 1 프레임 기간을 n 개의 서브 프레임 기간으로 분할한 경우에는, 제 1 서브 프레임 기간 및 제 n 서브 프레임 기간 이외의 서브 프레임 기간을 선택하여 보상 전압을 가하는 것이 바람직하다. 도 24d와 같이, 대상이 되는 1 프레임 기간 A와 직후의 1 프레임 기간 C의 신호 전압에 차이가 없는 경우도 마찬가지다.

[0104] 또한, 본 실시형태에 있어서는, 2치인 경우를 사용하여 설명하기 때문에, 직후의 1 프레임 기간 C의 신호 전압이 대상이 되는 1 프레임 기간 A와 비교하여 낮은 경우에 대하여는 나타내지 않지만, 다치의 경우에 있어서는 이러한 상황이 존재할 수 있다. 이 경우에는, 마지막 서브 프레임 기간을 포함하는 서브 프레임 기간을 선택하여 보상 전압을 가하는 것이 바람직하다. 1 프레임 기간을 n 개의 서브 프레임 기간으로 분할한 경우에는, 적어도 제 n 서브 프레임 기간을 포함하는 서브 프레임 기간을 하나 또는 복수 선택하여 보상 전압을 가하는 것이 바람직하다.

[0105] 정리하면, 이하와 같다.

- [0106] 보상 전압이 정의 경우
- [0107] · 직후의 1 프레임 기간에 있어서의 신호 전압이, 대상이 되는 1 프레임 기간에 있어서의 신호 전압보다 낮은 경우(및, 차이가 없는 경우): 첫 번째 서브 프레임 기간, 및 마지막 서브 프레임 기간 이외의 서브 프레임 기간을 선택하여 보상 전압을 가한다.
- [0108] · 직후의 1 프레임 기간에 있어서의 신호 전압이, 대상이 되는 1 프레임 기간에 있어서의 신호 전압보다 높은 경우: 마지막 서브 프레임 기간을 포함하는 서브 프레임 기간을 선택하여 보상 전압을 가한다.
- [0109] 보상 전압이 부의 경우
- [0110] · 직후의 1 프레임 기간에 있어서의 신호 전압이, 대상이 되는 1 프레임 기간에 있어서의 신호 전압보다 높은 경우(및, 차이가 없는 경우): 첫 번째 서브 프레임 기간, 및 마지막 서브 프레임 기간 이외의 서브 프레임 기간을 선택하여 보상 전압을 가한다.
- [0111] · 직후의 1 프레임 기간에 있어서의 신호 전압이, 대상이 되는 1 프레임 기간에 있어서의 신호 전압보다 낮은 경우: 마지막 서브 프레임 기간을 포함하는 서브 프레임 기간을 선택하여 보상 전압을 가한다.
- [0112] 이상과 같이, 대상이 되는 1 프레임 기간의 제 n 서브 프레임 기간에 인가되는 전압과, 대상이 되는 1 프레임 기간의 다음 1 프레임 기간의 제 1 서브 프레임 기간에 인가되는 전압의 차이가 작게 되도록, 서브 프레임 기간을 선택하여 보상 전압을 가함으로써, 액정의 응답 지연의 영향을 크게 저감시킬 수 있다.
- [0113] 본 실시형태는 실시형태 1 내지 실시형태 3과 적절히 조합하여 사용할 수 있다.
- [0114] (실시형태 5)
- [0115] 본 발명의 액정 표시 장치에 사용할 수 있는 액티브 매트릭스 기판의 제작 방법의 일례를 도 6a 내지 도 8c를 사용하여 설명한다. 또한, 본 실시형태에서는 결정성 반도체막을 사용한 경우에 대하여 설명하지만, 비정질 반도체막, 단결정 반도체막을 사용하여도 좋다.
- [0116] 우선, 도 6a에 도시하는 바와 같이, 기판(600) 위에 하지막(602)을 형성한다. 기판(600)에는, 예를 들어, 바륨 보로실리케이트 유리나, 알루미늄 보로실리케이트 유리와 같은 유리 기판, 석영 기판, 스테인리스 기판 등을 사용할 수 있다. 또한, PET, PES, PEN으로 대표되는 플라스틱이나, 아크릴 등의 가요성을 갖는 합성수지로 이루어진 기판을 사용할 수도 있다.
- [0117] 하지막(602)은 기판(600) 중에 포함되는 Na 등의 알칼리 금속이나 알칼리 토류금속이, 반도체 층으로 확산되어, 반도체 소자의 특성에 악영향을 주는 것을 방지하기 위하여 형성한다. 따라서, 알칼리 금속이나 알칼리 토류금속이 반도체막으로 확산되는 것을 억제할 수 있는 질화실리콘이나, 질소를 포함하는 산화실리콘 등의 절연성 재료를 사용하여 형성한다. 본 실시형태에서는, 플라즈마 CVD법을 사용하여 질소를 포함하는 산화실리콘막을 10 nm 내지 400 nm(바람직하게는 50 nm 내지 300 nm)의 막 두께가 되도록 형성한다.
- [0118] 다음에, 하지막(602) 위에 반도체막(604)을 형성한다. 반도체막(604)의 막 두께는 25 nm 내지 100 nm(바람직하게는 30 nm 내지 60 nm)로 한다. 또한 반도체막(604)은, 비정질 반도체라도 좋고, 다결정 반도체라도 좋다. 또한 반도체로서는, 실리콘(Si)뿐만 아니라 실리콘 게르마늄(SiGe) 등을 사용할 수도 있다. 실리콘 게르마늄을 사용하는 경우, 게르마늄의 농도는 0.01 atm% 내지 4.5 atm% 정도인 것이 바람직하다.
- [0119] 다음에, 도 6b에 도시하는 바와 같이, 반도체막(604)에 선형 레이저(608)를 조사하여, 결정화를 행한다. 본 실시형태와 같은 레이저 결정화를 행하는 경우에는, 레이저에 대한 반도체막(604)의 내성을 높이기 위하여, 레이저 결정화 공정을 행하기 전에 500℃에서 1시간 정도의 가열 처리 공정을 가하여도 좋다.
- [0120] 레이저 결정화 공정에는, 예를 들어, 연속발진의 레이저(CW 레이저)나, 의사적인 CW 레이저(발진 주파수가 10 MHz 이상, 바람직하게는 80 MHz 이상의 펄스 발진 레이저) 등을 사용할 수 있다.
- [0121] 구체적으로는, 연속발진의 레이저로서, Ar 레이저, Kr 레이저, CO₂ 레이저, YAG 레이저, YVO₄ 레이저, YLF 레이저, YAlO₃ 레이저, GdVO₄ 레이저, Y₂O₃ 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti: 사파이어 레이저, 헬륨카드뮴레이저 등을 들 수 있다.
- [0122] 또한, 의사적인 CW 레이저로서, Ar 레이저, Kr 레이저, 엑시머 레이저, CO₂ 레이저, YAG 레이저, YVO₄ 레이저, YLF 레이저, YAlO₃ 레이저, GdVO₄ 레이저, Y₂O₃ 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti: 사파

이어 레이저, 구리 증기 레이저 또는 금 증기 레이저와 같은 펄스 발진 레이저 등을 들 수 있다.

[0123] 이러한 펄스 발진 레이저는, 발진 주파수를 증가시키면, 연속 발진 레이저와 동등한 효과를 나타낸다.

[0124] 예를 들어, 연속발진이 가능한 고체 레이저를 사용하는 경우, 기본파의 제 2 고조파 내지 제 4 고조파를 조사함으로써, 입경이 큰 결정을 얻을 수 있다. 대표적으로는, YAG 레이저(기본파 1064 nm)의 제 2 고조파(532 nm)나 제 3 고조파(355 nm)를 사용할 수 있다. 파워 밀도는 0.01 MW/cm^2 내지 100 MW/cm^2 정도(바람직하게는 0.1 MW/cm^2 내지 10 MW/cm^2)로 하면 좋다.

[0125] 상술한 바와 같이, 반도체막(604)에 레이저 광을 조사함으로써, 결정성이 보다 높여진 결정성 반도체막(610)이 형성된다.

[0126] 다음에, 도 6c에 도시하는 바와 같이, 결정성 반도체막(610)을 선택적으로 에칭함으로써, 섬 형상의 반도체막(612, 614, 616)을 형성한다.

[0127] 다음에, 섬 형상의 반도체막(612, 614, 616)의 각각에, 임계값 제어를 위한 불순물 원소를 도입한다. 본 실시형태에 있어서는 디보란(B₂H₆)을 도핑함으로써 붕소(B)를 도입한다.

[0128] 다음에, 섬 형상의 반도체막(612, 614, 616)을 덮도록 절연막(618)을 형성한다. 절연막(618)으로서는, 예를 들어 산화실리콘, 질화실리콘, 또는 질소를 포함하는 산화실리콘(SiO_xN_y: x > y > 0) 등을 사용할 수 있다. 또한, 성막 방법으로서, 플라즈마 CVD법이나, 스퍼터링법 등을 사용할 수 있다.

[0129] 다음에, 절연막(618) 위에 제 1 도전막(620), 제 2 도전막(622)을 형성한 후, 상기 도전막(620, 622)을 선택적으로 에칭함으로써, 게이트 전극(636, 638, 640)을 형성한다(도 6d, 도 7a 내지 도 7c 참조).

[0130] 제 1 도전막(620), 제 2 도전막(622)으로서는, 알루미늄(Al), 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 네오디뮴(Nd), 크롬(Cr), 니켈(Ni), 백금(Pt), 금(Au), 은(Ag), 구리(Cu), 마그네슘(Mg), 스칸듐(Sc), 코발트(Co), 아연(Zn), 니오브(Nb), 실리콘(Si), 인(P), 붕소(B), 비소(As), 갈륨(Ga), 인듐(In), 주석(Sn)으로부터 선택된 하나 또는 복수의 원소, 또는 상기 선택된 하나 또는 복수의 원소를 성분으로서 함유하는 화합물이나 합금 재료(예를 들어, 인듐주석산화물(ITO), 인듐아연산화물(IZO), 산화실리콘을 첨가한 인듐주석산화물(ITSO), 산화아연(ZnO), 알루미늄-네오디뮴(Al-Nd), 마그네슘-은(Mg-Ag) 등), 또는, 이들 화합물을 조합한 물질 등을 사용할 수 있다. 그 이외에도, 실리사이드(예를 들어, 알루미늄실리콘, 몰리브덴실리콘, 니켈실리사이드)나, 질소를 함유하는 화합물(예를 들어, 질화티타늄, 질화탄탈, 질화몰리브덴), 인(P) 등의 불순물 원소를 도핑한 실리콘(Si) 등을 사용하여도 좋다. 또한, 본 실시형태에 있어서는, 제 1 도전막(620), 제 2 도전막(622)의 2 층 구조로 하지만, 단층이라도 좋고, 3 층 이상의 적층 구조라도 좋다.

[0131] 본 실시형태에서는, 게이트 전극(636, 638, 640)은 이하와 같이 형성된다. 우선, 제 1 도전막(620)으로서, 예를 들어 질화탄탈막을 10 nm 내지 50 nm, 대표적으로는 30 nm의 막 두께로 형성한다. 그리고, 제 1 도전막(620) 위에 제 2 도전막(622)으로서, 예를 들어 텅스텐막을 200 nm 내지 400 nm, 대표적으로는 370 nm의 막 두께로 형성함으로써, 제 1 도전막(620) 및 제 2 도전막(622)의 적층막을 형성한다(도 6d 참조).

[0132] 다음에, 제 2 도전막(622)을 이방성 에칭에 의하여 패터닝하여, 상층 게이트 전극(624, 626, 628)을 형성한다(도 7a 참조). 이어서, 제 1 도전막(620)을 등방성 에칭에 의하여 패터닝하여, 하층 게이트 전극(630, 632, 634)을 형성한다(도 7b 참조). 상기한 공정에 의하여 게이트 전극(636, 638, 640)이 형성된다.

[0133] 게이트 전극(636, 638, 640)은, 게이트 배선의 일부로서 형성하여도 좋고, 별도로 형성한 게이트 배선에 게이트 전극(636, 638, 640)을 접속하는 구성으로 하여도 좋다.

[0134] 그리고, 게이트 전극(636, 638, 640)이나, 선택적으로 형성한 레지스트 등을 마스크로서 사용하여, 섬 형상의 반도체막(612, 614, 616)의 각각에 도전성(n형 또는 p형의 도전성)을 부여하는 불순물을 첨가하여, 소스 영역, 드레인 영역, 저농도 불순물 영역 등을 형성한다.

[0135] 우선, 포스핀(PH₃)을 사용하여, 인(P)을 섬 형상의 반도체막(612, 616)에 도입한다. 도입의 조건으로서는, 가속 전압을 60 kV 내지 120 kV, 도즈량을 $1 \times 10^{13} \text{ atoms} \cdot \text{cm}^2$ 내지 $1 \times 10^{15} \text{ atoms} \cdot \text{cm}^2$ 로 하는 것이 바람직하다. 상기 불순물 도입에 의하여, 후의 p채널형 TFT(678 및 682)의 채널 형성 영역(642 및 648)이 형성된다(도 7c 참조).

- [0136] 또한, 디보란(B₂H₆)을 사용하여 섬 형상의 반도체막(614)에 붕소(B)를 도입한다. 도입의 조건으로서는, 인가 전압 60 kV 내지 100 kV, 도즈량 $1 \times 10^{13} \text{ atoms} \cdot \text{cm}^{-2}$ 내지 $5 \times 10^{15} \text{ atoms} \cdot \text{cm}^{-2}$ 로 하는 것이 바람직하다. 그 결과, 후의 p채널형 TFT(680)의 소스 영역 또는 드레인 영역(644), 및 채널 형성 영역(646)이 형성된다(도 7c 참조).
- [0137] 다음에, 절연막(618)을 선택적으로 에칭하여 게이트 절연막(650, 652, 654)을 형성한다.
- [0138] 게이트 절연막(650, 652, 654)을 형성한 후, n채널형 TFT(678 및 682)가 되는 섬 형상의 반도체막 중에, 포스핀(PH₃)을 사용하여, 인가 전압 40 kV 내지 80 kV, 도즈량 $1.0 \times 10^{15} \text{ atoms} \cdot \text{cm}^{-2}$ 내지 $2.5 \times 10^{16} \text{ atoms} \cdot \text{cm}^{-2}$ 로 인(P)을 도입한다. 그 결과, n채널형 TFT의 저농도 불순물 영역(658, 662) 및 소스 영역 또는 드레인 영역(656, 660)이 형성된다(도 8a 참조).
- [0139] 본 실시형태에 있어서는, 소스 영역 또는 드레인 영역(656, 660)의 각각에 $1.0 \times 10^{19} \text{ atoms} \cdot \text{cm}^{-3}$ 내지 $5.0 \times 10^{21} \text{ atoms} \cdot \text{cm}^{-3}$ 의 농도로 인(P)이 포함된다. 또한, 저농도 불순물 영역(658, 662)의 각각에 $1.0 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ 내지 $5.0 \times 10^{19} \text{ atoms} \cdot \text{cm}^{-3}$ 의 농도로 인(P)이 포함된다. 또한, 소스 영역 또는 드레인 영역(644)에는, $1.0 \times 10^{19} \text{ atoms} \cdot \text{cm}^{-3}$ 내지 $5.0 \times 10^{21} \text{ atoms} \cdot \text{cm}^{-3}$ 의 농도로 붕소(B)가 포함된다.
- [0140] 다음에, 섬 형상의 반도체막(612, 614, 616), 게이트 전극(636, 638, 640)을 덮도록, 제 1 층간 절연막(664)을 형성한다(도 8b 참조).
- [0141] 제 1 층간 절연막(664)으로서는, 플라즈마 CVD법 또는 스퍼터링법을 사용하여, 실리콘을 포함하는 절연막, 예를 들어 산화실리콘막, 질화실리콘막, 질소를 포함하는 산화실리콘막(SiO_xN_y : $x > y > 0$) 등을 단층 또는 적층하여 형성하는 것이 바람직하다. 물론, 제 1 층간 절연막(664)의 제작 방법 및 재료는 이것으로 한정되지 않는다. 예를 들어, 다른 절연막을 단층 또는 적층 구조로서 사용하여도 좋다.
- [0142] 다음에, 제 1 층간 절연막(664)을 덮어, 평탄화막으로서 기능하는 제 2 층간 절연막(666)을 형성한다(도 8c 참조).
- [0143] 제 2 층간 절연막(666)으로서는, 감광성 또는 비감광성의 유기 재료(폴리이미드, 아크릴, 폴리아미드, 폴리이미드아미드, 레지스트 또는 벤조시클로부텐), 실리콘(Si)과 산소(O)의 결합(Si-O-Si 결합)으로 골격 구조가 구성되는 실록산 등을 사용할 수 있다. 제 2 층간 절연막(666)은, 단층 구조로 하여도 좋고, 적층 구조로 하여도 좋다. 감광성의 유기 재료로서는, 포지티브형 감광성 유기 수지나 네거티브형 감광성 유기 수지를 사용할 수 있다.
- [0144] 본 실시형태에서는, 제 2 층간 절연막(666)으로서 실록산을 스펀코팅법을 사용하여 형성한다.
- [0145] 다음에, 제 1 층간 절연막(664) 및 제 2 층간 절연막(666)을 에칭하여, 섬 형상의 반도체막(612, 614, 616)에 도달하는 콘택트 홀을 형성한다.
- [0146] 또한, 제 2 층간 절연막(666) 위에 제 3 층간 절연막을 형성하고, 제 1 층간 절연막 내지 제 3 층간 절연막에 콘택트 홀을 형성하여도 좋다. 제 3 층간 절연막으로서는, 수분이나 산소 등을 쉽게 투과시키지 않는 막을 사용하는 것이 바람직하다. 대표적으로는, 스퍼터링법 또는 CVD법을 사용하여 형성되는 질화실리콘막, 산화실리콘막, 산소를 포함하는 질화실리콘막(SiN_xO_y 막: $x > y > 0$, 또는 SiO_xN_y 막: $x > y > 0$), 탄소를 주성분으로 하는 박막(예를 들어 DLC막, CN막) 등을 사용할 수 있다.
- [0147] 제 2 층간 절연막(666) 위에 콘택트 홀을 통하여, 제 3 도전막을 형성하고, 상기 제 3 도전막을 선택적으로 에칭하여, 전극 또는 배선(668, 670, 672, 674, 676)을 형성한다.
- [0148] 제 3 도전막으로서는, 알루미늄(Al), 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 네오디뮴(Nd), 크롬(Cr), 니켈(Ni), 백금(Pt), 금(Au), 은(Ag), 구리(Cu), 마그네슘(Mg), 스칸듐(Sc), 코발트(Co), 아연(Zn), 니오브(Nb), 실리콘(Si), 인(P), 붕소(B), 비소(As), 갈륨(Ga), 인듐(In), 주석(Sn) 중으로부터 선택된 하나 또는 복수의 원소, 또는, 상기 선택된 하나 또는 복수의 원소를 성분으로서 함유하는 화합물이나 합금 재료(예를 들어, 인듐주석산화물(ITO), 인듐아연산화물(IZO), 산화실리콘을 첨가한 인듐주석산화물(ITSO), 산화아연(ZnO), 알루미늄-네오디뮴(Al-Nd), 마그네슘-은(Mg-Ag) 등), 또는, 이들 화합물을 조합한 물질 등을 사용할 수 있다. 그 이외에도, 실리사이드(예를 들어, 알루미늄실리콘, 몰리브덴실리콘, 니켈실리사이드)나 질소를 함유

하는 화합물(예를 들어, 질화티타늄, 질화탄탈, 질화몰리브덴), 인(P) 등의 불순물 원소를 도핑한 실리콘(Si) 등을 사용하여도 좋다.

[0149] 본 실시형태에서는, 티타늄막(Ti), 질화티타늄막, 실리콘-알루미늄 합금막(Al-Si), 티타늄막(Ti)을 각각 60 nm, 40 nm, 300 nm, 100 nm로 적층한 후, 원하는 형상이 되도록 선택적으로 에칭하여 전극 또는 배선(668, 670, 672, 674, 676)을 형성한다.

[0150] 또한, 전극 또는 배선(668, 670, 672, 674, 676)을, 니켈(Ni), 코발트(Co), 철(Fe) 중 적어도 1 종의 원소, 및 탄소(C)를 포함하는 알루미늄 합금막으로 형성하여도 좋다. 상기한 바와 같은 알루미늄 합금막을 사용함으로써, 전극 등이 실리콘(Si)과 접촉한 경우에도, 실리콘과 전극 재료의 상호 확산을 방지할 수 있는 이점이 있다. 또한, 상기한 바와 같은 알루미늄 합금막은, 투명 도전막, 예를 들어, 인듐주석산화물(ITO)을 사용하여 형성된 도전막과 접촉하여도 산화 환원 반응이 일어나지 않는 특징을 가지고, 양자를 직접 접촉시킬 수 있다. 또한, 상기한 바와 같은 알루미늄 합금막은, 비저항이 작고, 내열성도 뛰어나기 때문에, 배선 재료로서는 바람직하다.

[0151] 또한, 전극 또는 배선(668, 670, 672, 674, 676)으로서는, 전극과 배선을 동시에 형성한 구성을 사용하여도 좋고, 전극과 배선을 따로 형성하여 이들을 접속시킨 구성으로 하여도 좋다.

[0152] 상기 일련의 공정에 의하여 n채널형 TFT(678) 및 p채널형 TFT(680)를 포함하는 CMOS회로(684), 및 n채널형 TFT(682)를 포함하는 액티브 매트릭스 기판을 형성할 수 있다(도 8c 참조). 또한, 본 발명에 사용할 수 있는 액티브 매트릭스 기판의 제작 방법은, 상술한 제작 공정으로 한정되지 않는다. 예를 들어, 비정질 반도체막을 사용한 TFT, 단결정 반도체막을 사용한 TFT를 형성하는 공정을 채용하여도 좋다. 또한, 톱 게이트형의 TFT로 한정되지 않고, 보텀 게이트형의 TFT를 사용하여도 좋다.

[0153] 또한, 본 발명의 액정 표시 장치에 사용할 수 있는 액티브 매트릭스 기판은, 구동 회로를 일체로 갖는 구성으로 한정되지 않는다. 예를 들어, 구동 회로(또는 그 일부)를 단결정 기판 위에 형성하고, 그 IC칩을 COG(Chip On Glass)에 의하여 접속하여 유리 기판 위에 설치하여도 좋다. 또한, IC칩을 TAB(Tape Auto Bonding)나 프린트 기판을 사용하여 유리 기판과 접속하여도 좋다.

[0154] 본 실시형태는, 실시형태 1 내지 실시형태 4 중 어느 것보다 적절히 조합하여 사용할 수 있다.

[0155] (실시형태 6)

[0156] 본 실시형태에서는, 본 발명의 구동 방법을 사용한 액정 표시 장치의 제작 공정에 대하여, 도 9 내지 도 11을 사용하여 설명한다.

[0157] 본 실시형태에서 설명하는 액정 표시 장치의 제작 방법은 화소 TFT를 포함하는 화소부와 그 주변에 형성되는 구동 회로부의 TFT를 동시에 제작하는 방법이다. 다만, 간소화를 위하여, 구동 회로에 관하여는 기본 단위인 CMOS 회로만을 나타낸다.

[0158] 우선, 실시형태 5에 기재하는 방법 등을 사용하여 액티브 매트릭스 기판을 제작한다. 여기서, 본 실시형태에 있어서는, 실시형태 5에 기재하는 방법을 사용하여 제작한 액티브 매트릭스 기판을 사용하여 설명하지만, 본 발명의 액정 표시 장치의 제작 방법은 이것으로 한정되지 않는다.

[0159] 우선, 실시형태 5에 따라, 전극 또는 배선(668, 670, 672, 674, 676)의 형성까지의 공정을 행한다(도 8c 참조). 또한, 이하의 도면에 있어서, 실시형태 5와 동일한 부분에 대하여는 동일한 부호를 사용하여 표시할 수 있다.

[0160] 다음에, 제 2 층간 절연막(666), 및 전극 또는 배선(668, 670, 672, 674, 676) 위에 제 3 층간 절연막(900)을 형성한다(도 9 참조). 또한, 제 3 층간 절연막(900)은, 제 2 층간 절연막(666)과 같은 재료를 사용하여 형성할 수 있다.

[0161] 다음에, 포토마스크를 사용하여 레지스트 마스크를 형성하고, 제 3 층간 절연막(900)의 일부를 드라이 에칭법을 사용하여 제거하여 콘택트 홀을 형성한다. 콘택트 홀 형성에 있어서는, 에칭 가스로서 테트라플루오로메탄(CF₄), 산소(O₂), 헬륨(He)을, 각각 50 sccm, 50 sccm, 30 sccm의 유량으로 사용하였다. 또한, 콘택트 홀의 저부는 전극 또는 배선(676)에 도달된다.

[0162] 레지스트 마스크를 제거한 후, 전면에 제 4 도전막을 형성한다. 다음에, 제 4 도전막을 선택적으로 에칭하여, 전극 또는 배선(676)에 전기적으로 접속되는 화소 전극(902)을 형성한다(도 9 참조). 반사형의 액정 표

시 장치를 제작하는 경우에는, 화소 전극(902)은 스퍼터링법에 의하여 Ag(은), Au(금), Cu(구리), W(텅스텐), Al(알루미늄) 등의 광 반사성을 갖는 금속 재료를 사용하여 형성하면 좋다. 투과형의 액정 표시 장치를 제작하는 경우에는, 인듐주석산화물(ITO), 산화실리콘을 포함하는 인듐주석산화물, 산화아연(ZnO), 산화주석(SnO₂) 등의 투명 도전막을 사용하여, 화소 전극(902)을 형성할 수 있다.

[0163] 또한, 본 발명은 반사형 및 투과형으로 한정되지 않고 적용할 수 있다. 예를 들어, 화소의 일부가 반사형이고, 다른 일부가 투과형인, 소위 반투과형의 액정 표시 장치에 본 발명을 적용하여도 좋다. 반투과형의 액정 표시 장치는, 외부로부터의 빛이 큰 경우에는 반사형으로서, 외부로부터의 빛이 크지 않은 경우에는 투과형으로서 사용할 수 있으므로, 휘도의 확보 및 소비 전력의 저감이 용이하다는 이점이 있다.

[0164] 화소 TFT를 포함하는 화소부의 일부를 확대한 상면도를 도 10에 나타낸다. 도 10은 화소 전극의 형성 도중의 도면이고, 왼쪽의 화소에 있어서는 화소 전극이 형성되지만, 오른쪽의 화소에 있어서는 화소 전극이 형성되지 않는다. 또한, 도 10에 있어서의 A-A'는, 도 9의 화소부의 A-A'와 대응하므로, 도 9와 대응하는 부분에는 동일한 부호를 사용한다.

[0165] 도 10에 나타내는 바와 같이, 게이트 전극(640)은 게이트 전극(904)에 접속된다. 또한, 전극 또는 배선(674)은 소스 배선과 일체 형성된다. 또한, 용량 배선(906)이 형성되고, 제 1 층간 절연막(664), 화소 전극(902), 및 용량 배선(906)으로 유지 용량이 형성된다. 또한, 본 실시형태에 있어서는, 유지 용량을 형성하는 구성을 나타내지만, 본 발명을 사용함으로써, 유지 용량을 작게 할 수도 있다. 따라서, 구동용 용량 배선을 형성하지 않는 구성으로 함으로써 화소의 개구율을 향상시킬 수 있다. 특히, 투과형의 액정 표시 장치에 있어서, 그 효과는 현저하다.

[0166] 상기 공정에 의하여, 톱 게이트형의 화소 TFT(n채널형 TFT; 682), 톱 게이트형의 n채널형 TFT(678) 및 톱 게이트형의 p채널형 TFT(680)로 이루어지는 CMOS 회로(684), 및 화소 전극(902)이, 기판(600) 위에 형성된다. 본 실시형태에 있어서는, 톱 게이트형 TFT를 형성하는 예를 나타내지만, 보텀 게이트형 TFT를 형성하여도 좋다.

[0167] 다음에, 화소 전극(902)을 덮도록, 배향막(908a)을 형성한다. 또한, 배향막(908a)은, 액적도출법, 스크린 인쇄법, 오프셋 인쇄법 등을 사용하여 형성하면 좋다. 그 후, 배향막(908a)의 표면에 러빙 처리를 행한다.

[0168] 다음에, 기판(600)과 접합하기 위한 대향 기판(910)을 준비한다. 여기서, 대향 기판(910)에는, 착색층(912a), 차광층(블랙 매트릭스; 912b), 및 오버 코팅층(914)으로 이루어지는 컬러 필터를 형성하고, 또한 광 투과형의 전극이나 광 반사성의 전극으로 이루어지는 대향 전극(916)과, 배향막(908b)을 형성한다(도 11 참조). 대향 기판(910)은 기판(600)과 같은 크기 또는 같은 형상의 기판을 사용할 수도 있다. 여기서, 같은 크기, 같은 형상이란, 엄밀하게 동일할 필요는 없고, 패널을 구성하는 데에 충분한 정도의 크기, 형상을 가리키는 것으로 한다.

[0169] 다음에, 상기 공정에 의하여 얻은 기판(600)과 대향 기판(910)을 셀재를 통하여 접합시킨다. 여기서, 양쪽 기판의 간격을 일정하게 유지하기 위하여, 배향막(908a)과 배향막(908b) 사이에 스페이서를 형성하여도 좋다. 그 후, 양쪽 기판 사이에 액정(918)을 주입하고, 밀봉재를 사용하여 밀봉함으로써 액정 표시 장치가 완성된다(도 11 참조).

[0170] 또한, 본 발명의 액정 표시 장치에는, TN(Twisted Nematic)방식, IPS(In-Plane-Switching)방식, FFS(Fringe Field Switching)방식, MVA(Multi-domain Vertical Alignment)방식, PVA(Patterned Vertical Alignment)방식, ASM(Axially Symmetric aligned Microcell)방식, OCB(Optical Compensated Birefringence)방식, FLC(Ferroelectric Liquid Crystal)방식, AFLC(AntiFerroelectric Liquid Crystal)방식 등을 사용할 수 있다.

[0171] 본 실시형태는, 실시형태 1 내지 실시형태 5와 적절히 조합하여 사용할 수 있다.

[0172] (실시형태 7)

[0173] 본 실시형태에 있어서는, SOI(Silicon on Insulator)기판을 사용한 액정 표시 장치에 대하여 이하에 설명한다. 또한, 본 실시형태에 따른 SOI 기판은, 단결정 반도체 기판으로부터, 이중 기판(이하, “베이스 기판”이라고도 기재함)에 전사하여 형성한다.

[0174] 도 12a 및 도 12b에, 본 발명에 사용하는 SOI 기판의 사시도를 나타낸다. 또한, 도 13a 내지 도

14b에, 본 발명에 사용하는 SOI 기판의 단면도를 나타낸다.

- [0175] 도 12a, 도 13a 및 도 13b에 있어서, SOI 기판(1200)은, 베이스 기판(1210)의 한쪽의 표면 위에, 절연층(1220) 및 SOI층(1230)이 순차로 적층된 적층체가 복수 형성된 구성을 가진다. SOI층(1230)은, 절연층(1220)을 통하여 베이스 기판(1210) 위에 형성된다. 즉, 1 장의 베이스 기판(1210) 위에 복수의 SOI층이 형성되고, 1 장의 SOI 기판(1200)을 형성한다. 또한, 도 13a 및 도 13b에서는, 편의상, 2 개의 SOI층(1230)만을 도시한다.
- [0176] SOI층(1230)은 단결정 반도체이고, 대표적으로는 단결정 실리콘이 적용된다. 그 이외에, 수소 이온 주입 박리법 등을 이용하여 단결정 반도체 기판 또는 다결정 반도체 기판으로부터 박리할 수 있는 실리콘, 게르마늄이나, 갈륨비소, 인듐인 등의 화합물 반도체인 결정성 반도체층을 적용할 수도 있다.
- [0177] SOI층(1230)의 형상은 특별히 한정되지 않지만, 구형형상(정사각형을 포함함)으로 하면 가공이 용이해지고, 베이스 기판(1210)에도 집적도 좋게 접합시킬 수 있어 바람직하다. 또한, 디스플레이 등의 표시 장치의 패널로 하는 경우에는, SOI층(1230)의 애스펙트비가 4 : 3이 되도록 하는 것이 바람직하다. SOI층(1230)을 원하는 패널 크기 정도로 함으로써, 완성되는 SOI 기판을 사용하여 제조한 표시 패널을 내장하여 각종 표시 장치를 제조할 때, 패널마다 수율을 관리할 수 있게 된다. 또한, 개개의 패널을 분단할 때, 소자가 대미지를 받는 것을 방지할 수 있다. 따라서, 수율의 향상을 도모할 수 있다. 또한, SOI층(1230)을 원하는 패널 크기 정도로 함으로써, 각 패널마다의 소자를 하나의 SOI층으로 형성할 수 있으므로, 특성의 변동을 억제할 수 있다.
- [0178] 베이스 기판(1210)은 절연 표면을 갖는 기판 또는 절연 기판을 사용한다. 구체적으로는, 알루미늄 실리케이트 유리, 알루미늄 보로실리케이트 유리, 바륨 보로실리케이트 유리와 같은 전자 공업용에 사용되는 각종 유리 기판, 석영 기판, 세라믹스 기판, 사파이어 기판을 들 수 있다. 바람직하게는 유리 기판을 사용하는 것이 좋고, 예를 들어, 제 6 세대(1500 mm x 1850 mm), 제 7 세대(1870 mm x 2200 mm), 제 8 세대(2200 mm x 2400 mm)라고 불리는 대면적의 마더 유리(mother glass) 기판을 사용할 수 있다. 대면적의 마더 유리 기판을 베이스 기판(1210)으로서 사용함으로써, SOI 기판의 대면적화를 실현할 수 있다. 또한, 개개의 SOI층을 원하는 패널 크기로 함으로써, 1 장의 베이스 기판으로 제조되는 표시 패널의 개수(면취수(面取數))를 증대시킬 수 있다. 따라서, 상기 표시 패널을 내장시켜 제조하는 최종 제품(표시 장치)의 생산성을 향상시킬 수 있다.
- [0179] 베이스 기판(1210)과 SOI층(1230) 사이에는, 절연층(1220)이 형성된다. 절연층(1220)은 단층 구조로 하여도 좋고 적층 구조로 하여도 좋지만, 베이스 기판(1210)과 접합하는 면(이하, “접합면” 이라고도 함)은, 평활면을 가지고 친수성 표면이 되도록 한다. 도 13a는 절연층(1220)으로서 접합층(1222)을 형성하는 예를 나타낸다. 평활면을 가지고 친수성 표면을 형성할 수 있는 접합층(1222)으로서, 산화실리콘층이 적합하다. 특히, 유기 실란을 사용하여 화학 기상 성장법을 사용하여 제작되는 산화실리콘층이 바람직하다. 유기 실란으로서, 테트라에톡시실란(약칭: TEOS: 화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$), 테트라메틸실란(약칭: TMS: 화학식 $\text{Si}(\text{CH}_3)_4$), 트리메틸실란(화학식 $(\text{CH}_3)_3\text{SiH}$), 테트라메틸시클로테트라실록산(약칭: TMCTS), 옥타메틸시클로테트라실록산(약칭: OMCTS), 헥사메틸디실라잔(약칭: HMDS), 트리에톡시실란(화학식 $\text{SiH}(\text{OC}_2\text{H}_5)_3$), 트리스디메틸아미노실란(화학식 $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등의 실리콘 함유 화합물을 사용할 수 있다.
- [0180] 상기 평활면을 가지고 친수성 표면을 형성하는 접합층(1222)은, 막 두께 5 nm 내지 500 nm의 범위 내에서 형성하는 것이 바람직하다. 접합층(1222)의 막 두께를 상기 범위 내로 함으로써, 피성막 표면의 표면 거칠기를 평활화함과 함께, 상기 막의 성장 표면의 평활성을 확보할 수 있다. 또한, 접합하는 기판(도 13a에서는 베이스 기판(1210))과의 뒤틀림을 완화할 수 있다. 또한, 베이스 기판(1210)에도, 접합층(1222)과 같은 산화실리콘층을 형성하여도 좋다. 절연 표면을 가지는 기판 또는 절연 기판인 베이스 기판(1210)에 SOI층(1230)을 접합할 때, 접합을 형성하는 면의 한쪽 또는 양쪽에, 바람직하게는 유기 실란을 원재료로 하여 성막한 산화실리콘층으로 이루어지는 접합층을 형성함으로써 강고한 접합을 형성할 수 있다.
- [0181] 도 13b는 절연층(1220)을 적층 구조로 하는 예를 나타낸다. 구체적으로는, 절연층(1220)으로서 접합층(1222) 및 질소 함유 절연층(1224)의 적층 구조를 형성하는 예를 나타낸다. 또한, 베이스 기판(1210)과의 접합면에는 접합층(1222)이 형성되도록 하기 위하여, SOI층(1230)과 접합층(1222) 사이에 질소 함유 절연층(1224)이 형성된 구성으로 한다. 질소 함유 절연층(1224)은, 질화실리콘층, 질화산화실리콘층 또는 산화질화실리콘층을 사용하여 단층 구조 또는 적층 구조로 형성한다. 예를 들어, SOI층(1230) 측으로부터 산화질화실리콘층, 질화산화실리콘층을 적층하여 질소 함유 절연층(1224)으로 할 수 있다. 접합층(1222)은 베이스 기판(1210)과 접합을 형성하기 위하여 형성하는 데에 비하여, 질소 함유 절연층(1224)은, 가동 이온이나 수분 등의 불순물이 SOI

층(1230)으로 확산되어 오염되는 것을 방지하기 위하여 형성한다.

[0182] 또한, 산화질화실리콘층이란, 그 조성으로서, 질소보다도 산소의 함유량이 많은 것을 가리키고, 농도 범위로서 산소가 50 atoms% 이상 70 atoms% 이하, 질소가 0.5 atoms% 이상 15 atoms% 이하, 실리콘이 25 atoms% 이상 35 atoms% 이하, 수소가 0.1 atoms% 이상 10 atoms% 이하의 범위 내로 포함되는 것을 가리킨다. 또한, 질화산화실리콘층이란, 그 조성으로서, 산소보다도 질소의 함유량이 많은 것을 가리키고, 산소가 5 atoms% 이상 30 atoms% 이하, 질소가 20 atoms% 이상 55 atoms% 이하, 실리콘이 25 atoms% 이상 35 atoms% 이하, 수소가 10 atoms% 이상 25 atoms% 이하의 범위 내로 포함되는 것을 가리킨다. 다만, 상기한 범위는, 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry)이나 수소 전방 산란법(HFS: Hydrogen Forward Scattering)을 사용하여 측정된 경우의 범위이다. 또한, 구성 원소의 함유 비율은, 그 합이 100 atoms%를 넘지 않는 값이다.

[0183] 도 12b, 도 14a, 및 도 14b는, 베이스 기판(1210)에 접합층을 포함하는 절연층(1250)을 형성하는 예를 나타낸다. 절연층(1250)은, 단층 구조라도 적층 구조라도 좋지만, SOI층(1230)과의 접합면은 평활면을 가지고 친수성 표면을 형성하도록 한다. 또한, 베이스 기판(1210)과 접합층 사이에는, 베이스 기판(1210)으로서 사용되는 유리 기판으로부터 알칼리 금속 또는 알칼리 토류 금속 등의 가동 이온의 확산을 방지하기 위하여, 배리어층이 형성되는 것이 바람직하다.

[0184] 도 14a는, 절연층(1250)으로서 배리어층(1252), 접합층(1254)의 적층 구조를 형성하는 예를 나타낸다. 접합층(1254)으로서, 접합층(1222)과 같은 산화실리콘층을 형성하면 좋다. 또한, SOI층(1230)에 적절히 접합층을 형성하여도 좋다. 도 14a에서는, SOI층(1230)에도 접합층(1222)을 형성하는 예를 나타낸다. 이러한 구성으로 함으로써, 베이스 기판(1210) 및 SOI층(1230)을 접합시킬 때 접합층끼리 접합을 형성하기 때문에, 보다 강한 접합을 형성할 수 있다. 배리어층(1252)은, 산화실리콘층, 질화실리콘층, 산화질화실리콘층 또는 질화산화실리콘층을 사용하여 단층 구조 또는 적층 구조로 형성한다. 바람직하게는, 질소를 함유하는 절연층을 사용하여 형성한다.

[0185] 도 14b는, 베이스 기판(1210)에 접합층을 형성하는 예를 나타낸다. 구체적으로는, 베이스 기판(1210)에 절연층(1250)으로서 배리어층(1252)과 접합층(1254)의 적층 구조를 형성한다. 또한, SOI층(1230)에는 산화실리콘층(1226)을 형성한다. 베이스 기판(1210)에 SOI층(1230)을 접합할 때에는, 산화실리콘층(1226)이 접합층(1254)과 접합을 형성한다. 산화실리콘층(1226)은, 열산화법에 의하여 형성된 것이 바람직하다. 또한, 산화실리콘층(1226)으로서 케미컬 옥사이드(chemical oxide)를 적용할 수도 있다. 케미컬 옥사이드는, 예를 들어 오존 함유수로 반도체 기판 표면을 처리함으로써 형성할 수 있다. 케미컬 옥사이드는 반도체 기판 표면의 평탄성을 반영하여 형성되므로 바람직하다.

[0186] 다음에, SOI 기판의 제조 방법에 대하여 설명한다. 여기서는, 도 13a에 도시하는 SOI 기판의 제조 방법의 예에 대하여, 도 15a 내지 도 17c를 사용하여 설명한다.

[0187] 우선, 반도체 기판(1201)을 준비한다(도 15a, 도 17a 참조). 반도체 기판(1201)으로서, 시장 판매되는 반도체 기판을 사용하면 좋고, 예를 들어, 실리콘 기판이나 게르마늄 기판, 갈륨비소나 인듐인 등의 화합물 반도체 기판을 들 수 있다. 시장 판매되는 실리콘 기판으로서, 직경 5 인치(125 mm), 직경 6 인치(150 mm), 직경 8 인치(200 mm), 직경 12 인치(300 mm) 크기가 대표적이고, 그 형상은 원형의 기판이 많다. 또한, 막 두께는 1.5 mm 정도까지 적절히 선택할 수 있다.

[0188] 다음에, 반도체 기판(1201) 표면으로부터, 전계에 의하여 가속된 이온(1204)을 소정의 깊이로 도입하고, 이온 도핑층(1203)을 형성한다(도 15a, 도 17a 참조). 이온(1204)의 도입은, 후에 베이스 기판에 전치되는 SOI층의 막 두께를 고려하여 행해진다. 바람직하게는, SOI층의 막 두께가 5 nm 내지 500 nm, 보다 바람직하게는 10 nm 내지 200 nm의 두께가 되도록 한다. 이온을 도입할 때의 가속 전압 및 이온 도즈량은, 전치하는 SOI층의 막 두께를 고려하여 적절히 선택한다. 이온(1204)은, 수소, 헬륨, 또는 불소 등의 할로겐의 이온을 사용할 수 있다. 또한, 이온(1204)으로서, 수소, 헬륨, 또는 할로겐 원소로부터 선택된 소스 가스를 플라즈마 여기시켜 생성된 하나의 원자 또는 복수의 동일한 원자로 이루어지는 이온종을 사용하는 것이 바람직하다. 수소 이온을 도입하는 경우에는, H^+ 이온, H_2^+ 이온, H_3^+ 이온을 포함시킴과 함께, H_3^+ 이온의 비율을 높이면 이온의 도입 효율을 높일 수 있어, 도입 시간을 단축할 수 있으므로 바람직하다. 또한, 이러한 구성으로 함으로써, 박리를 용이하게 행할 수 있다.

[0189] 또한, 소정의 깊이로 이온 도핑층(1203)을 형성하기 위하여, 이온(1204)을 고 도즈 조건으로 도입할 필

요가 있는 경우가 있다. 이 때, 조건에 따라서는 반도체 기판(1201) 표면이 거칠해진다. 따라서, 반도체 기판의 이온이 도입되는 표면에, 보호층으로서 질화실리콘층 또는 질화산화실리콘층 등을 막 두께 50 nm 내지 200 nm의 범위 내로 형성하여도 좋다.

[0190] 다음에, 반도체 기판(1201)에 접합층(1222)을 형성한다(도 15b, 도 17b 참조). 접합층(1222)은, 반도체 기판(1201)이 베이스 기판과 접합을 형성하는 면에 형성한다. 여기서 형성하는 접합층(1222)으로서는, 상술한 바와 같은 유기 실란을 원료 가스로서 사용한 화학 기상 성장법에 의하여 성막되는 산화실리콘층이 바람직하다. 그 이외에, 실란을 원료 가스로서 사용한 화학 기상 성장법에 의하여 성막되는 산화실리콘층을 적용할 수도 있다. 화학 기상 성장법에 의한 성막에서는, 반도체 기판(1201)에 형성한 이온 도핑층(1203)으로부터 탈가스가 일어나지 않는 정도의 온도가 적용된다. 예를 들어, 350 °C 이하의 성막 온도가 적용된다. 또한, 단결정 반도체 기판 또는 다결정 반도체 기판 등의 반도체 기판으로부터 SOI층을 박리하는 가열 처리는, 화학 기상 성장법에 의한 성막 온도보다도 높은 가열 처리 온도가 적용된다.

[0191] 다음에, 반도체 기판(1201)을 원하는 크기, 형상으로 가공한다(도 15c, 도 17c 참조). 도 17c에서는, 원형의 반도체 기판(1201)을 분단하여, 구형형상인 반도체 기판(1202)을 형성하는 예를 나타낸다. 이 때, 접합층(1222) 및 이온 도핑층(1203)도 분단된다. 즉, 원하는 크기, 형상을 가지고, 소정의 깊이에 이온 도핑층(1203)이 형성되고, 표면(베이스 기판과의 접합면)에 접합층(1222)이 형성된 반도체 기판(1202)이 얻어진다.

[0192] 반도체 기판(1202)은, 표시 장치의 패널 크기로 하는 것이 바람직하다. 패널 크기는 내장되는 최종 제품 등에 따라 적절히 선택하면 좋다. 예를 들어, 화면 크기 대각 2.4 인치의 휴대 전화기에 적용하는 경우, 화면 크기 대각 2.4 인치에 화면 액자 크기를 고려한 패널 크기로 한다. 또한, 반도체 기판(1202)의 형상도 최종 제품 등, 용도에 따라 적절히 선택하면 좋지만, 디스플레이 등의 표시 장치에 적용하는 경우, 애스펙트비 3 : 4 정도의 구형형상으로 하는 것이 바람직하다. 또한, 반도체 기판(1202)을 구형형상으로 하면, 후의 제조 공정에 있어서의 가공이 용이해지고, 또한 반도체 기판(1201)으로부터 효율적으로 잘라 낼 수도 있으므로 바람직하다. 반도체 기판(1201)의 분단은, 다이서 또는 와이어 소(wire-saw) 등의 절단 장치, 레이저 절단, 플라즈마 절단, 전자 빔 절단, 그 이외의 임의의 절단 수단을 사용하여 행할 수 있다.

[0193] 또한, 반도체 기판 표면에 접합층을 형성할 때까지의 공정 순서는, 적절히 교체할 수 있다. 도 15a 내지 도 15c 및 도 17a 내지 도 17c에서는 반도체 기판에 이온 도핑층을 형성하고, 반도체 기판 표면에 접합층을 형성한 후, 반도체 기판을 원하는 패널 크기로 가공하는 예를 나타낸다. 한편, 예를 들어, 반도체 기판을 원하는 패널 크기로 가공한 후, 원하는 패널 크기의 반도체 기판에 이온 도핑층을 형성하고, 원하는 패널 크기의 반도체 기판 표면에 접합층을 형성할 수도 있다.

[0194] 다음에, 베이스 기판(1210)과 반도체 기판(1202)을 접합한다. 도 16a에는, 베이스 기판(1210)과 반도체 기판(1202)의 접합층(1222)이 형성된 면을 밀착시켜, 베이스 기판(1210)과 접합층(1222)을 접합시켜, 베이스 기판(1210)과 반도체 기판(1202)을 접합시키는 예를 나타낸다. 또한, 접합을 형성하는 면(접합면)은 충분히 청정화시키는 것이 바람직하다. 베이스 기판(1210)과 접합층(1222)을 밀착시킴으로써 접합이 형성된다. 이 접합에는 반데르발스 힘(Van der Waal's forces)이 작용되므로, 베이스 기판(1210)과 반도체 기판(1202)을 압접시킴으로써, 수소 결합에 의한 강고한 접합을 형성할 수 있다.

[0195] 또한, 베이스 기판(1210)과 접합층(1222)의 양호한 접합을 형성하기 위하여, 접합면을 활성화시켜도 좋다. 예를 들어, 접합을 형성하는 면의 한쪽 또는 양쪽에 원자 빔 또는 이온 빔을 조사한다. 원자 빔 또는 이온 빔을 이용하는 경우에는, 아르곤 등의 불활성 가스 중성 원자 빔 또는 불활성 가스 이온 빔을 사용할 수 있다. 그 이외에, 플라즈마 조사 또는 라디칼 처리를 행함으로써 접합면을 활성화시킬 수도 있다. 이러한 표면 처리에 의하여, 400 °C 이하의 온도라도 이종 재료간의 접합을 형성하는 것이 용이해진다.

[0196] 또한, 접합층(1222)을 통하여 베이스 기판(1210)과 반도체 기판(1202)을 접합한 후는, 가열 처리 또는 가압 처리를 행하는 것이 바람직하다. 가열 처리 또는 가압 처리를 행함으로써 접합 강도를 향상시킬 수 있게 된다. 가열 처리의 온도는, 베이스 기판(1210)의 내열 온도 이하인 것이 바람직하다. 가압 처리에 있어서는, 접합면에 수직인 방향으로 압력이 가해지도록 행하고, 베이스 기판(1210) 및 반도체 기판(1202)의 내압성을 고려하여 행한다.

[0197] 다음에, 가열 처리를 행하여, 이온 도핑층(1203)을 벽개면으로서 반도체 기판(1202)의 일부를 베이스 기판(1210)으로부터 박리한다(도 16b 참조). 가열 처리의 온도는 접합층(1222)의 성막 온도 이상, 베이스 기판(1210)의 내열 온도 이하에서 행하는 것이 바람직하다. 예를 들어, 400 °C 내지 600 °C의 가열 처리를 행함으

로써, 이온 도핑층(1203)에 형성된 미소한 공동의 체적 변화가 일어나, 이온 도핑층(1203)에 따라 벽개할 수 있다. 접합층(1222)은 베이스 기판(1210)과 접합하므로, 베이스 기판(1210) 위에는 반도체 기판(1202)과 같은 결정성의 SOI층(1230)이 잔존하게 된다.

[0198] 상기한 바와 같이, 베이스 기판(1210) 위에 접합층(1222)을 통하여 SOI층(1230)이 형성된 SOI 구조가 형성된다. 또한, 본 실시형태에서 설명한 SOI 기판은, 1 장의 베이스 기판 위에 접합층을 통하여 복수의 SOI층이 형성된 구조이지만, 이것으로 한정되지 않는다.

[0199] 또한, 박리에 의하여 얻어지는 SOI층은, 그 표면을 평탄화하기 위하여, 화학적 연마(Chemical Mechanical Polishing: CMP)를 행하는 것이 바람직하다. 또한, CMP 등의 물리적 연마 수단을 사용하지 않고, SOI층 표면에 레이저 빔을 조사하여 평탄화를 행하여도 좋다. 또한, 레이저 빔을 조사할 때는, 산소 농도가 10ppm 이하의 질소 분위기하에서 행하는 것이 바람직하다. 이것은, 산소 분위기하에서 레이저 빔의 조사를 행하면 SOI층 표면이 거칠어질 우려가 있기 때문이다. 또한, 얻어진 SOI층의 박막화를 목적으로 하여, CMP 등을 행하여도 좋다.

[0200] 상기 공정으로 제작한 SOI 기판을 사용하여 액정 표시 장치를 제조할 수 있다. 도 18a는 상면의 모식도이며, 도 18b는 도 18a의 선분 OP에 있어서의 단면도이며, 도 18c는 액정 표시 장치의 사시도이다.

[0201] 본 실시형태에 따른 액정 표시 장치는, 제 1 기판(1800) 위에 형성된 표시부(1820)와, 제 1 구동 회로부(1830)와, 제 2 구동 회로부(1850)를 가진다. 표시부(1820), 제 1 구동 회로부(1830) 및 제 2 구동 회로부(1850)는, 절재(1880)에 의하여, 제 1 기판(1800)과 제 2 기판(1890) 사이에 밀봉된다. 또한, 제 1 기판(1800) 위에는, 제 1 구동 회로부(1830) 및 제 2 구동 회로부(1850)에 외부로부터의 신호나 전위를 전달하는 외부 입력 단자가 접속되는 단자 영역(1870)이 형성된다.

[0202] 도 18b에 도시하는 바와 같이, 표시부(1820)에는 트랜지스터를 가지는 화소 회로부(1828)가 형성된다. 또한, 제 1 구동 회로부(1830)에는 트랜지스터를 가지는 주변 회로부(1838)가 형성된다. 제 1 기판(1800)과, 화소 회로부(1828) 및 주변 회로부(1838) 사이에는, 하지 절연층으로서 기능하는 절연층(1802), 절연층(1804), 접합층(1806)이 순차로 적층된다. 화소 회로부(1828) 및 주변 회로부(1838), 또한 그 상층에는 층간 절연층으로서 기능하는 절연층(1808), 절연층(1809)이 형성된다. 화소 회로부(1828)에 형성된 트랜지스터의 소스 전극 또는 드레인 전극은, 절연층(1809)에 형성된 개구를 통하여, 화소 전극(1860)과 전기적으로 접속된다. 또한, 화소 회로부(1828)는 트랜지스터를 사용한 회로가 집적되지만, 여기서는 편의상 하나의 트랜지스터의 단면도를 도시한다. 마찬가지로, 주변 회로부(1838)에도 트랜지스터를 사용한 회로가 집적되지만, 편의상 2 개의 트랜지스터의 단면도를 도시한다.

[0203] 화소 회로부(1828) 및 주변 회로부(1838) 위에는, 화소 전극(1860)을 덮도록 형성된 배향막(1882)과 배향막(1887)에서 협지된 액정층(1884)이 형성된다. 액정층(1884)은, 스페이서(1886)에 의하여 거리(셀 갭)가 제어된다. 배향막(1887) 위에는, 대향 전극(1888), 컬러 필터(1889)를 통하여 제 2 기판(1890)이 형성된다. 제 1 기판(1800) 및 제 2 기판(1890)은 절재(1880)에 의하여 고착된다.

[0204] 또한, 제 2 기판(1890)의 외측에는, 편광판(1892)이 배설된다. 또한, 본 실시형태에서는 반사형의 액정 표시 장치를 나타내기 위하여, 제 2 기판(1890)에 편광판을 형성하는 예를 나타낸다. 예를 들어, 투과형의 액정 장치를 액정 표시 장치로 하는 경우에는, 제 1 기판(1800) 및 제 2 기판(1890)의 양쪽에 편광판을 형성하면 좋다.

[0205] 또한, 단자 영역(1870)에는 단자 전극(1874)이 형성된다. 상기 단자 전극(1874)은, 이방성 도전층(1876)에 의하여, 외부 입력 단자(1878)와 전기적으로 접속된다.

[0206] 다음에, 도 18에 도시한 액정 표시 장치의 제조 방법의 일례에 관하여 설명한다.

[0207] 우선, SOI 기판을 준비한다(도 19a 참조). 여기서는, 도 13a에 유사한 SOI 기판을 적용하는 예를 나타낸다.

[0208] 베이스 기판인 기판(1800) 위에는, 절연층(1802), 절연층(1804) 및 접합층(1806)을 통하여 복수의 SOI층(1810)이 형성된다. SOI층(1810)은 원하는 패넬 크기로 가공된다. 여기서는, 편의적으로 하나의 SOI층을 포함하는 패넬 형성 영역(1810b)을 사용하여 액정 표시 장치를 제조하는 예를 설명하지만, 인접하는 패넬 형성 영역(1810a)에도 동시에 제조할 수 있다.

[0209] 기판(1800)으로서는, 절연 표면을 가지는 기판 또는 절연 기판을 사용한다. 예를 들어, 알루미늄 실리

케이트 유리, 알루미늄 보로실리케이트 유리, 바륨 보로실리케이트 유리와 같은 전자 공업용에 사용되는 각종 유리 기판, 석영 기판, 세라믹스 기판, 사파이어 기판을 사용할 수 있다. 여기서는, 유리 기판을 사용한다.

[0210] 절연층(1802), 절연층(1804)은, 유리 기판으로부터 알칼리 금속 또는 알칼리 토류 금속 등의 가동 이온의 확산을 방지하기 위하여 형성한다. 구체적으로는, 상술한 배리어층과 같은 절연층을 형성하면 좋다. 또한, 절연층(1802) 및 절연층(1804)의 적어도 한 층은, 질화실리콘층 또는 질화산화실리콘층의 질소를 함유하는 절연층을 형성하는 것이 바람직하다. 또한, 접합층(1806)에는, 산화실리콘층을 형성하면 좋다.

[0211] 본 실시형태에서는, 기판(1800) 위에 절연층(1802), 절연층(1804)을 형성하고, SOI층을 박리하는 반도체 기판 측에 접합층(1806)을 형성하고, 기판(1800) 및 반도체 기판을 접합한 후, 반도체 기판의 일부를 박리하여 SOI층(1810)을 형성하는 예를 나타낸다. 구체적으로는, 기판(1800)의 절연층(1804)이 형성된 면과, 반도체 기판의 접합층(1806)이 형성된 면을 밀착시켜, 절연층(1804)과 접합층(1806)을 접합시킴으로써, 기판(1800)과 반도체 기판을 접합시킨다. 반도체 기판에는, 소정의 깊이로 수소, 헬륨 또는 할로젠의 이온을 도입한 이온 도핑층을 형성한다. 그리고, 가열 처리를 행하고, 반도체 기판에 형성된 이온 도핑층을 벽개면으로서 반도체 기판의 일부를 박리하고, SOI층(1810)을 얻는다. 여기서는, 반도체 기판 측에 접합층(1806)을 형성하기 때문에, 상기 접합층(1806)은 SOI층(1810)과 같은 정도의 크기가 된다. 즉, 인접하는 패널 형성 영역(1810a) 및 패널 형성 영역(1810b) 사이에서, SOI층(1810)과 마찬가지로 접합층(1806)도 분리된다. 또한, 절연층(1802), 절연층(1804)은 베이스 기판인 기판(1800) 위에 형성되기 때문에, 인접하는 패널 형성 영역(1810a) 및 패널 형성 영역(1810b)에서 연속되는 층이 된다. 또한, 적용하는 SOI 기판에 대하여는 특별히 한정되지 않고, 상술한 도 13a 내지 도 14b의 어느 구조를 적용하여도 좋다. 예를 들어, 베이스 기판 측에 접합층을 형성하여도 좋고, 반도체 기판과 접합층 사이에 열 산화막 등의 절연층을 형성하여도 좋다.

[0212] 다음에, SOI층(1810)을 선택적으로 에칭하여, 표시부(1820)에 제 1 SOI층(1821)을 형성한다. 또한, 제 1 구동 회로부(1830)에 제 2 SOI층(1831), 제 3 SOI층(1841)을 형성한다. 그리고, 제 1 SOI층(1821), 제 2 SOI층(1831) 및 제 3 SOI층(1841) 위에, 게이트 절연층(1812)을 통하여 게이트 전극(1814)을 형성한다(도 19b 참조).

[0213] 제 1 SOI층(1821), 제 2 SOI층(1831) 및 제 3 SOI층(1841)은, SOI층(1810)을 선택적으로 에칭하여 원하는 형상으로 가공한다. 여기서는, SOI층(1810)을 복수의 섬 형상으로 가공하고, 분리시킨다. 준비한 SOI 기판의 SOI층보다도, 제 1 SOI층(1821), 제 2 SOI층(1831) 및 제 3 SOI층(1841)의 막 두께를 얇게 하고 싶은 경우에는, 상기 SOI층을 에칭하여 박막화시켜도 좋다. 또한, SOI층의 일부를 변질시키고, 상기 변질한 부분을 선택적으로 에칭하여 박막화시켜도 좋다. 여기서 SOI층의 변질이란, 예를 들어, 산화 처리, 질화 처리 등을 나타낸다. 또한, 제 1 SOI층(1821), 제 2 SOI층(1831) 및 제 3 SOI층(1841)은, 적절히 에칭 조건 등을 제어하여, 단부가 수직에 가까운 테이퍼 형상이 되도록 형성하여도 좋고, 완만한 테이퍼 형상이 되도록 형성하여도 좋다. 예를 들어, 테이퍼 각이 45° 이상 95° 미만, 바람직하게는 60° 이상 95° 미만이 되는 형상으로 하여도 좋고, 테이퍼 각이 45° 미만의 완만한 형상으로 하여도 좋다.

[0214] 또한, 완성되는 트랜지스터의 임계 값 전압을 제어하기 위하여, 제 1 SOI층(1821), 제 2 SOI층(1831) 및 제 3 SOI층(1841)에 저농도의 일 도전형을 부여하는 불순물 원소를 첨가하여도 좋다. 이 경우, 트랜지스터의 채널 형성 영역에도 불순물 원소가 첨가된다. 또한, 여기서 첨가하는 불순물 원소는, 소스 영역 또는 드레인 영역으로서 기능하는 고농도 불순물 영역 및 LDD 영역으로서 기능하는 저농도 불순물 영역보다도 낮은 농도로 첨가한다.

[0215] 게이트 전극(1814)은, 기판 전면도 도전층을 형성한 후, 상기 도전층을 선택적으로 에칭하여 원하는 형상으로 가공한다. 여기서는, 게이트 전극(1814)으로서 도전층의 적층 구조를 형성한 후, 선택적으로 에칭하여, 분리한 도전층이 제 1 SOI층(1821), 제 2 SOI층(1831) 및 제 3 SOI층(1841)을 각각 가로지르도록 가공하고 있다.

[0216] 게이트 전극(1814)을 형성하는 도전층은, CVD법이나 스퍼터링법에 의하여, 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 크롬(Cr), 알루미늄(Al), 구리(Cu), 또는 니오븀(Nb) 등의 금속 원소, 또는 상기 금속 원소를 포함하는 합금 재료 또는 화합물 재료를 사용하여 기판 전면도 도전층을 형성한 후, 상기 도전층을 선택적으로 에칭하여 형성할 수 있다. 또한, 인 등의 일 도전형을 부여하는 불순물 원소가 첨가된 다결정 실리콘으로 대표되는 반도체 재료를 사용하여 형성할 수도 있다.

[0217] 또한, 여기서는 게이트 전극(1814)을 2층의 도전층의 적층 구조로 형성하는 예를 도시하지만, 게이트

전극은 단층 구조라도 좋고 3 층 이상의 적층 구조라도 좋다. 또한, 도전층의 측면을 테이퍼 형상으로 하여도 좋다. 게이트 전극을 도전층의 적층 구조로 하는 경우, 하층의 도전층의 폭을 크게 하여도 좋고, 각 층의 측면을 서로 다른 각도의 테이퍼 형상으로 하여도 좋다.

[0218] 제 1 SOI층(1821), 제 2 SOI층(1831) 및 제 3 SOI층(1841)과, 게이트 전극(1814) 사이에는, 게이트 절연층(1812)을 형성한다. 게이트 절연층(1812)은, CVD법, 스퍼터링법, ALD법 등을 사용하여, 산화실리콘, 산화질화실리콘, 산화하프늄, 산화알루미늄, 산화탄탈 등의 재료를 사용하여 형성할 수 있다. 또한, 제 1 SOI층(1821), 제 2 SOI층(1831) 및 제 3 SOI층(1841)을 플라즈마 처리에 의하여 고상 산화 또는 고상 질화하여 형성할 수도 있다. 그 이외에, CVD법 등에 의하여 절연층을 형성한 후, 상기 절연층을 플라즈마 처리에 의하여 고상 산화 또는 고상 질화하여 형성하여도 좋다.

[0219] 또한, 도 19b에서는, 게이트 절연층(1812)과 게이트 전극(1814)의 측면부가 일치되도록 가공되는 예를 나타내지만, 특히 한정되지 않고, 게이트 전극(1814)의 에칭에 있어서 게이트 절연층(1812)을 남기도록 가공하여도 좋다.

[0220] 또한, 게이트 절연층(1812)에 고유전율 물질(high-k 재료라고 불림)을 사용하는 경우에는, 게이트 전극(1814)을 다결정 실리콘, 실리콘사이드, 금속 또는 금속질화물을 사용하여 형성한다. 바람직하게는 금속 또는 금속 질화물을 사용하여 형성하는 것이 바람직하다. 예를 들어, 게이트 전극(1814) 중 게이트 절연층(1812)과 접하는 도전층을 금속 질화물 재료를 사용하여 형성하고, 그 위의 도전층을 금속 재료를 사용하여 형성한다. 이 조합을 사용함으로써, 게이트 절연층을 박막화한 경우라도 게이트 전극에 공핍층이 넓어지는 것을 방지할 수 있으므로, 미세화된 경우에도 트랜지스터의 구동 능력을 유지할 수 있다.

[0221] 다음에, 게이트 전극(1814) 위에 절연층(1816)을 형성한다. 그리고, 게이트 전극(1814)을 마스크로 하여 일 도전형을 부여하는 불순물 원소를 첨가한다(도 19c 참조). 여기서는, 제 1 구동 회로부(1830)에 형성된 제 2 SOI층(1831) 및 제 3 SOI층(1841)에 상이한 도전형을 부여하는 불순물 원소를 첨가하는 예를 나타낸다. 또한, 표시부(1820)에 형성된 제 1 SOI층(1821)에는 제 2 SOI층(1831)과 같은 도전형을 부여하는 불순물 원소를 첨가하는 예를 나타낸다.

[0222] 표시부(1820)에 형성된 제 1 SOI층(1821)에는, 게이트 전극(1814)을 마스크로 하여 자기 정합적으로 한 쌍의 불순물 영역(1823)과, 상기 한 쌍의 불순물 영역(1823) 사이에 위치하는 채널 형성 영역(1822)이 형성된다.

[0223] 제 1 구동 회로부(1830)에 형성된 제 2 SOI층(1831)에는, 게이트 전극(1814)을 마스크로 하여 자기 정합적으로 한 쌍의 불순물 영역(1833)과, 상기 한 쌍의 불순물 영역(1833) 사이에 위치하는 채널 형성 영역(1832)이 형성된다. 제 3 SOI층(1841)에는, 게이트 전극(1814)을 마스크로 하여 자기 정합적으로 한 쌍의 불순물 영역(1843)과, 상기 한 쌍의 불순물 영역(1843) 사이에 위치하는 채널 형성 영역(1842)이 형성된다. 불순물 영역(1833) 및 불순물 영역(1843)은, 상이한 도전형의 불순물 원소가 첨가된다.

[0224] 일 도전형을 부여하는 불순물 원소로서는, 붕소(B)나 알루미늄(Al)이나 갈륨(Ga) 등의 p형을 부여하는 원소, 인(P), 비소(As) 등의 n형을 부여하는 원소를 사용할 수 있다. 본 실시형태에서는, 표시부(1820)에 형성된 제 1 SOI층(1821), 제 1 구동 회로부(1830)에 형성된 제 2 SOI층(1831)에 n형을 부여하는 원소, 예를 들어 인을 첨가한다. 또한, 제 3 SOI층(1841)에 p형을 부여하는 원소, 예를 들어, 붕소를 첨가한다. 또한, 제 1 SOI층(1821), 제 2 SOI층(1831)에 불순물 원소를 첨가할 때는 레지스트 마스크 등을 사용하여 제 3 SOI층(1841)을 선택적으로 덮으면 좋다. 마찬가지로, 제 3 SOI층(1841)에 불순물 원소를 첨가할 때는, 레지스트 마스크 등을 사용하여 제 1 SOI층(1821), 제 2 SOI층(1831)을 선택적으로 덮으면 좋다.

[0225] 절연층(1816)은, CVD법, 스퍼터링법, ALD법 등을 사용하여, 산화실리콘 또는 산화질화실리콘, 또한 질화실리콘 또는 질화산화실리콘 등의 재료를 사용하여 형성할 수 있다. 일 도전형을 부여하는 불순물 원소를 첨가할 때에, 절연층(1816)을 통과시켜 첨가하는 구성으로 함으로써, SOI층에 주는 대미지를 저감할 수 있다.

[0226] 다음에, 게이트 전극(1814)의 측면에 사이드월 절연층(1818)을 형성한다. 그리고, 게이트 전극(1814) 및 사이드월 절연층(1818)을 마스크로 하여 일 도전형을 부여하는 불순물 원소를 첨가한다(도 19d 참조). 또한, 제 1 SOI층(1821), 제 2 SOI층(1831) 및 제 3 SOI층(1841)에는, 각각 앞의 공정(불순물 영역(1823, 1833, 1843)을 형성하는 공정)에서 첨가한 불순물 원소와 같은 도전형의 불순물 원소를 첨가한다. 또한, 앞의 공정에서 첨가한 불순물 원소보다도 높은 농도로 첨가한다.

[0227] 제 1 SOI층(1821)에는, 게이트 전극(1814) 및 사이드월 절연층(1818)을 마스크로 하여 자기 정합적으로

한 쌍의 고농도 불순물 영역(1826)과, 한 쌍의 저농도 불순물 영역(1824)이 형성된다. 여기서 형성되는 고농도 불순물 영역(1826)은 소스 영역 또는 드레인 영역으로서 기능하고, 저농도 불순물 영역(1824)은 LDD(Lightly Doped Drain) 영역으로서 기능한다.

[0228] 제 2 SOI층(1831)에는, 게이트 전극(1814) 및 사이드월 절연층(1818)을 마스크로 하여 자기 정합적으로 한 쌍의 고농도 불순물 영역(1836)과, 한 쌍의 저농도 불순물 영역(1834)이 형성된다. 여기서 형성되는 고농도 불순물 영역(1836)은 소스 영역 또는 드레인 영역으로서 기능하고, 저농도 불순물 영역(1834)은 LDD 영역으로서 기능한다. 제 3 SOI층(1841)에는, 게이트 전극(1814) 및 사이드월 절연층(1818)을 마스크로 하여 자기 정합적으로 한 쌍의 고농도 불순물 영역(1846)과, 한 쌍의 저농도 불순물 영역(1844)이 형성된다. 또한, 제 1 SOI층(1821), 제 2 SOI층(1831)에 불순물 원소를 첨가할 때는, 레지스트 마스크 등을 사용하여 제 3 SOI층(1841)을 선택적으로 덮으면 좋다. 마찬가지로, 제 3 SOI층(1841)에 불순물 원소를 첨가할 때는, 레지스트 마스크 등을 사용하여 제 1 SOI층(1821), 제 2 SOI층(1831)을 선택적으로 덮으면 좋다.

[0229] 사이드월 절연층(1818)은, 절연층(1816)을 통하여 게이트 전극(1814)의 측면에 형성된다. 예를 들어, 게이트 전극(1814)이 매립되도록 형성한 절연층을, 수직 방향을 주축으로 한 이방성 에칭을 행함으로써, 게이트 전극(1814)의 측면에 자기 정합적으로 형성할 수 있다. 사이드월 절연층(1818)은, 질화실리콘 또는 질화산화실리콘, 또한 산화실리콘 또는 산화질화실리콘 등의 재료를 사용하여 형성할 수 있다. 또한, 절연층(1816)을 산화실리콘 또는 산화질화실리콘을 사용하여 형성하는 경우, 사이드월 절연층(1818)을 질화실리콘 또는 질화산화실리콘을 사용하여 형성함으로써, 절연층(1816)을 에칭 스톱퍼로서 기능시킬 수 있다. 또한, 절연층(1816)을 질화실리콘 또는 질화산화실리콘을 사용하여 형성하는 경우에는, 사이드월 절연층(1818)을 산화실리콘 또는 산화질화실리콘을 사용하여 형성하면 좋다. 상기한 바와 같이, 에칭 스톱퍼로서 기능할 수 있는 절연층을 형성함으로써, 사이드월 절연층을 형성할 때, 오버 에칭에 의하여 SOI층이 에칭되는 것을 방지할 수 있다.

[0230] 다음에, 절연층(1816)의 노출부를 에칭한다(도 20a 참조). 절연층(1816)은, 사이드월 절연층(1818) 및 게이트 전극(1814) 사이, 사이드월 절연층(1818) 및 제 1 SOI층(1821) 사이, 사이드월 절연층(1818) 및 제 2 SOI층(1831) 사이, 및 사이드월 절연층(1818) 및 제 3 SOI층(1841) 사이에 잔존한다.

[0231] 또한, 소스 영역 또는 드레인 영역으로서 기능하는 고농도 불순물 영역을 저저항화하기 위하여, 실리사이드층을 형성하여도 좋다. 실리사이드층으로서, 코발트 실리사이드 또는 니켈 실리사이드를 적용하면 좋다. SOI층의 막 두께가 얇은 경우에는, 고농도 불순물 영역이 형성된 SOI층의 저부까지 실리사이드 반응을 진행하여 풀 실리사이드화하여도 좋다.

[0232] 다음에, 기판(1800) 전면에서 절연층(1808)을 형성한 후, 상기 절연층(1808)을 선택적으로 에칭하여, 표시부(1820)의 제 1 SOI층(1821)에 형성된 고농도 불순물 영역(1826)에 도달하는 개구를 형성한다. 또한, 제 1 구동 회로부(1830)의 제 2 SOI층(1831), 제 3 SOI층(1841)에 형성된 고농도 불순물 영역(1836), 고농도 불순물 영역(1846)에 각각 도달하는 개구를 형성한다. 그리고, 상기 개구를 매립하도록 도전층(1819)을 형성한다. 또한, 단자 영역(1870)에 단자 전극(1874)을 형성한다(도 20b 참조).

[0233] 절연층(1808)은, CVD법이나 스퍼터링법, ALD법, 도포법 등에 의하여, 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘 등의 산소 또는 질소를 포함하는 무기 절연 재료나, DLC(다이아몬드 라이크 카본) 등의 탄소를 포함하는 절연 재료, 에폭시, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐, 아크릴 등의 유기 절연 재료 또는 실록산 수지 등의 실록산 재료를 사용하여 형성한다. 또한, 실록산 재료란, Si-O-Si 결합을 포함하는 재료에 상당한다. 실록산은, 실리콘(Si)과 산소(O)의 결합에 의하여 골격 구조가 구성된다. 치환기로서는, 적어도 수소를 포함하는 유기기(예를 들어 알킬기, 방향족 탄화수소)가 사용된다. 치환기로서, 플루오로기를 사용할 수도 있다. 또한, 치환기로서, 적어도 수소를 포함하는 유기기와, 플루오로기를 사용하여도 좋다. 또한, 절연층(1808)은, CVD법이나 스퍼터링법, ALD법을 사용하여 절연층을 형성한 후, 상기 절연층에 산화 분위기하 또는 질소 분위기하에서 플라즈마 처리를 행하여도 좋다. 여기서는 절연층(1808)은 단층 구조의 예를 나타내지만, 2 층 이상의 적층 구조로 하여도 좋다. 또한, 무기 절연층이나, 유기 절연층을 조합하여 형성하여도 좋다. 예를 들어, 기판(1800) 전면에서 패시베이션 층으로서 기능할 수 있는 질화실리콘막이나 질화산화실리콘막을 형성하고, 그 상층에 평탄화층으로서 기능할 수 있는 인 실리케이트 유리(PSG)나 붕소 인 실리케이트 유리(BPSG)를 재료로 사용한 절연층을 형성할 수 있다.

[0234] 도전층(1819)은, 소스 전극 또는 드레인 전극으로서 기능한다. 도전층(1819)은, 절연층(1808)에 형성된 개구를 통하여, 제 1 SOI층(1821), 제 2 SOI층(1831) 또는 제 3 SOI층(1841)과 전기적으로 접속된다.

- [0235] 도전층(1819)은, CVD법이나 스퍼터링법을 사용하여, 알루미늄(Al), 텅스텐(W), 티타늄(Ti), 탄탈(Ta), 몰리브덴(Mo), 니켈(Ni), 백금(Pt), 구리(Cu), 금(Au), 은(Ag), 망간(Mn), 네오듐(Nd), 탄소(C), 실리콘(Si) 등의 금속 원소, 또는 상기 금속 원소를 포함하는 합금 재료 또는 화합물 재료를 사용하여 기판 전면에 도전층을 단층 구조 또는 적층 구조로 형성한 후, 상기 도전층을 선택적으로 에칭하여 형성할 수 있다. 알루미늄을 포함하는 합금 재료로서는, 예를 들어, 알루미늄을 주성분으로 하여 니켈을 포함하는 재료, 또는 알루미늄을 주성분으로 하여, 니켈과, 탄소와 실리콘의 한쪽 또는 양쪽을 포함하는 합금 재료를 들 수 있다. 또한, 텅스텐을 포함하는 화합물 재료로서는, 예를 들어 텅스텐 실리사이드를 들 수 있다. 도전층(1819)은, 예를 들어, 배리어층과 알루미늄실리콘(Al-Si)층과 배리어 층의 적층 구조, 배리어 층과 알루미늄실리콘(Al-Si)층과 질화티타늄층과 배리어층의 적층 구조를 채용할 수 있다. 또한, 배리어층이란, 티타늄, 티타늄의 질화물, 몰리브덴, 또는 몰리브덴의 질화물로 이루어지는 박막에 상당한다. 알루미늄이나 알루미늄실리콘은 저항값이 낮고, 저열하기 때문에, 소스 전극 또는 드레인 전극으로서 기능하는 도전층을 형성하는 재료로서 최적이다. 또한, 소스 전극 또는 드레인 전극으로서 기능하는 도전층을, 상층과 하층에 배리어층을 형성한 적층 구조로 하면, 알루미늄이나 알루미늄실리콘의 힐록(hillock)의 발생을 방지할 수 있으므로 바람직하다.
- [0236] 단자 영역(1870)에 형성되는 단자 전극(1874)은, 후에 형성되는 FPC 등의 외부 입력 단자와 제 1 구동 회로부(1830) 및 제 2 구동 회로부(1850)를 전기적으로 접속시키기 위한 전극으로서 기능한다. 여기서는, 도전층(1819)과 동일한 재료를 사용한 동일 층에서 단자 전극(1874)을 형성하는 예를 나타낸다.
- [0237] 이상으로, 표시부(1820)에 제 1 SOI층(1821)을 가지는 트랜지스터가 형성된 화소 회로부(1828)가 형성된다. 또한, 제 1 구동 회로부(1830)에 제 2 SOI층(1831)을 가지는 트랜지스터 및 제 3 SOI층(1841)을 가지는 트랜지스터가 형성된 주변 회로부(1838)가 형성된다.
- [0238] 다음에, 표시부(1820) 및 제 1 구동 회로부(1830) 위에 절연층(1809)을 형성한다. 그리고, 표시부(1820) 위에 형성된 절연층(1809)을 선택적으로 에칭하여, 화소 회로부(1828)에 형성된 트랜지스터의 도전층(1819)에 도달하는 개구를 형성한다. 그 후, 상기 개구가 매립되도록 화소 전극(1860)을 형성한다(도 20c 참조).
- [0239] 절연층(1809)은, 표시부(1820) 및 제 1 구동 회로부(1830)의 요철을 평탄화시켜, 평탄한 표면을 형성할 수 있는 평탄화층을 형성하는 것이 바람직하다. 예를 들어, 에폭시, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐, 아크릴 등의 유기 절연 재료 또는 실록산 수지 등의 실록산 재료를 사용하여 형성할 수 있다. 여기서는 절연층(1809)은 단층 구조의 예를 나타내지만, 2 층 이상의 적층 구조로 하여도 좋다. 적층 구조로 하는 경우, 예를 들어, 유기 수지 등을 상층으로 하고, 산화실리콘, 질화실리콘 또는 산화질화실리콘 등의 무기 절연층을 하층으로 한 적층 구조, 또는 무기 절연층으로 유기 절연층을 협지하는 구조로 할 수 있다. 또한, 절연층(1809)은 기판 전면에 형성한 후, 원하는 영역(여기서는 표시부(1820) 및 제 1 구동 회로부(1830)) 이외를 선택적으로 에칭하여 형성할 수 있다. 또한, 절연층(1809)은, 각종 인쇄법(스크린 인쇄, 평판 인쇄, 철판 인쇄, 그라비아 인쇄법 등), 액적도출법, 디스펜서법 등을 사용하여 선택적으로 형성할 수도 있다.
- [0240] 화소 전극(1860)은, 본 실시형태에서는 반사 전극으로서 기능한다. 따라서, 반사성이 있는 도전성 재료를 사용하여 형성한다. 이러한 재료로서는, 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 은(Ag) 등의 금속 원소, 또는 상기 금속 원소를 포함하는 합금 재료 또는 화합물 재료를 사용할 수 있다. 또한, 별도로 반사층을 형성하는 경우, 또는 투과형 액정 표시 장치로 하는 경우에는, 화소 전극을 투과성을 갖는 도전 재료를 사용하여 형성하면 좋다. 투과성을 갖는 도전성 재료로서는, 인듐주석산화물(ITO), 산화실리콘을 포함하는 인듐주석산화물(ITSO), 산화아연(ZnO), 산화인듐아연(IZO), 또는 갈륨을 첨가한 산화아연(GZO) 등을 사용할 수 있다.
- [0241] 다음에, 스페이서(1886)를 형성한 후, 화소 전극(1860) 및 스페이서(1886)를 덮도록 배향막(1882)을 형성한다. 다음에, 표시부(1820) 및 제 1 구동 회로부(1830), 제 2 구동 회로부(1850)를 둘러싸도록 셀재(1880)를 형성한다(도 21a 참조).
- [0242] 스페이서(1886)는, 에폭시, 폴리이미드, 폴리아미드, 폴리이미드아미드, 아크릴 등의 유기 절연 재료, 또는 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘 등의 무기 절연 재료를 사용하여, 단층 구조 또는 적층 구조로 형성할 수 있다. 본 실시형태에서는 스페이서(1886)로서 주상(柱狀) 스페이서를 형성하기 위하여, 기판 전면에 절연층을 형성한 후, 에칭 가공하여 원하는 형상의 스페이서를 얻는다. 또한, 스페이서(1886)의 형상은 특히 한정되지 않고, 구형 스페이서를 산포하여도 좋다. 스페이서(1886)에 의하여, 셀 갭을 유지

할 수 있다.

- [0243] 배향막(1882)은, 이용하는 액정의 동작 모드에 대응하여 재료를 선택하면 좋고, 액정을 일정 방향으로 배열시킬 수 있는 층을 형성한다. 예를 들어, 폴리이미드, 폴리이미드 등의 재료를 사용하여 형성하고, 배향 처리를 행함으로써 배향막으로서 기능시킬 수 있다. 배향 처리로서는, 러빙이나, 자외선 등의 광 조사 등을 행하면 좋다. 배향막(1882)의 형성 방법은 특히 한정되지 않지만, 각종 인쇄법이나 액정도출법을 사용하면, 절연층(1809) 위에 선택적으로 형성할 수 있다.
- [0244] 셀재(1880)는, 표시 장치가 완성된 후, 적어도 표시 영역을 둘러싸도록 형성한다. 본 실시형태에서는, 표시부(1820), 제 1 구동 회로부(1830) 및 제 2 구동 회로부(1850)의 주변을 둘러싸도록 테두리형의 셀 패턴을 형성한다. 셀재(1880)로서는, 열경화 수지나 광경화 수지를 사용할 수 있다. 또한, 셀재에 필러(filler)를 포함시킴으로써 셀 갭을 유지시킬 수도 있다. 셀재(1880)는, 후에 대향 전극, 컬러 필터 등 형성된 기판과 밀봉될 때, 광 조사, 가열 처리 등을 행하여 경화를 행한다.
- [0245] 셀재(1880)에 둘러싸인 영역에 액정층(1884)을 형성한다. 또한, 컬러 필터(1889), 대향 전극(1888), 배향막(1887)이 순차로 적층된 제 2 기판(1890)과 제 1 기판(1800)을 접합시킨다(도 21b 참조).
- [0246] 액정층(1884)은, 원하는 액정 재료를 사용하여 형성한다. 예를 들어, 액정층(1884)은, 셀재(1880)로 형성된 테두리형의 셀 패턴 내에 액정 재료를 적하하여 형성할 수 있다. 액정 재료의 적하는, 디스펜서법이나 액적도출법을 사용하여 행하면 좋다. 또한, 액적 재료는 미리 감압하에서 탈기하거나 적하후에 감압하에서 탈기하는 것이 바람직하다. 또한, 액정 재료를 적하할 때 불순물 등이 혼입하지 않도록, 불활성 분위기하에서 행하는 것이 바람직하다. 또한, 액정 재료를 적하하여 액정층(1884)을 형성한 후, 제 1 기판(1800) 및 제 2 기판(1890)을 접합할 때까지는, 액정층(1884)에 기포 등이 들어가지 않도록 감압하에서 행하는 것이 바람직하다.
- [0247] 또한, 액정층(1884)은, 제 1 기판(1800)과 제 2 기판(1890)을 접합시킨 후, 셀재(1880)의 테두리 패턴 내에, 모세관 현상을 이용하여 액정 재료를 주입하여 형성할 수도 있다. 이 경우, 미리 셀재 등에 액정의 주입구가 되는 부분을 형성한다. 또한, 액정 재료는, 감압하에서 주입을 행하는 것이 바람직하다.
- [0248] 제 1 기판(1800)과 제 2 기판(1890)은, 대향시켜 밀착시킨 후, 셀재(1880)를 경화시켜 접합시킬 수 있다. 이 때, 제 2 기판(1890)에 형성된 배향막(1887)과, 제 1 기판(1800)에 형성된 배향막(1882)으로, 액정층(1884)이 협지되는 구조가 되도록 접합한다. 또한, 제 1 기판(1800)과 제 2 기판(1890)의 접합, 및 액정층(1884)의 형성을 행한 후, 가열 처리를 행하여 액정층(1884)의 배향 호트리짐을 수정할 수도 있다.
- [0249] 제 2 기판(1890)으로서, 투광성을 가지는 기판을 사용한다. 예를 들어, 알루미늄 실리케이트 유리, 알루미늄 보로실리케이트 유리, 바륨 보로실리케이트 유리 등의 각종 유리 기판, 석영 기판, 세라믹스 기판, 사파이어 기판 등을 사용할 수 있다.
- [0250] 제 2 기판(1890) 위에는, 접합시키기 전에, 컬러 필터(1889), 대향 전극(1888), 배향막(1887)을 순차로 형성한다. 또한, 제 2 기판(1890)에는, 컬러 필터(1889) 이외에 블랙 매트릭스를 형성하여도 좋다. 또한, 컬러 필터(1889)는 제 2 기판(1890)의 외측에 형성하여도 좋다. 또한, 모노 컬러 표시로 하는 경우에는, 컬러 필터(1889)를 형성하지 않아도 좋다. 또한, 셀재를 제 2 기판(1890) 측에 형성하여도 좋다. 또한, 셀재를 제 2 기판(1890) 측에 형성하는 경우에는, 액정 재료는 제 2 기판(1890)에 형성된 셀재의 테두리 패턴 내에 적하한다.
- [0251] 대향 전극(1888)은, 인듐주석산화물(ITO), 산화실리콘을 포함하는 인듐주석산화물(ITSO), 산화아연(ZnO), 산화인듐아연(IZO), 또는 갈륨을 첨가한 산화아연(GZO) 등의 투광성을 가지는 도전 재료를 사용하여 형성할 수 있다. 배향막(1887)은, 상기 배향막(1882)과 마찬가지로 형성할 수 있다.
- [0252] 상기 공정에 의하여, 제 1 기판(1800)과 제 2 기판(1890) 사이에, 액정층(1884)을 포함하는 표시부(1820), 제 1 구동 회로부(1830) 및 제 2 구동 회로부(1850)가 밀봉된 구조가 얻어진다. 또한, 표시부(1820) 및 제 1 구동 회로부(1830), 제 2 구동 회로부(1850)에 형성되는 회로부에는, 트랜지스터 이외에, 저항이나, 콘덴서 등을 동시에 제작하여도 좋다. 또한, 트랜지스터의 구조는 특히 한정되지 않는다. 예를 들어, 하나의 SOI층에 대하여 복수의 게이트를 형성한 멀티 게이트 구조로 할 수도 있다.
- [0253] 다음에, 접합한 제 1 기판(1800) 및 제 2 기판(1890)을 분단한다. 그리고, 제 2 기판(1890)에 편광판(1892)을 형성하고, 단자 전극(1874)에 이방성 도전층(1876)을 통하여 외부 입력 단자(1878)을 접속한다(도 22 참조).

- [0254] 또한, 투과형 액정 표시 장치로 하는 경우에는, 제 1 기관(1800)의 외측(액정층(1884) 등을 밀봉하지 않는 면측)에도 편광판을 형성하면 좋다. 또한, 편광판 이외에, 위상차판, 반사 방지막 등의 광학 필름 등을 형성하여도 좋다.
- [0255] 외부 입력 단자(1878)는 외부로부터의 신호(예를 들어 비디오 신호, 클록 신호, 스타트 신호, 리셋 신호 등)나 전위를 전달하는 역할을 한다. 여기서는, 외부 입력 단자(1878)로서 FPC를 접속한다. 또한, 단자 전극(1874)은, 제 1 구동 회로부(1830) 및 제 2 구동 회로부(1850)와 전기적으로 접속되는 것으로 한다.
- [0256] 상기 공정에 의하여 액정 표시 장치를 얻을 수 있다. 또한, 반사형 액정 표시 장치인 경우, 외광(태양광이나 실내 광) 등을 이용하여 표시를 행할 수 있지만, 냉음극관 또는 LED 소자 등의 광원이나 도광판 등으로 구성되는 프런트라이트나 반사 시트 등을 형성하여도 좋다. 프런트라이트는 표시 장치의 시인측에 형성할 수 있다. 프런트라이트를 형성함으로써, 충분한 외광이 얻어지지 않는 경우라도, 선명한 표시를 행할 수 있다.
- [0257] 또한, 투과형 액정 표시 장치 또는 반 투과형 액정 표시 장치로 하는 경우에는, 냉음극관 또는 LED 소자 등의 광원이나 도광판이나 반사 시트 등으로 구성되는 백 라이트를 형성한다. 백 라이트는, 표시 장치의 시인 측과 반대 측(배면 측)에 형성한다. 투과형 액정 표시 장치인 경우, 광원으로부터의 빛을 시인 측에 투과시켜, 표시를 행할 수 있다.
- [0258] 또한, 본 실시형태는, 실시형태 1 내지 실시형태 6을 적절히 조합하여 사용할 수 있다.
- [0259] (실시형태 8)
- [0260] 본 발명의 액정 표시 장치를 사용한 전자기기에 대하여, 도 23a 내지 도 23h를 참조하여 설명한다.
- [0261] 본 발명의 액정 표시 장치를 사용한 전자기기로서, 비디오 카메라나 디지털 카메라 등의 카메라, 고글형 디스플레이(Head Mounted Display), 네비게이션 시스템, 음향재생장치(카 오디오 콤포넌트 등), 컴퓨터, 게임 기기, 휴대 정보단말(모바일 컴퓨터, 휴대 전화기, 휴대형 게임기 또는 전자 서적 등), 기록 매체를 구비한 화상 재생장치(구체적으로는 Digital Versatile Disc(DVD) 등의 기록매체를 재생하며, 그 화상을 표시할 수 있는 표시 장치를 구비한 장치) 등을 들 수 있다.
- [0262] 도 23a는 텔레비전 수상기 또는 퍼스널 컴퓨터의 모니터이다. 하우징(2001), 지지대(2002), 표시부(2003), 스피커부(2004), 비디오 입력 단자(2005) 등을 포함한다. 표시부(2003)에는, 본 발명의 액정 표시 장치가 사용된다. 본 발명의 액정 표시 장치를 가짐으로써, 고속 응답 및 고화질을 실현한 텔레비전 수상기 또는 퍼스널 컴퓨터의 모니터를 제공할 수 있다.
- [0263] 도 23b는 디지털 카메라이다. 본체(2101)의 정면 부분에는 수상부(2103)가 형성되고, 본체 (2101)의 상면 부분에는 릴리스 버튼(2106)이 형성된다. 또한, 본체(2101)의 배면 부분에는, 표시부(2102), 조작키(2104), 및 외부 접속 포트(2105)가 형성된다. 표시부(2102)에는, 본 발명의 액정 표시 장치가 사용된다. 본 발명의 액정 표시 장치를 가짐으로써, 고속 응답 및 고화질을 실현한 디지털 카메라를 제공할 수 있다.
- [0264] 도 23c는 노트북 퍼스널 컴퓨터이다. 본체(2201)에는, 키보드(2204), 외부 접속포트(2205), 포인팅 디바이스(2206)가 형성된다. 또한, 본체(2201)에는, 표시부(2203)를 가지는 하우징(2202)이 설치된다. 표시부(2203)에는, 본 발명의 액정 표시 장치가 사용된다. 본 발명의 액정 표시 장치를 가짐으로써, 고속 응답 및 고화질을 실현한 노트북 퍼스널 컴퓨터를 제공할 수 있다.
- [0265] 도 23d는 모바일 컴퓨터이며, 본체(2301), 표시부(2302), 스위치(2303), 조작키(2304), 적외선 포트(2305) 등을 포함한다. 표시부(2302)에는 액티브 매트릭스형 표시 장치가 형성된다. 표시부(2302)에는, 본 발명의 액정 표시 장치가 사용된다. 본 발명의 액정 표시 장치를 가짐으로써, 고속 응답 및 고화질을 실현한 모바일 컴퓨터를 제공할 수 있다.
- [0266] 도 23e는 화상 재생 장치이다. 본체(2401)에는, 표시부(2404), 기록 매체 판독부(2405) 및 조작키(2406)가 형성된다. 또한, 본체(2401)에는, 스피커부(2407) 및 표시부(2403) 각각을 가지는 하우징(2402)이 설치된다. 표시부(2403) 및 표시부(2404) 각각에는, 본 발명의 액정 표시 장치가 사용된다. 본 발명의 액정 표시 장치를 가짐으로써, 고속 응답 및 고화질을 실현한 화상 재생 장치를 제공할 수 있다.
- [0267] 도 23f는 전자 서적이다. 본체(2501)에는 조작키(2503)가 형성된다. 또한, 본체(2501)에는 복수의 표시부(2502)가 설치된다. 표시부(2502)에는, 본 발명의 액정 표시 장치가 사용된다. 본 발명의 액정 표시 장치를 가짐으로써, 고속 응답 및 고화질을 실현한 전자 서적을 제공할 수 있다.

- [0268] 도 23g는 비디오 카메라이며, 본체(2601)에는 외부 접속 포트(2604), 리모트 컨트롤의 수신부(2605), 수상부(2606), 배터리(2607), 음성 입력부(2608), 조작키(2609), 및 접안부(2610)가 형성된다. 또한, 본체(2601)에는, 표시부(2602)를 가지는 케이스(2603)가 설치된다. 표시부(2602)에는, 본 발명의 액정 표시 장치가 사용된다. 본 발명의 액정 표시 장치를 가짐으로써, 고속 응답 및 고화질을 실현한 비디오 카메라를 제공할 수 있다.
- [0269] 도 23h는 휴대 전화기이며, 본체(2701), 케이스(2702), 표시부(2703), 음성 입력부(2704), 음성 출력부(2705), 조작키(2706), 외부 접속 포트(2707), 안테나(2708) 등을 포함한다. 표시부(2703)에는, 본 발명의 액정 표시 장치가 사용된다. 본 발명의 액정 표시 장치를 가짐으로써, 고속 응답 및 고화질을 실현한 휴대 전화를 제공할 수 있다.
- [0270] 상기한 바와 같이, 본 발명의 적용 범위는 극히 넓고, 모든 분야의 전자기기에 사용할 수 있다. 또한, 본 실시형태는, 실시형태 1 내지 실시형태 7과 적절히 조합하여 사용할 수 있다.

도면의 간단한 설명

- [0271] 도 1a 및 도 1b는 본 발명의 구동 방법을 도시하는 도면.
- [0272] 도 2a 및 도 2b는 종래의 구동 방법과 본 발명의 구동 방법을 비교한 도면.
- [0273] 도 3a 및 도 3b는 종래의 구동 방법과 본 발명의 구동 방법을 비교한 도면.
- [0274] 도 4는 본 발명의 구동 방법을 도시하는 도면.
- [0275] 도 5a 및 도 5b는 본 발명의 구동 방법을 도시하는 도면.
- [0276] 도 6a 내지 도 6d는 본 발명의 액티브 매트릭스 기관의 제작 공정을 도시하는 도면.
- [0277] 도 7a 내지 도 7c는 본 발명의 액티브 매트릭스 기관의 제작 공정을 도시하는 도면.
- [0278] 도 8a 내지 도 8c는 본 발명의 액티브 매트릭스 기관의 제작 공정을 도시하는 도면.
- [0279] 도 9는 본 발명의 액정 표시 장치의 제작 공정을 도시하는 도면.
- [0280] 도 10은 본 발명의 액정 표시 장치의 상면을 도시하는 도면.
- [0281] 도 11은 본 발명의 액정 표시 장치의 단면을 도시하는 도면.
- [0282] 도 12a 및 도 12b는 본 발명의 SOI 기관을 도시하는 도면.
- [0283] 도 13a 및 도 13b는 본 발명의 SOI 기관을 도시하는 도면.
- [0284] 도 14a 및 도 14b는 본 발명의 SOI 기관을 도시하는 도면.
- [0285] 도 15a 내지 도 15c는 본 발명의 SOI 기관의 제작 공정을 도시하는 도면.
- [0286] 도 16a 및 도 16b는 본 발명의 SOI 기관의 제작 공정을 도시하는 도면.
- [0287] 도 17a 내지 도 17c는 본 발명의 SOI 기관의 제작 공정을 도시하는 도면.
- [0288] 도 18a 내지 도 18c는 본 발명의 액정 표시 장치를 도시하는 도면.
- [0289] 도 19a 내지 도 19d는 본 발명의 액정 표시 장치의 제작 공정을 도시하는 도면.
- [0290] 도 20a 내지 도 20c는 본 발명의 액정 표시 장치의 제작 공정을 도시하는 도면.
- [0291] 도 21a 및 도 21b는 본 발명의 액정 표시 장치의 제작 공정을 도시하는 도면.
- [0292] 도 22는 본 발명의 액정 표시 장치를 도시하는 도면.
- [0293] 도 23a 내지 도 23h는 본 발명의 전자기기를 도시하는 도면.
- [0294] 도 24a 내지 도 24h는 신호 전압의 대소 관계를 몇 패턴으로 나누어 도시한 도면.

[0295] <도면의 주요 부분에 대한 부호의 설명>

[0296] 100: 삼각형

102: 전압

- [0297]

104: 응답량

110: 1 프레임
- [0298]

112: 제 1 서브 프레임

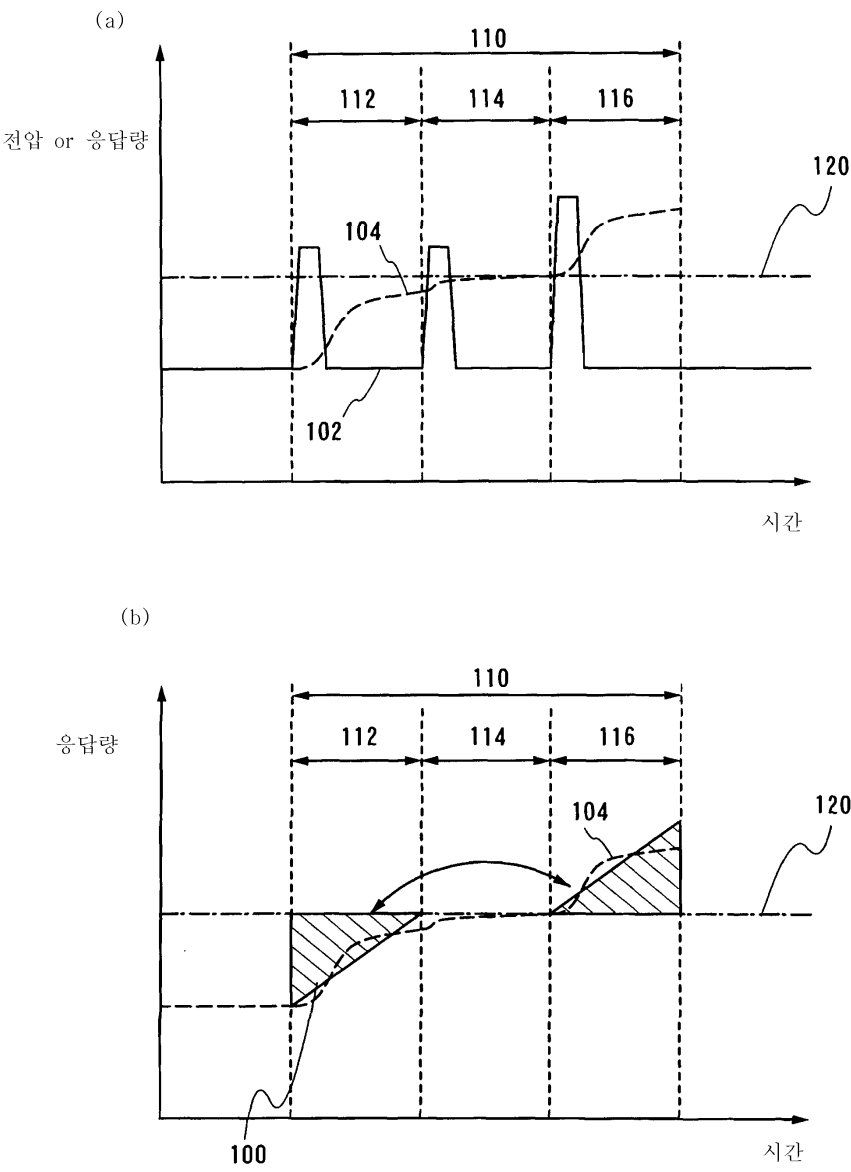
114: 제 2 서브 프레임
- [0299]

116: 제 3 서브 프레임

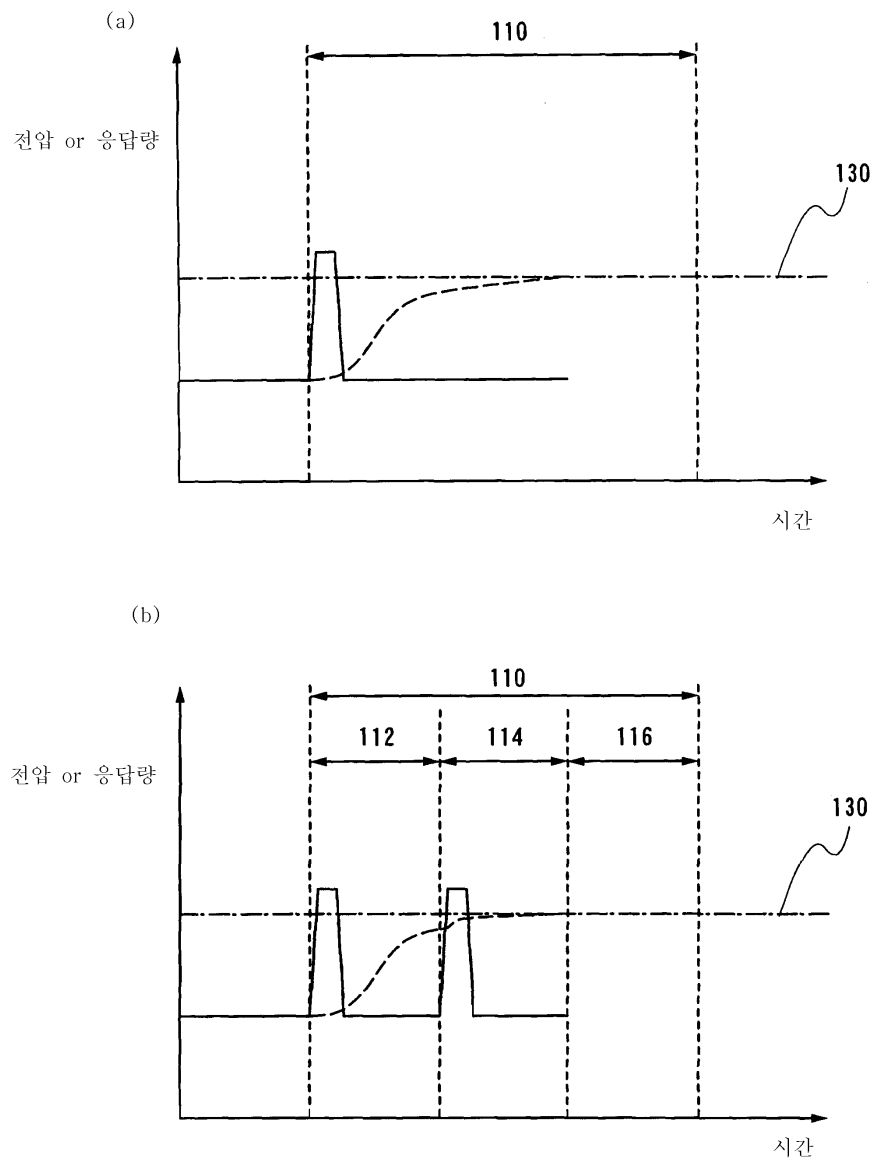
120: 1 프레임 기간의 평균 계조(응답량)

도면

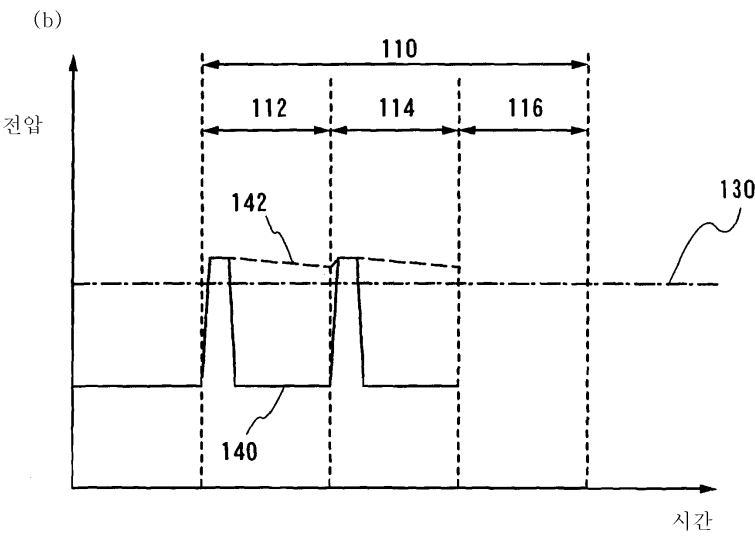
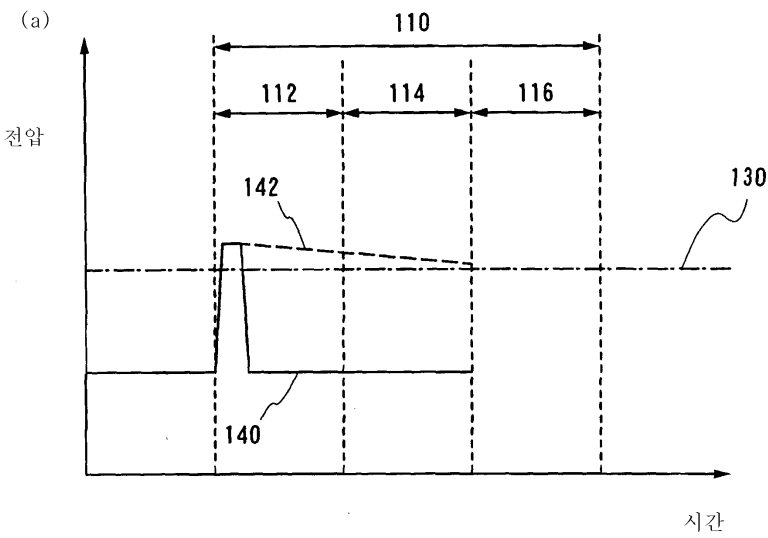
도면1



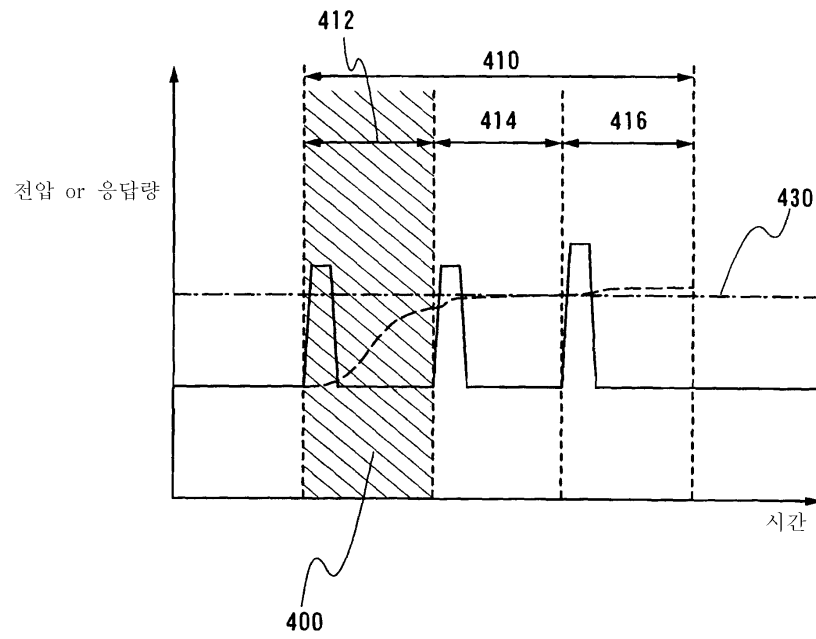
도면2



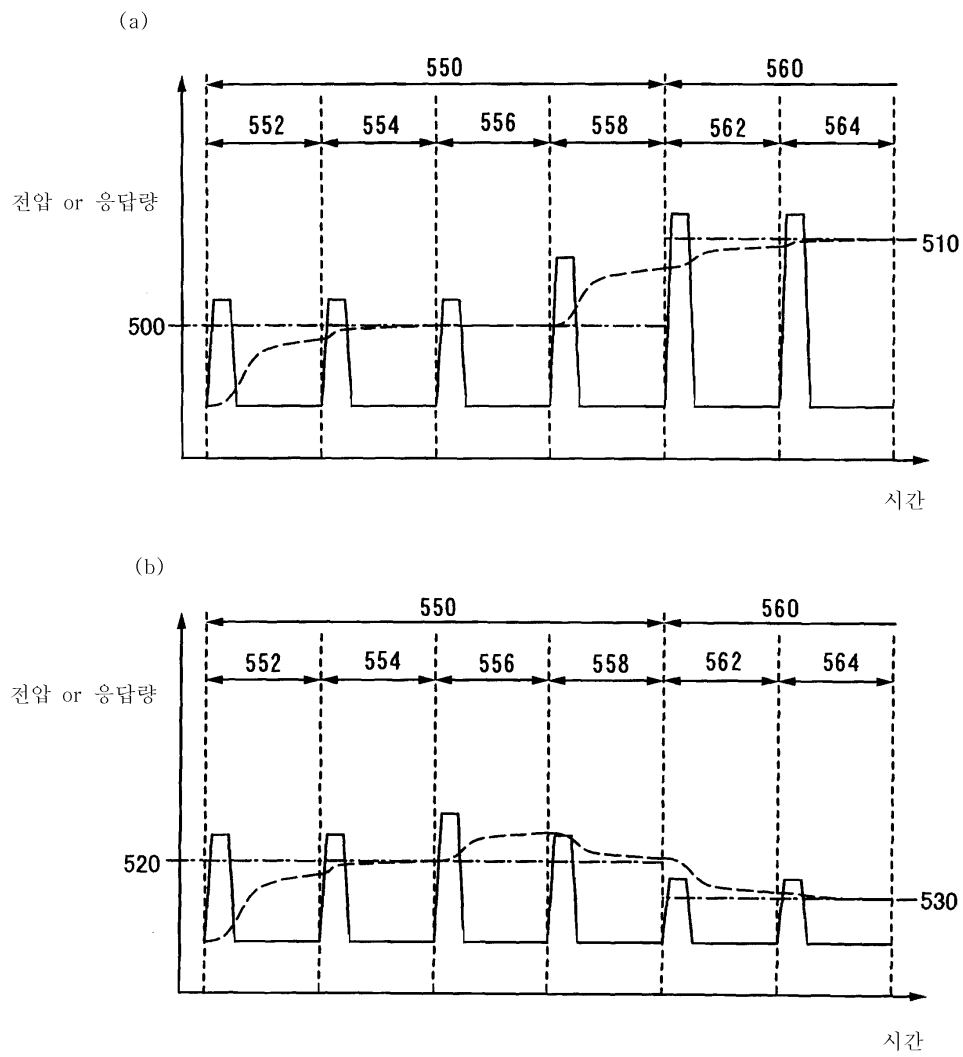
도면3



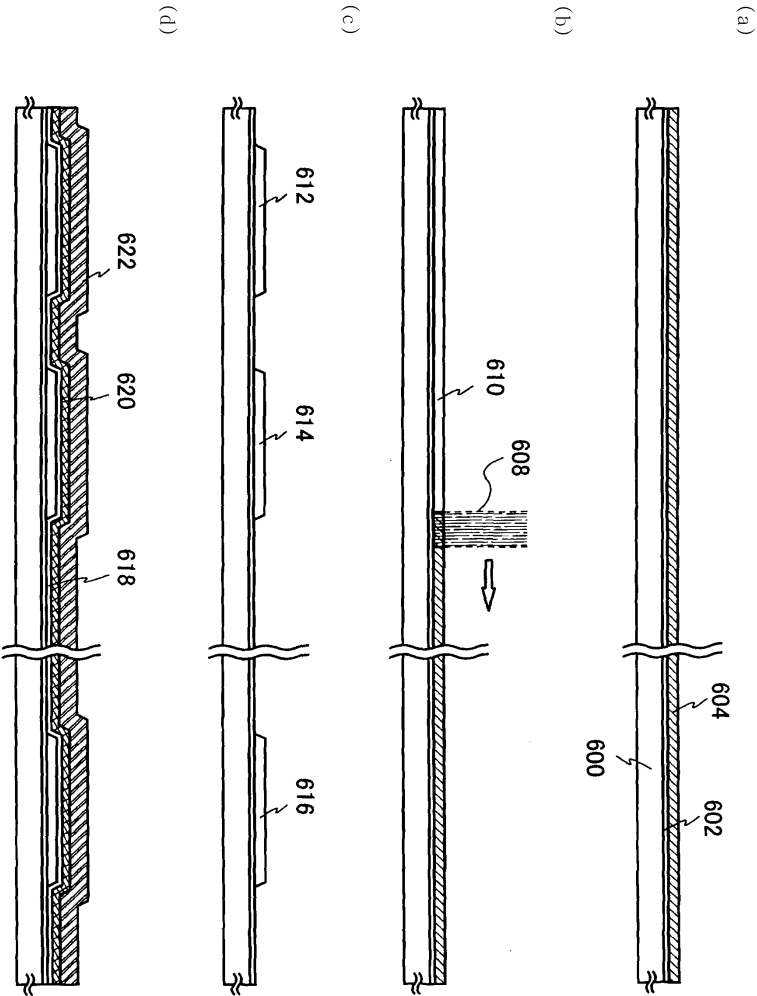
도면4



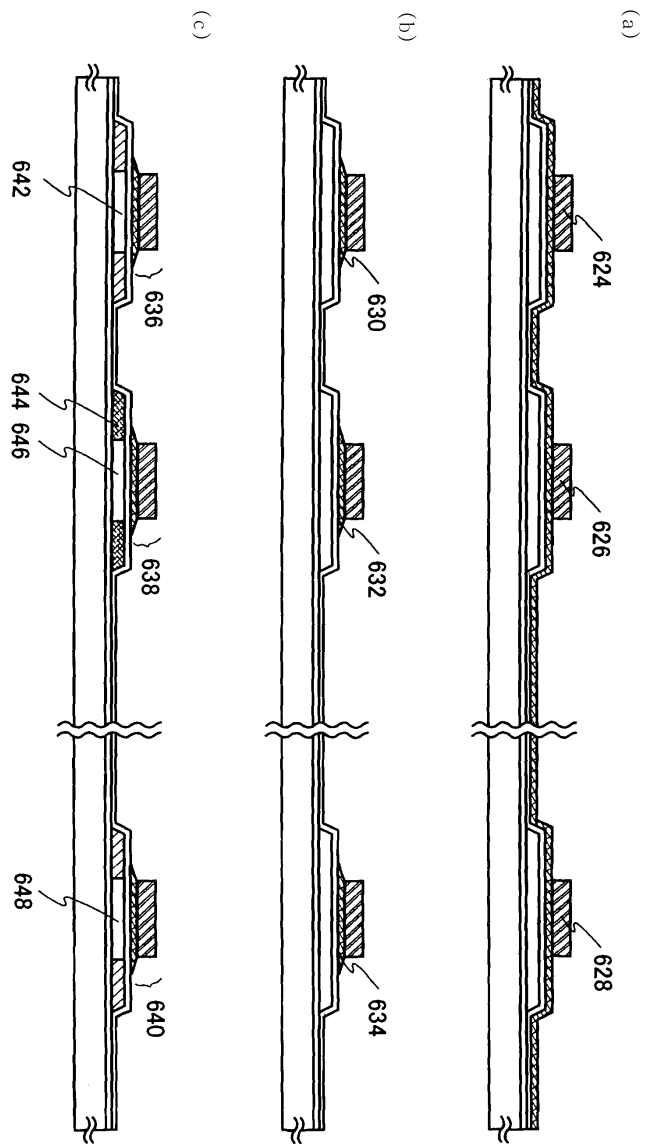
도면5



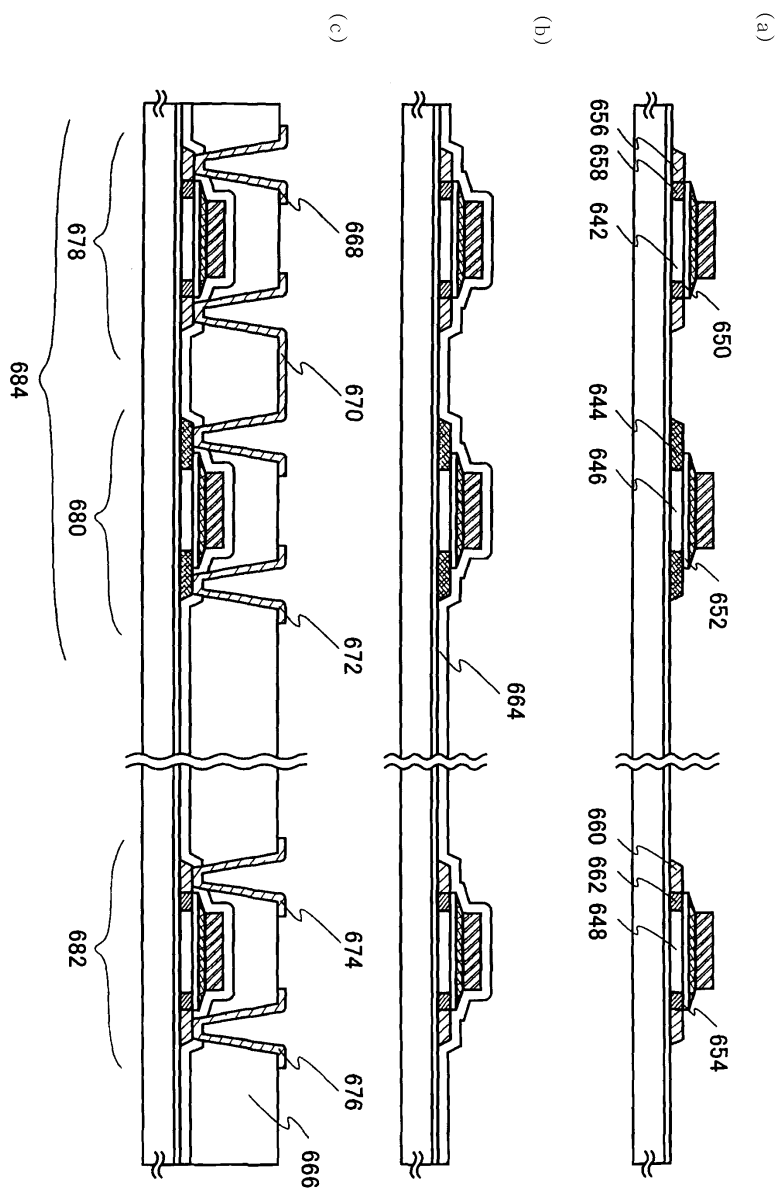
도면6



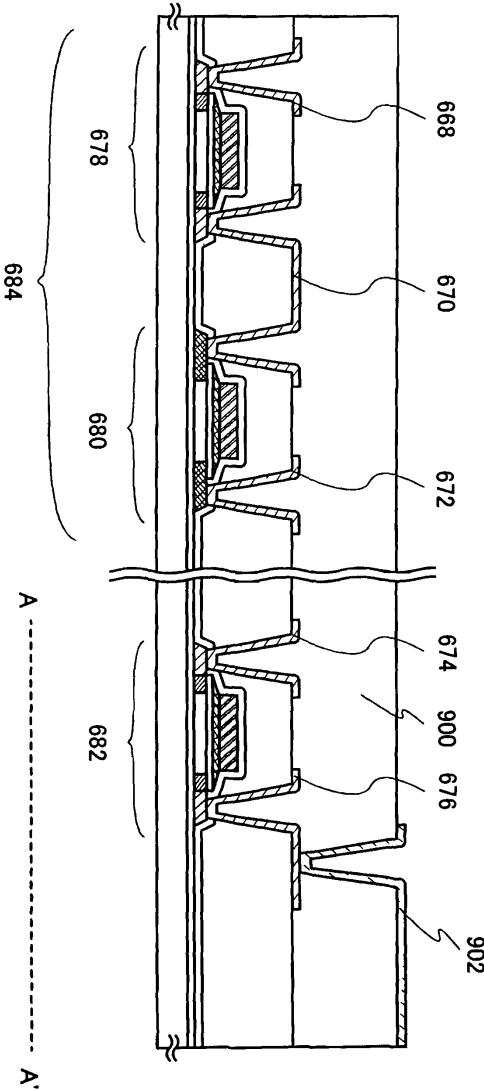
도면7



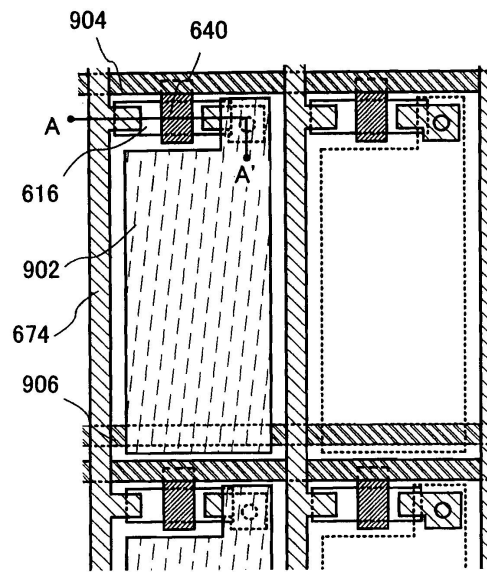
도면8



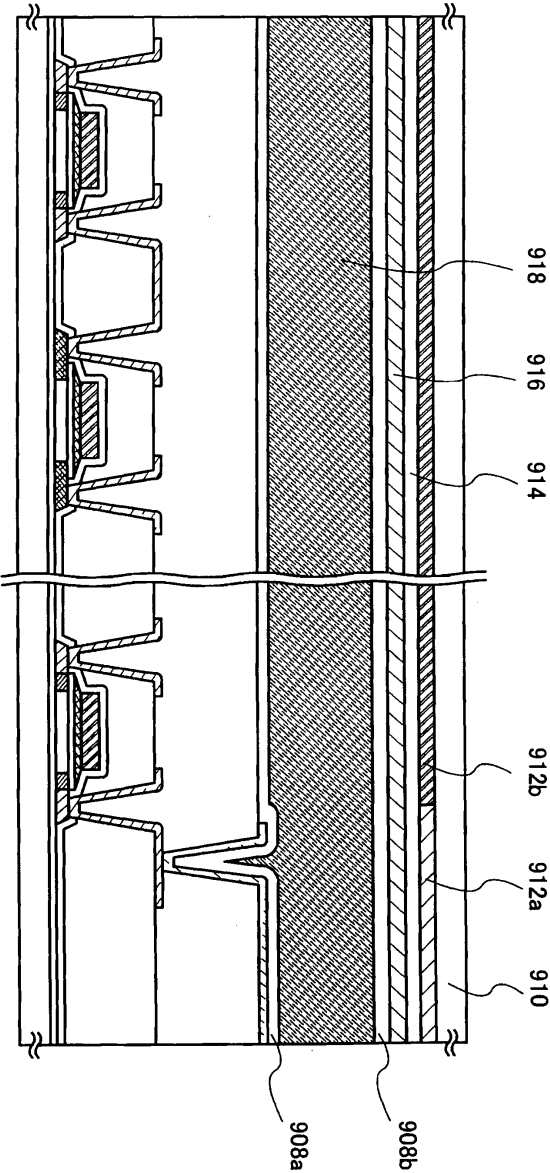
도면9



도면10

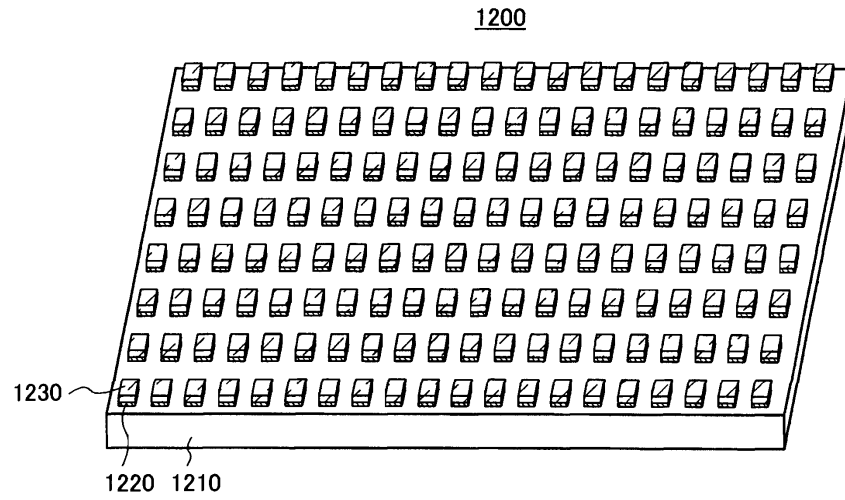


도면11

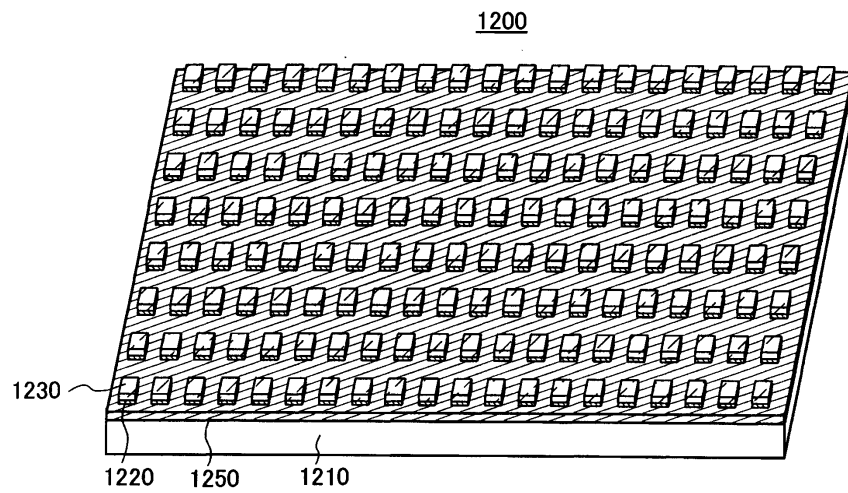


도면12

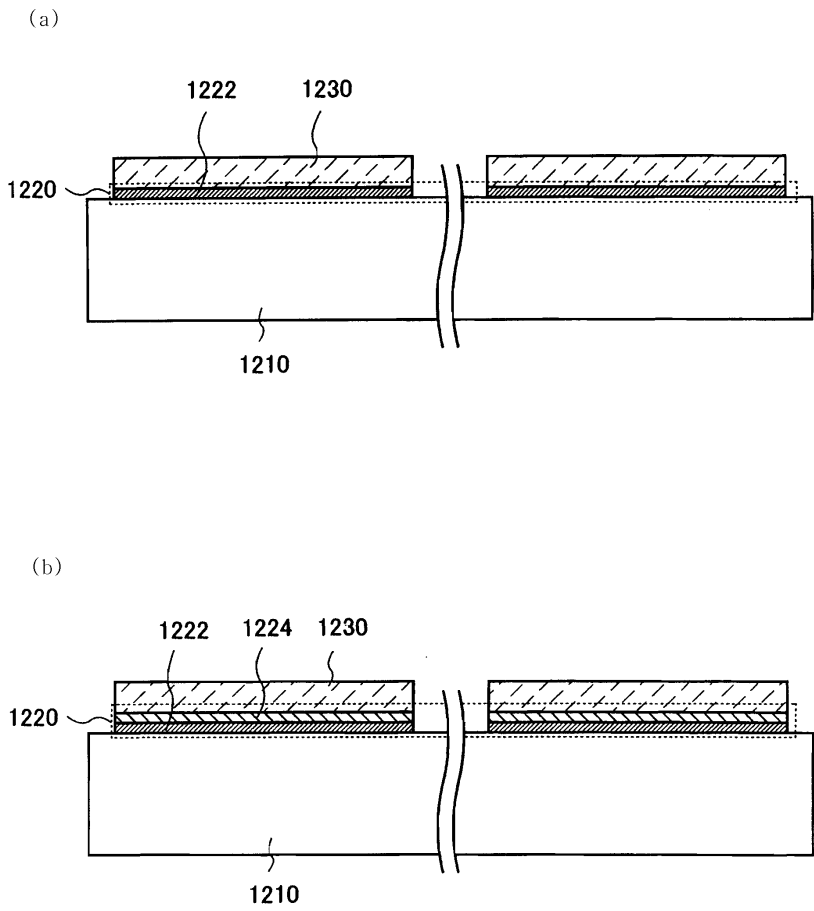
(a)



(b)

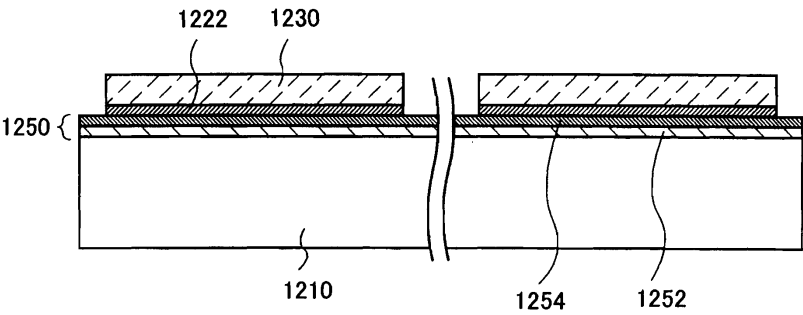


도면13

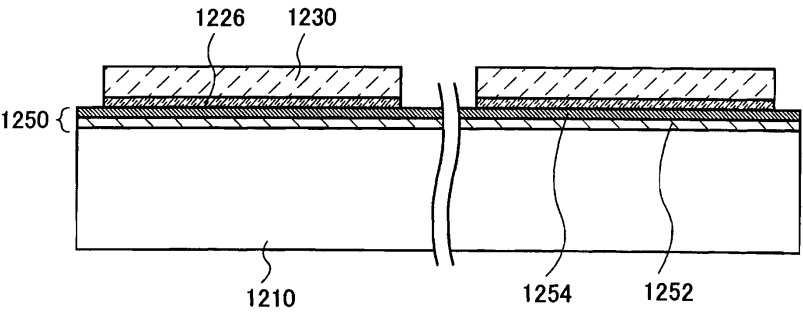


도면14

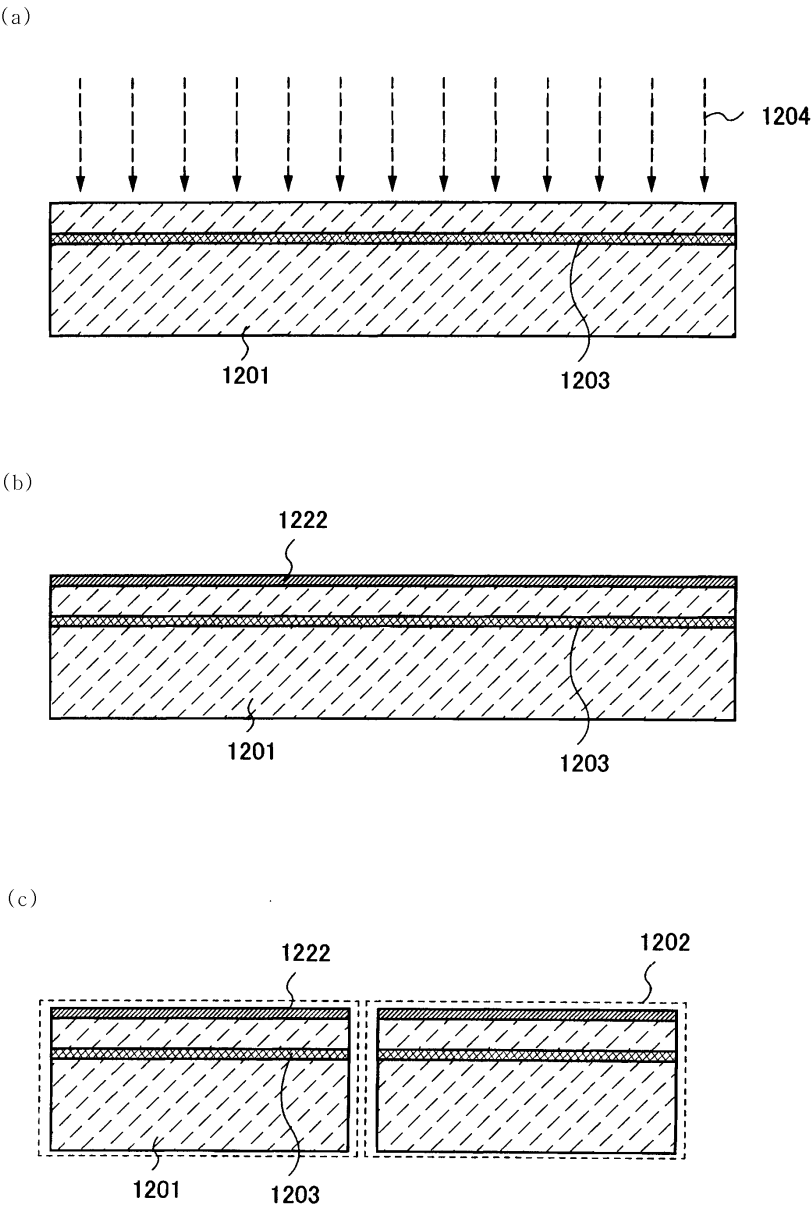
(a)



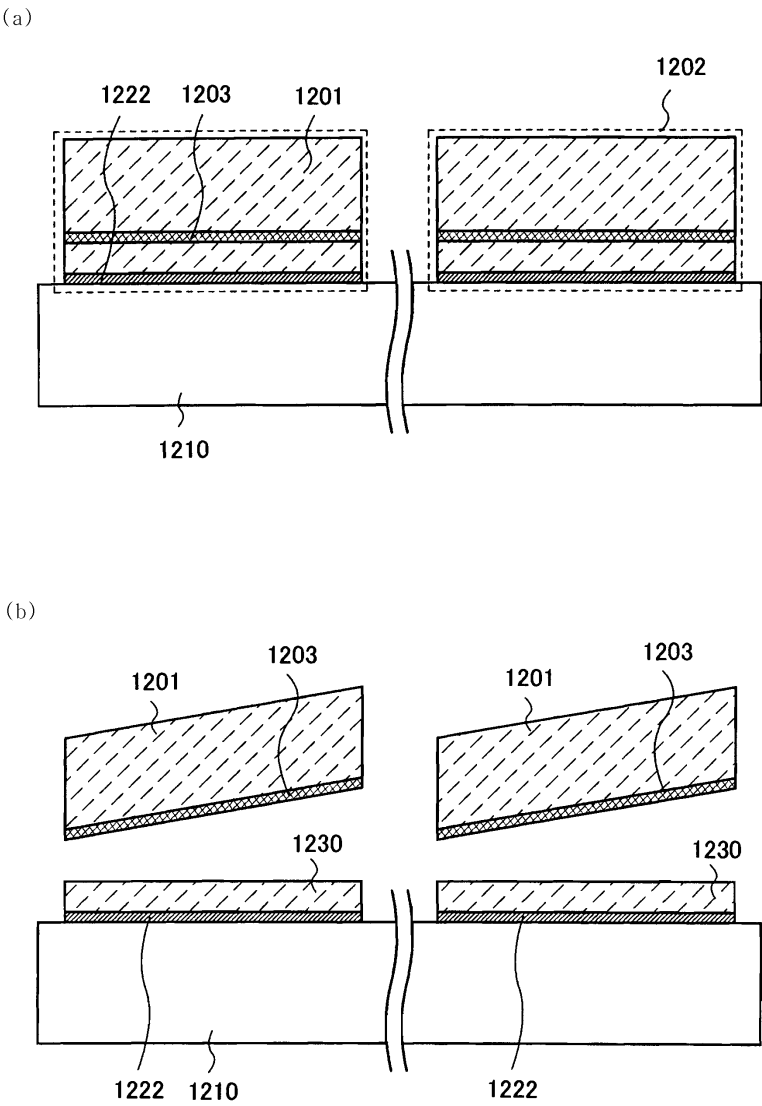
(b)



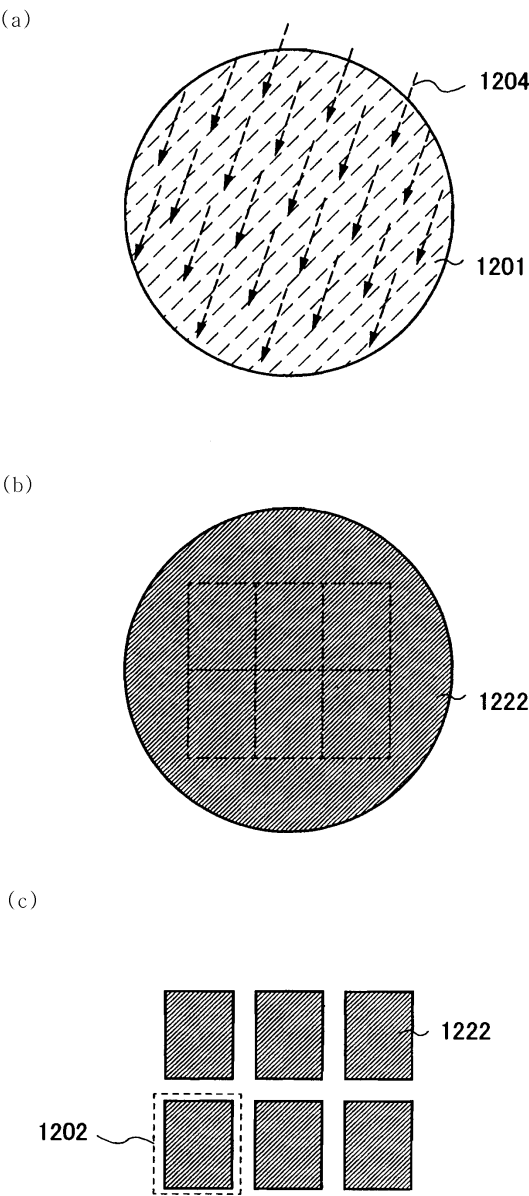
도면15



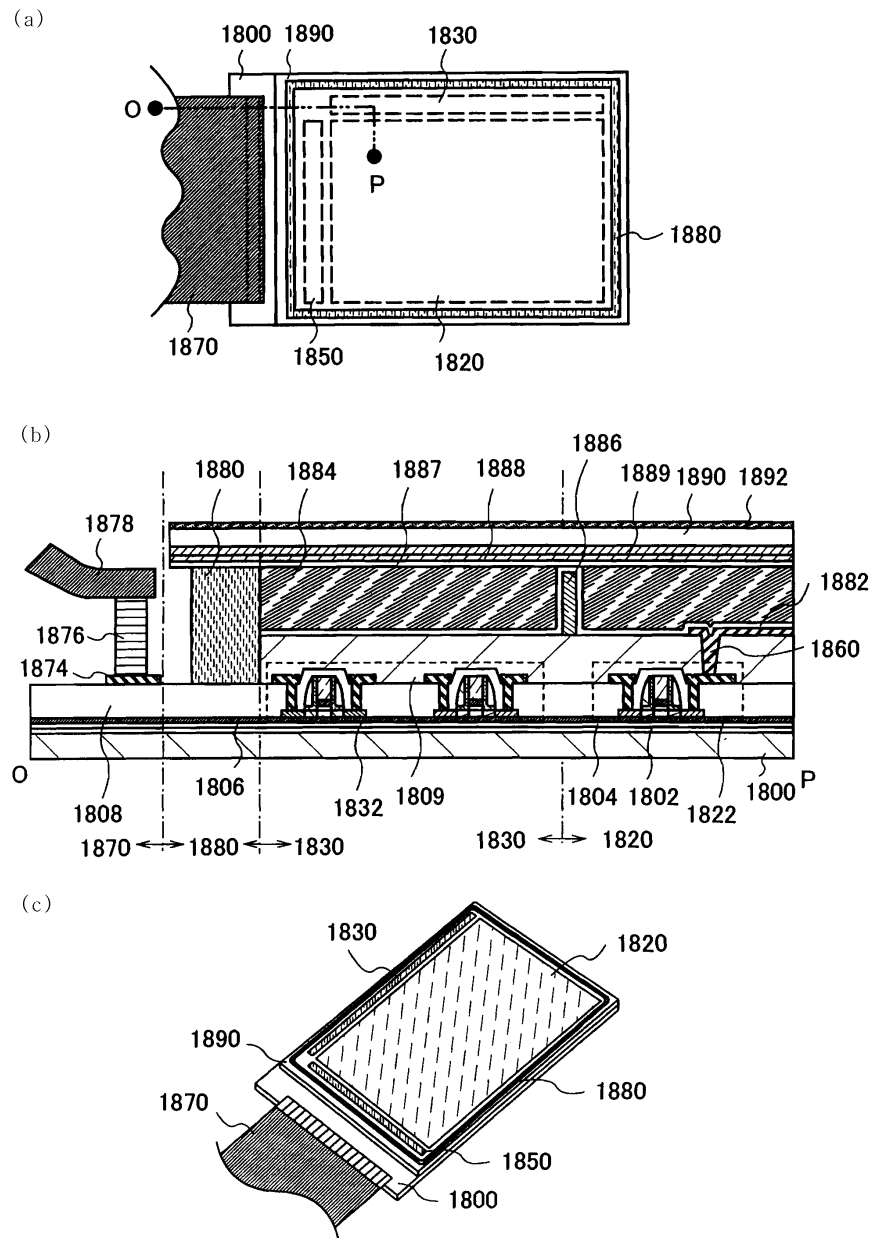
도면16



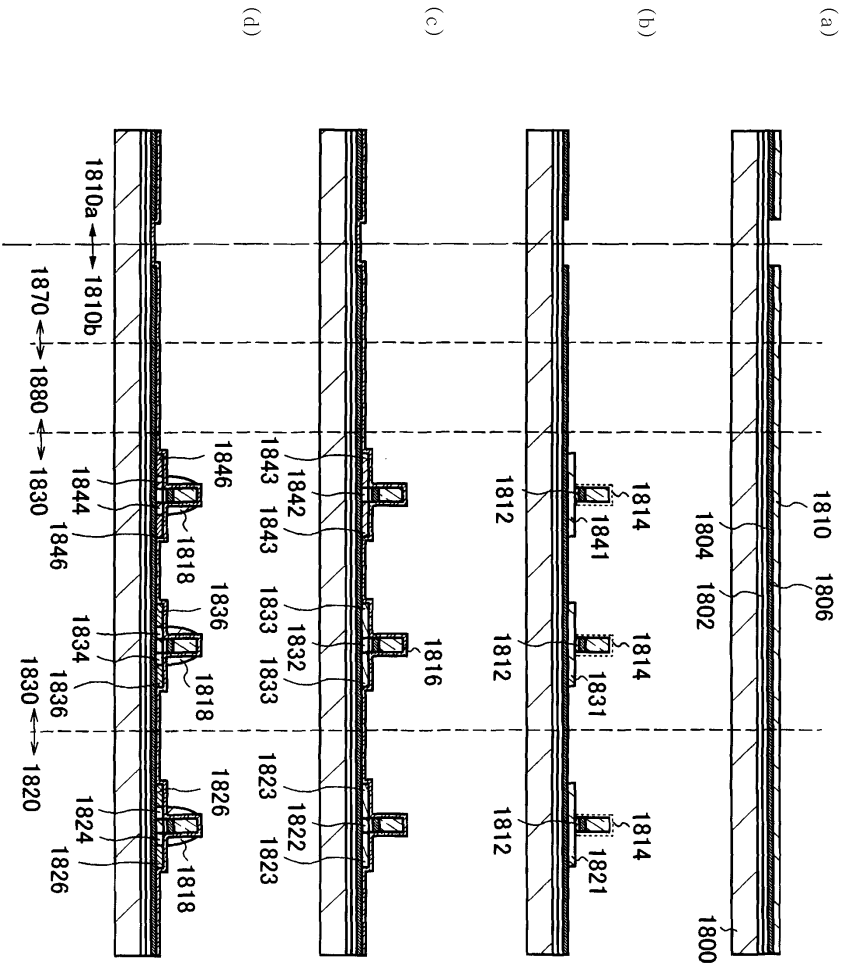
도면17



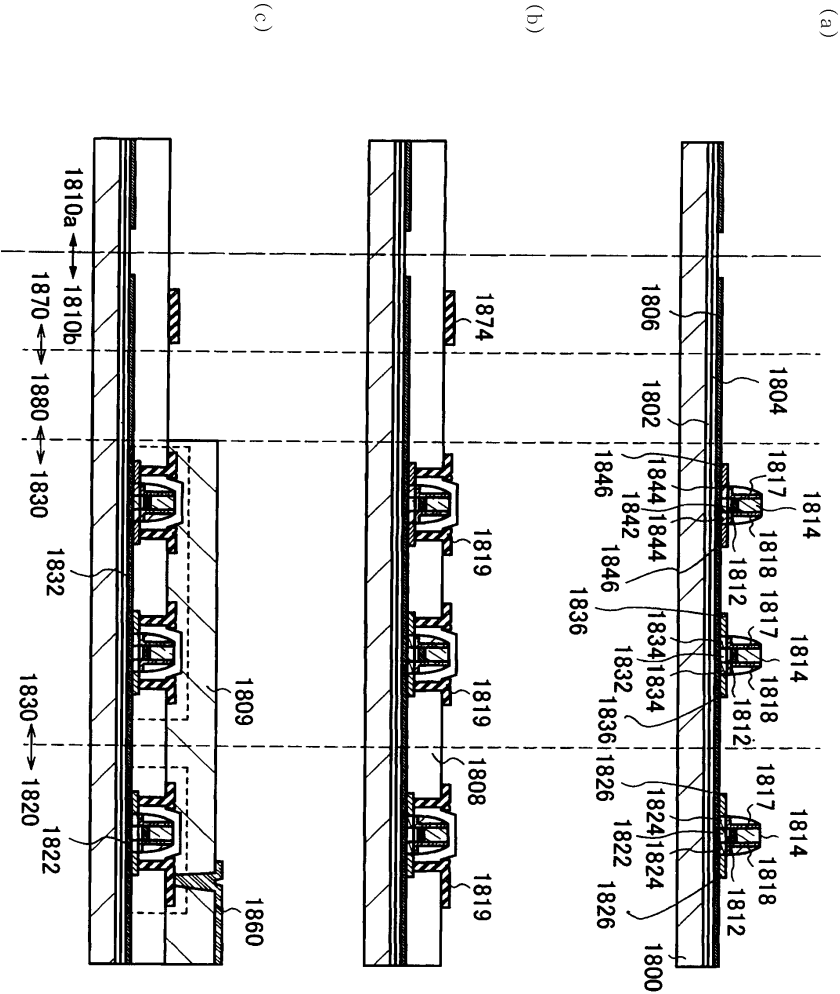
도면18



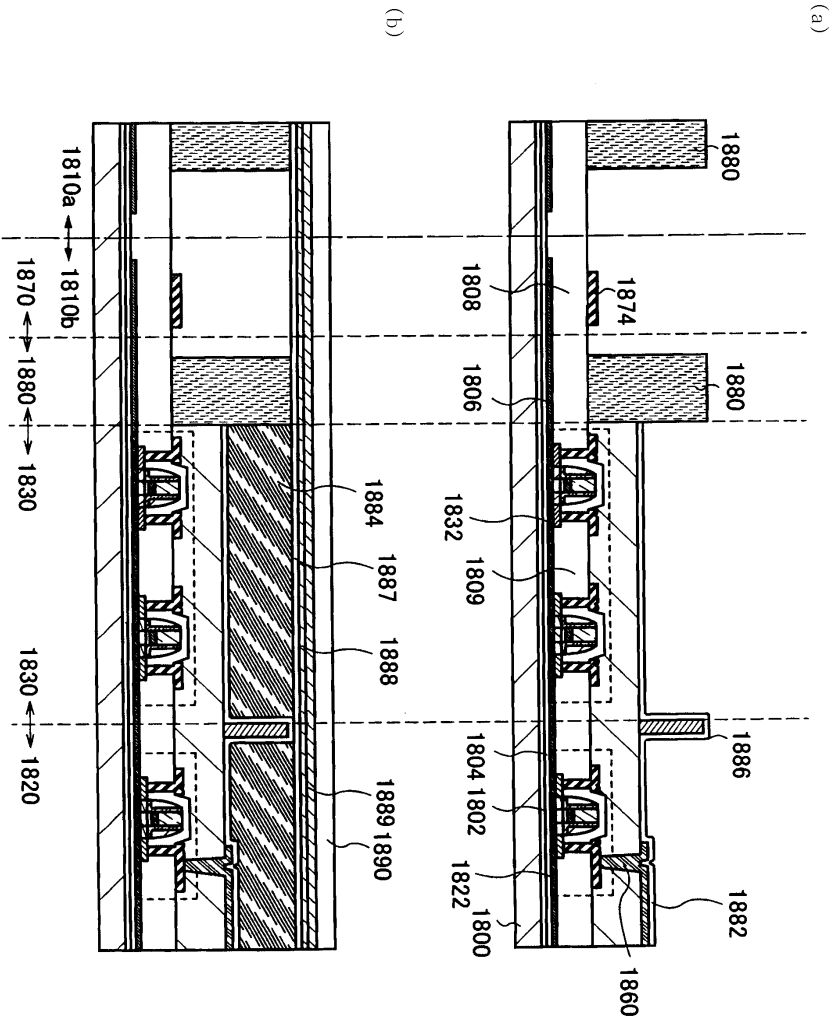
도면19



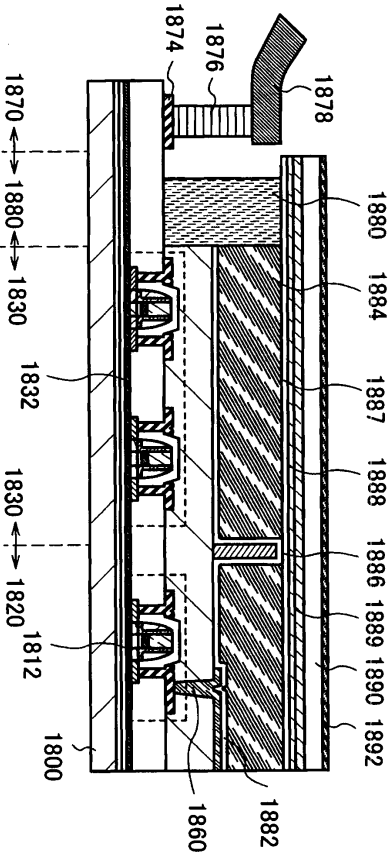
도면20



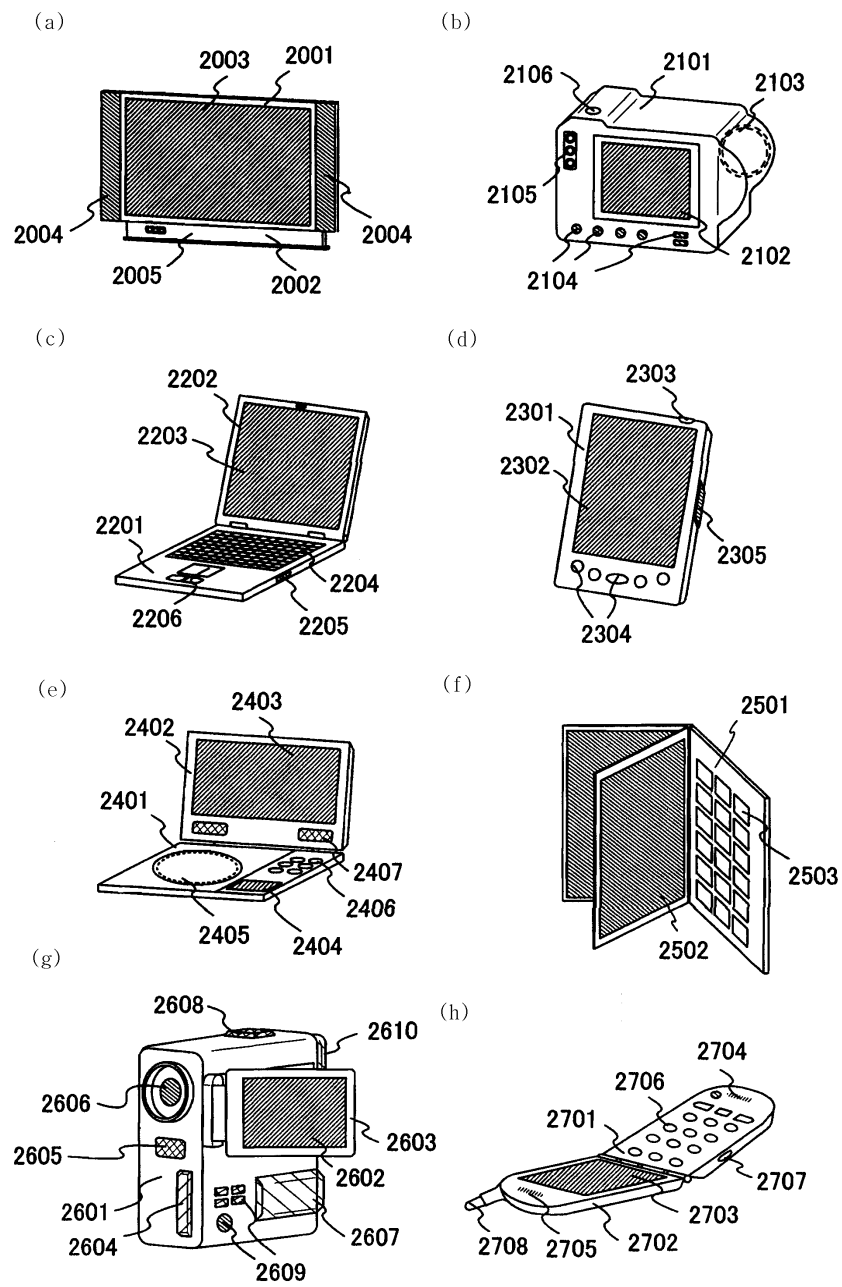
도면21



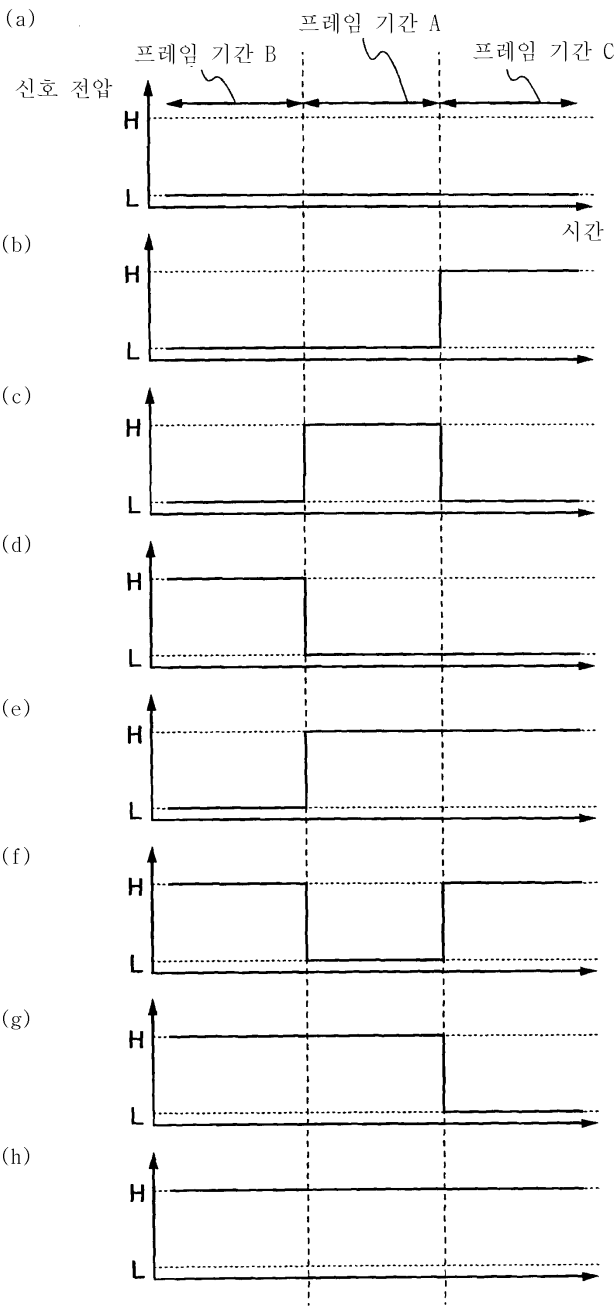
도면22



도면23



도면24



专利名称(译)	标题：液晶显示装置的驱动方法，液晶显示装置和电子装置		
公开(公告)号	KR101401513B1	公开(公告)日	2014-06-03
申请号	KR1020080028712	申请日	2008-03-28
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	ARASAWA RYO 아라사와료 FUKUTOME TAKAHIRO 후쿠토메타카히로		
发明人	아라사와료 후쿠토메타카히로		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/2081 G09G2340/16 G09G2320/0247 G09G2300/0465 G09G3/3648 G09G3/2025 G09G3/3611 G09G2320/0252 G09G2310/0237 G09G3/3406		
代理人(译)	LEE HWA我		
优先权	2007116435 2007-04-26 JP		
其他公开文献	KR1020080096379A		
外部链接	Espacenet		

摘要(译)

本发明的一个目的是提供一种用于改善图像质量的液晶显示装置的驱动方法和一种使用该驱动方法的液晶显示装置。一帧周期被分成 n (n : 整数, $n \geq 3$) 周期数 (以下称为子帧周期)。此外, 将电压施加到液晶, 以校正由液晶的响应速度引起的亮度损失。在除第一子帧周期之外的子帧周期期间应用用于校正的电压。

